



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0148172
(43) 공개일자 2024년10월11일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/0228 (2013.01)
(21) 출원번호 10-2023-0043637
(22) 출원일자 2023년04월03일
심사청구일자 없음

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
윤성민
경기도 수원시 영통구 삼성로 11, 203동 1602호(신동, 래미안 영통마크원 2단지)
문서현
경기도 성남시 분당구 판교로 50 110동 302호(판교동 판교원마을1단지아파트)
(74) 대리인
유미특허법인

전체 청구항 수 : 총 30 항

(54) 발명의 명칭 산화물 반도체 박막 트랜지스터 및 그 제조 방법과 전자 소자

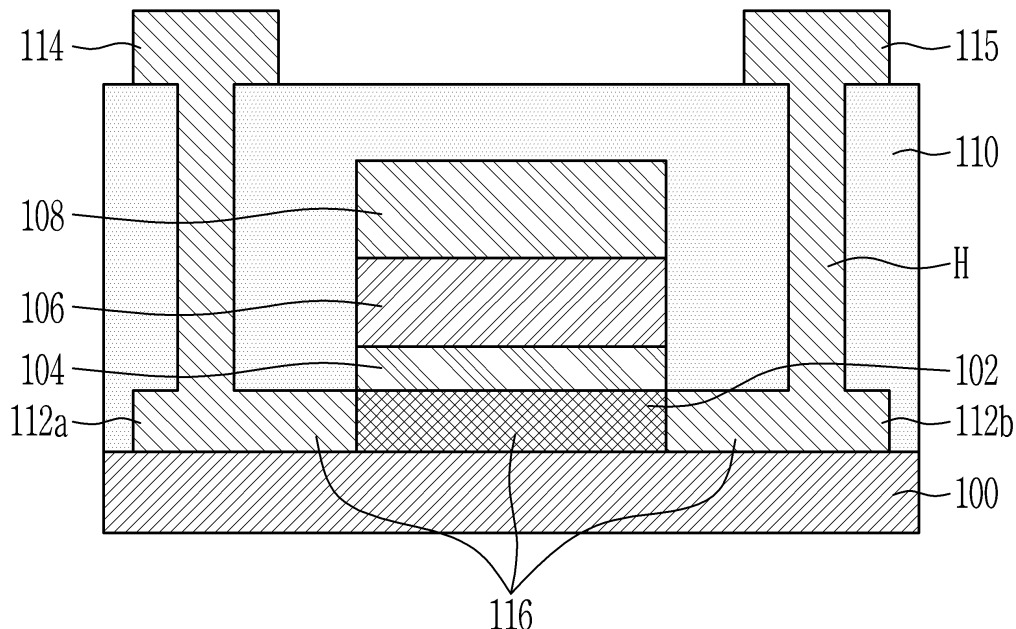
(57) 요약

본 발명은 절연 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막; 상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 게이트 전극; 상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 형성되거나 또는 상기 게이트 전극과 상기 게이트 절연막을 덮도

(뒷면에 계속)

대표도 - 도1

200



록 형성되는 층간 절연막; 및 상기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극을 포함하는 박막 트랜지스터를 제공한다. 본 발명에 따른 박막 트랜지스터는 산소 전구체로서 물(H_2O)을 이용한 원자층 증착(ALD) 공정으로 형성된 층간 절연막을 통해 상기 산화물 반도체 박막을 도체화하는 것을 특징으로 하며, 2단계 식각 공정을 이용하여 상기 층간 절연막 또는 상기 게이트 절연막 및 상기 층간 절연막 적층 구조를 균일하게 식각하는 것을 특징으로 하며, 동시에 상기 산화물 반도체 박막은 원자층 증착 공정을 통해 높은 전기수송자 농도를 갖는 박막으로 형성되는 것을 특징으로 한다.

(52) CPC특허분류

H01L 21/02617 (2013.01)

H01L 29/66969 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/78696 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415185659
과제번호	20010402
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자부품산업기술개발(R&D)
연구과제명	초고해상도 디스플레이를 위한 비평면 TFT 구조 및 공정 기술 개발
기 여 율	1/1
과제수행기관명	경희대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

절연 기판;

상기 절연 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막;

상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상에 형성되는 게이트 전극;

상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 형성되는 층간 절연막; 및

상기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극

을 포함하는 박막 트랜지스터.

청구항 2

제1항에서,

상기 산화물 반도체 박막의 전기수송자 (carrier) 농도는 10^{18} cm^{-3} 이상인 박막 트랜지스터.

청구항 3

제1항에서,

상기 게이트 전극과 상기 게이트 절연막은 동일한 평면 모양을 가지는 박막 트랜지스터.

청구항 4

제1항에서,

상기 게이트 전극 및 상기 게이트 절연막은 모두 상기 산화물 반도체 박막의 상기 채널 영역과 중첩하면서, 동시에 상기 산화물 반도체 박막의 상기 도전 영역과 중첩하지 않는 박막 트랜지스터.

청구항 5

제1항에서,

상기 박막 트랜지스터는 상기 산화물 반도체 박막의 상기 채널 영역 바로 위에 위치하는 보호 절연막을 추가로 포함하는 박막 트랜지스터.

청구항 6

제5항에서,

상기 보호 절연막은 상기 산화물 반도체 박막의 상기 채널 영역과 동일한 평면 모양을 가지는 박막 트랜지스터.

청구항 7

제5항에서,

상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물을 포함할 수 있고, 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물 적층을 형성하는 박막 트랜지스터.

청구항 8

제7항에서,

상기 산화물 적층의 측면은 상기 층간 절연막과 접촉하는 박막 트랜지스터.

청구항 9

절연 기판;

상기 절연 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막;

상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상에 형성되는 게이트 전극;

상기 게이트 전극과 상기 게이트 절연막을 덮도록 형성되는 층간 절연막; 및

상기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극

을 포함하는 박막 트랜지스터.

청구항 10

제9항에서,

상기 산화물 반도체 박막의 전기수송자(carrier) 농도는 10^{18} cm^{-3} 이상인 박막 트랜지스터.

청구항 11

제9항에서,

상기 게이트 전극은 상기 산화물 반도체 박막의 상기 채널 영역과 중첩하면서, 동시에 상기 산화물 반도체 박막의 상기 도전 영역과 중첩하지 않는 박막 트랜지스터.

청구항 12

제9항에서,

상기 게이트 절연막은 상기 산화물 반도체 박막의 상기 채널 영역 및 상기 도전 영역과 모두 중첩하는 박막 트랜지스터.

청구항 13

제9항에서,

상기 박막 트랜지스터는 상기 산화물 반도체 박막의 상기 채널 영역 및 상기 도전 영역 위에 위치하는 보호 절연막을 추가로 포함하는 박막 트랜지스터.

청구항 14

제13항에서,

상기 보호 절연막은 상기 산화물 반도체 박막과 동일한 평면 모양을 가지는 박막 트랜지스터.

청구항 15

제13항에서,

상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물을 포함하고, 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물 스택을 형성하는 박막 트랜지스터.

청구항 16

절연 기판 상에 산화물 반도체 박막을 형성하는 단계;

상기 산화물 반도체 박막 상에 동일한 평면 모양을 가진 게이트 절연막과 게이트 전극을 형성하고 상기 산화물 반도체 박막의 적어도 일부를 노출하는 단계;

상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 층간 절연막을 형성하는 단계; 및

상기 산화물 반도체 박막의 노출 영역을 도핑하여 도전 영역을 형성하는 단계를 포함하는 박막 트랜지스터 제조 방법.

청구항 17

제16항에서,

상기 박막 트랜지스터 제조 방법은 상기 산화물 반도체 박막을 형성하는 단계 이후에 보호 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막과 상기 보호 절연막을 식각 공정으로 동시에 패터닝하는 단계를 추가로 포함하는 박막 트랜지스터 제조 방법.

청구항 18

제17항에서,

상기 게이트 절연막과 게이트 전극을 형성하는 단계는 상기 게이트 절연막, 상기 게이트 전극 및 상기 보호 절연막을 식각 공정으로 동시에 패터닝하는 단계를 포함하는 박막 트랜지스터 제조 방법.

청구항 19

제16항에서,

상기 박막 트랜지스터 제조 방법은 상기 산화물 반도체 박막의 도전 영역을 형성하는 단계 이후에 상기 층간 절연막을 식각하여 콘택 비아홀을 형성하는 단계, 및 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되는 소스 전극과 드레인 전극을 형성하는 단계를 추가로 포함하는 박막 트랜지스터 제조 방법.

청구항 20

제16항에서,

상기 박막 트랜지스터의 제조 시 각 단계에서의 온도는 200°C 이하인 박막 트랜지스터 제조 방법.

청구항 21

제16항에서,

상기 산화물 반도체 박막 및 상기 층간 절연막은 각각 원자층 증착(ALD) 공정에 의해 형성되는 박막 트랜지스터 제조 방법.

청구항 22

제16항에서,

상기 층간 절연막은 산소 전구체로서 물(H_2O)을 이용한 원자층 증착 공정을 통하여 형성되는 박막 트랜지스터 제조 방법.

청구항 23

절연 기판 상에 산화물 반도체 박막을 형성하는 단계,

상기 산화물 반도체 박막 상에 게이트 절연막과 게이트 전극을 형성하고 상기 게이트 절연막의 적어도 일부를 노출하는 단계,

상기 게이트 전극과 상기 게이트 절연막을 덮도록 층간 절연막을 형성하는 단계, 및

상기 게이트 전극과는 중첩되지 않고 상기 게이트 절연막과는 중첩되어 있는 상기 게이트 절연막 하부의 상기 산화물 박막의 영역을 도핑하여 도전 영역을 형성하는 단계

를 포함하는 박막 트랜지스터 제조 방법.

청구항 24

제23항에서,

상기 박막 트랜지스터 제조 방법은 상기 산화물 반도체 박막을 형성하는 단계 이후에 보호 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막과 상기 보호 절연막을 식각공정으로 동시에 패터닝하는 단계를 추가로 포함하는 박막 트랜지스터 제조 방법.

청구항 25

제24항에서,

상기 박막 트랜지스터 제조 방법은 상기 산화물 반도체 박막의 도전 영역을 형성하는 단계 이후에 상기 층간 절연막과 상기 게이트 절연막 및 상기 보호 절연막을 식각 공정으로 동시에 패터닝하여 콘택 비아홀을 형성하는 단계, 및 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되는 소스 전극과 드레인 전극을 형성하는 단계를 추가로 포함하는 박막 트랜지스터 제조 방법.

청구항 26

제23항에서,

상기 박막 트랜지스터의 제조 시 각 단계에서의 온도는 200°C 이하인 박막 트랜지스터 제조 방법.

청구항 27

제23항에서,

상기 산화물 반도체 박막 및 상기 층간 절연막은 각각 원자층 증착(ALD) 공정에 의해 형성되는 박막 트랜지스터 제조 방법.

청구항 28

제23항에서,

상기 층간 절연막은 산소 전구체로서 물(H_2O)을 이용한 원자층 증착 공정을 통하여 형성되는 박막 트랜지스터 제조 방법.

청구항 29

제1항 내지 제8항에 따른 박막 트랜지스터를 포함하는 전자 소자.

청구항 30

제9항 내지 제15항에 따른 박막 트랜지스터를 포함하는 전자 소자.

발명의 설명**기술 분야**

[0001] 본 발명은 박막 트랜지스터 소자 및 그의 제조 방법에 관한 것으로, 보다 상세하게는 원자층 증착(Atomic Layer Deposition; ALD) 공정을 이용하여 형성된 층간 절연막과 원자층 증착 공정으로 형성된 산화물 반도체 채널층을 이용하는 자기정합형 코플라나(coplanar) 박막 트랜지스터 소자 및 제조 방법에 관한 것이다.

배경 기술

[0003] 산화물 반도체를 이용하는 박막 트랜지스터는 액티브 층, 게이트 전극, 소스/드레인 전극의 위치에 따라 코플라나(coplanar) 구조의 박막 트랜지스터와 인버티드 스테거드(inverted-staggered) 구조의 박막 트랜지스터로 나뉜다. 인버티드 스테거드 구조의 박막 트랜지스터에서는 게이트 전극과 소스/드레인 전극이 오버랩되는 영역에서의 기생 커패시턴스가 크기 때문에 고속의 전자 장치에 적용하기 어렵다는 문제가 있다. 따라서, 기생 커패시턴스를 최소화하고 그에 따라 전자 장치의 속도를 향상시키기 위해 코플라나 구조의 박막 트랜지스터가 요구된다.

[0004] 한편, 자기정합형 코플라나 박막 트랜지스터는 소스/드레인 전극과 액티브 층 사이의 옴성 접합(ohmic contact)을 형성하기 위한 추가적인 도핑 공정을 필요로 한다. 이때, 일반적으로 사용되는 도핑 공정에는 고온에서 진행되는 활성화 공정이 포함되거나 증착 혹은 도핑 과정에서 일부 산화물 반도체 채널 층의 표면 영역이 플라즈마 공정에 노출되어 플라즈마에 의한 손상을 받게 된다. 이러한 문제들로 인해 우수한 전기적 성능을 갖는 코플라나 구조의 박막 트랜지스터 소자를 구현하는데 어려움을 겪고 있다.

[0005] 동시에 차세대 고해상도 디스플레이의 요구 조건을 만족시키기 위해서는 높은 캐리어 이동도를 갖는 박막 트랜지스터를 구현해야 한다. 현재까지 디스플레이 장치용 산화물 반도체 채널층을 증착하기 위한 표준 방법으로는 스퍼터링(sputtering) 공정이 집중적으로 연구되어 왔다. 스퍼터링은 빠른 증착 속도 및 우수한 생산성으로 인해 유용하다. 그러나, 수직 구조에 대한 막의 적합성 또는 수 나노 정도의 얇은 두께에 대한 정밀한 제어성 및 산화물 박막의 용이한 조성 제어성을 허용하지 않는다. 이에 대한 대안으로서, 원자층 증착(Atomic Layer Deposition; ALD) 공정은 자기-제한적 성장 거동으로 인해 복잡한 삼차원 (3D) 나노 스케일 구조에서 정확한 두께 제어 및 우수한 스텝 커버리지를 제공하기 때문에 물리적 증착에 대한 대안으로 제안되었다. 또한, 손쉬운 미세화(scaling)를 가능하게 하기 때문에 원자층 증착 공정을 적용한 소자 구현의 중요도는 계속해서 증가하고 있다.

[0006] 따라서 우수한 전기적 성능을 갖는 코플라나 박막 트랜지스터 소자를 구현하기 위한 새로운 형태의 도핑 기술이 필요한 상태이다. 이에 대한 하나의 대안으로서, 원자층 증착 공정으로 형성된 산화물 반도체 채널층 및 층간 절연막을 갖는 자기정합형 코플라나 박막 트랜지스터를 제시할 수 있다. 원자층 증착 공정시 양이온 금속 전구체의 서브 사이클 수를 조정하여 캐리어 농도가 높은 산화물 반도체 박막의 형성을 가능케 하며, 적절한 산소 전구체를 선택하여 원자층 증착 공정으로 형성된 층간 절연막은 캐리어 농도가 높은 산화물 박막의 전도도를 손쉽게 증가시킬 수 있어, 저온의 공정에서 간단한 방법으로 자기정합형 코플라나 박막 트랜지스터를 제조할 수 있다. 높은 캐리어 농도를 갖는 ALD 산화물 반도체 박막의 사용은 소자의 캐리어 이동도를 높일 수 있으며, 채널층과 절연막 모두 원자층 증착 공정으로 증착되어 두께를 정밀하게 제어할 수 있고 쉽게 스케일링 할 수 있어 차세대 디스플레이용 장치로써 많은 잠재력을 지닐 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 산화물 반도체 박막 트랜지스터 소자 구조를 자기정합형 코플라나 구조로 제조하고, 소자 제조 과정에서 원자층 증착(ALD) 공정으로 형성된 높은 전기수송자 농도를 갖는 산화물 반도체 및 원자층 증착 공정으로 형성된 층간 절연막을 도입하여 우수한 전기적 성능의 박막 트랜지스터 소자를 구현할 수 있는 산화물 반도체 박막 트랜지스터 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 본 발명의 일 실시예는 절연 기판; 상기 절연 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막; 상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 게이트 전극; 상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 형성되는 층간 절연막; 및 상기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극을 포함하는 박막 트랜지스터를 제공한다.

[0011] 상기 산화물 반도체 박막의 전기수송자 (carrier) 농도는 10^{18} cm^{-3} 이상인 것이 바람직하다.

[0012] 상기 게이트 전극과 상기 게이트 절연막은 동일한 평면 모양을 가질 수 있다

[0013] 상기 게이트 전극과 상기 게이트 절연막은 상기 산화물 반도체 박막의 상기 채널 영역과 중첩하고 상기 산화물 반도체 박막의 상기 도전 영역과 중첩하지 않을 수 있다.

[0014] 상기 박막 트랜지스터는 상기 산화물 반도체 박막의 상기 채널 영역 바로 위에 위치하는 보호 절연막을 추가로 포함할 수 있다.

[0015] 상기 보호 절연막은 상기 산화물 반도체 박막의 상기 채널 영역과 동일한 평면 모양을 가질 수 있다.

[0016] 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물을 포함할 수 있고, 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물 적층을 형성할 수 있다.

[0017] 상기 산화물 적층의 측면은 상기 층간 절연막과 접촉할 수 있다.

- [0018] 일 실시예는 상기 박막 트랜지스터를 포함하는 전자 소자를 제공한다.
- [0019] 본 발명의 다른 실시예는 절연 기판; 상기 절연 기판 상에 형성되고 채널 영역과 도전 영역을 포함하는 산화물 반도체 박막; 상기 산화물 반도체 박막의 상기 채널 영역 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 게이트 전극; 상기 게이트 전극과 상기 게이트 절연막을 덮도록 형성되는 층간 절연막; 및 상기 층간 절연막 상에 형성되고 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되어 있는 소스/드레인 전극을 포함하는 박막 트랜지스터를 제공한다.
- [0020] 상기 산화물 반도체 박막의 전기수송자 농도는 10^{18} cm^{-3} 이상인 것이 바람직하다.
- [0021] 상기 게이트 전극은 상기 산화물 반도체 박막의 상기 채널 영역과 중첩하고 상기 산화물 반도체 박막의 상기 도전 영역과 중첩하지 않을 수 있다.
- [0022] 상기 게이트 절연막은 상기 산화물 반도체 박막의 상기 채널 영역 및 상기 도전 영역과 모두 중첩할 수 있다.
- [0023] 상기 박막 트랜지스터는 상기 산화물 반도체 박막의 상기 채널 영역 및 상기 도전 영역 위에 위치하는 보호 절연막을 추가로 포함할 수 있다.
- [0024] 상기 보호 절연막은 상기 산화물 반도체 박막과 동일한 평면 모양을 가질 수 있다.
- [0025] 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물을 포함할 수 있고, 상기 보호 절연막, 상기 게이트 절연막 및 상기 게이트 전극은 각각 산화물 스택을 형성할 수 있다.
- [0026] 다른 실시예는 상기 박막 트랜지스터를 포함하는 전자 소자를 제공한다.
- [0027] 본 발명의 일 실시예에 따른 박막 트랜지스터는 하기의 제조 방법에 의해 제조될 수 있다:
- [0028] 절연 기판 상에 산화물 반도체 박막을 형성하는 단계, 상기 산화물 반도체 박막 상에 동일한 평면 모양을 가진 게이트 절연막과 게이트 전극을 형성하고 상기 산화물 반도체 박막의 적어도 일부를 노출하는 단계, 상기 게이트 전극과 상기 산화물 반도체 박막을 덮도록 층간 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막의 노출 영역을 도핑하여 도전 영역을 형성하는 단계.
- [0029] 상기 제조 방법에 상기 산화물 반도체 박막을 형성하는 단계 후에 보호 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막과 상기 보호 절연막을 식각공정으로 동시에 패터닝하는 단계가 추가로 포함될 수 있다.
- [0030] 상기 게이트 절연막과 상기 게이트 전극을 형성하는 단계는 상기 게이트 절연막, 상기 게이트 전극 및 상기 보호 절연막을 식각공정으로 동시에 패터닝하는 단계를 포함할 수 있다.
- [0031] 상기 제조 방법에 상기 층간 절연막을 식각하여 콘택 비아홀을 형성하는 단계, 및 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되는 소스 전극과 드레인 전극을 형성하는 단계가 추가로 포함될 수 있다.
- [0032] 상기 박막 트랜지스터의 제조 시 각 단계에서의 온도는 200°C 이하일 수 있다.
- [0033] 상기 산화물 반도체 박막 및 상기 층간 절연막은 원자층 증착(ALD) 공정에 의해 형성될 수 있다.
- [0034] 상기 층간 절연막은 산소 전구체로서 물(H_2O)을 이용한 원자층 증착 공정을 통하여 형성될 수 있다.
- [0035] 본 발명의 다른 실시예에 따른 박막 트랜지스터는 하기의 제조 방법에 의해 제조될 수 있다:
- [0036] 절연 기판 상에 산화물 반도체 박막을 형성하는 단계, 상기 산화물 반도체 박막 상에 게이트 절연막과 게이트 전극을 형성하고 상기 게이트 절연막의 적어도 일부를 노출하는 단계, 상기 게이트 전극과 상기 게이트 절연막을 덮도록 층간 절연막을 형성하는 단계, 및 상기 게이트 전극과는 중첩되지 않고 상기 게이트 절연막과는 중첩되어 있는 상기 게이트 절연막 하부의 상기 산화물 박막의 영역을 도핑하여 도전 영역을 형성하는 단계.
- [0037] 상기 제조 방법에 상기 산화물 반도체 박막을 형성하는 단계 후에 보호 절연막을 형성하는 단계, 및 상기 산화물 반도체 박막과 상기 보호 절연막을 식각공정으로 동시에 패터닝하는 단계가 추가로 포함될 수 있다.
- [0038] 상기 제조 방법에 상기 층간 절연막과 상기 게이트 절연막 및 상기 보호 절연막을 식각공정으로 동시에 패터닝하여 콘택 비아홀을 형성하는 단계, 및 상기 산화물 반도체 박막의 상기 도전 영역과 전기적으로 연결되는 소스 전극과 드레인 전극을 형성하는 단계가 추가로 포함될 수 있다.
- [0039] 상기 박막 트랜지스터의 제조 시 각 단계에서의 온도는 200°C 이하일 수 있다.

[0040] 상기 산화물 반도체 박막 및 상기 층간 절연막은 원자층 증착(ALD) 공정에 의해 형성될 수 있다.

[0041] 상기 층간 절연막은 산소 전구체로서 물(H_2O)을 이용한 원자층 증착 공정을 통하여 형성될 수 있다.

발명의 효과

[0043] 본 발명의 실시예에 따르면 원자층 증착(ALD) 공정으로 형성된 수소를 다량 함유하는 층간 절연막을 이용하여 원자층 증착 공정으로 형성된 높은 전기수송자 농도를 갖는 산화물 반도체 박막의 전도성을 적절히 조절함으로써 우수한 전기적 성능의 산화물 박막 트랜지스터 소자를 구현할 수 있다.

도면의 간단한 설명

[0045] 도 1은 본 발명의 실시예 1에 따른 자기정합형 코플라나 박막 트랜지스터 소자의 단면도이다.

도 2는 본 발명의 실시예 2에 따른 자기정합형 코플라나 박막 트랜지스터 소자의 단면도이다.

도 3은 본 발명의 실시예 1 및 실시예 2에 따른 자기정합형 코플라나 박막 트랜지스터 소자의 평면도이다.

도 4a 내지 도 4e는 도 1에 도시된 자기정합형 코플라나 박막 트랜지스터 소자의 제조 공정을 나타내는 중간 단계 도면이다.

도 5a 내지 도 5e는 도 2에 도시된 자기정합형 코플라나 박막 트랜지스터 소자의 제조 공정을 나타내는 중간 단계 도면이다.

도 6a는 실시예 1에 따른 자기정합형 코플라나 박막 트랜지스터 소자의 게이트 전압-드레인 전류 특성을 나타내는 그래프이다.

도 6b는 실시예 2에 따른 자기정합형 코플라나 박막 트랜지스터 소자의 게이트 전압-드레인 전류 특성을 나타내는 그래프이다.

도 7a는 실시예 1에 따른 자기정합형 코플라나 박막 트랜지스터 소자의 게이트 전압-컨택 저항 특성을 나타내는 그래프이다.

도 7b는 실시예 2에 따른 자기정합형 코플라나 박막 트랜지스터 소자의 게이트 전압-컨택 저항 특성을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0046] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예를 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예는 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예에 한정되지 않는다.

[0047] 본 발명의 개념에 따른 실시예는 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예를 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 실시예를 특정한 개시형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0048] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0049] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표면들, 예를 들어 "~사이에"와 "바로 ~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석

되어야 한다.

- [0050] 본 명세서에 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0051] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 이하, 실시예는 첨부된 도면을 참조하여 상세하게 설명한다.
- [0052] 도 1은 및 도 3은 본 발명의 실시예 1에 따른 박막 트랜지스터의 단면도 및 평면도이다.
- [0053] 도 1을 참조하면, 실시예 1에 따른 박막 트랜지스터(200)는 절연 기판(100), 산화물 반도체 박막(116), 보호 절연막(104), 게이트 절연막(106), 게이트 전극(108), 층간 절연막(110), 소스/드레인 전극(114, 115)을 포함할 수 있다. 일 실시예에 따른 박막 트랜지스터(200)는 자기정합형 코플라나 구조(self-aligned coplanar structure)를 가질 수 있다.
- [0054] 산화물 반도체 박막(116)은 절연 기판(100) 상에 형성되고, 예컨대 섬형(island shape)으로 형성될 수 있다. 산화물 반도체 박막(116)은 박막 트랜지스터(200)의 채널이 형성될 채널 영역(102)과 후술하는 소스 전극(114) 및 드레인 전극(115)과 각각 전기적으로 연결되는 도전 영역(112a, 112b)을 포함한다.
- [0055] 본 발명의 일 실시예에서, 산화물 반도체 박막(116)은 산화물 반도체를 포함할 수 있고, 예컨대 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn)에서 선택된 적어도 하나를 포함하는 산화물 반도체를 포함할 수 있고, 예를 들어 아연 산화물(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 아연-주석 산화물(Zn-Sn-O) 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다. 또는, 산화물 반도체 박막(116)은 전술한 산화물 반도체에 다양한 원소를 도핑하여 형성될 수 있고, 예컨대 마그네슘(Mg), 규소(Si), 알루미늄(Al), 세륨(Ce), 세슘(Cs), 안티몬(Sb) 또는 이들의 조합을 도핑하여 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0056] 이러한 산화물 반도체 박막(116)은 약 $250\text{\AA}$ 이하, 예컨대 약 $200\text{\AA}$ 이하의 비교적 저온에서 형성하는 것이 바람직하다.
- [0057] 산화물 반도체 박막(116)의 채널 영역(102)은 박막 트랜지스터(200)의 채널이 형성되는 영역으로, 양쪽의 도전 영역(112a, 112b)의 사이에 위치할 수 있다. 채널 영역(102)의 길이, 즉 양쪽의 도전 영역(112a, 112b) 사이의 간격은 예컨대 약 $1\mu\text{m}$ 내지 $100\mu\text{m}$ 일 수 있고, 상기 범위 내에서 약 $5\mu\text{m}$ 이상, 약 $10\mu\text{m}$ 이상, 약 $15\mu\text{m}$ 이상, 약 $20\mu\text{m}$ 이상, 약 $25\mu\text{m}$ 이상, 약 $30\mu\text{m}$ 이상, 약 $35\mu\text{m}$ 이상, 약 $40\mu\text{m}$ 이상, 약 $45\mu\text{m}$ 이상, 약 $50\mu\text{m}$ 이상, 약 $55\mu\text{m}$ 이상, 약 $60\mu\text{m}$ 이상, 약 $65\mu\text{m}$ 이상, 약 $70\mu\text{m}$ 이상 또는 약 $75\mu\text{m}$ 이상, 약 $80\mu\text{m}$ 이상, 약 $85\mu\text{m}$ 이상, 약 $90\mu\text{m}$ 이상, 약 $95\mu\text{m}$ 이상 및 약 $100\mu\text{m}$ 이하, 약 $95\mu\text{m}$ 이하, 약 $90\mu\text{m}$ 이하, 약 $85\mu\text{m}$ 이하, 약 $80\mu\text{m}$ 이하, 약 $75\mu\text{m}$ 이하, 약 $70\mu\text{m}$ 이하, 약 $65\mu\text{m}$ 이하, 약 $60\mu\text{m}$ 이하, 약 $55\mu\text{m}$ 이하, 약 $50\mu\text{m}$ 이하, 약 $45\mu\text{m}$ 이하, 약 $40\mu\text{m}$ 이하, 약 $35\mu\text{m}$ 이하, 약 $30\mu\text{m}$ 이하, 약 $25\mu\text{m}$ 이하, 약 $20\mu\text{m}$ 이하, 약 $15\mu\text{m}$ 이하, 약 $10\mu\text{m}$ 이하, 또는 약 $5\mu\text{m}$ 이하일 수 있다.
- [0058] 산화물 반도체 박막(116)의 도전 영역(112a, 112b)은 소정의 도전성을 가지는 영역으로, 도체화 공정은 예를 들어, 아르곤/수소 플라즈마 처리 또는 자외선 조사와 같은 도핑 공정을 이용하거나, 수소를 다량 함유하고 있는 상기 층간 절연막(110)의 도핑 공정일 수 있다. 이때, 층간 절연막의 도핑 공정을 이용하는 경우 간단하고 저온의 공정의 가능하여 바람직하다. 층간 절연막의 도핑 공정을 이용하는 경우 상기 층간 절연막(110)에서 상기 수소가 상기 산화물 반도체 박막(116)으로 확산하고, 상기 수소가 산화물 반도체 박막(116)에서 도펀트의 역할을 하여, 상기 산화물 반도체 박막(116)이 도체화되어 도전 영역(112a, 112b)이 형성될 수도 있다. 산화물 반도체 박막(116)의 도전 영역(112a, 112b)은 후술하는 소스 전극(114)과 드레인 전극(115)에 각각 전기적으로 연결되어 있다.
- [0059] 보호 절연막(104)은 산화물 반도체 박막(116) 상에 형성될 수 있다. 보호 절연막(104)은 후속 공정에서 산화물 반도체 박막(116)의 물리적 또는 화학적인 손상을 방지할 수 있다. 보호 절연막(104)은 산화물 반도체 박막

(116)의 채널 영역(102)을 덮을 수 있는 면적을 가질 수 있으며, 예컨대 보호 절연막(104)과 산화물 반도체 박막(116)의 채널 영역(102)은 동일한 평면 모양을 가질 수 있다. 보호 절연막(104)은 예컨대 무기 절연막일 수 있고 예컨대 산화규소, 질화규소, 산질화규소, 산화알루미늄, 질화알루미늄, 산질화알루미늄 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다. 예컨대 보호 절연막(104)은 산화물을 포함할 수 있다.

[0060] 게이트 절연막(106)은 보호 절연막(104) 상에 형성될 수 있다. 게이트 절연막(106)은 예컨대 무기 게이트 절연막, 유기 게이트 절연막, 유무기 게이트 절연막 또는 이들의 조합을 포함할 수 있다. 일 예로, 게이트 절연막(110)은 절연 특성이 우수한 산화물, 질화물, 산질화물 또는 이들의 조합을 포함하는 무기 게이트 절연막일 수 있다. 일 실시예에서, 상기 게이트 절연막(106)은 실리콘 계열의 절연막인 실리콘 산화막(SiO_2), 실리콘 질화막(SiN) 및 실리콘산질화막(SiON), 알루미늄 산화막(Al_2O_3), 하프늄 산화막(HfO_2), 지르코늄 산화막(ZrO_2), 마그네슘 산화막(MgO), 티타늄 산화막(TiO_2), 탄탈륨 산화막(Ta_2O_3), 란타늄 산화막(La_2O_3), 스트론튬-티타늄 산화막(SrTiO_3)을 포함할 수 있다. 다른 실시예에서, 상기 게이트 절연막(106)은 알루미늄, 하프늄, 지르코늄, 마그네슘, 티타늄, 탄탈륨, 란타늄 또는 스트론튬과 실리콘이 혼합된 실리케이트 절연막을 포함할 수 있다. 예컨대 게이트 절연막(106)은 산화물을 포함할 수 있다.

[0061] 게이트 전극(108)은 게이트 절연막(106) 상에 형성될 수 있다. 게이트 전극(108)은 일 방향으로 길게 뻗은 게이트선(109)과 전기적으로 연결되어 있고, 산화물 반도체 박막(116)의 채널 영역(102)과 중첩되어 있다. 게이트 전극(108)은 보호 절연막(104) 및 게이트 절연막(106)과 정렬되는 형태로 형성될 수 있고, 산화물 반도체 박막(116)의 채널 영역(102) 위에서 보호 절연막(104) 및 게이트 절연막(106)과 각각 중첩한다. 여기서 중첩한다라 함은 게이트 전극(108), 게이트 절연막(106) 및 보호 절연막(104)은 평면에서 보았을 때 산화물 반도체 박막(116)의 채널 영역(102)과 모양이 동일하거나 또는 게이트 전극(108)의 평면이 게이트 절연막(106)의 평면을 모두 덮고 있거나, 게이트 절연막(106)의 평면이 보호 절연막(104)의 평면을 모두 덮고 있음을 의미할 수 있고, 산화물 반도체 박막(116)의 채널 영역(102)과 게이트 전극(108) 등이 바로 맞닿아 있다는 의미는 아닐 수 있다. 즉, 게이트 전극(108), 게이트 절연막(106) 및 보호 절연막(104)은 산화물 반도체 박막(116)의 채널 영역(102)과 동일한 평면 모양을 가질 수 있으며, 상기 산화물 반도체 박막(116)의 채널 영역(102) 및 게이트 전극(108) 사이에는 게이트 절연막(106) 및 보호 절연막(104)이 위치할 수 있다. 게이트 절연막(106)과 게이트 전극(108)은 게이트 절연막(106)과 실질적으로 동일한 평면 모양을 가질 수 있다.

[0062] 게이트 전극(106)은 도전성 산화물을 포함할 수 있다. 상기 도전성 산화물은 전극의 저항을 감소시키기 위해 낮은 비저항을 갖는 도전성 산화물로 선택될 수 있으며, 예컨대 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 아연 주석 산화물(ZTO), 알루미늄 주석 산화물(ATO) 및 알루미늄 아연 산화물(AZO) 또는 이들의 조합을 포함할 수 있으나, 이에 한정되는 것은 아니다. 다른 실시예에서, 상기 금속은 통상적인 박막 트랜지스터의 제작에 사용되는 금속을 포함할 수 있다. 상기 금속은 낮은 비저항을 가지는 금속에서 선택될 수 있으며, 예를 들어, 알루미늄(Al), 티타늄(Ti), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 루테튬(Ru), 팔라듐(Pd), 은(Ag), 란타늄(La), 하프늄(Hf), 탄탈륨(Ta), 텅스텐(W), 백금(Pt), 금(Au), 어븀(Er), 이터븀(Yb), 이들의 합금 또는 이들의 조합에서 선택되는 어느 하나일 수 있으나, 이에 한정되는 것은 아니다. 또 다른 실시예에서, 상기 금속은 질화금속의 형태로 포함될 수 있다. 상기 질화금속은 금속/준금속 원소와 질소가 일정 조성비로 결합된 물질로서, 예컨대 질화 탄탈륨(TaN), 질화 티타늄(TiN), 질화 하프늄(HfN) 및 질화 텅스텐(WN) 중 어느 하나일 수 있으나, 이에 한정되는 것은 아니다.

[0063] 일 예로, 전술한 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)은 각각 독립적으로 산화물을 포함할 수 있으며, 이에 따라 산화물 적층(oxide stacks)을 형성할 수 있다. 층간 절연막(110)은 산화물 반도체 박막(116)과 게이트 전극(108)의 상부에 형성될 수 있으며, 산화물 반도체 박막(116)과 게이트 전극(108)을 덮을 수 있는 충분한 두께로 형성될 수 있다. 예컨대 층간 절연막(110)의 상부 표면은 평탄할 수 있다.

[0064] 층간 절연막(110)은 예컨대 섬형 적층체로 형성된 산화물 반도체 박막(116), 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)의 상부 및/또는 측면을 덮고 있을 수 있으며, 예컨대 산화물 반도체 박막(116), 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)의 측면의 적어도 일부는 층간 절연막(110)과 접촉되어 있을 수 있으며, 예컨대 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)의 모든 측면은 층간 절연막(110)과 접촉되어 있을 수 있다.

[0065] 층간 절연막(110)은 후속 공정인 도핑 공정 및/또는 물리적 증착 공정에서 산화물 반도체 박막(116)을 포함한 각 구성요소를 효과적으로 보호할 수 있다.

- [0066] 상기 층간 절연막(110)은 수소를 다량 함유하는 물질을 포함할 수 있다. 상기 수소를 다량 함유하는 물질로, 산화물 박막이 사용될 수 있으며, 바람직하게는 알루미늄 산화막(Al_2O_3)이 사용될 수 있다. 이때, 게이트 절연막(106)보다 수소를 많이 함유하고 있는 산화막을 형성할 수 있다.
- [0067] 층간 절연막(110)은 산화물 반도체 박막(116)의 도전 영역(112a, 112b)의 적어도 일부를 노출하는 복수의 콘택비아홀(H)을 가진다. 복수의 콘택비아홀(H)은 게이트선(109)의 말단의 패드 영역에도 위치될 수 있다. 층간 절연막(110)은 복수의 콘택비아홀(H)을 제외하고는 절연 기관(100) 전면에 형성될 수 있다.
- [0068] 층간 절연막(110)은 산화물 반도체 박막(116)의 도전 영역(112a, 112b)의 적어도 일부를 노출하는 복수의 콘택비아홀(H)을 가진다. 복수의 콘택비아홀(H)은 게이트선(109)의 말단의 패드 영역에도 위치될 수 있다. 층간 절연막(110)은 복수의 콘택비아홀(H)을 제외하고는 절연 기관(100) 전면에 형성될 수 있다.
- [0069] 소스 전극(114)과 드레인 전극(115)은 층간 절연막(110) 위에 형성되어 있다. 소스 전극(114)과 드레인 전극(115)은 산화물 반도체 박막(116)의 채널 영역(102)을 중심으로 마주하고 있으며, 층간 절연막(110) 내에 형성된 콘택비아홀(H)을 통해 산화물 반도체 박막(116)의 도전 영역(112a, 112b)에 각각 전기적으로 연결되어 있다.
- [0070] 소스 전극(114)과 드레인 전극(115)은 예컨대 저저항 금속을 포함할 수 있고, 예컨대 알루미늄(Al), 티타늄(Ti), 철(Fe), 코발트(Co), 니켈(Ni), 구리(Cu), 아연(Zn), 이트륨(Y), 지르코늄(Zr), 니오븀(Nb), 루테튬(Ru), 팔라듐(Pd), 은(Ag), 란타늄(La), 하프늄(Hf), 탄탈륨(Ta), 텅스텐(W), 백금(Pt), 금(Au), 어븀(Er), 이터븀(Yb), 이들의 합금 또는 이들의 조합에서 선택되는 어느 하나를 포함할 수 있으나, 이에 한정되는 것은 아니다. 콘택비아홀(H)은 소스 전극(114)과 드레인 전극(115)을 형성하는 저저항 금속으로 채워져 있을 수 있으나, 이에 한정되지 않고 다른 도전체로 채워져 있을 수도 있다. 소스 전극(114)과 드레인 전극(115)은 전술한 게이트 전극(108)과 서로 같거나 다른 물질로 형성될 수 있다.
- [0071] 전술한 바와 같이, 실시예 1에 따른 박막 트랜지스터(200)는 섬형 적층체로 형성된 산화물 반도체 박막(116), 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)을 수소를 다량 함유하는 층간 절연막(110)으로 덮은 구조를 가짐으로써 후속 공정인 도핑 공정 및/또는 물리적 증착 공정에서 산화물 반도체 박막(116)을 포함한 각 구성요소를 효과적으로 보호할 수 있다.
- [0072] 이하에서는 도 2를 참조하여, 본 발명의 다른 일 실시예에 따른 박막 트랜지스터 소자에 대해 설명하도록 한다. 앞서 설명한 실시예와 중복되는 중복되는 내용에 대한 상세한 설명은 생략하도록 한다.
- [0073] 도 2 및 도 3은 본 발명의 실시예 2에 따른 박막 트랜지스터의 단면도 및 평면도이다.
- [0074] 도 2를 참조하면, 본 발명의 실시예 2에 따른 박막 트랜지스터(300)는 절연 기관(100), 산화물 반도체 박막(116), 보호 절연막(104), 게이트 절연막(106), 게이트 전극(108), 층간 절연막(110), 소스/드레인 전극(114, 115)을 포함할 수 있다. 실시예 2에 따른 박막 트랜지스터(300)는 자기정합형 코플라나 구조(self-aligned coplanar structure)를 가질 수 있다.
- [0075] 보호 절연막(104)은 산화물 반도체 박막(116) 상에 형성될 수 있다. 보호 절연막(104)은 산화물 반도체 박막(116)의 채널 영역(102)을 덮을 수 있는 면적을 가질 수 있으며, 예컨대 보호 절연막(104)과 산화물 반도체 박막(116)은 동일한 평면 모양을 가질 수 있다.
- [0076] 게이트 절연막(106)은 보호 절연막(104) 상에 형성될 수 있다. 게이트 절연막(106)은 섬형 적층체로 형성된 산화물 반도체 박막(116) 및 보호 절연막(104)의 상부 및/또는 측면을 덮고 있을 수 있으며, 예컨대 산화물 반도체 박막(116) 및 보호 절연막(104)의 모든 측면은 게이트 절연막(106)과 접촉되어 있을 수 있다.
- [0077] 게이트 전극(108)은 게이트 절연막(106) 상에 형성될 수 있다. 게이트 전극(108)은 일 방향으로 길게 뻗은 게이트선(109)과 전기적으로 연결되어 있고, 산화물 반도체 박막(116)의 채널 영역(102)과 중첩되어 있다. 여기서 중첩의 의미는 전술한 바와 같을 수 있다.
- [0078] 층간 절연막(110)은 예컨대 게이트 절연막(106) 및 게이트 전극(108)의 상부 및/또는 측면을 덮고 있을 수 있으며, 예컨대 게이트 절연막(106) 상부의 적어도 일부는 층간 절연막(110)과 접촉되어 있을 수 있으며, 게이트 전극(108)의 모든 상부 및 측면은 층간 절연막(110)과 접촉되어 있을 수 있다. 단, 게이트 절연막(106) 측면은 층간 절연막(110)과 접촉되어 있지 않을 수 있다.
- [0079] 상기 층간 절연막(110)은 수소를 다량 함유하는 물질을 포함할 수 있다. 상기 수소를 다량 함유하는 물질로, 산

화물 박막이 사용될 수 있으며, 바람직하게는 알루미늄 산화막(Al_2O_3)이 사용될 수 있다. 이때, 게이트 절연막(106)보다 수소를 많이 함유하고 있는 산화막을 형성할 수 있다.

[0080] 상기 층간 절연막(110)에 수소가 다량 함유되는 경우, 상기 층간 절연막(110)의 수소가 보호 절연막(104) 및 게이트 절연막(106)을 통과하여 상기 산화물 반도체 박막(116)로 확산하여 전자 도핑에 기여하여 상기 산화물 반도체 박막(116)이 일부 도체화될 수 있다.

[0081] 전술한 바와 같이, 실시예 2에 따른 박막 트랜지스터(300)는 섬형 적층체로 형성된 산화물 반도체 박막(116), 보호 절연막(104)을 게이트 절연막(106)으로 덮고, 게이트 전극(108)은 산화물 반도체 박막(116)의 채널 영역(102)과 중첩되어 있는 상태에서 게이트 절연막(106) 및 게이트 전극(108)을 수소를 다량 함유하는 층간 절연막(110)으로 덮은 구조를 가짐으로써 후속 공정인 도핑 공정을 성공적으로 수행하고 도핑 공정 및/또는 물리적 증착 공정에서 산화물 반도체 박막(116)을 포함한 각 구성요소를 효과적으로 보호할 수 있다. 여기서 중첩의 의미는 전술한 바와 같을 수 있다.

[0082] 이하에서는, 도 4a 내지 도 4f를 참조하여, 본 발명의 실시예 1에 따른 박막 트랜지스터 소자의 제조 방법에 대해 설명하도록 한다. 앞서 설명한 실시예와 중복되는 내용에 대한 상세한 설명은 생략하도록 한다.

[0083] 도 4a 내지 도 4f는 도 1의 박막 트랜지스터의 제조 방법을 나타내는 중간 단계 도면들이다.

[0084] 박막 트랜지스터(200)는 절연 기판(100) 상에 산화물 반도체 박막(116)을 형성하는 단계, 상기 산화물 반도체 박막(116) 상에 보호 절연막(104)을 형성하는 단계, 상기 산화물 반도체 박막(116) 및 보호 절연막(104)을 식각하는 단계, 상기 보호 절연막(104) 상에 게이트 절연막(106)을 형성하는 단계, 상기 게이트 절연막(106) 상에 게이트 전극(108)을 형성하는 단계, 상기 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)을 식각하는 단계, 상기 게이트 전극(108)과 산화물 반도체 박막(116)을 덮도록 층간 절연막(110)을 형성하는 단계, 상기 층간 절연막(110)으로 덮인 상기 산화물 반도체 박막(116) 일부를 도핑하여 도전 영역(112a, 112b)을 형성하는 단계, 상기 층간 절연막(110) 위에 상기 산화물 반도체 박막(116)의 도전 영역(112a, 112b)과 전기적으로 연결되는 소스 전극(114)과 드레인 전극(115)을 형성하는 단계를 통해 제조된다.

[0085] 상기 박막 트랜지스터 제조 시, 각 공정은 약 250°C 이하, 예컨대 200°C 이하의 비교적 저온에서 수행될 수 있고, 예컨대 상온(약 25°C) 내지 250°C 의 온도 범위에서 수행될 수 있다.

[0086] 먼저, 도 4a를 참고하면, 절연 기판(100) 상에 산화물 반도체 박막(116)과 보호 절연막(104)을 차례로 형성한다.

[0087] 본 발명에서, 상기 산화물 반도체 박막(116)은 원자층 증착(ALD) 공정에 의해 형성되는 것이 바람직하다. 원자층 증착 공정은 각 구성 원소에 해당하는 소스를 이용하여 수행될 수 있고, 전구체 소스 가스의 전달을 위한 캐리어 가스로는 질소 가스를 이용할 수 있다. 원자층 증착 공정을 이용하여 산화물 반도체 박막(116)을 형성하는 경우, 소스의 공급을 제어함으로써 제조되는 박막의 조성과 두께 등의 물리적 요소를 제어할 수 있으며, 상기 산화물 반도체 박막(116)의 전기수송자 농도를 10^{18} cm^{-3} 이상으로 제어하는 데도 유리하다. 보호 절연막(104)은 예컨대 원자층 증착법, 스퍼터링과 같은 증착으로 형성될 수 있으나, 원자층 증착법으로 형성되는 것이 보다 바람직할 수 있다. 예컨대 산화물 반도체 박막(116)은 인듐, 갈륨 및 아연을 소스로 사용하여 인듐-갈륨-아연(In-Ga-Zn) 산화물을 형성할 수 있으며, 산화 소스(산화제)로는 산소가 포함된 물질, 예를 들어 산소(O_2), 오존(O_3), 수증기(H_2O), 산소 플라즈마(O_2 plasma) 등의 적어도 어느 하나를 이용하여 형성할 수 있다. 예컨대, 상기 산화물 반도체 박막(116) 및 보호 절연막(104) 형성 시 상기 산화 소스(산화제)로는 오존(O_3)을 이용하는 것이 바람직할 수 있다.

[0088] 이어서, 도 4b를 참고하면, 산화물 반도체 박막(116) 및 보호 절연막(104)을 동시에 식각한다. 여기서, 상기 식각 공정은 포토 리소그래피 공정에 의해 수행될 수 있고, 식각 용액을 사용하여 습식 식각 공정으로 수행하거나, 플라즈마를 이용한 건식 식각 공정으로 수행할 수 있다. 이와 같은 식각 공정 수행 시, 보호 절연막(104)은 산화물 반도체 박막(116)을 효과적으로 보호하여 산화물 반도체 박막(116)이 열화 되는 것을 효과적으로 방지할 수 있다. 이와 같이 산화물 반도체 박막(116)과 보호 절연막(104)은 한번에 식각됨으로써 산화물 반도체 박막(116)과 보호 절연막(104)은 실질적으로 동일한 평면 모양을 가질 수 있다.

[0089] 다음, 도 4c를 참고하면, 보호 절연막(104) 위에 게이트 절연막(106)과 게이트 전극(108)을 차례로 형성한다. 게이트 절연막(106)과 게이트 전극(108)은 예컨대 용액을 사용한 용액 공정 또는 스퍼터링, 원자층 증착과 같은

진공 증착으로 형성될 수 있다.

[0090] 이어서, 도 4d를 참고하면, 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)을 한 번에 식각한다. 이때, 식각 공정은 습식 식각 또는 플라즈마를 이용한 건식 식각으로 수행될 수 있으며, 여기서 건식 식각 공정은 알루미늄 산화막(Al_2O_3)과 산화물 반도체 박막(116)의 식각 선택비(selectivity)를 확보하는데 유리할 수 있다. 예컨대 알루미늄 산화막(Al_2O_3)은 아르곤(Ar)(40) 및 염소(Cl_2)(60) 플라즈마 식각으로 수행(빠른 에칭속도)될 수 있으며, 예컨대 아르곤(Ar)(20) 및 사불화탄소(CF_4)(80) 가스를 추가로 도입(느린 에칭속도)한 2단계 식각 공정을 이용하여 식각 프로파일과 식각율을 미세하게 조절할 수 있다.

[0091] 상기 식각 공정은 제 1 식각 단계 및 제 2 식각 단계로 구성되는 2단계 식각 공정일 수 있고, 상기 제 1 식각 단계 이후 이어서 상기 제 2 식각 단계가 수행될 수 있다. 상기 제 1 식각 단계에서는 Cl_2 가스를 포함하는 제 1 식각 가스를 사용하여 상기 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)을 대부분 식각하며, 제 2 식각 단계에서는 CF_4 가스를 포함하는 제 2 식각 가스를 사용하여 남은 상기 보호 절연막(104)을 목표 위치까지 식각하여 컨택 비아홀을 형성하여, 기판 내 균일성을 효과적으로 증가시킬 수 있다. 보다 구체적으로 상기 제 1 식각 가스는 Cl_2 가스와 Ar 가스의 혼합 가스일 수 있고, 이 때 상기 Cl_2 가스는 상기 Ar 가스보다 많은 유량으로 공급될 수 있다. 예컨대 상기 Cl_2 가스와 Ar 가스는 55 : 45 내지 70 : 30, 예컨대 55 : 45 내지 65 : 35, 예컨대 60 : 40의 유량비를 가질 수 있으나, 상기 유량비가 반드시 이에 한정되는 것은 아니다. 상기 제 2 식각 가스는 CF_4 가스와 Ar 가스의 혼합 가스일 수 있고, 이 때 상기 CF_4 가스는 상기 Ar 가스보다 많은 유량으로 공급될 수 있다. 예컨대 상기 CF_4 가스와 Ar 가스는 95 : 5 내지 70 : 30, 예컨대 90 : 10 내지 75 : 35, 예컨대 80 : 20의 유량비를 가질 수 있으나, 상기 유량비가 반드시 이에 한정되는 것은 아니다. 상기와 같이 제 1 식각 가스와 제 2 식각 가스의 조성을 제어함으로써, 식각 프로파일과 식각율을 미세하게 조절하는 데 유리할 수 있다.

[0092] 이와 같이 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)을 한번에 식각함으로써 게이트 절연막(106) 및 게이트 전극(112)은 실질적으로 동일한 평면 모양을 가질 수 있고 산화물 반도체 박막(102)의 일부를 노출시킬 수 있다. 산화물 반도체 박막(116) 중 보호 절연막(104), 게이트 절연막(106) 및 게이트 전극(108)에 의해 덮인 영역은 산화물 반도체 박막(116)의 채널 영역(102)일 수 있다.

[0093] 다음, 도 4e를 참고하면, 산화물 반도체 박막(116)과 게이트 전극(108) 위에 층간 절연막(110)을 형성한다. 본 발명에서, 상기 층간 절연막(110)은 원자층 증착(ALD) 공정에 의해 형성될 수 있으며, 다량의 수소를 함유하기 위해서는 산소 전구체(산화제)로서 전술한 오존(O_3) 등이 아닌, 물(H_2O)을 사용하는 것이 바람직하다. 즉, 상기 원자층 증착(ALD) 공정에 의해 형성되는 층간 절연막(110)은 동일한 공정인 원자층 증착(ALD) 공정에 의해 형성되는 상기 산화물 반도체 박막(116) 등의 형성 시 사용되는 산화제인 오존(O_3)과 상이한 산화제, 구체적으로 물(H_2O)을 사용하는 것이 바람직할 수 있다. 이 경우, 높은 캐리어 농도를 갖는, 원자층 증착(ALD) 공정에 의해 형성된 산화물 반도체 박막을 포함하는 박막 트랜지스터를 용이하게 구현할 수 있다.

[0094] 이어서, 노출된 산화물 반도체 박막(116)에 도체화 공정을 수행하여 도전 영역(112a, 112b)을 형성할 수 있다. 층간 절연막(110) 내의 수소가 산화물 반도체 박막(116)으로 확산하며, 상기 수소는 상기 산화물 반도체 박막(116) 내에서 도펀트의 역할을 하여, 도핑에 기여한다. 이때, 원자층 증착 공정으로 형성된 층간 절연막의 산화제를 상기와 같이 제어함으로써 플라즈마 처리나 자외선 조사와 같은 추가 공정 없이 원자층 증착 공정만으로 높은 전기수송자 농도를 갖는 산화물 반도체 박막을 도체화할 수 있는 바, 간단하고 저온의 공정이 가능하다. 한편, 도핑 공정에서 산화물 반도체 박막(116)의 채널 영역(102)은 노출되지 않으므로, 산화물 반도체 박막(116)의 채널 영역(102)의 손상을 효과적으로 방지할 수 있다.

[0095] 다음, 도 4f를 참고하면, 층간 절연막(110)의 내부에 복수의 컨택 비아홀(H)을 형성한다.

[0096] 상기 컨택 비아홀은 전술한 플라즈마를 이용한 건식 식각으로 수행될 수 있다. 예컨대 알루미늄 산화막(Al_2O_3)은 아르곤(Ar) 및 염소(Cl_2) 가스 조합과 아르곤(Ar) 및 사불화탄소(CF_4) 가스 조합을 이용한 2단계 식각 공정으로 식각될 수 있다.

[0097] 상기 제 1 식각 단계에서는 Cl_2 가스를 포함하는 제 1 식각 가스를 사용하여 상기 층간 절연막(110)을 대부분

식각하며, 상기 제 2 식각 단계에서는 CF_4 가스를 포함하는 제 2 식각 가스를 사용하여 남은 층간 절연막을 상기 산화물 반도체 박막(102)이 일부 노출될 때까지 식각하여 컨택 비아홀을 형성하여, 기판 내 균일성을 효과적으로 증가시킬 수 있다.

[0098] 이어서 층간 절연막(110) 위에 소스 전극(114)과 드레인 전극(115)을 형성하고 컨택 비아홀(H)을 도전체로 채움으로써 박막 트랜지스터(200)를 제조할 수 있다.

[0099] 본 실시예에 따른 박막 트랜지스터(200)의 제조 방법은 후속 열처리는 수행하지 않을 수 있으며, 전술한 바와 같이 각 공정은 약 250°C 이하, 예컨대 약 200°C 이하의 온도에서 수행될 수 있다. 따라서 실시예 1에 따른 박막 트랜지스터(200)의 산화물 반도체 박막(116)은 열적 손상 없이 우수한 전기적 특성을 유지할 수 있다.

[0100] 이하에서는, 도 5a 내지 도 5f를 참조하여, 본 발명의 실시예 2에 따른 박막 트랜지스터 소자의 제조 방법에 대해 설명하도록 한다. 앞서 설명한 실시예와 중복되는 내용에 대한 상세한 설명은 생략하도록 한다.

[0101] 도 5a 내지 도 5f는 도 2의 박막 트랜지스터의 제조 방법을 나타내는 중간 단계 도면들이다.

[0102] 박막 트랜지스터(300)는 절연 기판(100) 상에 산화물 반도체 박막(116)을 형성하는 단계, 상기 산화물 반도체 박막(116) 상에 보호 절연막(104)을 형성하는 단계, 상기 산화물 반도체 박막(116) 및 보호 절연막(104)을 식각하는 단계, 상기 보호 절연막(104) 상에 게이트 절연막(106)을 형성하는 단계, 상기 게이트 절연막(106) 상에 게이트 전극(108)을 형성하는 단계, 상기 전극(108)을 식각하는 단계, 상기 게이트 전극(108)과 상기 게이트 절연막(106)을 덮도록 층간 절연막(110)을 형성하는 단계, 상기 층간 절연막(110)이 상기 보호 절연막(104) 및 게이트 절연막(106)으로 덮인 상기 산화물 반도체 박막(116) 일부를 도핑하여 도전 영역(112a, 112b)을 형성하는 단계, 상기 층간 절연막(110) 위에 상기 산화물 반도체 박막(116)의 도전 영역(112a, 112b)과 전기적으로 연결되는 소스 전극(114)과 드레인 전극(115)을 형성하는 단계를 통해 제조된다.

[0103] 상기 박막 트랜지스터 제조 시, 각 공정은 약 250°C 이하, 예컨대 약 200°C 이하의 비교적 저온에서 수행될 수 있고, 예컨대 상온(약 25°C) 내지 250°C 의 온도 범위에서 수행될 수 있다.

[0104] 도 5a 내지 도 5c는 본 발명의 실시예 1에 따른 박막 트랜지스터 소자의 제조 방법과 완전히 동일하다.

[0105] 도 5d를 참고하면, 게이트 전극(108)만 식각한다. 이때, 식각 공정은 포토 리소그래피 공정에 의해 수행될 수 있고, 식각 용액을 사용하여 습식 식각 공정으로 수행하거나, 플라즈마를 이용한 건식 식각 공정으로 수행할 수 있다. 이와 같이 게이트 전극(108)을 식각함으로써 게이트 절연막(106)의 일부를 노출시킬 수 있다. 산화물 반도체 박막(116) 중 보호 절연막(104), 게이트 절연막(106)에 의해 덮인 영역은 산화물 반도체 박막(116) 전체일 수 있고, 게이트 전극(108)에 의해 덮인 영역은 산화물 반도체 박막(116)의 채널 영역(102)일 수 있다.

[0106] 다음, 도 5e를 참고하면, 게이트 절연막(106)과 게이트 전극(108) 위에 층간 절연막(110)을 형성한다. 본 발명에서, 상기 층간 절연막(110)은 원자층 증착(ALD) 공정에 의해 형성될 수 있으며, 다량의 수소를 함유하기 위해서는 산소 전구체로서 물(H_2O)을 사용하는 것이 바람직하다.

[0107] 이어서, 산화물 반도체 박막(116) 위에 보호 절연막(104)과 게이트 절연막(106)이 덮인 상태로 도체화 공정을 수행하여 도전 영역(112a, 112b)을 형성할 수 있다. 층간 절연막(110) 내의 수소가 보호 절연막(104)과 게이트 절연막(106)을 통과하여 산화물 반도체 박막(116)으로 확산하며, 상기 수소는 상기 산화물 반도체 박막(116) 내에서 도펀트의 역할을 하여, 도핑에 기여한다. 이때, 도핑 공정에서 산화물 반도체 박막(116)의 채널 영역(102)은 노출되지 않으므로, 산화물 반도체 박막(116)의 채널 영역(102)의 손상을 효과적으로 방지할 수 있다.

[0108] 다음, 도 5f를 참고하면, 층간 절연막(110)의 내부에 복수의 컨택 비아홀(H)을 형성한다.

[0109] 상기 컨택 비아홀은 전술한 플라즈마를 이용한 건식 식각으로 수행될 수 있다. 예컨대 알루미늄 산화막(Al_2O_3)은 아르곤(Ar) 및 염소(Cl_2) 가스 조합과 아르곤(Ar) 및 사불화탄소(CF_4) 가스 조합을 이용한 2단계 식각 공정으로 식각될 수 있다.

[0110] 상기 제 1 식각 단계에서는 Cl_2 가스를 포함하는 제 1 식각 가스를 사용하여 상기 보호 절연막(104), 게이트 절연막(106) 및 층간 절연막(110)을 대부분 식각하며, 상기 제 2 식각 단계에서는 CF_4 가스를 포함하는 제 2 식각 가스를 사용하여 남은 보호 절연막(104)을 상기 산화물 반도체 박막(102)이 일부 노출될 때까지 식각하여 컨택 비아홀을 형성하여, 기판 내 균일성을 효과적으로 증가시킬 수 있다.

- [0111] 이어서 층간 절연막(110) 위에 소스 전극(114)과 드레인 전극(115)을 형성하고 콘택 비아홀(H)을 도전체로 채움으로써 박막 트랜지스터(300)를 제조할 수 있다.
- [0112] 본 실시예에 따른 박막 트랜지스터(300)의 제조 방법은 후속 열처리는 수행하지 않을 수 있으며, 전술한 바와 같이 각 공정은 약 250℃ 이하, 예컨대 약 200℃ 이하의 온도에서 수행될 수 있다. 따라서 실시예 2에 따른 박막 트랜지스터(300)의 산화물 반도체 박막(116)은 열적 손상 없이 양호한 전기적 특성을 유지할 수 있다.
- [0114] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0115] 그러므로, 다른 구현들, 다른 실시예들 및 청구범위와 균등한 것들도 후술하는 청구범위의 범위에 속한다.
- [0117] **실시예**
- [0118] **실시예 1**
- [0119] **<트랜지스터 소자 제조>**
- [0120] 기판으로 Si 웨이퍼를 열산화한 SiO₂/Si 기판을 사용하였다. 상기 기판 상에 원자층 증착(Atomic Layer Deposition; ALD) 공정으로 형성된 20 nm 두께의 인듐-갈륨-아연 산화물(In-Ga-Zn-O) 산화물 반도체 박막을 증착하였다. 구체적으로 In 금속, In-Ga 바이메탈릭(bimetallic) 및 Zn 금속 전구체를 소스 라인에 주입하고, 산화제로서는 오존(O₃)을 사용하였으며 질소 가스를 프리커서 전달을 위한 캐리어 가스로 사용하였다. 이때, 양이온 금속 전구체의 서브 사이클 수를 조절하여 In_{1.0}Ga_{0.8}Zn_{1.2} 조성의 높은 전기수송자 농도를 갖는 박막을 형성하였다. 이후, 보호 절연막으로 10 nm 두께의 알루미늄 산화막(Al₂O₃)을 200℃의 온도에서 원자층 증착 공정으로 증착하고 상기 산화물 반도체 박막 및 산화막을 동일한 영역의 패턴으로 습식 식각하였다. 게이트 절연막으로는 40 nm 두께의 알루미늄 산화막(Al₂O₃)을 200℃의 온도에서 원자층 증착 공정으로 증착하였고, 게이트 전극으로, 100 nm 두께의 인듐 주석 산화물(ITO)을 스퍼터링 방법으로 증착하였다. 이후, 상기 보호 절연막, 게이트 절연막 및 게이트 전극을 동일한 영역의 패턴으로 건식 식각하여, 상기 산화물 박막의 일부를 노출시켰다. 이후, 원자층 증착 공정으로 150℃의 온도에서 형성된 40 nm 두께의 알루미늄 산화막(Al₂O₃)을 증착하여 상기 게이트 전극과 산화물 반도체 박막을 덮는 층간 절연막을 형성하였다. 상기 보호 절연막과 상기 게이트 절연막은 산소 전구체로서 오존(O₃)을 사용하여 원자층 증착 공정으로 형성되었고, 상기 층간 절연막은 산소 전구체로서 물(H₂O)을 사용하여 원자층 증착 공정으로 형성되었다. 이때, 층간 절연막 내 수소에 의해 노출된 산화물 반도체 박막이 도핑되어 산화물 반도체 박막에 도전 영역이 형성되었다. 포토 레지스트를 식각 마스크로 이용한 건식 식각 공정을 통해 층간 절연막을 식각하여 콘택 비아홀을 형성한 뒤, 150nm 두께의 인듐 주석 산화물(ITO)을 스퍼터링 방법으로 증착하고, 리프트 오프 방법 통해 패턴화하여 박막 트랜지스터를 제조하였다.
- [0121] **실시예 2**
- [0122] 상기 게이트 절연막 및 게이트 전극을 증착한 후, 상기 보호 절연막, 게이트 절연막 및 게이트 전극을 동일한 영역의 패턴으로 건식 식각하여 상기 산화물 박막의 일부를 노출시키는 대신, 상기 게이트 전극만 패턴을 형성하여 습식 식각하여, 상기 게이트 절연막의 일부를 노출시켰다. 이후 층간 절연막은 상기 게이트 전극과 게이트 절연막을 덮도록 형성되었다. 이를 제외하고는, 실시예 1과 동일한 방법으로 트랜지스터를 제조하였다.
- [0125] **평가 1: 전류 특성 평가**
- [0126] 드레인 단자에는 1.0V(V_D)의 고정적인 전압을 인가하고, 게이트 단자에는 -10 V ~ +10 V의 스위프 전압(V_G)을 연속적으로 인가하는 조건으로 실시예에 따른 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 평가하였다.

- [0127] 도 6a는 실시예 1에 따른 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 나타내는 그래프이다.
- [0128] 도 6a를 참고하면, 실시예 1에서 제조한 박막 트랜지스터는 게이트 전압(V_G)을 소인(sweep)할 때 이력(hysteresis) 없이 우수한 전달 곡선을 보이며, $22.5 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 선형 영역에서의 전계효과 이동도, 205 mV/dec 의 서브쓰레숄드 기울기(subthreshold swing) 및 10^9 이상의 온/오프 전류 비(I_{on}/I_{off})를 나타내어 우수한 전기적 특성을 나타내었다.
- [0129] 한편, 도 6b는 실시예 2에 따른 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 나타내는 그래프이다.
- [0130] 도 6b를 참고하면, 실시예 2에서 제조한 박막 트랜지스터는 게이트 전압(V_G)을 소인(sweep)할 때 이력(hysteresis) 없이 우수한 전달 곡선을 보이며, $11.2 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 선형 영역에서의 전계효과 이동도, 241 mV/dec 의 서브쓰레숄드 기울기(subthreshold swing) 및 10^8 이상의 온/오프 전류 비(I_{on}/I_{off})를 나타내어 우수한 전기적 특성을 나타내었다.
- [0132] **평가 2: 채널 길이에 따른 드레인 전압(V_D)-드레인 전류(I_D) 특성 평가**
- [0133] 박막 트랜지스터의 채널 폭은 $80 \text{ } \mu\text{m}$ 로 고정하고, 박막 트랜지스터의 채널 길이를 $5 \text{ } \mu\text{m}$ 내지 $80 \text{ } \mu\text{m}$ 로 변경하면서 드레인 전압(V_D)-드레인 전류(I_D) 특성을 평가하였다.
- [0134] 또한, 게이트 전압(V_G)에 따른 채널 폭 정규화 컨택 저항(R_CW) 특성을 실험하기 위해 게이트 전압을 2 V 에서 8 V 까지 2 V 간격으로 인가하였다. 각 게이트 전압(V_G)에 대해 얻어진 총 저항을 채널 길이에 대해 플롯함으로써, y 절편의 컨택 저항(R_C) 값을 얻었다. 컨택 저항(R_C) 값은 채널 폭에 의존하기 때문에, 채널 폭 값으로 정규화(R_CW)되었다.
- [0135] 도 7a는 실시예 1에 따른 박막 트랜지스터의 게이트 전압(V_G)- 채널 폭 정규화 컨택 저항(R_CW) 특성을 나타내는 그래프이다.
- [0136] 도 7a를 참고하면, 실시예 1에 따른 박막 트랜지스터는 평가된 게이트 전압(V_G) 범위 내에서 채널 폭 정규화 컨택 저항(R_CW) 값이 대략 $12 \text{ } \Omega \cdot \text{cm}$ 의 매우 낮은 값으로 확인되었다. 이는, 실시예 1에 따른 박막 트랜지스터에서 층간 절연막이 노출된 인듐-갈륨-아연 산화물(In-Ga-Zn-O) 박막을 효과적으로 도핑하여 도전 영역이 성공적으로 형성되었다는 것을 나타내는 것이다.
- [0137] 한편 도 7b는 실시예 2에 따른 박막 트랜지스터의 게이트 전압(V_G)- 채널 폭 정규화 컨택 저항(R_CW) 특성을 나타내는 그래프이다.
- [0138] 도 7b를 참고하면, 실시예 2에 따른 박막 트랜지스터는 평가된 게이트 전압(V_G) 범위 내에서 채널 폭 정규화 컨택 저항(R_CW) 값이 대략 $75 \text{ } \Omega \cdot \text{cm}$ 의 낮은 값으로 확인되었다. 이는, 실시예 2에 따른 박막 트랜지스터에서 산화물 박막 상에 게이트 절연막 및 보호 절연막이 식각되지 않고 남아있는 경우, 층간 절연막이 게이트 전극과는 중첩되지 않고 게이트 절연막 및 보호 절연막과는 중첩되어 있는 게이트 절연막 및 보호 절연막 하부의 인듐-갈륨-아연 산화물(In-Ga-Zn-O) 박막을 효과적으로 도핑하여 도전 영역이 성공적으로 형성되었다는 것을 나타내는 것이다.
- [0140] 이상과 같이 실시예들에 대하여 상세하게 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자에게 있어서, 권리범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 권리범위에 속하는 것이다.

부호의 설명

[0142]

100: 절연 기판(SiO_2/Si)

102: 산화물 반도체 박막의 채널 영역(IGZO)

104: 보호 절연막

106: 게이트 절연막

108: 게이트 전극

110: 층간 절연막

112a, 112b: 산화물 반도체 박막의 도전 영역(n+ IGZO)

114: 소스 전극

115: 드레인 전극

116: 산화물 반도체 박막

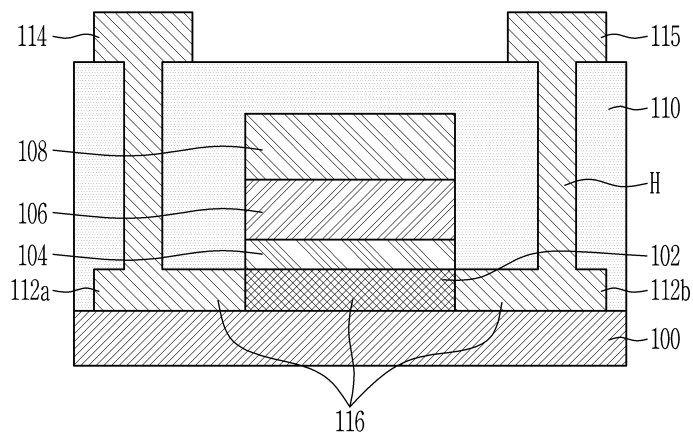
H: 컨택 비아홀

200, 300: 박막 트랜지스터

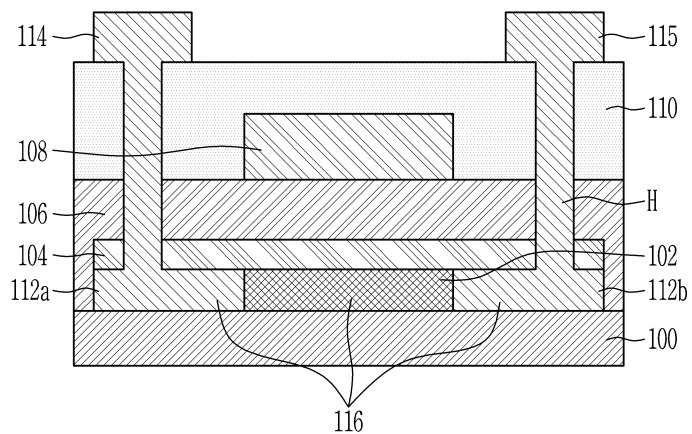
도면

도면1

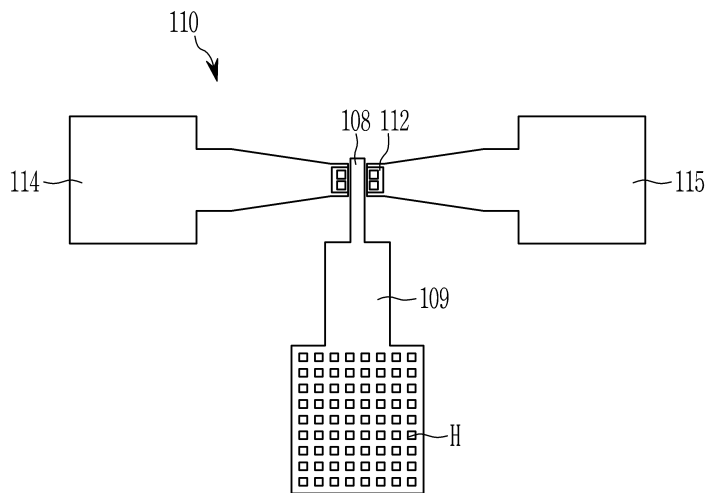
200



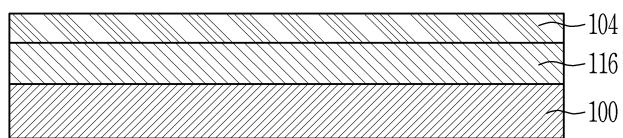
도면2

300

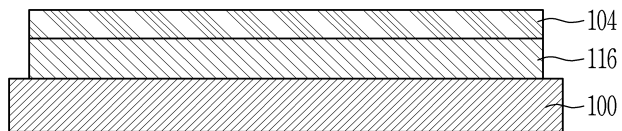
도면3



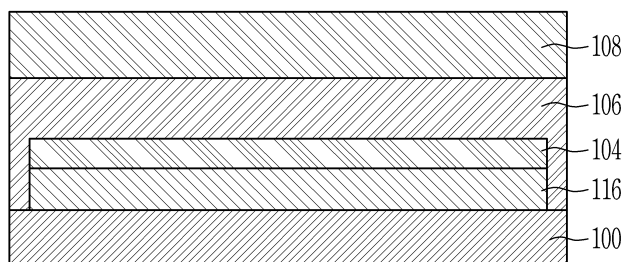
도면4a



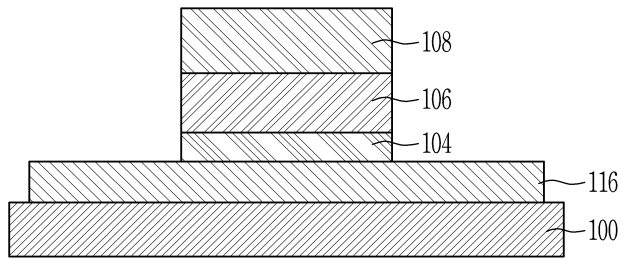
도면4b



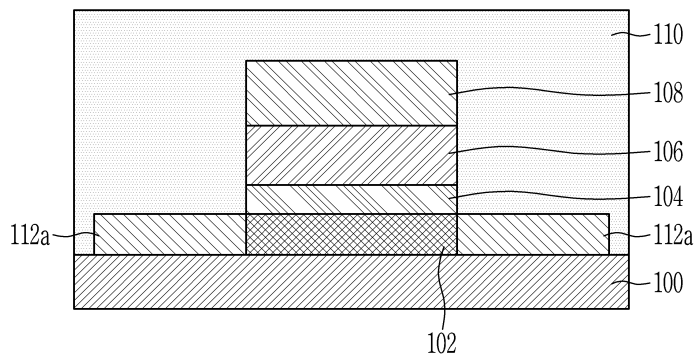
도면4c



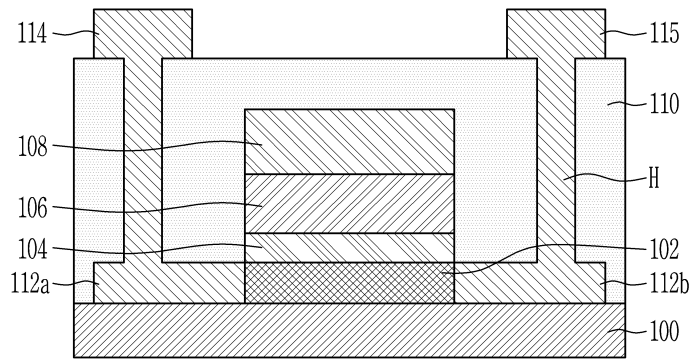
도면4d



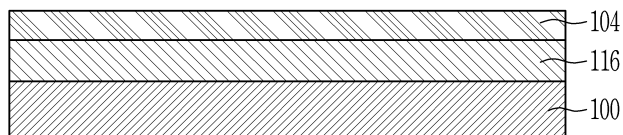
도면4e



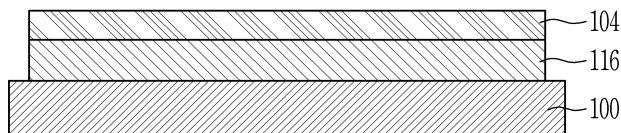
도면4f



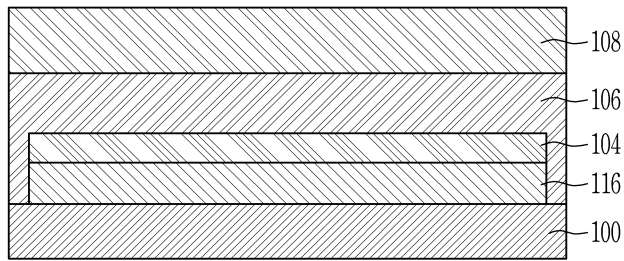
도면5a



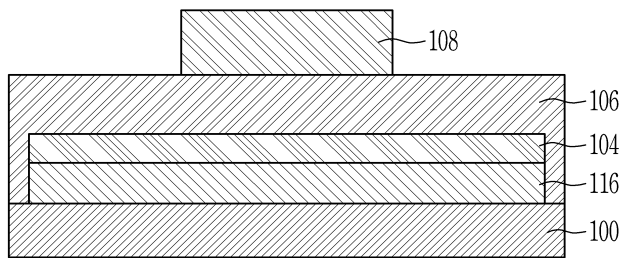
도면5b



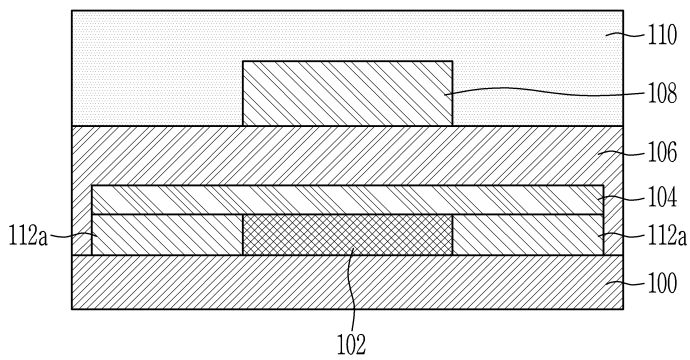
도면5c



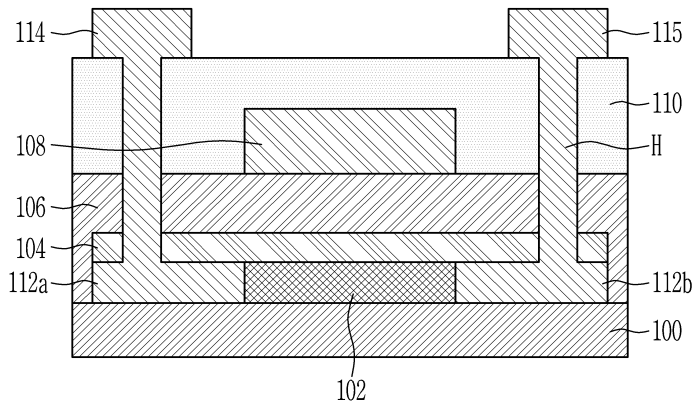
도면5d



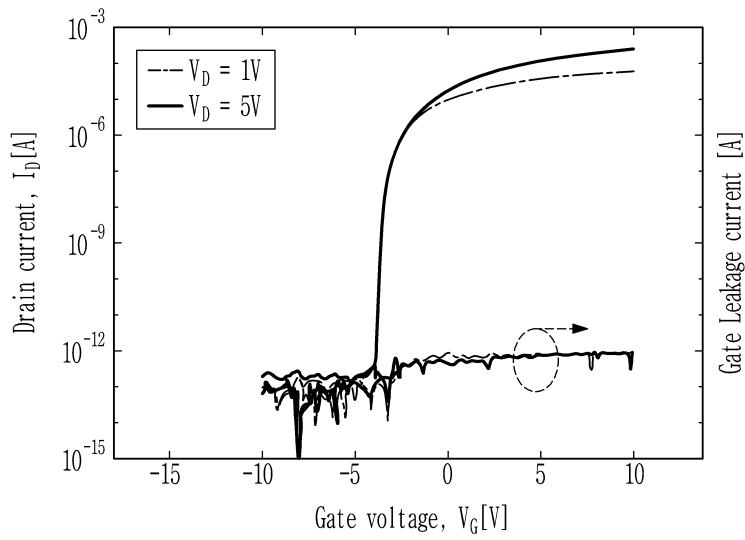
도면5e



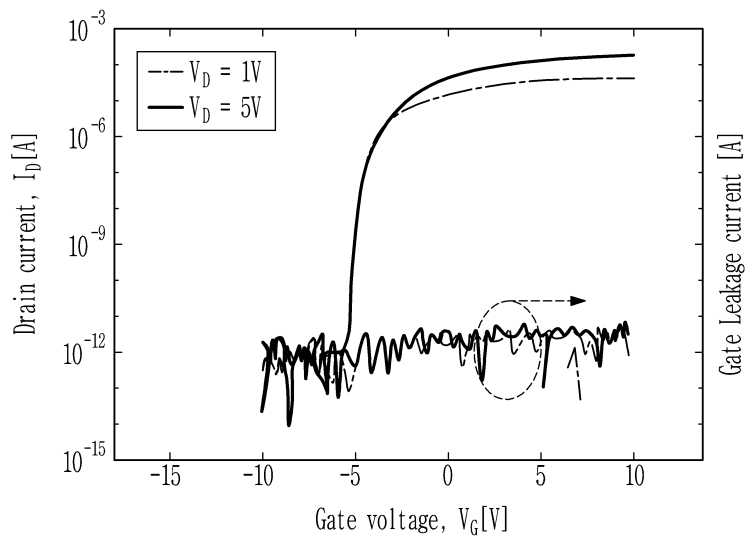
도면5f



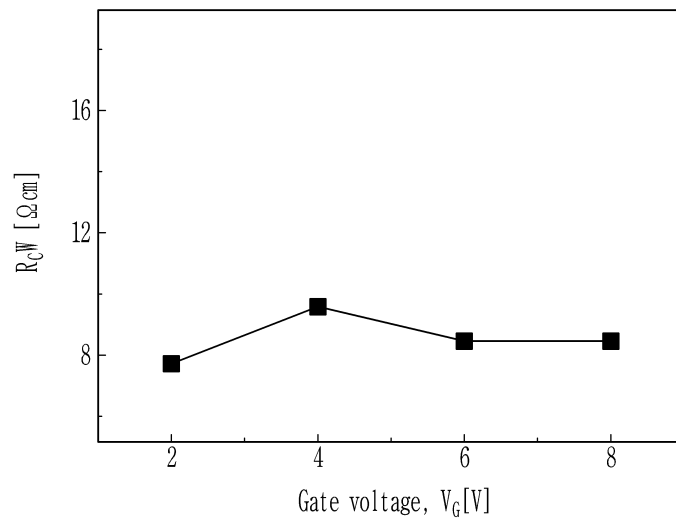
도면6a



도면6b



도면7a



도면7b

