



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0024909
(43) 공개일자 2019년03월08일

- (51) 국제특허분류(Int. Cl.)
C01B 32/188 (2017.01) C30B 25/18 (2006.01)
C30B 29/02 (2006.01) H01L 29/16 (2006.01)
- (52) CPC특허분류
C01B 32/188 (2017.08)
C30B 25/18 (2013.01)
- (21) 출원번호 10-2018-7037935
- (22) 출원일자(국제) 2017년06월30일
심사청구일자 없음
- (85) 번역문제출일자 2018년12월27일
- (86) 국제출원번호 PCT/IB2017/053969
- (87) 국제공개번호 WO 2018/007918
국제공개일자 2018년01월11일
- (30) 우선권주장
P.417804 2016년07월02일 폴란드(PL)

- (71) 출원인
유니버시티에 야기엘론스키
폴란드 쿠라코프 피엘-31-007 울 콜레비아 24
- (72) 발명자
치오훈, 표트르
폴란드 30-376 쿠라코프, 스칼리차 18, 유엘.
콜로지, 야체크
폴란드 30-412 쿠라코프, 멀노와 4에이, 유엘.
- (74) 대리인
특허법인대한

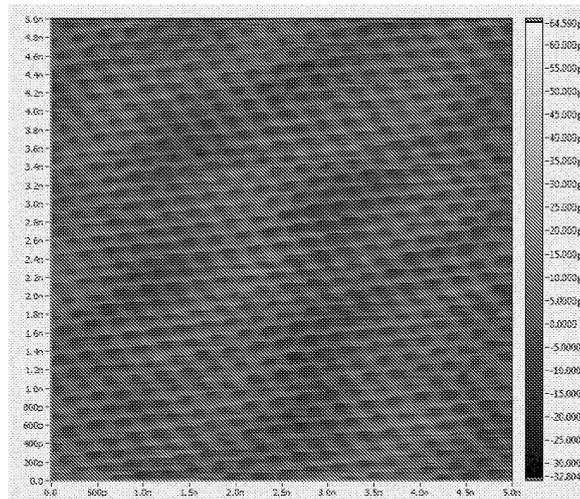
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **탄화규소의 표면 상의 고품질 그래핀 제조 방법**

(57) 요약

외부 승화 소스로부터 규소 원자의 스트림에서 화합물의 표면 흑연화에 의해 탄화규소의 표면 (0001) 상에 고품질 그래핀의 제조를 위한 방법이 개시된다.

대표도 - 도10a



(52) CPC특허분류

C30B 29/02 (2013.01)

H01L 29/1606 (2013.01)

명세서

청구범위

청구항 1

탄화규소 표면 상에 그래핀의 제조를 위한 방법에 있어서,
표면 (0001)의 결정학적 방향을 가지는 SiC 결정이 연속적으로:

- a) 1×10^{-9} mbar 보다 낮은 압력;
- b) 선택적으로 1×10^{-8} mbar 보다 높지 않은 압력 하에서, 300°C 내지 900°C의 온도에서 선택적으로 어닐링되고;
- c) 0.5 Å/min 내지 2.5 Å/min의 공칭 규소 성장 속도를 제공하는 외부 승화 소스로부터의 규소 원자의 스트림에서 900°C 내지 1050°C의 온도에서 선택적으로 어닐링되고;
- d) 0.5 Å/min 내지 10 Å/min의 공칭 규소 성장 속도를 제공하는 외부 승화 소스로부터의 규소 원자 스트림에서, 5×10^{-7} mbar 보다 높지 않은 압력하에서, 1300°C 내지 1800°C의 온도에서 선택적으로 어닐링되는 것을 특징으로 하는, 방법.

청구항 2

특히 SiC 결정의 표면 상에서의, 기본적으로 결정 결함이 없는 그래핀의 층에 있어서,
상기 그래핀의 층이, 허니콤 구조를 가지는 결정 격자를 형성하는 1 내지 4개, 특히 1 내지 2개의 원자 층, 및 SiC 표면 (0001) 상의 그래핀에 전형적인 회절 패턴을 가지는 저에너지 전자 회절에 의해 얻어진 그 회절 스펙트럼을 포함하며, 그래핀과 연결된 2개의 연속적인 회절 최대값 사이의 섹션에서 실온에서 측정된 최소 신호 강도에 대한 최대 신호 강도(SNR)의 비가 9보다 큰 것을 특징으로 하는, 그래핀의 층.

청구항 3

제2항에 있어서, 제1항에 따른 방법에 의해 얻어지는 것을 특징으로 하는, 그래핀.

청구항 4

제3항에 있어서, 상기 SNR 값이 단계 d)에서 1501°C보다 높은 어닐링 온도에 대해 9.8보다 큰 것을 특징으로 하는, 그래핀.

청구항 5

제3항에 있어서, 상기 SNR 값은 단계 d)에서 1501°C보다 낮은 어닐링 온도에 대해 11보다 큰 것을 특징으로 하는, 그래핀.

청구항 6

제3항에 있어서 상기 SNR 값은 단계 d)에서 1501°C보다 낮은 어닐링 온도에 대해 13보다 크며, 상기 제조 방법은 제1항에서 한정된 단계 b)를 포함하는 것을 특징으로 하는, 그래핀.

청구항 7

제3항에 있어서, 상기 SNR 값은 단계 d)에서 1501°C보다 낮은 어닐링 온도에 대해 17보다 크고, 상기 제조 방법은 제1항에서 한정된 단계 b) 및 c)를 포함하는 것을 특징으로 하는, 그래핀.

발명의 설명

기술 분야

본 발명은 외부 승화 소스로부터의 규소 원자의 스트림에서 화합물의 표면 흑연화(superficial graphitisation)

[0001]

n)에 의해 탄화규소의 표면 (0001) 상에서 고품질 그래핀의 제조를 위한 개선된 방법에 관한 것이다.

배경 기술

- [0002] 전하 캐리어의 매우 높은 이동도(규소에 대해 최대 $200\ 000\ \text{cm}^2\ \text{V}^{-1}\ \text{s}^{-1}$ [1] 까지인 한편, $1400\ \text{cm}^2\ \text{V}^{-1}\ \text{s}^{-1}$ [2]과 비교하여); 전하 캐리어의 높은 포화 속도(약 $5 \times 10^7\ \text{cm}\ \text{s}^{-1}$), 매우 높은 열전도($5000\ \text{W/mK}$ 까지)[3]; 기계적 강도[4]; 또는 실온에서 전기 전도의 거의 탄소 특성[5]과 같은 그 고유 특성으로 인하여, 그래핀은 규소 이외의 물질을 기반으로 하는, 미래 전자 기기에 적용되는 가장 중요한 물질들 중 하나이다.
- [0003] 큰 크기의 단결정 영역(single crystalline domain)과의 고품질 그래핀의 합성은 여전히 큰 도전 과제이다. 흑연의 화학 기상 증착, 기계적 박리, 일정 체적의 금속에 용해된 탄소 원자의 표면 배치(superficial ordering), 또는 화학 반응에 의한 합성과 같은 현재 사용되는 합성 방법은 매우 때때로 이론적으로 예측되는 특성보다 훨씬 나쁜 특성을 가지는 물질의 형성으로 이어진다. 추가적으로, 전자 기기에서 사용하기 위해 그래핀을 절연 기판 상으로 전사하는 필요성은 문제가 있다.
- [0004] 절연 기판 상에 그래핀을 직접 합성하는 가장 유망한 방법 중 하나는 이미 1961년에 처음으로 관찰된 (0001) 결정학적 방향(crystallographic orientation)을 가지는 탄화규소 표면의 표면 흑연화이다[6]. $1100\text{-}1200^\circ\text{C}$ 의 온도에서, 초고도 진공(UHV) 하에서, 표면 SiC 층이 열분해된다. 보다 휘발성인 규소 원자는 탈착되고, 표면 상에 잔류하는 파잉 탄소 원자는 재조직되어 그래핀 층을 형성한다[7].
- [0005] 그래핀의 형성은 단차형 가장자리(step edge)에서 SiC 기판의 제1 표면 층에서부터 시작하여, 표면 상에서 물질 내로 더욱 깊숙이 진행된다[9]. 단분자층을 형성하도록, 탄화규소의 3개의 층이 평균적으로 분해되어야 한다. 형성된 단분자층 아래에 소위 버퍼 층이 형성되고, 버퍼 층에서, 탄소 원자는 보다 높은 그래핀 층에서와 같이 유사하게 배치되지만, 탄소 원자는 여전히 SiC 내부의 규소 원자와 공유 결합(covalent bond)을 형성한다. 이러한 층은 탄화규소의 재조직된 표면이며, 비전도성이다. 이러한 것은 또한 위에 놓인 그래핀의 n-형 도핑에 대한 책임이 있다[13]. 제1 단분자층의 형성 후에, 그래핀의 추가 성장은 그 결합에 의해 제한된다.
- [0006] 요약하면, 초고도 진공 조건 하에서, 흑연화는 비교적 낮은 온도에서 발생하며, 이러한 온도에서, 탄소 원자는 매우 낮은 이동도를 가지며 약 1 내지 약 6개의 단분자층의 가변적인 두께를 가지는 고도 결합의 그래핀 층을 형성한다.
- [0007] 특허 출원 US20140175458 A1은 온도 $T_1=810\text{-}900^\circ\text{C}$ 및 $T_2=1010\text{-}1100^\circ\text{C}$ 에서 이중 어닐링에 의해 연결된 탄화규소의 표면 상에 금속층을 침착시키는(depositing) 것으로 이루어진, 탄화규소의 표면 상에서의 그래핀 합성을 위한 방법이 기술되어 있다. 이러한 방법은 기판(순수 SiC 표면)으로부터 그래핀을 분리하는 금속-탄화규소 복합체의 층 상에 그래핀의 형성을 야기한다.
- [0008] 특허 US 9150417 B2는 탄화규소의 표면 흑연화에 의해 얻어진 그래핀의 품질의 향상에 관한 발명을 개시한다. 이러한 것은 약 $600\ \text{mbar}^{-1}\ \text{bar}$ 의 압력 하에서 버퍼 가스 분위기(예를 들어, 아르곤)에서 흑연화를 수행하는 것으로 이루어진다. 이러한 조건 하에서, 규소 원자의 승화 속도는 탈착 후에, 규소 원자가 아르곤 원자와의 충돌의 결과로 표면 상으로의 복귀의 한정된 개연성을 가지기 때문에 상당히 감소되며[11]; 대안적으로 열역학적인 용어에 있어서 압력-체적 인자에 의한 이러한 천이(transition)의 엔탈피를 증가시킨 후에 증발 공정의 둔화(slowdown)로서 이해될 수 있다. 이러한 사실로 인해, 흑연화 공정은 약 $1450\text{-}1500^\circ\text{C}$ 의 상당히 높은 온도에서 일어난다. 이러한 온도 범위에서, 탄소 원자는 보다 높은 이동도를 가지며, 고품질과 약 1-2 단분자층의 비교적 균일한 두께를 특징으로 하는 그래핀 층을 형성한다[10]. 이러한 공정에서 그래핀 품질은 기판의 표면의 품질에 크게 좌우된다.
- [0009] 기술되는 공정에서 사용된 버퍼 가스가 최대 6N의 순도(10^{-6} 불순물)를 특징으로할 수 있다는 것에 유의해야 한다. 약 1 bar의 반응 챔버에서의 가스 압력 하에서, 도판트의 분압은 약 $1000\ \text{L/s}$ (초당 불순물의 1000개의 층)의 거대한 체적을 가지는 불순물의 알려지지 않은 입자의 스트림에 대한 표면의 노출에 대응하는 약 $10^{-3}\ \text{mbar}$ 에 달한다.
- [0010] 특허 출원 US20110223094 A1은 일부 예에서 2개의 결정체: 규소 및 탄화규소를 진공 챔버에 평행하게 배치하고, 그런 다음 진공 챔버로부터 약 $1 \times 10^{-6}\ \text{mbar}$ 의 압력으로 공기를 펌핑하고, 약 1200°C 의 온도로 규소 결정체의 어닐링하고, 1500°C , 1600°C 및 1700°C 의 온도로 탄화규소 결정체의 동시 어닐링하는 것에 의해 탄화 규소의 표면

상에서의 그래핀 합성으로 이루어진 발명을 기술하고 있다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 미국 특허공개번호 US 2014/0175458 A1
- (특허문헌 0002) 미국 특허번호 US 9150417 B2
- (특허문헌 0003) 미국 특허공개번호 US 2011/0223094 A1

발명의 내용

해결하려는 과제

- [0012] 본 발명의 목적은 낮은 수준의 불순물 및 그래핀 결정질 격자의 기본적으로 무결함 구조, 즉 허니콤 구조를 구비하는 고품질 그래핀뿐만 아니라 고품질 그래핀을 얻기 위한 방법을 제공하는 것이다.

과제의 해결 수단

- [0013] 놀랍게도, 본 발명에 따라서 달성되는 흑연화 처리되는 탄화규소의 표면의 부근에서의 규소 분압에서의 증가가 유익하게 규소 원자의 승화의 과정을 늦추어, 보다 양호하게 배치된 고품질 그래핀의 합성으로 이어지는 것이 알려졌다.
- [0014] 본 발명은 탄화규소 표면 상에서의 그래핀의 제조를 위한 방법에 관한 것으로서, 표면 (0001)의 결정학적 방향을 가지는 SiC 결정이 연속적으로:
 - [0015] a) 1×10^{-9} mbar 보다 낮은 압력;
 - [0016] b) 선택적으로 1×10^{-8} mbar 보다 높지 않은 압력 하에서, 300°C 내지 900°C의 온도에서 선택적으로 어닐링되고;
 - [0017] c) 0.5 Å/min 내지 2.5 Å/min의 공칭 규소 성장 속도(nominal silicon growth rate)를 제공하는 외부 승화 소스로부터의 규소 원자의 스트림에서 900°C 내지 1050°C의 온도에서 선택적으로 어닐링되고;
 - [0018] d) 0.5 Å/min 내지 10 Å/min의 공칭 규소 성장 속도를 제공하는 외부 승화 소스로부터의 규소 원자 스트림에서, 5×10^{-7} mbar 보다 높지 않은 압력하에서, 1300°C 내지 1800°C의 온도에서 선택적으로 어닐링되는 것을 특징으로 한다.
- [0019] 또한, 본 발명은 특히 SiC 결정의 표면 상에서의, 기본적으로 결정 결함이 없는 그래핀의 층에 관한 것으로, 상기 그래핀의 층이, 허니콤 구조를 가지는 결정 격자를 형성하는 1 내지 4개, 특히 1 내지 2개의 원자 층, 및 SiC 표면 (0001) 상의 그래핀에 전형적인 회절 패턴을 가지는 저에너지 전자 회절에 의해 얻어진 그 회절 스펙트럼을 포함하며, 그래핀과 연결된 2개의 연속적인 회절 최대값(diffraction maxima) 사이의 섹션에서 실온에서 측정된 최소 신호 강도에 대한 최대 신호 강도(SNR)의 비가 9보다 큰 것을 특징으로 한다.
- [0020] 바람직하게, 본 발명에 따른 그래핀은 본 발명에 따른 상기 한정된 방법에 의해 얻어진다. 바람직하게, 본 발명에 따른 그래핀은 그 SNR 값이 단계 d)에서 1501°C보다 높은 어닐링 온도에 대해 9.8보다 큰 것을 특징으로 한다. 바람직하게, SNR 값은 단계 d)에서 1501°C보다 낮은 어닐링 온도에 대해 11보다 크다. 특히 바람직하게, SNR 값은 단계 d)에서 1501°C보다 낮은 어닐링 온도에 대해 13보다 크며, 제조 방법은 상기 한정된 본 발명에 따른 방법의 단계 b)를 포함한다. 특히 바람직하게, SNR 값은 단계 d)에서 1501°C보다 낮은 어닐링 온도에 대해 17보다 크며, 상기 제조 방법은 상기 한정된 본 발명에 따른 방법의 단계 b) 및 c)를 포함한다.

발명의 효과

- [0021] 본 발명에 따르는 탄화규소의 표면 상의 고품질 그래핀 제조 방법은 낮은 수준의 불순물 및 그래핀 결정질 격자의 기본적 무결함 구조, 즉, 허니콤 구조를 구비하는 고품질 그래핀 뿐만아니라 고품질 그래핀을 얻을 수 있는 효과가 있다.

도면의 간단한 설명

- [0022] 도 1과 도 2는 저에너지 전자 회절(LEED)을 이용하여 SiC 표면상의 그래핀에 대한 회절 패턴을 도시한 이미지이며,
- 도 3은 도 2의 선을 따르는 신호 강도 프로파일을 도시한 그래프이며,
- 도 4는 샘플 A1과 A2의 전자 에너지에 대한 회절 패턴을 도시한 이미지이며,
- 도 5는 샘플 B1 내지 B4의 전자 에너지에 대한 회절 패턴을 도시한 이미지이며,
- 도 6은 지점(K)의 부근에서 그래핀에서의 전자 분포를 나타내는 스펙트럼이며,
- 도 7은 예 1 내지 예 4의 전자 에너지에 대한 회절 패턴을 도시한 이미지이며,
- 도 8은 예 1과 예 2에 대한 각도-분해 광전자 분광법에 의해 테스트된 전자 에너지에 대한 회절 패턴을 나타낸 이미지이며,
- 도 9a와 도 9b는 예 4에 대한 각도-분해 고아전자 분광법에 의해 분석된 ARPES 스펙트럼의 형태를 도시한 이미지이며,
- 도 10a와 도 10b는 예 4에 대한 주사 터널 현미경 이미지이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명에 따른 그래핀의 제조 방법은 탄화규소의 표면으로부터의 규소 원자의 표면 승화를 늦추도록, 흑연화 동안 고순도의 외부 승화 소스로부터 기원하는 규소 원자의 스트림으로의 버퍼 가스의 치환에 기초한다.
- [0024] 외부 승화 소스의 적용으로 인해, 불순물에 대한 표면의 노출은 상당히 감소되었다. 약 10^{-4} mbar의 빔상당압력 (BEP, beam equivalent pressure)에 대하여, 불순물에 대한 BEP 값은 최악의 경우에 약 10^{-7} mbar에 달할 것이며, 즉 버퍼 가스의 적용의 경우보다도 4 자릿수가 작다. 추가적으로, 외부 승화 소스를 사용하는 동안, 규소 원자 스트림의 밀도는 기본적으로 임의의 값으로 설정될 수 있으며, 그러므로 흑연화 온도는 상당히 증가될 수 있다.
- [0025] 탄화규소의 표면에 형성된 그래핀이 필요한 특성을 특징으로 하기 위해, 그 완벽한 결정학적 배치 (crystallographic ordering)가 필요하며(원자는 공석(vacancy), 전위(dislocation) 또는 입계 경계 (intergranular boundary)와 같은 낮은 농도의 결함을 구비한 허니콤 구조를 가지는 격자를 형성하여야만 한다), 고순도(낮은 농도의 불순물)이며, 결과적으로 비일관적인 분산의 결여와 관련된 이론적인 예측(역격자 (reciprocal lattice)의 K 지점 근처에서의 전자 분산의 선형 관계)에 대응하는 전자 구조이다.
- [0026] 본 발명에 따른 방법에서, 규소 원자 스트림의 밀도는 공정의 거의 평형 조건을 달성하도록 한정되었다. 이러한 조건 하에서, 표면으로부터 규소의 손실은 매우 느리게 일어난다. 이러한 사실로 인해, 충분히 높은 온도를 사용하는 동안, 표면 탄소 원자는 표면 시스템이 대부분의 모델 그래핀/SiC 상태로 재조직되는데 충분한 열 에너지 및 시간을 가진다.
- [0027] 놀랍게도, 본 발명에 따른 방법이 탄화규소의 절연 기관 상에 직접적인 결정질 결함이 없는 매우 고품질의 그래핀을 얻는 것으로 이어진다는 것이 알려졌다. 외부 승화 소스로부터의 규소 원자의 어닐링 시간 값 및 스트림의 추가 조정은 그래핀의 4개까지의 원자 층의 단일층의 합성을 가능하게 한다.
- [0028] 얻어진 그래핀의 품질 결정 방법
- [0029] 저에너지 전자 회절(LEED)은 제조된 그래핀의 품질 평가에 사용되었다. 도 1에 도시된 적합한 회절 패턴(156 eV의 전자 에너지에 대한 이미지)은 그래핀의 표면 상에서의 존재를 나타내는 파라미터를 구성한다. 본 발명에 따라서, 이러한 것은 SiC 표면 (0001) 상의 그래핀에 대해 전형적인 회절 패턴이다.
- [0030] 회색 벡터는 기관의 표면(탄화규소)에 관련된 벡터이고, 백색 벡터는 합성되는 그래핀과 관련된 벡터이다. 탄화규소와 관련된 회절 최대값은 회색 육각형의 모서리에 위치되고, 그래핀과 관련된 최대값은 백색 육각형의 모서리에 위치된다. 탄화규소로부터 기원하는 가장 강한 회절 최대값은 낮은 강도의 6개의 최대값에 의해 둘러싸이는 반면에(가장 밝은 피크 주변의 육각형), 그래핀으로부터 기원하는 가장 강한 회절 최대값은 회절 이미지의 중심을 향해 위치한 가장 강한 2개의 최대값에 의해 둘러싸인다(그래핀과 관련되는 최대값과 2차 최대값은 삼각

형을 형성한다). 또한 육각형을 형성하지만 항상 보이지 않는 추가적인 최대값은 그래핀과 관련된 최대값 주변에 위치될 수 있다.

- [0031] 품질 및 결정학적 배치를 평가하는 것을 가능하게 하는 파라미터는 배경 레벨에 대한 회절 최대값의 강도의 비에 의해 구성된다. 본 발명에 따라서 수치적으로 이러한 양을 평가하기 위하여, 신호 분석은 예를 들어 도 2의 예에 예시된 바와 같이 그래핀과 관련된 2개의 연속적인 회절 최대값 사이에서 수행되어야 한다.
- [0032] 이러한 선을 따르는 신호 강도 프로파일이 도 3에 도시되어 있다.
- [0033] SNR(신호대 잡음비) 값은 한정된 프로파일에서 최대 신호 강도를 최소 강도로 나누는 것에 의해 얻어진다. 도시된 예에서, SNR 값은 $SNR = 90/30 = 3$ 이 된다.
- [0034] 연속적인 샘플의 회절 패턴을 유사한 분석으로 처리하는 것에 의해, 본 발명에 따른 그래핀 표면의 품질 평가가 수행된다.
- [0035] A. SiC 표면의 예비 제조.
- [0036] 유익한 결과를 얻도록, 300°C 내지 900°C의 온도에서 초고도 진공 하에서 어닐링하고, 그런 다음 900°C 내지 1050°C의 온도에서 5×10^{-7} mbar의 보다 높은 진공 하에서 어닐링하여, 샘플 상으로의 규소 원자의 스트림을 유도하는 것과 조합되어, 0.5-2.5 Å/min의 공칭 규소 성장 속도를 유발하는 것에 의해 탄화규소의 시작 표면(이후에 흑연화 공정을 거치는)을 제조하는 것이 필요하다.
- [0037] 시작 표면은 실온으로 냉각되어야 하며, 그 품질은 회절법(LEED)에 의해 검사되어야 한다. 제조 후에, 표면은 (3×3) 표면 재구성을 특징으로 하며, 이러한 것은 아래의 예(A)에서 보여진다.
- [0038] 예 A1.
- [0039] 샘플 1의 제조 방법: 진공 챔버로의 도입, 1×10^{-9} mbar보다 낮은 압력으로 챔버를 펌핑, 100°C로부터 850°C로 점차적으로 증가되는 온도에서 샘플의 어닐링(탈가스), 시간 t=10 분 동안 진공(규소 원자의 스트림없이) 하에서 950°C의 온도에서 샘플의 어닐링.
- [0040] 예 A2.
- [0041] 샘플 2의 제조 방법: 진공 챔버로의 도입, 1×10^{-9} mbar보다 낮은 압력으로 챔버를 펌핑, 100°C로부터 850°C로 점차적으로 증가되는 온도에서 샘플의 어닐링(탈가스), 규소 원자의 스트림에서 950°C의 온도에서 샘플을 어닐링하여, 시간 t = 10 분 동안 0.5 내지 2.5 Å/min의 공칭 규소 성장 속도를 유발.
- [0042] 그런 다음, 얻어진 표면의 테스트를 행하였다. 그 결과가 도 4에서 보여진다.
- [0043] 테스트는 예 A1 및 A2에 따라서 제조된 2개의 샘플을 사용하여 저에너지 전자 회절에 의해 수행되었다. 142 eV와 동등한 전자 에너지에 대한 회절 패턴의 형태를 하는 결과가 도 4에서 보여진다.
- [0044] 규소 원자의 스트림에서 어닐링에 의해 제조된 시작 표면은 (3×3) 형태의 표면 재구성을 특징으로 한다. 또한, 이러한 표면은 거의 완벽한 결정학적 배치를 특징으로 하며, 이러한 것은 매우 많은 수의 관찰 가능한 회절 최대값, 그 작은 횡단 크기, 그 높은 밝기 및 낮은 밝기의 배경(배경 강도에 대한 신호 강도의 높은 비, 이러한 것은 적은 수의 결정학적 결함 및 표면의 비정질 영역을 입증한다)에 의해 입증된다. 진공 하에서 제조된 표면은 (1×1) 형태의 재구성 및 낮은 정도의 결정학적 배치를 특징으로 하며, 이러한 것은 매우 높은 강도의 배경, 비교적 낮은 강도의 회절 최대값 및 상기 최대값의 확산된 횡단 형상에 의해 입증된다. 10
- [0045] B. 사전 제조된 SiC 표면의 흑연화.
- [0046] 상기한 방식으로 제조된 시작 표면은 5×10^{-7} mbar를 초과하지 않는 진공 챔버에서의 압력 하에서 0.5-10 Å/min의 규소층의 공칭 성장 속도에 대응하는, 외부 승화 소스로부터의 규소 원자의 스트림에서 1300 내지 1800°C의 온도에서 흑연화 공정이 수행되었다. 제조 후에, 고품질 그래핀(위에서 상세히 설명됨)이 표면에 형성되며, 이러한 것은 다음의 예(B)에서 보여진다:
- [0047] 예 B1.
- [0048] 샘플 1의 제조 방법: 진공 챔버로의 도입, 1×10^{-9} mbar보다 낮은 압력으로 챔버를 펌핑, 100°C로부터 850°C로

점차적으로 증가되는 온도에서 샘플의 어닐링(탈가스, 시작 표면(3×3)의 제조없음), 시간 t=10 분 동안 1450℃의 온도에서 샘플의 어닐링(규소 원자의 스트립없이).

- [0049] 예 B2.
- [0050] 샘플 2의 제조 방법: 진공 챔버로의 도입, 1×10^{-9} mbar보다 낮은 압력으로 챔버를 펌핑, 100℃로부터 850℃로 점차적으로 증가되는 온도에서 샘플의 어닐링(탈가스, 시작 표면(3×3)의 제조없음), 규소 원자의 스트립에서 1450℃의 온도에서 샘플을 어닐링하여, 시간 t = 10 분 동안 약 4 Å/min의 공칭 규소 성장 속도를 유발.
- [0051] 예 B3.
- [0052] 샘플 3의 제조 방법: 상기된 바와 같이 (3×3) 표면 재구성을 특징으로 하는 시작 표면을 제조한 후에: 시간 t = 10분 동안 1450℃의 온도에서(규소 원자의 스트립없이) 샘플의 어닐링.
- [0053] 예 B4.
- [0054] 샘플 4의 제조 방법: 상기한 바와 같이 (3×3) 표면 재구성을 특징으로 하는 시작 표면을 제조한 후에: 규소 원자의 스트립에서 1450℃의 온도에서 샘플을 어닐링하여, 시간 t = 10분 동안 약 4 Å/min의 공칭 규소 성장 속도를 유발.
- [0055] 얻어진 샘플의 회절 연구
- [0056] 테스트는 예 B1 내지 B4에 따라서 제조된 2개의 샘플을 사용하여 실온에서 저에너지 전자 회절에 의해 수행되었다. 156 eV와 동등한 전자 에너지에 대해 회절 패턴의 형태를 하는 결과가 도 5에서 보여진다.
- [0057] (3×3) 형태의 시작 표면의 제조 및 규소 원자의 스트립에서의 어닐링에 의해 제조된 표면은 명백하게 보다 양호한 결정학적 배치를 특징으로 한다는 것이 알려졌다. 회절 최대값은 잘 형성되고, 완벽한 형상과 높은 강도를 가지는 반면에, 배경은 사실상 보이지 않는다. 이러한 것은 높은 배치도(ordering degree) 및 샘플의 표면 상에서의 그래핀 층 및 비정질 영역에서의 모든 결합의 최소 집중의 증거이다.
- [0058] 얻어진 샘플의 분광학 연구
- [0059] 테스트는 예 B1, B3 및 B4에 따라서 제조된 2개의 샘플을 사용하여 실온에서 UV-방사 범위(UV-ARPES)에서 각도-분해 광전자 분광법(angle-resolved photoemission spectroscopy)에 의해 수행되었다. UV 방사에 의해 스퍼터링된 광전자의 강도 분포 대 방사 각도(수직축) 및 물질의 전자 구조의 영상화를 가능하게 하는 운동 에너지(수평축)를 나타내는 스펙트럼의 형태를 하는 결과가 도 6에 도시되어 있다.
- [0060] 도 6의 스펙트럼은 지점(K)의 부근에서 그래핀에서의 전자 분포를 나타낸다. 이론적으로 예측되는 바와 같이, 분산 관계(샘플로부터 전자의 방사 각도(수직축)에 선형으로 비례하는 전자의 유사 운동량에 대한 에너지 의존성)는 이러한 지점 주위에서 선형이어야 하며(이는 모든 샘플에 대해 명백하다), 그러므로 그래핀이 모든 샘플의 표면 상에 형성되었다.
- [0061] 광 방출 스펙트럼에서의 표면 배치의 영향을 결정하는 것을 가능하게 하는 파라미터는 배경 강도에 의해 구성된다. 가장 낮은 배경 강도(공식적으로 배경 강도에 대한 신호 강도의 비)는 샘플 B4에 대해 관찰되었다(선형 분산 관계의 2개의 분기 사이의 신호 강도가 주목할만 하다).
- [0062] 본 발명에 따른 고품질 그래핀은 임계 파라미터, 특히 규소 원자의 흑연화 온도 및 스트립의 비교적 광범위한 범위의 값을 위하여 본 발명에 따른 방법에 의해 얻어질 수 있다. 이러한 것은 다음에 설명되는 바람직한 실시예에서 예시되었으며, 그러나 이러한 것은 청구된 본 발명의 전체 범위와 동일시되지 않아야 한다.
- [0063] 예 1.
- [0064] 샘플 1의 제조 방법: 상기한 바와 같이 (3×3) 표면 재구성을 특징으로 하는 시작 표면의 제조 후에: 규소 원자의 스트립에서 1500℃의 온도에서 샘플을 어닐링하여, 시간 t = 10분 동안 약 1 Å/min의 공칭 규소 성장 속도를 유발.
- [0065] 예 2.
- [0066] 샘플 2의 제조 방법: 상기한 바와 같이 (3×3) 표면 재구성을 특징으로 하는 시작 표면의 제조 후에: 규소 원자의 스트립에서 1500℃의 온도에서 샘플을 어닐링하여, 시간 t = 10분 동안 약 25 Å/min의 공칭 규소 성장 속도를 유발.

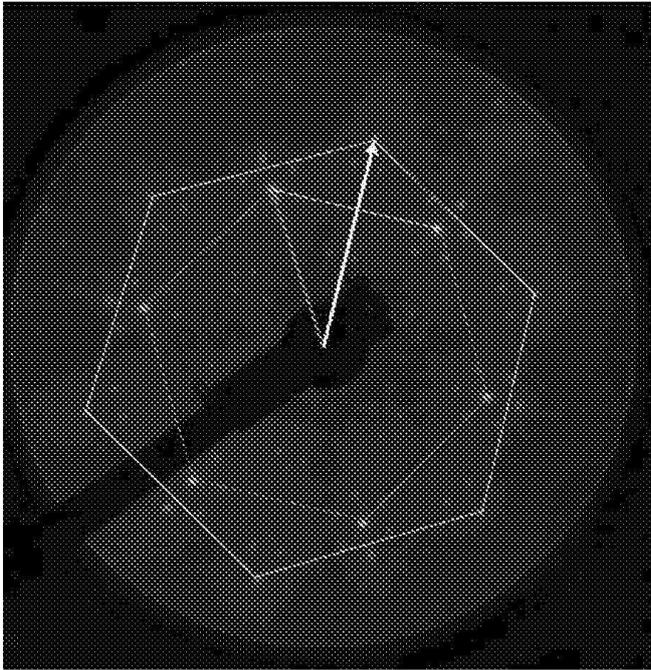
- [0067] 예 3.
- [0068] 샘플 3의 제조 방법: 상기한 바와 같이 (3×3) 표면 재구성을 특징으로 하는 시작 표면의 제조 후에: 규소 원자의 스트립에서 1200°C의 온도에서 샘플을 어닐링하여, 시간 $t = 10$ 분 동안 약 $1 \text{ \AA}/\text{min}$ 의 공칭 규소 성장 속도를 유발.
- [0069] 예 4.
- [0070] 샘플 4의 제조 방법: 상기한 바와 같이 (3×3) 표면 재구성을 특징으로 하는 시작 표면의 제조 후에: 규소 원자의 스트립에서 1700°C의 온도에서 샘플을 어닐링하여, 시간 $t = 6$ 분 동안 약 $4 \text{ \AA}/\text{min}$ 의 공칭 규소 성장 속도를 유발.
- [0071] 예 1 내지 4에서 얻어진 그래핀 샘플의 품질 및 구조가 분석되었다.
- [0072] 테스트 1
- [0073] 예 1-4(각각 샘플 1-4)에 따라서 얻어진 그래핀 샘플의 품질 및 구조가 실온에서 저에너지 전자 회절에 의해 테스트되었다. 156 eV에 동등한 전자 에너지에 대해 회절 패턴의 형태를 하는 결과가 도 7에 도시되어 있다.
- [0074] 테스트 2
- [0075] 예 1-2(각각 샘플 1 및 2)에 따라서 얻어진 그래핀 샘플의 품질 및 구조가 실온에서 각도-분해 광전자 분광법에 의해 테스트되었다. 156 eV에 동등한 전자 에너지에 대해 회절 패턴의 형태를 하는 결과가 도 8에 도시되어 있다.
- [0076] 각각의 실시예에서, 고품질 그래핀은 샘플의 표면 상에 형성되었으며, 이러한 것은 회절 및 분광 테스트에 의해 확인되었다. 표면의 정확한 구조는 다양하지만, 이러한 것 모두는 매우 높은 결정학적 배치와 고품질의 전자 구조를 특징으로 한다.
- [0077] 테스트 3
- [0078] 예 4에서 얻어진 그래핀 샘플은 액체 질소 온도($T = 78 \text{ K}$)에서 각도-분해 광전자 분광법에 의해 분석되었다. ARPES 스펙트럼의 형태를 하는 결과는 도 9a 및 도 9b에 도시되어 있다.
- [0079] 샘플 4는 매우 높은 품질의 표면을 특징으로 하며, 이러한 것은 분산 관계에서의 예리한 밴드와 매우 낮은 배경 레벨에 의해 입증된다. 추가적으로, 2개의 그래핀 층이 샘플 상에서 발생하며, 이러한 것은 분산 관계의 선형 분기의 분열(splitting)로서 ARPES 스펙트럼에서 입증된다. 이러한 사실은 본 발명에 따른 방법이 표면 상에 형성된 그래핀 층의 수를 제어할 수 있다는 것을 확인한다.
- [0080] 테스트 4
- [0081] 예 4에서 얻어진 그래핀 샘플은 진공 하의 실온에서 주사 터널 현미경에 의해 분석되었다(Omicron RT-STM/AFM 현미경, 예칭된 텅스텐으로 제조된 현미경 팁, 15 mV의 분극 전압, 100 pA의 터널링 전류). 현미경 이미지의 형태를 하는 결과도 10a 및 도 10b에 도시되어 있다.
- [0082] 현미경 이미지에서, 그래핀의 완벽한 결정학적 구조, 즉 허니콤 구조가 분명하다. 그래핀의 단위 셀은 단일의 작은 육각형이며; 배경 강도에서의 변화는 표층 지반(subsurface layer)($(6\sqrt{3} \times 6\sqrt{3})R30^\circ$ 대칭을 가지는 버퍼 층)의 효과에 기인한다. 구조는 매우 적은 양의 임의의 불순물 또는 결함을 특징으로 하며, 샘플의 표면 상에서 고품질 및 결정학적 배치를 확인한다.
- [0083] 요약
- [0084] 그래핀 합성을 위해 제시된 방법은 특허 출원 US 20110223094 A1에 기술된 물리적 현상의 이점을 취한다. 두 경우 모두에서, 고품질의 그래핀은 탄화규소 표면의 가장 근접한 부근에서의 대기로 추가적인 외부 규소 원자를 도입하는 것에 의해 탄화규소 표면으로부터 규소 원자의 승화 속도의 감소에 의해 얻어진다. 그러나, 이러한 방법은 다수의 중요한 측면에서 다르다.
- [0085] 우선, 특허 출원 US 20110223094 A1에서, 탄화규소 표면의 흑연화 공정은 진공 챔버에서 수행되어, 약 1×10^{-6} Torr의 기준 압력을 보장한다(인용 문헌의도 1a 참조). 그러므로, 기재된 방법은, 규소 원자의 승화 속도가 버퍼 가스의 적용에 의해 감소되는 특허 US 9150417 B2에 기술된 방법과 동일한 상당한 온도 제한의 단점이 있다.

약 1×10^{-5} 내지 1×10^{-6} Torr의 기준 압력은 어닐링의 시작 전이라도 약 10^{-10} L/s의 알려지지 않은 불순물에 대한 표면의 노출에 대응한다. 이러한 것은 버퍼 가스를 사용하는 동안 얻은 값보다 양호한 값이지만, 이러한 것은 여전히 고도의 샘플 오염에 대응한다. 고온에서의 어닐링 동안, 챔버에서의 압력은 적어도 1 자릿수만큼 저하되며, 그러므로 불순물에 대한 노출은 적어도 10^{-100} L/s에 달한다.

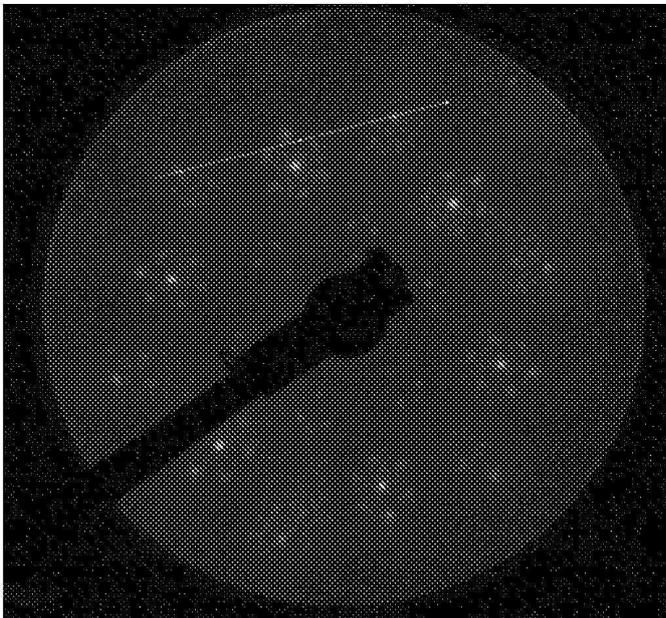
- [0086] 다른 한편으로, 본 발명에 따른 방법은, 초고도 진공의 레벨에서의 기준 압력 또는 약 1×10^{-10} mbar(약 0.0001 L/s의 노출)의 적용으로 인해 품질의 관점과 다른 결과를 산출할 뿐만 아니라, 어닐링 동안 챔버에서의 압력을 5×10^{-7} mbar(약 0.5 L/s의 노출, 또는 US 20110223094 A1로부터 공지된 방법에서보다 2 자릿수 낮은 노출)보다 양호한 레벨로 유지한다.
- [0087] 더욱이, 특허 출원 US 20110223094 A1에 기술된 방법은 결정들 사이의 거리를 증가시키는 것 외에 샘플의 바로 근처에서 규소 원자의 스트림(분압)의 값에 대한 정확한 제어를 계획하지 않는다.
- [0088] 한편, 본 발명에 따른 방법은 탄화규소 결정체에 대한 어닐링 온도 및 시간에 의존하여 규소 원자의 스트림 값 및 그 변화의 정밀한 제어를 가능하게 한다. 공정 파라미터에 대한 정확한 제어로 인하여, 얻어진 결과는 이전에 공지된 방법으로 얻은 결과와 상당히 다르다.
- [0089] 또한, 종래의 기술은 탄화규소 표면의 예비 제조를 제공하지 못한다.
- [0090] 한편, 본 발명에 따른 방법의 바람직한 실시예에서, 흑연화 처리되는 탄화규소의 시작 표면의 제조는 초고도 진공 하의 300°C - 900°C 의 온도에서 이를 어닐링하고, 이어서 초고도 진공 하에서 0.5-2.5 Å/min의 규소 성장의 공칭 속도에 대응하는, 규소 원자의 스트림에서 900 - 1100°C 의 온도에서 이를 어닐링하고, 그런 다음 결정을 실온으로 냉각하는 것에 의해 수행된다. 예비 제조는, 그 동안 불순물이 결정의 내부로 확산될 뿐만 아니라 그래핀 층에서 구조적 결함을 형성하는 흑연화를 착수하기 전에 탄화규소의 표면으로부터 불순물의 제거를 유발하며, 또한 이러한 것은 고도의 결정학적 배치(표면의 (3×3) 재구성)의 형성 및 단차부 가장자리의 평활화(smoothing)를 유발한다. 제시된 결과는 표면의 예비 제조가 유익하게 흑연화 공정에서 얻어진 그래핀의 품질 및 구조에 영향을 미친다는 것을 확인한다.
- [0091] 또한, 공지된 방법은 탄화규소 표면의 온도에 대한 직접적인 제어를 배제한다.
- [0092] 다른 한편으로, 본 발명에 따른 방법은 샘플 상으로 안내된 광학 고온계를 사용하여 이러한 제어를 실행한다. 정밀한 온도 제어는 최적의 반복 가능한 결과를 얻기 위해 매우 중요하다.
- [0093] 종래의 기술로부터 공지된 방법으로 표면의 온도를 직접 측정의 결여는 결과의 반복성의 결여 및 인용된 문헌의 저자에 의해 보고된 결과의 낮은 신뢰성으로 이어지며, 어닐링된 SiC 결정의 후방 표면으로 유도된 열전대 또는 고온계에 의한 온도 측정을 위한 모든 직접적인 방법은 공정 동안 매우 높은 불확실성 및 가능한 온도 진동을 유발하여, 합성되는 그래핀의 품질을 손상시킨다.

도면

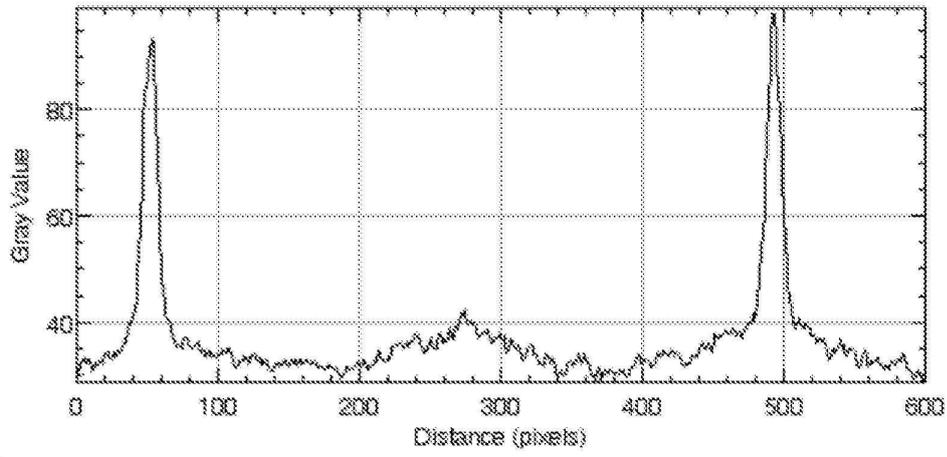
도면1



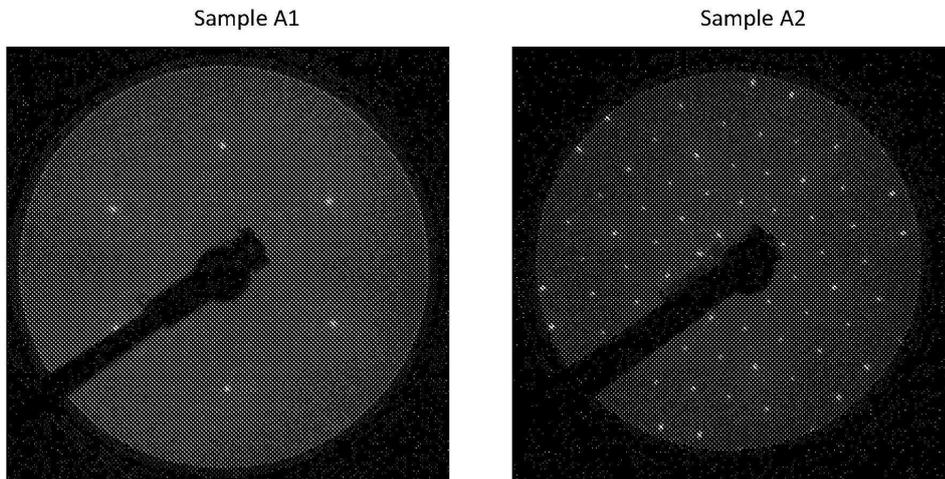
도면2



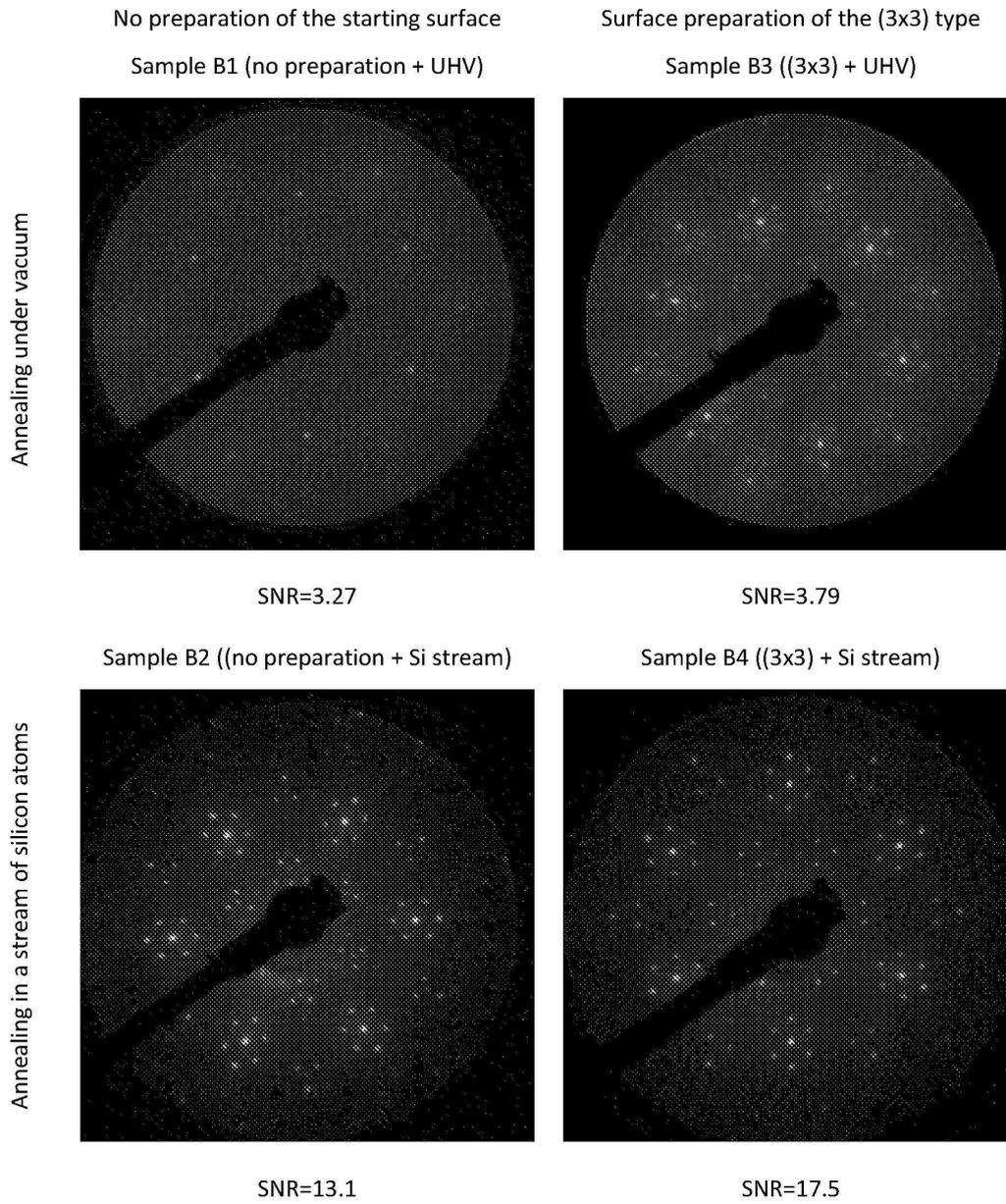
도면3



도면4

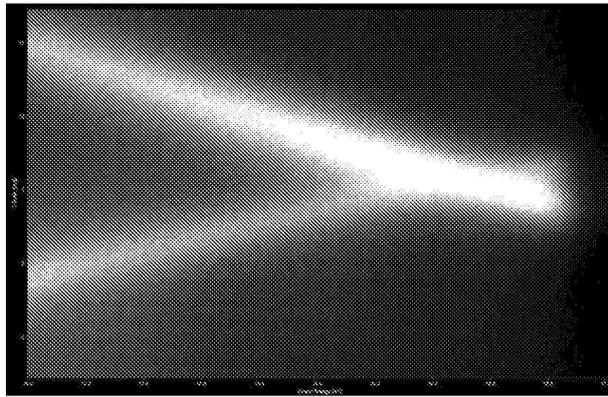


도면5

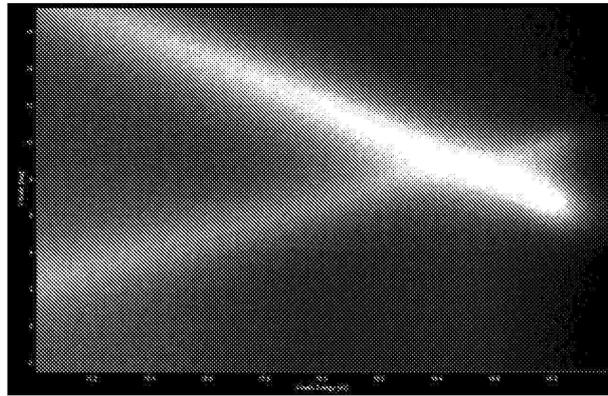


도면6

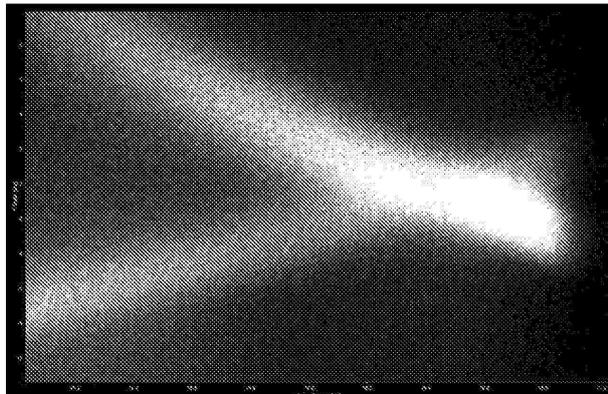
Sample B1



Sample B3

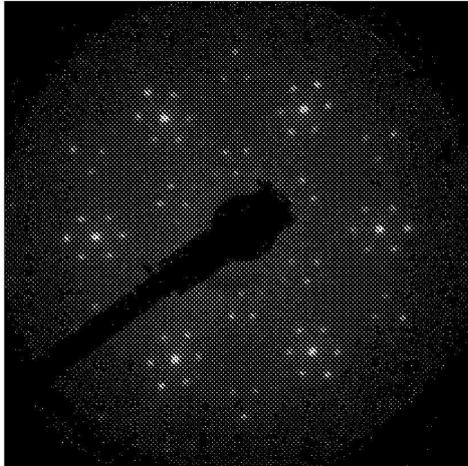


Sample B4



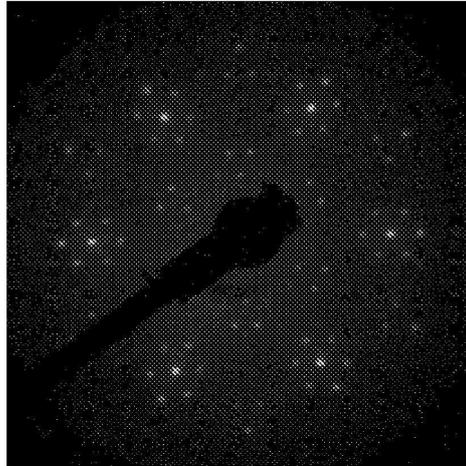
도면7

Sample 1



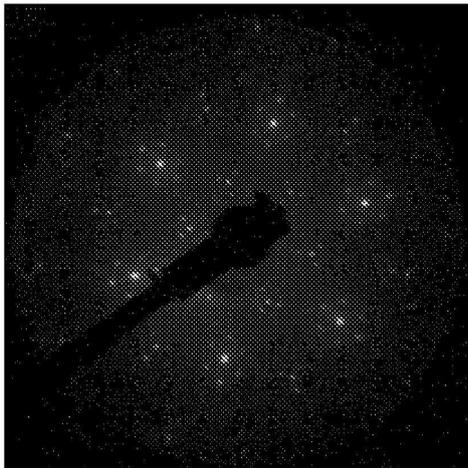
SNR=11.56

Sample 2



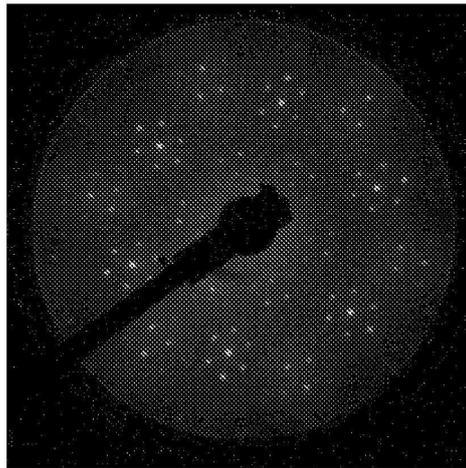
SNR=11.28

Sample 3



SNR=12.18

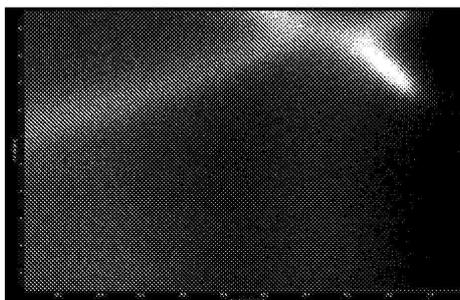
Sample 4



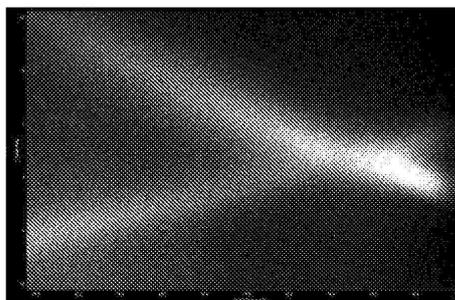
SNR=9.93

도면8

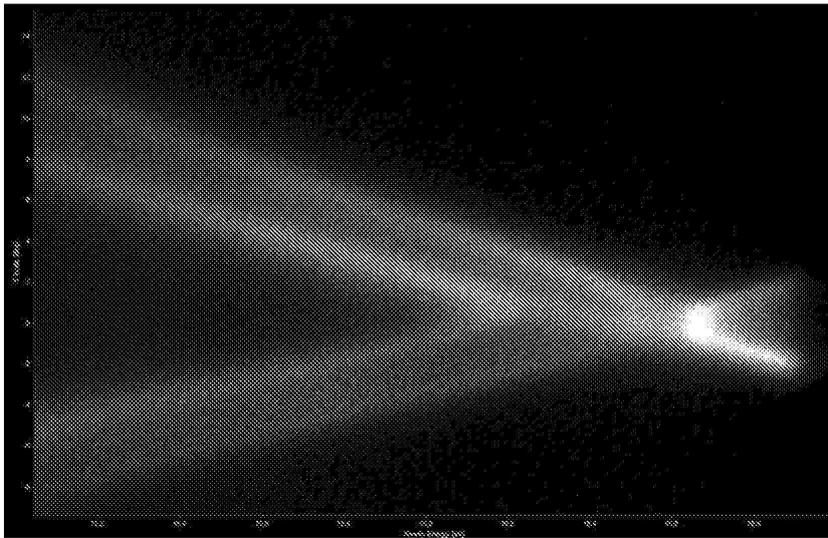
Sample 1



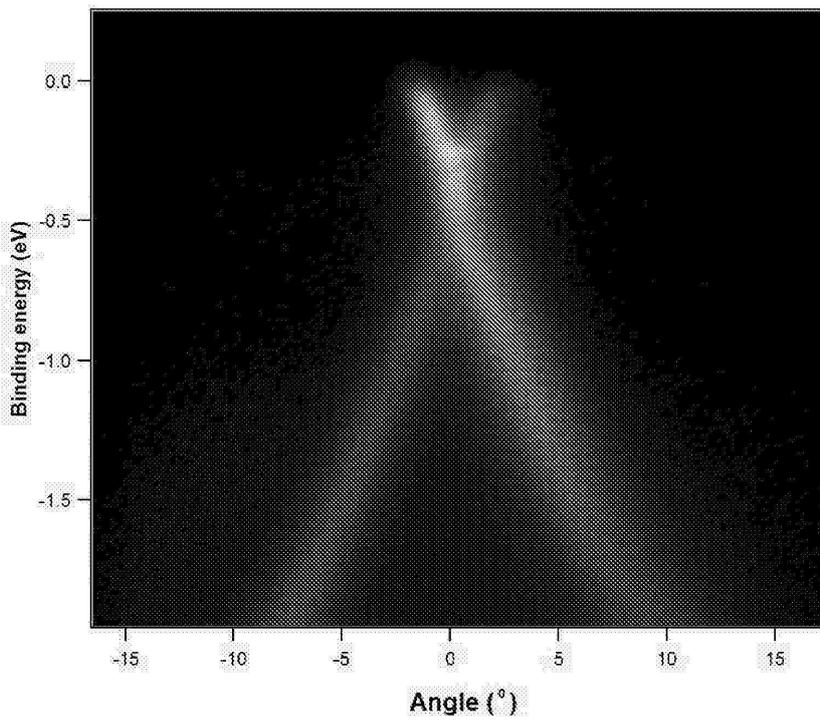
Sample 2



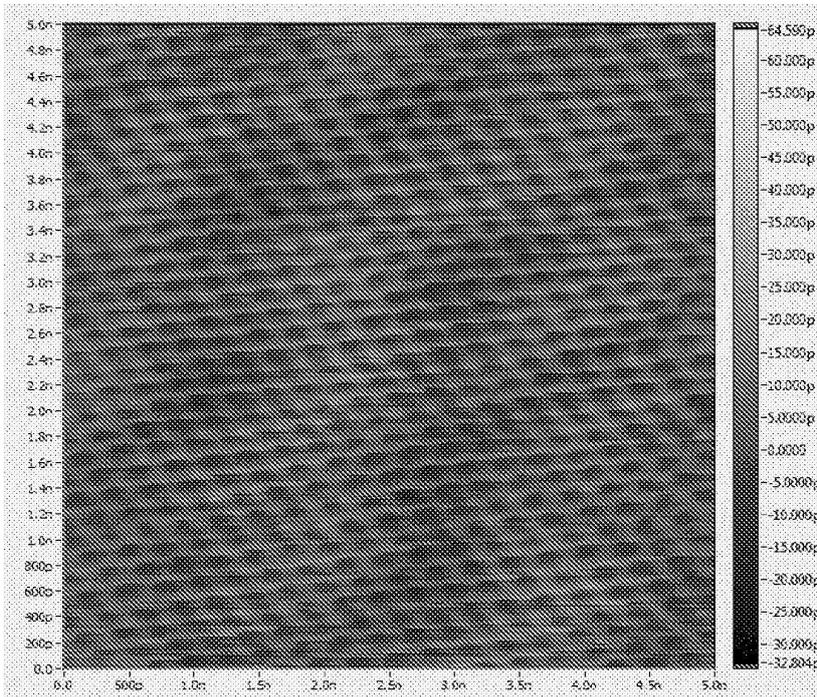
도면9a



도면9b



도면10a



도면10b

