

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4290071号  
(P4290071)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月10日(2009.4.10)

(51) Int.Cl.

F 1

<b>HO4N 5/335</b>	<b>(2006.01)</b>	HO4N 5/335	Z
<b>HO1L 27/146</b>	<b>(2006.01)</b>	HO4N 5/335	E
<b>HO4N 9/07</b>	<b>(2006.01)</b>	HO1L 27/14	A
<b>HO4N 101/00</b>	<b>(2006.01)</b>	HO4N 9/07	A
		HO4N 101:00	

請求項の数 11 (全 24 頁)

(21) 出願番号

特願2004-164637 (P2004-164637)

(22) 出願日

平成16年6月2日(2004.6.2)

(65) 公開番号

特開2005-348042 (P2005-348042A)

(43) 公開日

平成17年12月15日(2005.12.15)

審査請求日

平成19年6月4日(2007.6.4)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100065385

弁理士 山下 橋平

(72) 発明者 野田 智之

東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

(72) 発明者 菊池 伸

東京都大田区下丸子3丁目30番2号 キ  
ヤノン株式会社内

審査官 ▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び撮像システム

## (57) 【特許請求の範囲】

## 【請求項 1】

2次元に配置された複数の受光素子と、  
 列方向に設けられた複数の受光素子がそれぞれ接続される複数の信号線と、  
 前記複数の信号線とそれぞれ一端が接続され、且つ他端が短絡された複数のクランプ容量、及び前記複数のクランプ容量の他端にそれぞれ接続される、クランプ動作で前記他端に基準電圧を印加するスイッチ手段を備え、クランプ動作とともに行方向に設けられた複数の受光素子からの信号を加算するクランプ回路と、  
 前記複数のクランプ容量の他端と接続され、該他端から出力される受光素子行ごとの加算信号を加算して列方向に設けられた複数の受光素子の加算を行う加算手段と、

前記複数のクランプ容量の他端と接続され、該他端から出力される受光素子行ごとの加算信号を加算して列方向に設けられた複数の受光素子の加算を行う加算手段と、  
 を有することを特徴とする固体撮像装置。

## 【請求項 2】

請求項1に記載の固体撮像装置において、前記加算手段に接続され、前記加算手段からの信号を增幅する第1の増幅器と、

前記第1の増幅器の入力側をリセットする手段と、

前記第1の増幅器のオフセット及び前記第1の増幅器からの信号を出力するための回路手段と、を有することを特徴とする固体撮像装置。

## 【請求項 3】

請求項2に記載の固体撮像装置において、前記第1の増幅器はソースフォロワ回路であることを特徴とする固体撮像装置。

**【請求項 4】**

請求項 1 ~ 3 のいずれか 1 項に記載の固体撮像装置において、前記加算手段は、前記複数のクランプ容量の他端にそれぞれ第 1 のスイッチ手段を介して接続される複数の信号保持手段と、前記複数の信号保持手段を短絡させる第 2 のスイッチ手段とを有することを特徴とする固体撮像装置。

**【請求項 5】**

請求項 1 ~ 4 のいずれか 1 項に記載の固体撮像装置において、複数の信号線の各々は 1 を超えるゲインで増幅する第 2 の増幅器を介して前記クランプ容量に接続されることを特徴とする固体撮像装置。

**【請求項 6】**

10

請求項 1 ~ 5 のいずれか 1 項に記載の固体撮像装置において、2 次元状に配置された受光素子に対応してカラーフィルタが配列され、同色の受光素子の信号を加算することを特徴とする固体撮像装置。

**【請求項 7】**

請求項 2 ~ 6 のいずれか 1 項に記載の固体撮像装置において、前記第 1 の増幅器の出力信号を保持し、前記複数の受光素子の少なくとも一部の受光素子に対応したメモリセルを配列してなるメモリ部を有することを特徴とする固体撮像装置。

**【請求項 8】**

20

請求項 7 に記載の固体撮像装置において、前記メモリセルは、少なくとも信号が書き込まれる容量、該信号を書き込むためのトランジスタ、及び該信号を増幅するためのトランジスタを備えた増幅型メモリセルであり、前記回路手段は前記第 1 の増幅器及び前記増幅型メモリセルのオフセットを出力することを特徴とする固体撮像装置。

**【請求項 9】**

請求項 2 ~ 8 のいずれか 1 項に記載の固体撮像装置において、前記回路手段は、前記オフセットが書き込まれる第 1 の容量と、前記オフセットを前記第 1 の容量に書き込む第 1 のトランジスタと、前記第 1 の増幅器又は増幅型メモリセルからの信号が書き込まれる第 2 の容量と、前記第 1 の増幅器又は増幅型メモリセルからの信号を前記第 2 の容量に書き込む第 2 のトランジスタと、を有する固体撮像装置。

**【請求項 10】**

30

請求項 9 に記載の固体撮像装置において、前記回路手段からの、前記オフセットと前記信号との差分を出力する手段を有する固体撮像装置。

**【請求項 11】**

請求項 1 から 10 のいずれかの請求項に記載の固体撮像装置と、該固体撮像装置へ光を結像するレンズ系と、該固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、受光素子を有する固体撮像装置に関し、特に受光素子からの信号を加算することが可能な固体撮像装置に関する。

40

**【背景技術】****【0002】**

光電変換部を含む画素を 1 次元あるいは 2 次元に配列した固体撮像素子はデジタルカメラ、ビデオカメラ、複写機、ファクシミリなどに数多く搭載されている。固体撮像素子には例えば C C D 撮像素子や C M O S 撮像素子等の増幅型固体撮像素子などがある。

**【0003】**

固体撮像素子のようなイメージセンサの多画素化に伴い、近年、従来のような常時イメージセンサの全画素の信号を単純に順次出力させる使い方から、必要に応じてイメージセンサから一部の画素の信号のみを出力させたり、画素の信号をある程度信号処理してからイメージセンサから出力させるという使い方の要求が高まってきた。例えば隣接した画素

50

間で信号を加算して、イメージセンサから出力することは、色処理、解像度変換等の観点からよく行われてきた。また、イメージセンサ内で更に多数画素の信号を加算平均することにより、ランダムノイズを低減する手法も使われている。

#### 【0004】

従来の特許文献1に示される加算方式を図12に示す。図12は、2Hラインメモリ+2Hライン加算回路の概略構成を示す図である。第1の垂直信号線8(8-1, 8-2, ...)には、サンプルホールドトランジスタ29(29-1, 29-2, ...)とキャパシタC1(C1-1, C1-2, ...)を介して、第2の垂直信号線17(17-1, 17-2, ...)が接続されている。ここで、図の簡略化のため第1の垂直信号線8を2本しか記載していないが、実際には、横方向に複数配列されている。第2の垂直信号線17には、トランジスタ23(23-1, 23-2, ...)とキャパシタC2(C2-1, C2-2, ...)の直列接続が、2組分(キャパシタC2とトランジスタ23、および、キャパシタC3(C3-1, C3-2, ...)とトランジスタ26(26-1, 26-2, ...))が接続している。ここでは、2N行の信号電圧はトランジスタ23を介してキャパシタC2に蓄積され、(2N+1)行の信号電圧はトランジスタ26を介してキャパシタC3に蓄積され、この2N行の信号電圧と(2N+1)行の信号電圧は、第2の垂直信号線17で加算される。

#### 【0005】

また、特許文献2に記される加算回路を図13に示す。各画素に接続された垂直出力線から信号成分を転送スイッチ41, 48を介して蓄積コンデンサ43, 49に蓄積し、次のタイミングに他の行の画素の信号成分を転送スイッチ42を介して蓄積コンデンサ45に蓄積し、その後シフトレジスタ61からの制御信号によって転送スイッチ46, 47, 50をオンすることにより、水平出力線62には、垂直出力線の2本分の画素信号の加算成分を得ることができる。この際、図13では、蓄積コンデンサ43の信号成分とともに、他行の画素の信号分も蓄積コンデンサ45の信号が加重されるので、少なくとも3画素の加算された信号成分を得ることができる。

【特許文献1】特開2000-106653号公報

【特許文献2】特開2000-261728号公報

#### 【発明の開示】

##### 【発明が解決しようとする課題】

#### 【0006】

ところが従来の加算平均手段では、垂直方向の信号を加算した後水平方向の信号を加算する為、H列×V行の画素配列において水平m画素×垂直n画素の加算を行う場合、サンプルホールド容量がn×H個[2×2加算の場合は2H個、3×3加算の場合は3H個・・・]必要となる。そのため、垂直方向の加算画素数が多くなるほど必要なサンプルホールド容量の個数が増え、加算回路が大きくなってしまうという問題があった。

#### 【課題を解決するための手段】

#### 【0007】

上記の問題を解決するため、本発明は、2次元に配置された複数の受光素子と、

列方向に設けられた複数の受光素子がそれぞれ接続される複数の信号線と、

前記複数の信号線とそれぞれ一端が接続され、且つ他端が短絡された複数のクランプ容量、及び前記複数のクランプ容量の他端にそれぞれ接続される、クランプ動作で前記他端に基準電圧を印加するスイッチ手段を備え、クランプ動作とともに行方向に設けられた複数の受光素子からの信号を加算するクランプ回路と、

前記複数のクランプ容量の他端と接続され、該他端から出力される受光素子行ごとの加算信号を加算して列方向に設けられた複数の受光素子の加算を行う加算手段と、  
を有することを特徴とする。

#### 【発明の効果】

#### 【0008】

本発明によれば、H列×V行の画素配列において水平m画素×垂直n画素の加算を行う

10

20

30

40

50

場合、必要なサンプルホールド容量の個数を  $H + (n / m) * H$  個に減らすことができる。

本発明によれば加算平均することで受光素子のランダムノイズを抑えることができる。また、受光素子のタイプによってはクランプ動作と画素リセットのタイミングを操作することで受光素子のリセットノイズ(ランダム成分)を除去することも可能である。

#### 【発明を実施するための最良の形態】

##### 【0009】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

##### 【0010】

まず、本発明の説明に先立って、本発明に関する参考例について説明する。 10

##### 【0011】

(参考例1)

図7に、本発明に関する第1の参考例を示す。この参考例はH列×V行の画素配列において水平3画素×垂直3画素の加算を行う場合の一例を示している。

##### 【0012】

図7において、101-a～101-iは受光素子で2次元に配置されている。112～114は受光素子101-a, 101-d, 101-gからなる受光素子列、受光素子101-b, 101-e, 101-hからなる受光素子列、受光素子101-c, 101-f, 101-iからなる受光素子列がそれぞれ接続される垂直出力線である。102-a～102-cは垂直出力線112～114と一方の端子がそれぞれ接続され、他方の端子が共通接続されるクランプ容量で、この容量を用いて水平方向の加算を行う。103はクランプ容量102-a～102-cの共通接続された他方の端子に接続されるクランプ用MOSスイッチで、クランプ電圧Vclmpと繋がっている。109はクランプ後の出力を平均するための共通線である。104～106はクランプ容量102-a～102-cの共通接続された他方の端子に接続されるサンプルホールド容量選択用のMOSスイッチで、サンプルホールド容量を選択するために用いる。107-a～107-cはクランプ容量102-a～102-cの他方の端子にそれぞれサンプルホールド容量選択用のMOSスイッチを介して接続される、信号保持手段となるサンプルホールド容量である。108-a～108-cは垂直方向加算をするためのMOSスイッチで、このスイッチを同時にONすることでサンプルホールド容量107-a～107-cに書き込まれた電圧を平均化することができ垂直方向の加算を行うことができる。111は出力線であり、110は出力線111をリセットするMOSトランジスタで、リセット電圧Vresと繋がっている。115は出力アンプである。 20

##### 【0013】

画素の一例を図2に示す。201は光電変換部、202は光電変換部201から信号電荷を不図示の浮遊拡散領域(フローティングディフュージョン領域)に転送する転送MOSトランジスタ、203はリセットMOSトランジスタでドレイン端はリセット電圧Vresにつながっており、浮遊拡散領域の信号電荷をリセットする。204は増幅用MOSトランジスタでドレイン端は電源電圧Vddにつながっており、ゲートは浮遊拡散領域に接続されている。205は選択用MOSトランジスタで、206は選択用MOSトランジスタ205が接続される出力線である。 40

##### 【0014】

この回路の動作タイミングを図3に示す。図3において、103～108は各MOSトランジスタに印加されるパルス信号を示す。まずMOSトランジスタ103をONし共通線109にクランプの基準電圧Vclmpを書き込む。同時にMOSトランジスタ110をOFFし、出力線111を電圧Vresにリセットする。このとき、リセットMOSトランジスタをオンして、画素からノイズ信号を垂直出力線112～114に読み出す。その後MOSトランジスタ103をOFF状態とする。

##### 【0015】

次にA行(受光素子101-a～101-c)が選択され、受光素子101-aの信号 50

が垂直出力線 112 に、受光素子 101 - b の信号が垂直出力線 113 に、受光素子 101 - c の信号が垂直出力線 114 に出力される。この時、MOS トランジスタ 103 は OFF 状態のため共通線 109 は受光素子 101 - a ~ 101 - c の平均出力分変化する。ここまで動作で共通線のリセットばらつきを除去することができ、かつ、受光素子 101 - a ~ c の信号が加算平均される。つまり、垂直出力線 112 ~ 114 のそれぞれの電位変化量は信号からノイズ信号を引いた量となり、共通線 109 の電位変動量は、垂直出力線 112 ~ 114 の信号からノイズ信号を引いた量の平均出力分となる。こうして受光素子 101 - a ~ 101 - c からのノイズ除去された信号の加算処理をクランプ動作とともにに行うことができる。

## 【0016】

10

この後、MOS トランジスタ 104 を ON することで受光素子 101 - a ~ 101 - c の加算平均出力がサンプルホールド容量 107 - a に保存される。

## 【0017】

同様の動作を B 行、C 行についても行うことで、受光素子 101 - d ~ 101 - f の加算平均出力がサンプルホールド容量 107 - b に、受光素子 101 - g ~ 101 - i の加算平均出力がサンプルホールド容量 107 - c に保存される。

## 【0018】

最後に MOS トランジスタ 108 - a ~ 108 - c を ON することで、出力線 111 にサンプルホールド容量 107 - a ~ 107 - c に保存されている受光素子 101 - a ~ 101 - i の 9 画素分の信号の加算平均を、出力アンプ 115 を介して出力することができる。

20

## 【0019】

本参考では、このような手法を用いて加算することにより、クランプ動作と同時に水平方向の加算を行うことができ、従来の方式では加算サンプルホールド用の容量が  $n * H$  個 [ 3 × 3 加算の場合 3H 個 ] 必要だった容量を  $H + (n / m) * H$  個 [ 3 × 3 加算の場合 2H 個 ] に省略することができるので、ノイズ除去と同時に加算回路を簡略化することができる。このため加算回路を簡略化することができ、この回路を用いて加算平均処理することによりランダムノイズも除去することができる。

## 【0020】

## (参考例 2 )

30

図 10 に、本発明の第 2 の参考例を示す。この実施形態は H 列 × V 行の画素配列において水平 3 画素 × 垂直 4 画素の加算を行う場合の一例を示している。

## 【0021】

図 10 において、401 - a ~ 401 - 1 は受光素子で 2 次元に配置されている。412 ~ 415 は垂直出力線である。402a ~ 402c はクランプ容量でこの容量を用いて水平方向の加算を行う。403 はクランプ用 MOS スイッチでクランプ電圧 Vclmp と繋がっている。410 はクランプ後の出力を平均するための共通線である。404 ~ 407 はサンプルホールド容量選択用の MOS スイッチでサンプルホールド容量を選択するために用いる。408 - a ~ 408 - d はサンプルホールド容量である。409 - a ~ 409 - d は垂直方向加算をするための MOS スイッチで、このスイッチを同時に ON することでサンプルホールド容量 408 - a ~ 408 - d に書き込まれた電圧を平均化することができ垂直方向の加算を行うことができる。412 は出力線であり、411 は出力線 412 をリセットする MOS トランジスタでリセット電圧 Vres と繋がっている。416 は出力アンプである。

40

## 【0022】

この回路の動作タイミングを図 5 に示す。まず MOS トランジスタ 403 を ON し共通線 410 にクランプの基準電圧 Vclmp を書き込む。同時に MOS トランジスタ 411 を ON し、出力線 412 をリセットする。次に A 行 (受光素子 401 - a ~ 401 - c ) が選択され、受光素子 401 - a の信号が垂直出力線 413 に、受光素子 401 - b の信号が垂直出力線 414 に、受光素子 401 - c の信号が垂直出力線 415 に出力される。この

50

時、MOSトランジスタ403はOFF状態のため共通線410は受光素子401-a～401-cの平均出力分変化する。ここまで動作で共通線のリセットばらつきを除去することができ、かつ、受光素子401-a～cの信号が加算平均される。この後、MOSトランジスタ404をONすることで受光素子401-a～401-cの加算平均出力がサンプルホールド容量408-aに保存される。

#### 【0023】

同様の動作をB行、C行、D行についても行うことで、受光素子401-d～401-fの加算平均出力がサンプルホールド容量408-bに、受光素子401-g～401-iの加算平均出力がサンプルホールド容量408-cに、受光素子401-j～401-lの加算平均出力がサンプルホールド容量408-dに保存される。

10

#### 【0024】

最後にMOSトランジスタ409をONすることで、出力線111にサンプルホールド容量408-a～408-dに保存されている受光素子401-a～401-1の12画素分の信号の加算平均を、アンプ出力を介して出力することができる。

#### 【0025】

本実施形態では、このような手法を用いて加算することにより、クランプ動作と同時に水平方向の加算を行うことができ、従来の方式では加算サンプルホールド用の容量が  $n * H$  個 [  $3 \times 4$  加算の場合  $4H$  個 ] 必要だった容量を  $H + (n / m) * H$  個 [  $3 \times 3$  加算の場合  $7 / 3 H$  個 ] に省略することができる。このため加算回路を簡略化することができ、この回路を用いて加算平均処理することによりランダムノイズも除去することができる。

20

#### 【0026】

以上本発明に関係する参考例について説明したが、以下、本発明の実施形態について説明する。

#### 【0027】

##### (実施形態1)

図1に、本発明に係わる第1の実施形態を示す。この実施形態はH列×V行の画素配列において水平3画素×垂直3画素の加算を行う場合の一例を示している。本実施形態を用いることにより参考例1よりも信号成分のロスを少なくすることができる。図7に示した構成部材と同一構成部材に関しては同一符号を付して説明を省略する。本実施形態の構成はH列×V行の画素配列において水平3画素×垂直4画素の加算を行う場合にも適用できることは勿論である。

30

#### 【0028】

図1において、601はソースフォロワ增幅回路、602、603、606-a、606-bはMOSスイッチである。604、605は容量で構成されるラインメモリで、MOSスイッチ602をONすることでラインメモリ604にノイズ信号(ソースフォロワ增幅回路のオフセットを含む)を書き込み、MOSスイッチ603をONすることでラインメモリ605に出力信号を書き込むことができる。MOSスイッチ606-a、606-bをONすることでラインメモリ604、605に書き込んだ電圧を読むことができる。607はノイズ信号用水平出力線、608は出力信号用水平出力線、609は差動アンプであり、出力信号からノイズ信号を差分した電圧を出力することができる。

40

#### 【0029】

この回路の動作タイミングを図2に示す。まずMOSトランジスタ103をONし共通線109にクランプの基準電圧Vclmpを書き込む。同時にMOSトランジスタ110をONし、出力線111をリセットする。同時にMOSスイッチ602をONしノイズ信号をラインメモリ604に書き込む。次にA行(受光素子101-a～c)を選択し、受光素子101-aの信号が垂直出力線112に、受光素子101-bの信号が垂直出力線113に、受光素子101-cの信号が垂直出力線114に出力される。この時、MOSトランジスタ103はOFF状態のため共通線109は受光素子101-a～cの平均出力分変化する。ここまで動作で共通線のリセットばらつきを除去することができ、かつ、受

50

光素子 101-a ~ c の信号が加算平均される。この後、MOSトランジスタ 104 を ON することで受光素子 101-a ~ c の加算平均出力がサンプルホールド容量 107-a に保存される。

#### 【0030】

同様の動作を B 行、 C 行についても行うことで、受光素子 101-d ~ f の加算平均出力がサンプルホールド容量 107-b に、受光素子 101-g ~ i の加算平均出力がサンプルホールド容量 107-c に保存される。

#### 【0031】

MOSトランジスタ 108-a ~ 108-c を ON することで、出力線 111 にサンプルホールド容量 107-a ~ c に保存されている受光素子 101-a ~ 101-i の 9 画素分の信号の加算平均する。この時、MOSスイッチ 603 を ON し加算平均信号をラインメモリ 605 に書き込む。最後に MOSスイッチ 606 を ON することでノイズ信号と加算平均出力がそれぞれの水平出力線に読み出され差動アンプによってその差分信号を出力することができる。

#### 【0032】

実施形態 1 では垂直信号成分の加算後そのまま水平出力線に送る為、サンプルホールド容量を C 、水平出力線の容量を Ch とすると、容量分割によって信号成分が  $3C / (Ch + 3C)$  になってしまう。これに対し本実施形態では信号電圧を一旦ソースフォロア增幅回路によって増幅している為信号成分のロスは少なくてすむ。

#### 【0033】

このため本実施形態では、このような手法を用いて加算することにより、クランプ動作と同時に水平方向の加算を行うことができ、従来の方式では加算サンプルホールド用の容量が  $n * H$  個 [  $3 \times 3$  加算の場合  $3H$  個 ] 必要だった容量を  $H + (n / m) * H$  個 [  $3 \times 3$  加算の場合  $2H$  個 ] に省略することができる。このため加算回路を簡略化することができ、この回路を用いて加算平均処理することによりランダムノイズも除去することができ、かつ、信号成分のロスを少なく抑えることができる。

#### 【0034】

本実施形態で用いられる画素は図 8 に示す CMOS センサと呼ばれるセンサを用いることができるが、画素に特に CMOS センサに限定されず、 V M I S (Threshold Voltage Modulation Image Sensor) 、 B C A S T (Buried Charge Accumulator and Sensing Transistor array) 、 L B C A S T (Lateral Buried Charge Accumulator and Sensing Transistor array) 等も適用可能である。とくに B C A S T や L B C A S T に対しては増幅用 MOS トランジスタを J F E T トランジスタに置き換えることで、本質的な変更を伴わずに実現できる。また、光電変換部に蓄積された信号電荷を画素に備わったトランジスタの制御電極に導き、増幅された信号を主電極から出力するタイプのセンサが本実施形態の画素に用いることができる。増幅用トランジスタとして SIT を使った SIT 型イメージセンサ (A. Yusa, J. Nishizawa et al., "SIT image sensor: Design consideration and characteristics," IEEE trans. Vol. ED-33, pp. 735-742, June 1986.) 、バイポーラトランジスタを使った BASIS (N. Tanaka et al., "A 310K pixel bipolar imager (BASIS)," IEEE Trans. Electron Devices, vol. 35, pp. 646-652, May 1990) 、制御電極が空乏化する JFET を使った CMD (中村ほか "ゲート蓄積型 MOS フォトトランジスタイメージセンサ", テレビ学会誌, 41, 11, pp. 1075-1082 Nov. , 1987) などがある。

#### 【0035】

##### (実施形態 2)

図 3 に、本発明に係わる第 2 の実施形態を示す。この実施形態は H 列 × V 行の画素配列において水平 3 画素 × 垂直 3 画素の加算を行う場合の一例を示している。

#### 【0036】

図 3 において、参考例 1 、実施形態 1 に記した図 7 、図 1 の構成部材と同一構成部材のものとは同一符号を付して説明を省略する。また、同一符号を付した構成部材の動作についても図 7 、図 1 の構成部材と同様の為説明を省略する。

10

20

30

40

50

**【 0 0 3 7 】**

本実施形態はクランプ容量 102-a ~ 102-c の前に増幅アンプを設けるとともに、水平方向の信号と垂直方向の信号とが加算（平均化）された信号を保持するメモリ部を設けている。ここでは一メモリセルのみを示しているが、画素数に対応して設けられる。ここでは、画素の加算（平均化）処理をしているのでメモリセル数は画素数よりも少なくて良い。

**【 0 0 3 8 】**

図 3において、501はソースフォロワ増幅回路、502, 503, 506-a, 506-bはMOSスイッチである。504, 505は容量で構成されるラインメモリで、MOSスイッチ502をONすることでラインメモリ504にノイズ信号を書き込み、MOSスイッチ503をONすることでラインメモリ505に出力信号を書き込むことができる。MOSスイッチ506-a, 506-bをONすることでラインメモリ504, 505に書き込んだ電圧を読むことができる。507はノイズ信号用水平出力線、508は出力信号用水平出力線、509は差動アンプであり、出力信号からノイズ信号を差分した電圧を出力することができる。

10

**【 0 0 3 9 】**

図 3において、801は各列の出力信号を増幅する1を超えるゲインの増幅アンプ（以下列アンプと書く）で、画素出力信号を列アンプを通して読み出すことで各垂直出力線の出力ばらつきを抑えることができ固定パターンノイズを小さくすることができる。ここでも、増幅アンプとしてここでは帰還型アンプを用いているが、帰還型アンプとしては容量を用いた帰還型アンプが好ましい。例えば抵抗を用いた帰還型アンプでは抵抗値が小さいと電流値が大きくなつて消費電力が大きくなり、抵抗値を大きくするとノイズが大きくなるとともに応答性が悪くなる。かかる点を考慮すると容量を用いた帰還型アンプがより好ましい。なお増幅アンプのオフセットは参考例 1において説明したクランプ動作により画素からのノイズとともに除去することができる。

20

**【 0 0 4 0 】**

ソースフォロワ増幅回路 501 により増幅された信号はメモリセル 511 に書き込まれる。メモリセル 511 は増幅用トランジスタ 512、メモリ選択トランジスタ 513、書き込みトランジスタ 510、そしてメモリセル容量 514 から成っている。電流供給用トランジスタ 515 は増幅用トランジスタ 512 がソースフォロワとして働くように、電流を供給する。本実施形態では増幅型フレームメモリを用いているが、書き込み（読み出しを兼ねる）トランジスタ 510、メモリセル容量 514 から成るDRAM型のメモリを用いてもよい。増幅型メモリを用いることでメモリから蓄積容量への読み出しにおいては、メモリセル 511 の持つ増幅作用のおかげで信号電圧の低下を被ることがない。

30

**【 0 0 4 1 】**

メモリセル 511 からの信号読み出しは、メモリ選択トランジスタ 513 をオンさせることで行われる。選択されたメモリセルの出力は転送 MOS スイッチ 503 をオンさせてラインメモリ 505 にサンプリングされる。

**【 0 0 4 2 】**

メモリセル 511 へのノイズ信号の書き込みと読み出しは、前記信号の書き込みと読み出しの前に行われる。ノイズ信号のメモリセル 511 への書き込みは、MOSトランジスタ 110 をONし、出力線 111 をリセットし、ソースフォロワ増幅回路 501 により増幅されたノイズ信号をメモリセル 511 に書き込むことで行われる。メモリセルに書き込まれたオフセットの読み出しとサンプリングは、メモリセルに書き込まれた信号の読み出し、サンプリングと同様である。ノイズ信号はソースフォロワ増幅回路 501 とメモリセルのオフセットを含んでいる。

40

**【 0 0 4 3 】**

本実施形態でも、このような手法を用いて加算することにより、クランプ動作と同時に水平方向の加算を行うことができ、従来の方式では加算サンプルホールド用の容量が  $n * H$  個 [  $3 \times 3$  加算の場合  $3 H$  個 ] 必要だった容量を  $H + (n / m) * H$  個 [  $3 \times 3$

50

加算の場合 2 H 個 ] に省略することができる。

#### 【0044】

##### (実施形態 3)

図 4 に、本発明に係わる第 3 の実施形態を示す。この実施形態はカラーフィルタをベイヤー配列した H 列 × V 行の画素配列において水平 3 画素 × 垂直 3 画素の加算を行う場合の一例を示している。図 4 において、実施形態 1 に記した図 1 の構成部材と同一構成部材のものとは同一符号を付して説明を省略する。また、同一符号を付した構成部材の動作についても図 1 の構成部材と同様の為説明を省略する。

#### 【0045】

901-a ~ 901-y は受光素子で 2 次元に配置されており、かつ、カラーフィルタがベイヤー配列で並んでいるので、同色のものは 901-a、901-k、901-u、901-c、901-m、901-w、901-e、901-o、901-y の受光素子、901-b、901-1、901-v、901-d、901-n、901-x の受光素子、・・・である。902-a, 902-b, 902-c はクランプ容量でこの容量を用いて水平方向の加算を行う。903 はクランプ用 MOS スイッチで、クランプ電圧 Vclmp と繋がっている。904 ~ 906 はサンプルホールド容量選択用の MOS スイッチで、サンプルホールド容量を選択するために用いる。907-a ~ 907-c はサンプルホールド容量である。908-a ~ 908-c は垂直方向加算をするための MOS スイッチで、このスイッチを同時に ON することでサンプルホールド容量 907-a ~ 907-c に書き込まれた電圧を平均化することができ垂直方向の加算を行うことができる。909 はクランプ後の出力を平均するための共通線である。911 は出力線であり、910 は出力線 111 をリセットする MOS トランジスタでリセット電圧 Vres と繋がっている。912 ~ 914 は垂直出力線である。915 は出力アンプである。

#### 【0046】

この回路では、A 行を選択し、共通線 909 で受光素子 901-a、901-c、901-e を平均加算し、その結果をサンプルホールド容量 907-a に保存する。C 行を選択し、共通線 909 で受光素子 901-k、901-m、901-o、を平均加算し、その結果をサンプルホールド容量 907-b に保存する。E 行を選択し、共通線 909 で受光素子 901-u、901-w、901-y、を平均加算し、その結果をサンプルホールド容量 907-c に保存する。最後に MOS スイッチ 908-a ~ 908-c を ON することで上記の同色 9 画素を加算することができる。

#### 【0047】

このため本実施形態でも、クランプ動作と同時に水平方向の加算を行うことができ、従来の方式では加算サンプルホールド用の容量が  $n * H$  個 [ 3 × 3 加算の場合 3 H 個 ] 必要だった容量を  $H + (n / m) * H$  個 [ 3 × 3 加算の場合 2 H 個 ] に省略することができ、かつ、同色の色信号を加算することができる。

#### 【0048】

上述した各実施形態において、固体撮像装置は同一半導体基板上に設けることができるが、差動アンプ 509、609 により生ずるノイズが他の回路部材に影響しないように差動アンプ 509、609 を基板外に設けてもよい。

#### 【0049】

図 5 に基づいて、本発明に係わる固体撮像装置を動画対応のスチルカメラに適用した場合の一実施形態について詳述する。

#### 【0050】

図 5 は、本発明に係わる固体撮像装置を動画対応の「スチルカメラ」に適用した場合を示すブロック図である。

#### 【0051】

図 5 において、1101 はレンズのプロテクトとメインスイッチを兼ねるバリア、1102 は被写体の光学像を撮像素子（固体撮像装置）1104 に結像させるレンズ、1103 はレンズ 1102 を通った光量を可変するための絞り、1104 はレンズ 1102 で結

像された被写体を画像信号として取り込むための撮像素子、1106は撮像素子1104より出力される画像信号のアナログ・デジタル変換を行うA/D変換器、1107はA/D変換器1106より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、1108は撮像素子1104、撮像信号処理回路1105、A/D変換器1106、信号処理部1107に、各種タイミング信号を出力するタイミング発生部、1110は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、1111は画像データを一時的に記憶する為のメモリ部、1112は記録媒体に記録または読み出しを行うためのインターフェース部、1113は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、1114は外部コンピュータ等と通信する為のインターフェース部である。

10

#### 【0052】

次に、前述の構成における撮影時のスチルビデオカメラの動作について説明する。バリア1101がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、更にA/D変換器1106などの撮像系回路の電源がオンされる。それから、露光量を制御する為に、全体制御・演算部1109は絞り1103を開放にし、撮像素子1104から出力された信号はA/D変換器1106で変換された後、信号処理部1107に入力される。そのデータを基に露出の演算を全体制御・演算部1109で行う。

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部1109は絞りを制御する。

20

#### 【0053】

次に、撮像素子1104から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部1109で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズを駆動し測距を行う。そして、合焦が確認された後に本露光が始まる。

#### 【0054】

露光が終了すると、撮像素子1104から出力された画像信号はA/D変換器1106でA/D変換され、信号処理部1107を通り全体制御・演算部1109によりメモリ部1110に書き込まれる。

#### 【0055】

その後、メモリ部1110に蓄積されたデータは、全体制御・演算部1109の制御により記録媒体制御I/F部1111を通り半導体メモリ等の着脱可能な記録媒体1112に記録される。

30

また、外部I/F部1113を通り直接コンピュータ等に入力して画像の加工を行ってよい。

#### 【0056】

また図6に基づいて、本発明の固体撮像装置をビデオカメラに適用した場合（撮像システム）の例について詳述する。

#### 【0057】

図6は、本発明の固体撮像装置をビデオカメラに適用した場合を示すブロック図で、1201は撮影レンズで焦点調節を行うためのフォーカスレンズ1201A、ズーム動作を行うズームレンズ1201B、結像用のレンズ1201Cを備えている。

40

#### 【0058】

1202は絞り、1203は撮像面に結像された被写体像を光電変換して電気的な撮像信号に変換する固体撮像素子（固体撮像装置）、1204は固体撮像素子1203より出力された撮像信号をサンプルホールドし、さらに、レベルをアンプするサンプルホールド回路（S/H回路）であり、映像信号を出力する。

#### 【0059】

1205はサンプルホールド回路1204から出力された映像信号にガンマ補正、色分離、ブランкиング処理等の所定の処理を施すプロセス回路で、輝度信号Yおよびクロマ信

50

号Cを出力する。プロセス回路1205から出力されたクロマ信号Cは、色信号補正回路1221で、ホワイトバランス及び色バランスの補正がなされ、色差信号R-Y, B-Yとして出力される。

#### 【0060】

また、プロセス回路1205から出力された輝度信号Yと、色信号補正回路1221から出力された色差信号R-Y, B-Yは、エンコーダ回路(ENC回路)1224で変調され、標準テレビジョン信号として出力される。そして、図示しないビデオレコーダ、あるいは電子ビューファインダ等のモニタEVFへと供給される。

#### 【0061】

次いで、1206はアイリス制御回路で有り、サンプルホールド回路1204から供給される映像信号に基づいてアイリス駆動回路1207を制御し、映像信号のレベルが所定レベルの一定値となるように、絞り1202の開口量を制御すべくigメータを自動制御するものである。1213, 1214は、サンプルホールド回路1204から出力された映像信号中より合焦検出を行うために必要な高周波成分を抽出する異なった帯域制限のバンドパスフィルタ(BPF)である。第一のバンドパスフィルタ1213(BPF1)、及び第二のバンドパスフィルタ1214(BPF2)から出力された信号は、ゲート回路1215及びフォーカスゲート枠信号で各々でゲートされ、ピーク検出回路1216でピーク値が検出されてホールドされると共に、論理制御回路1217に入力される。

#### 【0062】

この信号を焦点電圧と呼び、この焦点電圧によってフォーカスを合わせている。  
また、1218はフォーカスレンズ1201Aの移動位置を検出するフォーカスエンコーダ、1219はズームレンズ1201Bの焦点距離を検出するズームエンコーダ、1220は絞り1202の開口量を検出するアイリスエンコーダである。これらのエンコーダの検出値は、システムコントロールを行う論理制御回路1217へと供給される。論理制御回路1217は、設定された合焦検出領域内に相当する映像信号に基づいて、被写体に対する合焦検出を行い焦点調節を行う。即ち、各々のバンドパスフィルタ1213、1214より供給された高周波成分のピーク値情報を取り込み、高周波成分のピーク値が最大となる位置へとフォーカスレンズ1201Aを駆動すべくフォーカス駆動回路1209にフォーカスマータ1210の回転方向、回転速度、回転/停止等の制御信号を供給し、これを制御する。

#### 【産業上の利用可能性】

#### 【0063】

本発明は受光素子からの信号を行列方向に加算することが可能な固体撮像装置に適用され、特に動画対応のデジタルカメラ(スチルカメラ)、デジタルビデオカメラ等に好適に用いられるものである。

#### 【図面の簡単な説明】

#### 【0064】

【図1】本発明の第1の実施形態に係る固体撮像装置の回路を示した図である。

【図2】本発明の第1の実施形態に係る固体撮像装置の動作を示した図である。

【図3】本発明の第2の実施形態に係る固体撮像装置の回路を示した図である。

【図4】本発明の第3の実施形態に係る固体撮像装置の回路を示した図である。

【図5】本発明に係わる固体撮像装置を動画対応の「スチルカメラ」に適用した場合を示すブロック図である。

【図6】本発明に係わる固体撮像装置をビデオカメラに適用した場合を示すブロック図である。

【図7】本発明に関連する第1の参考例に係る固体撮像装置の回路を示した図である。

【図8】受光素子の一例を示した図である。

【図9】本発明に関連する第1の参考例に係る固体撮像装置の動作を示した図である。

【図10】本発明に関連する第2の参考例に係る固体撮像装置の回路を示した図である。

【図11】本発明に関連する第2の参考例に係る固体撮像装置の動作を示した図である。

10

20

30

40

50

【図12】従来例の加算回路を示した図である。

【図13】従来例の他の加算回路を示した図である。

【符号の説明】

【0065】

101 - a ~ 101 - i 受光素子

112 ~ 114 垂直出力線

102 - a ~ 102 - c クランプ容量

103 クランプ用MOSスイッチ

109 共通線

104 ~ 106 サンプルホールド容量選択用のMOSスイッチ 10

107 - a ~ 107 - c サンプルホールド容量

108 - a ~ 108 - c 垂直方向加算用MOSスイッチ

111 出力線

110 MOSトランジスタ

115 出力アンプ

501, 601 ソースフォロワ增幅回路

502, 503, 506, 602, 603, 606 - a, 606 - b MOSスイッチ

504, 505, 604, 605 ラインメモリ

507, 607 ノイズ信号用水平出力線

608 出力信号用水平出力線 20

609 差動アンプ 511 メモリセル

512 増幅用トランジスタ

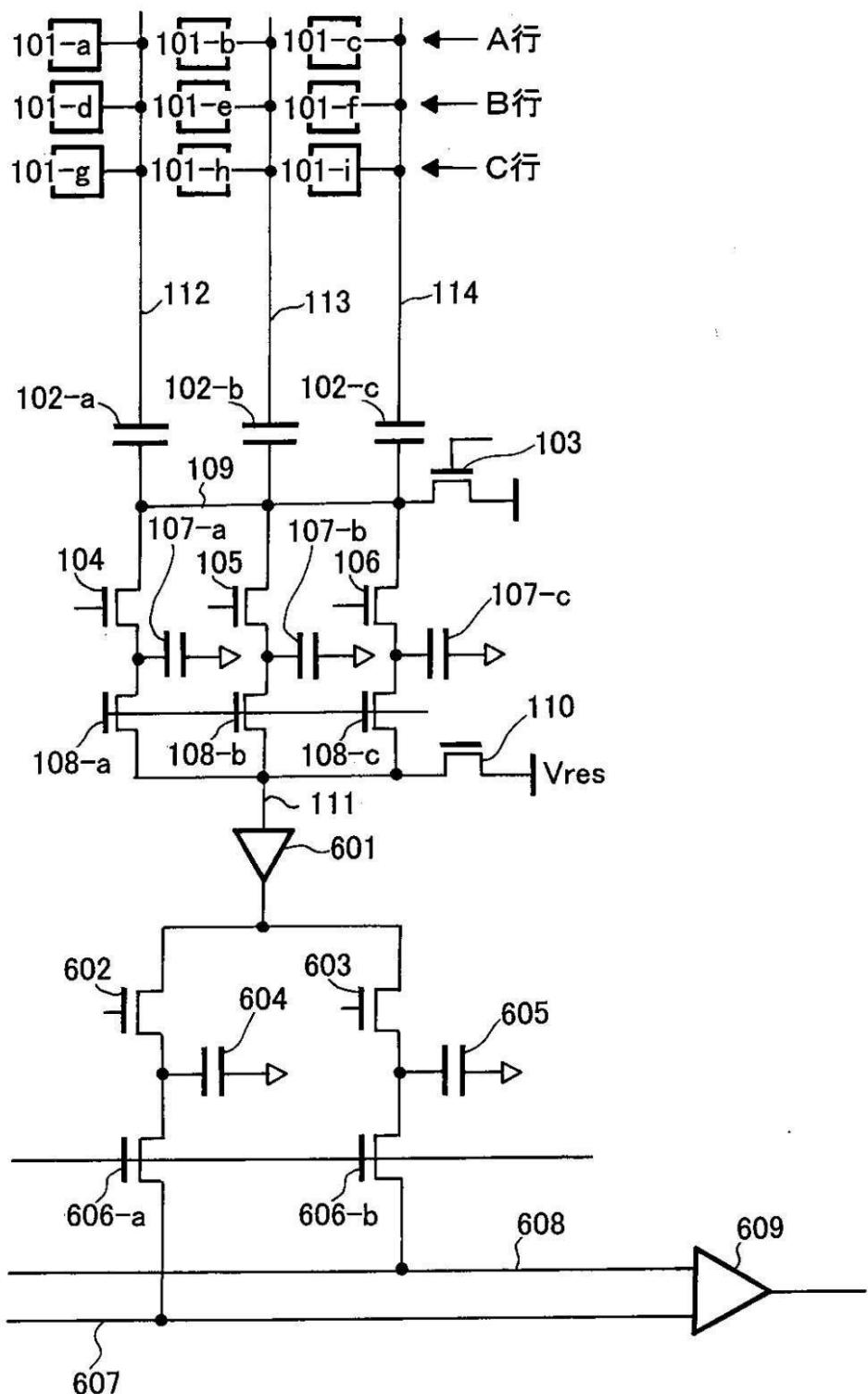
513 メモリ選択トランジスタ

510 書き込みトランジスタ

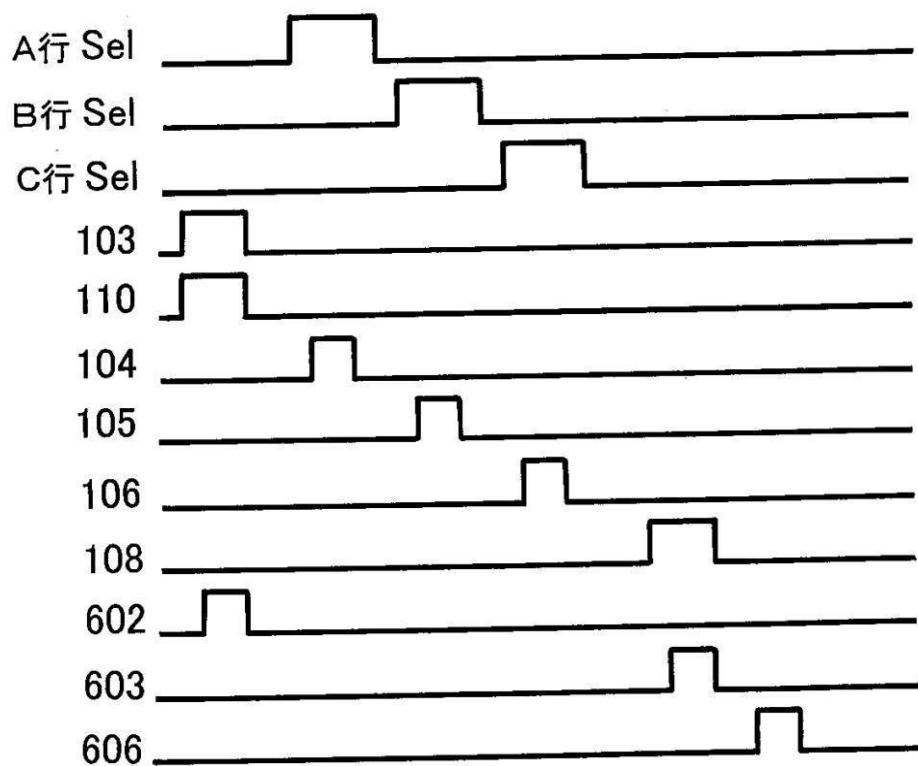
514 メモリセル容量

515 電流供給用トランジスタ

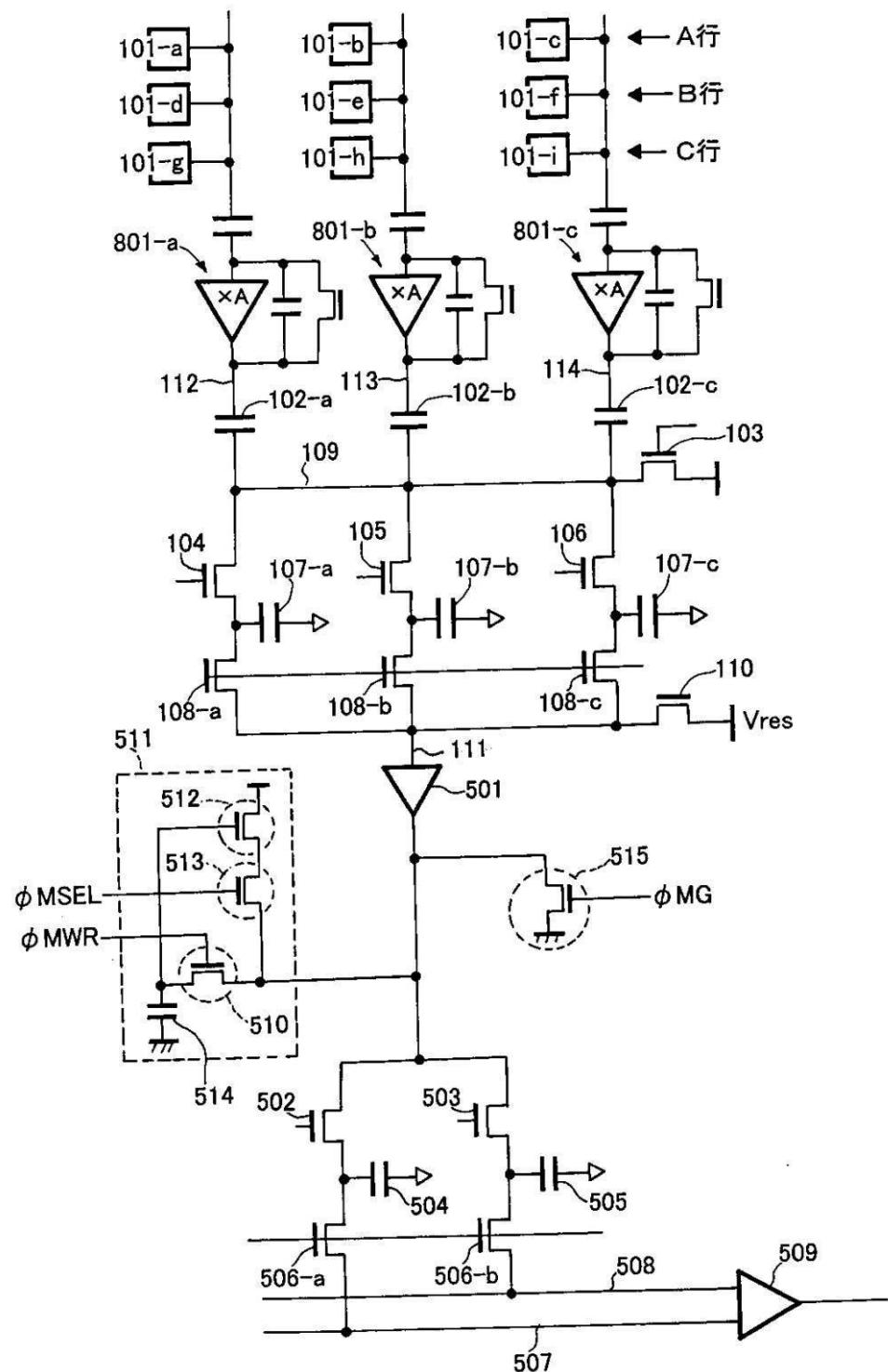
【図1】



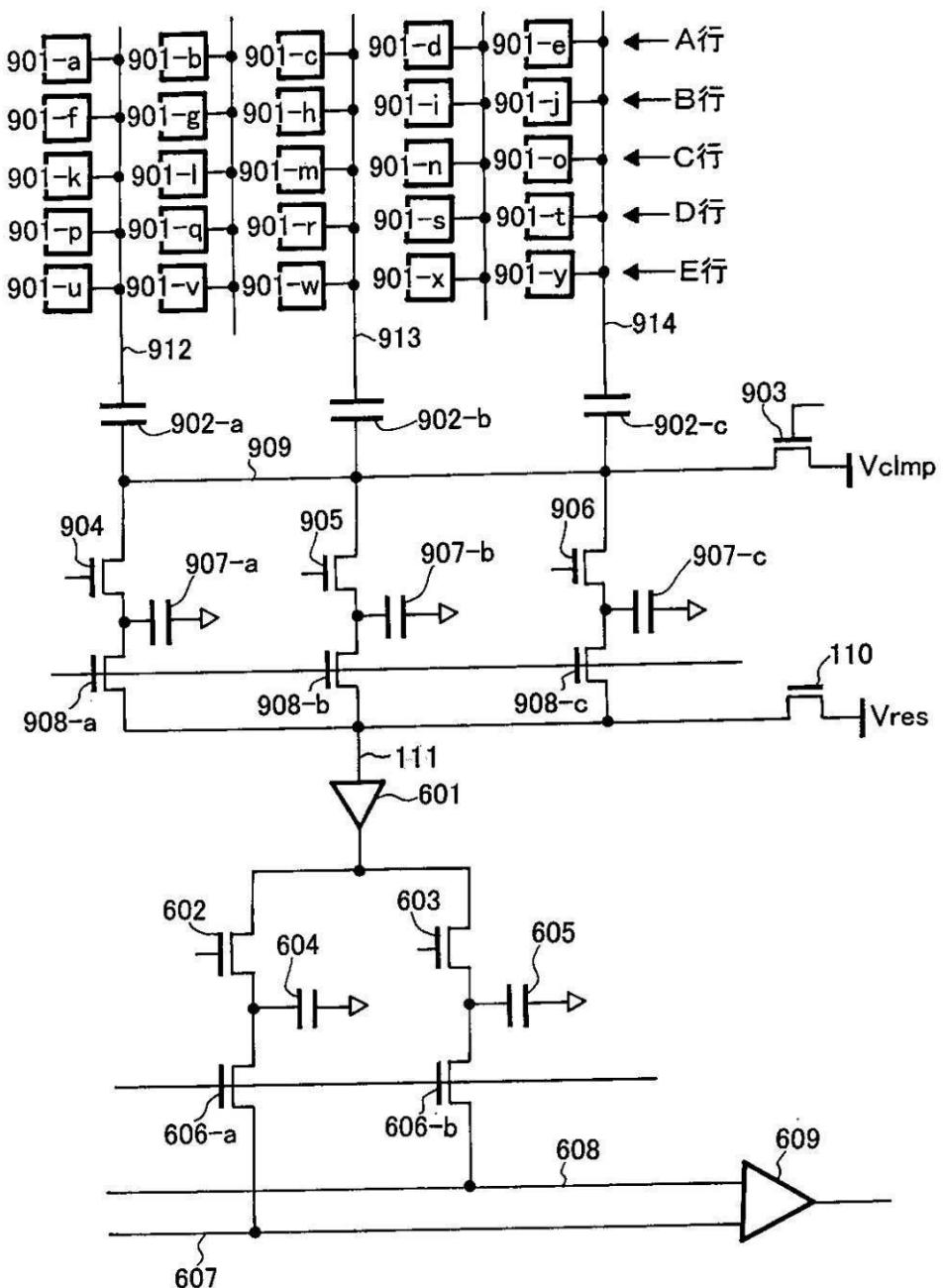
【図2】



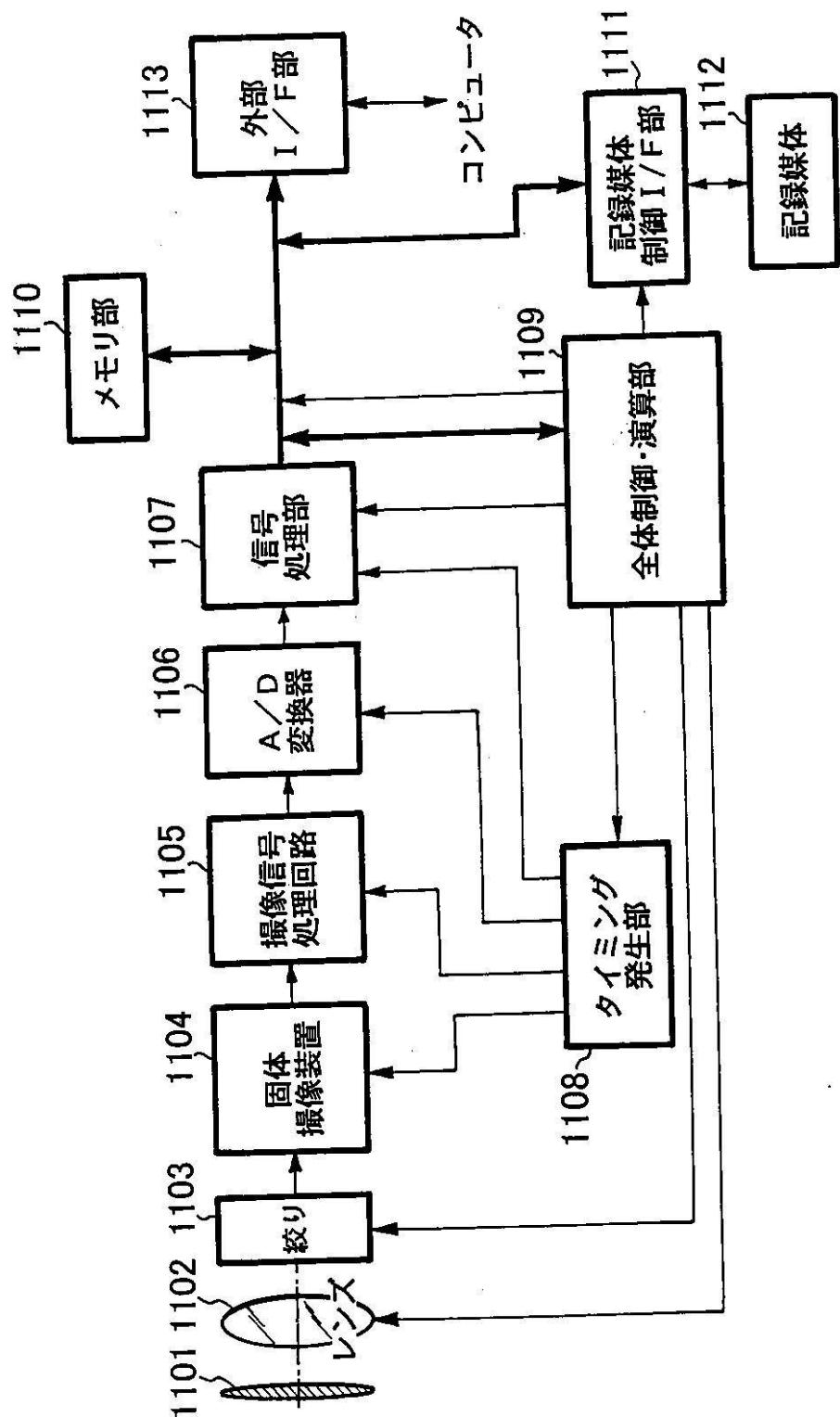
【図3】



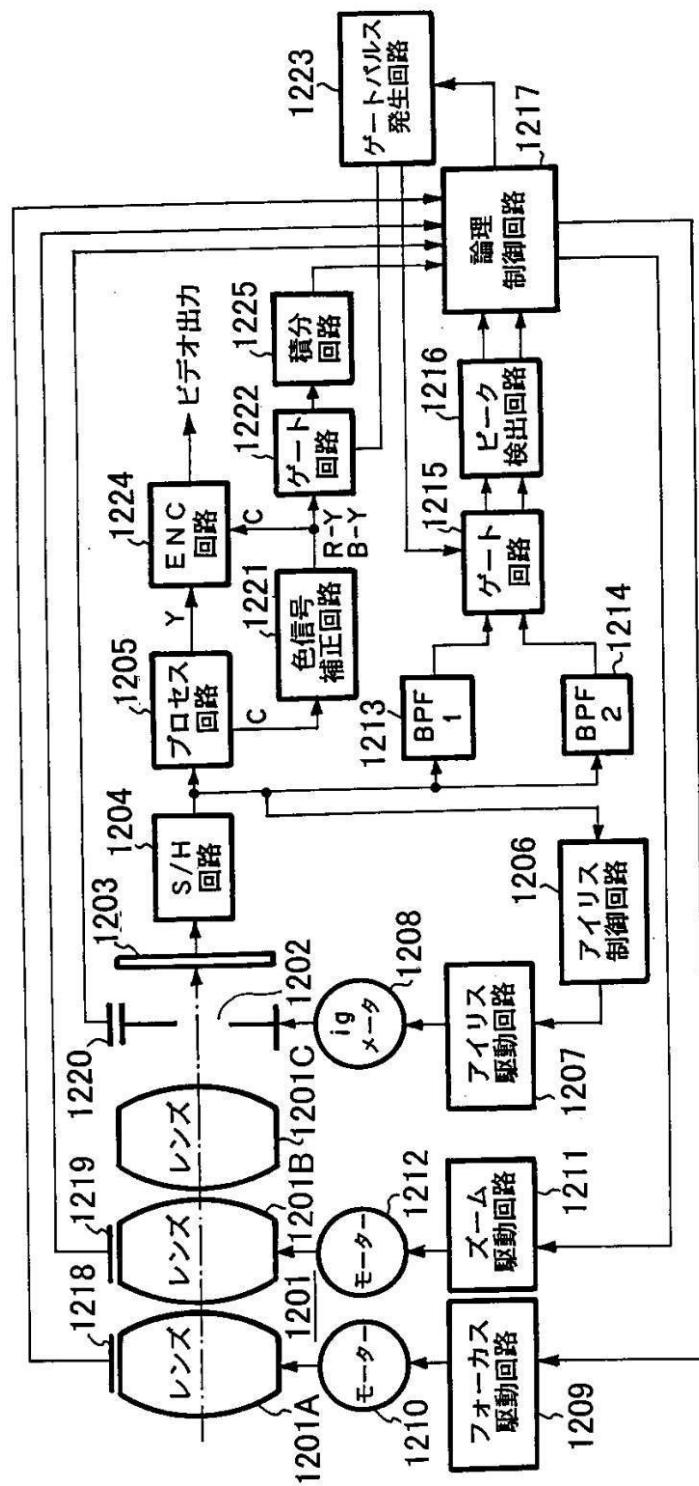
【図4】



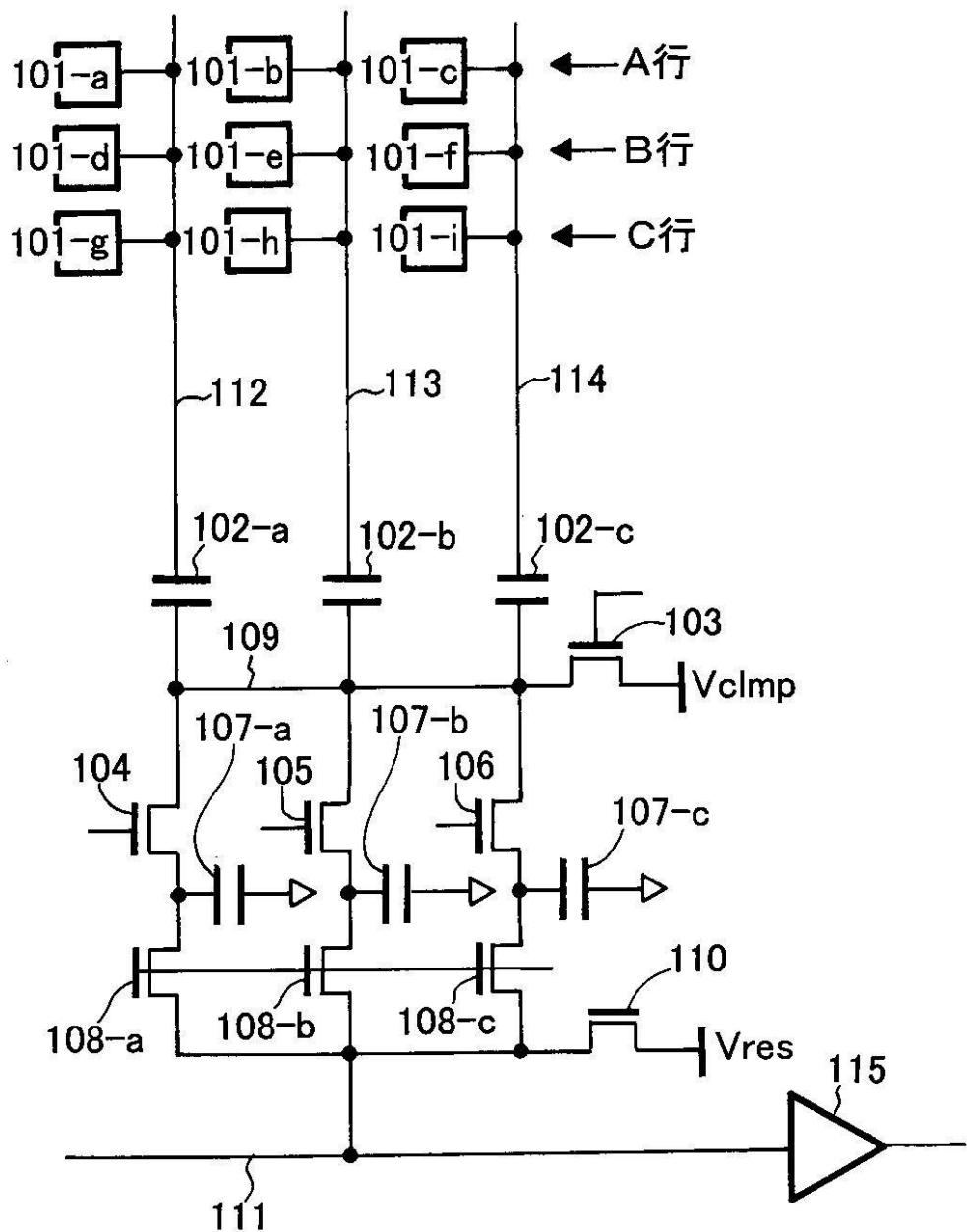
【図5】



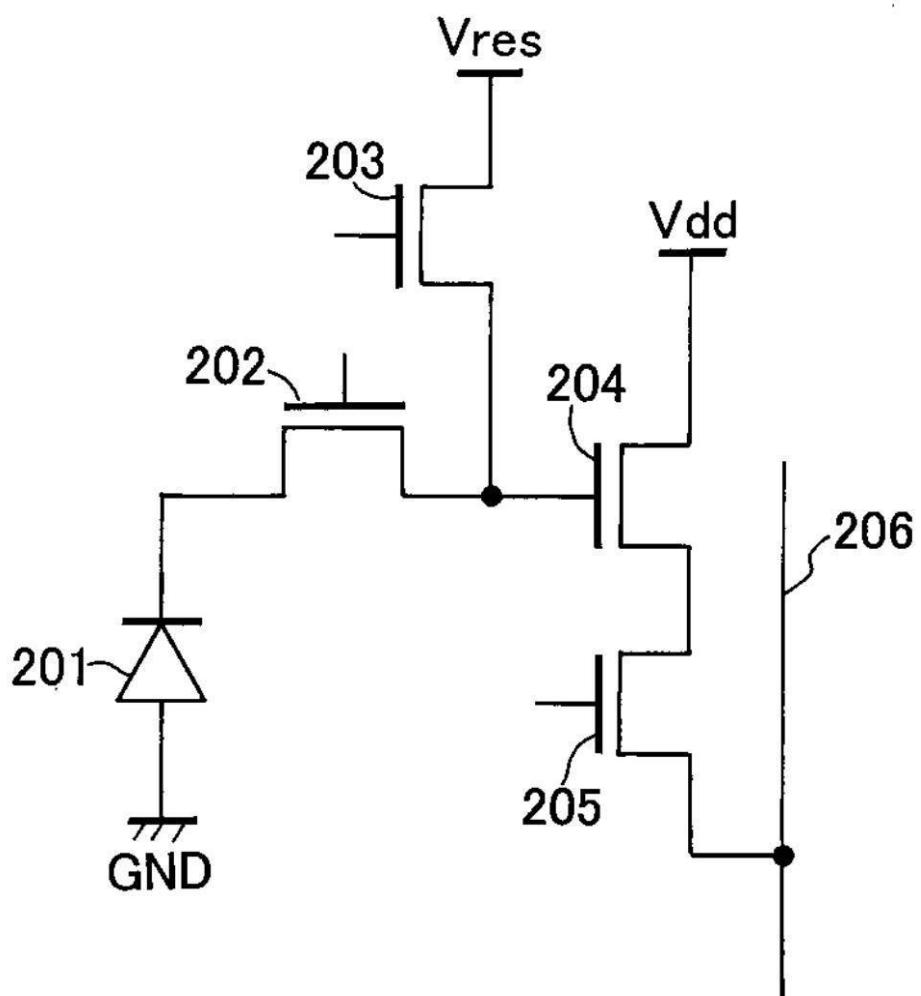
【図6】



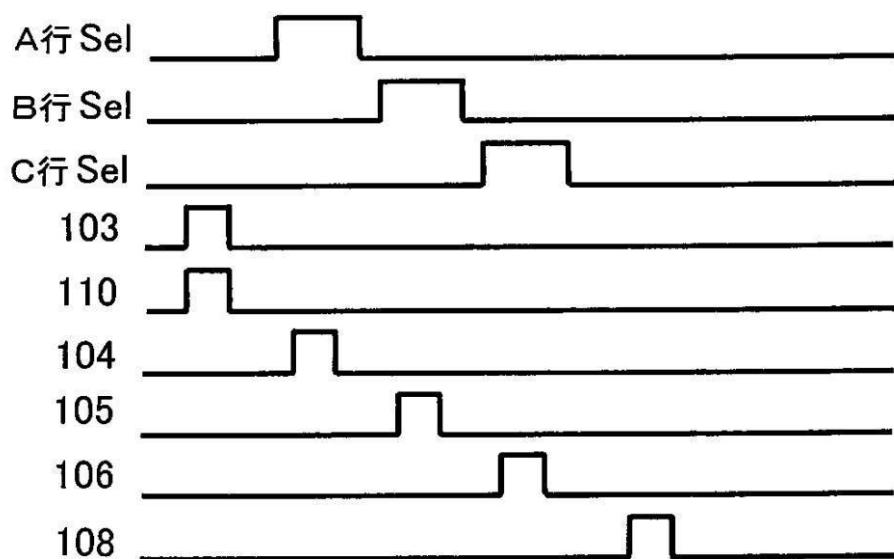
【図7】



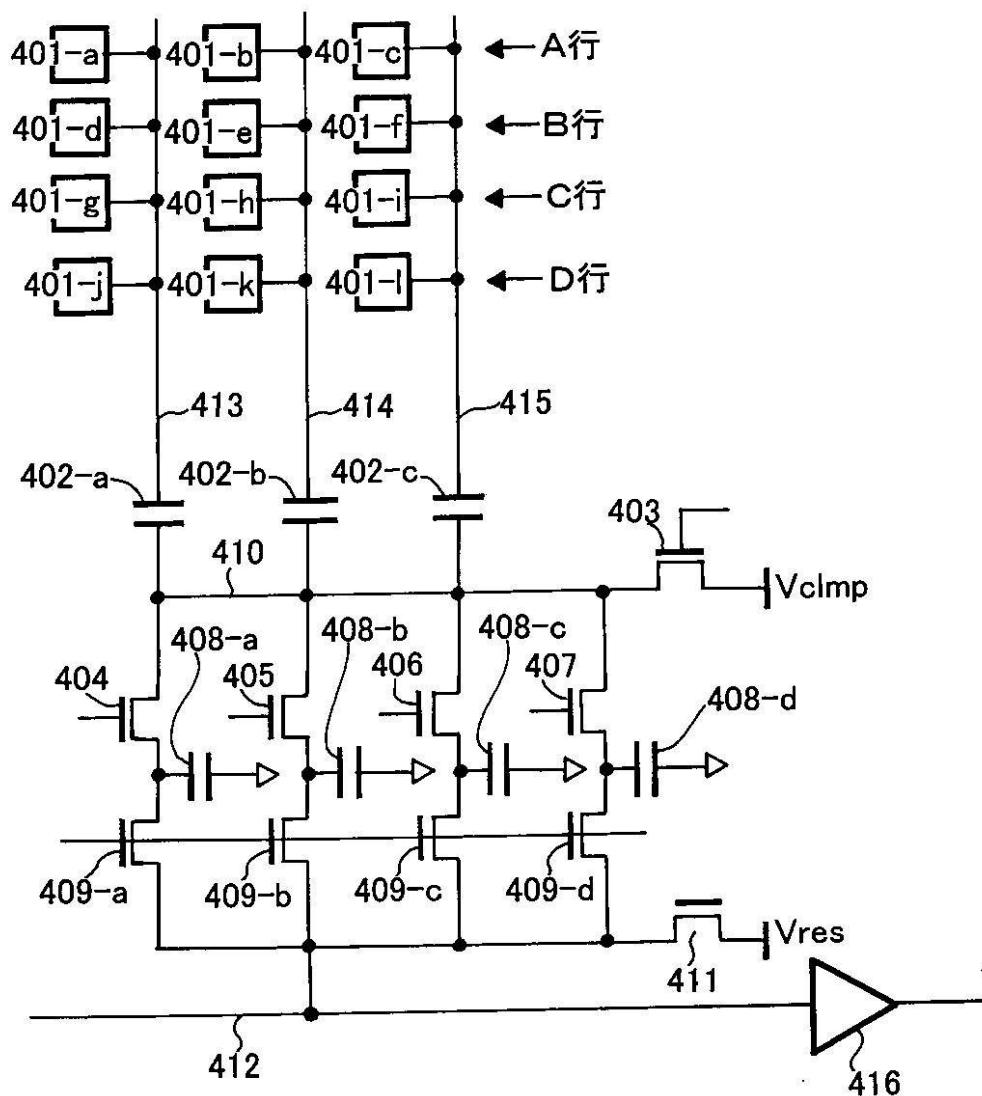
【図8】



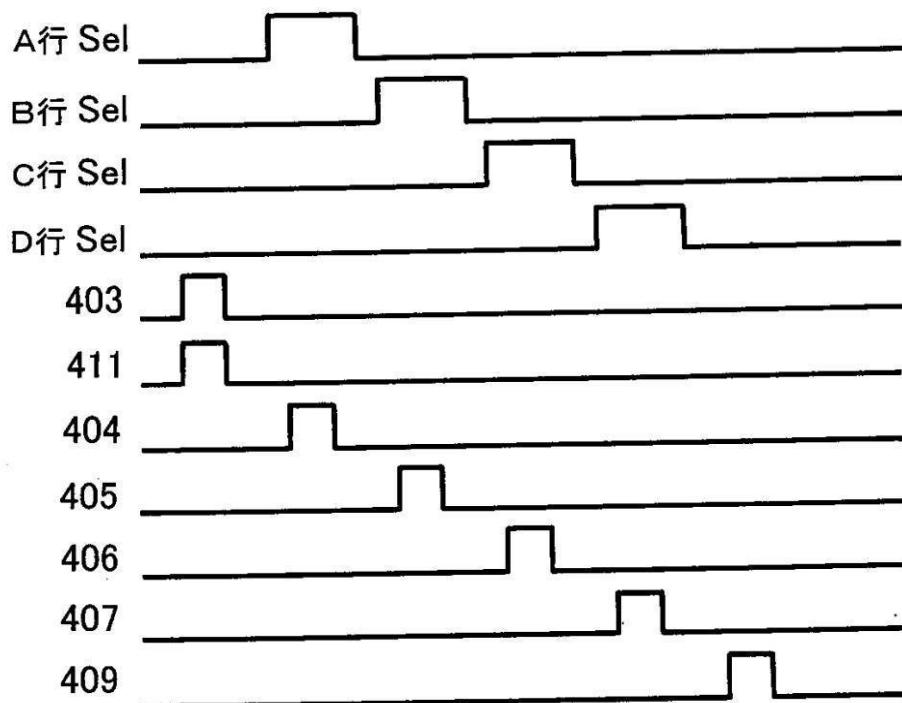
【図9】



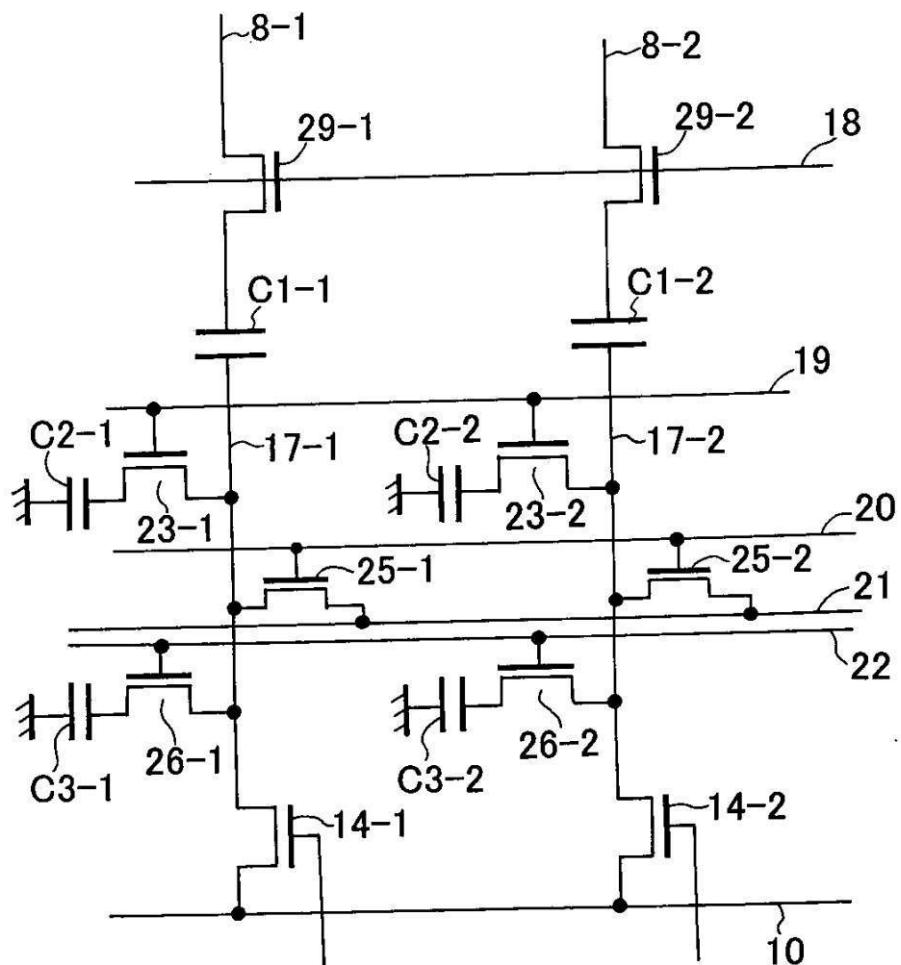
【図10】



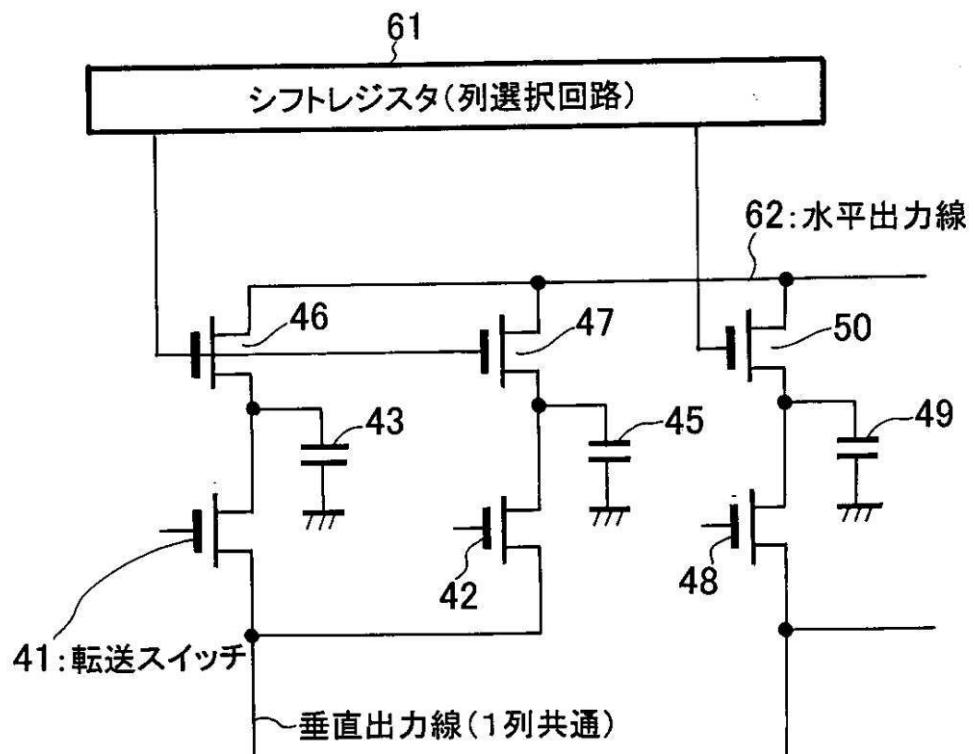
【図11】



【図12】



【図13】



---

フロントページの続き

(56)参考文献 特開平06-268920(JP,A)  
特開2003-224776(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335

H01L 27/146

H04N 9/07

H04N 101/00