



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I496286 B

(45)公告日：中華民國 104 (2015) 年 08 月 11 日

(21)申請案號：101148577

(22)申請日：中華民國 101 (2012) 年 12 月 20 日

(51)Int. Cl. : H01L29/778 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2011/12/21 美國

13/333,843

(71)申請人：電源整合公司(美國) POWER INTEGRATIONS, INC. (US)

美國

(72)發明人：高迪莫夫 艾烈瑟 KOUDYMOV, ALEXEI (RU)

(74)代理人：林秋琴；陳彥希

(56)參考文獻：

US 2005/0051796A1

US 2006/0011915A1

US 2010/0314666A1

審查人員：周楷智

申請專利範圍項數：15 項 圖式數：5 共 18 頁

(54)名稱

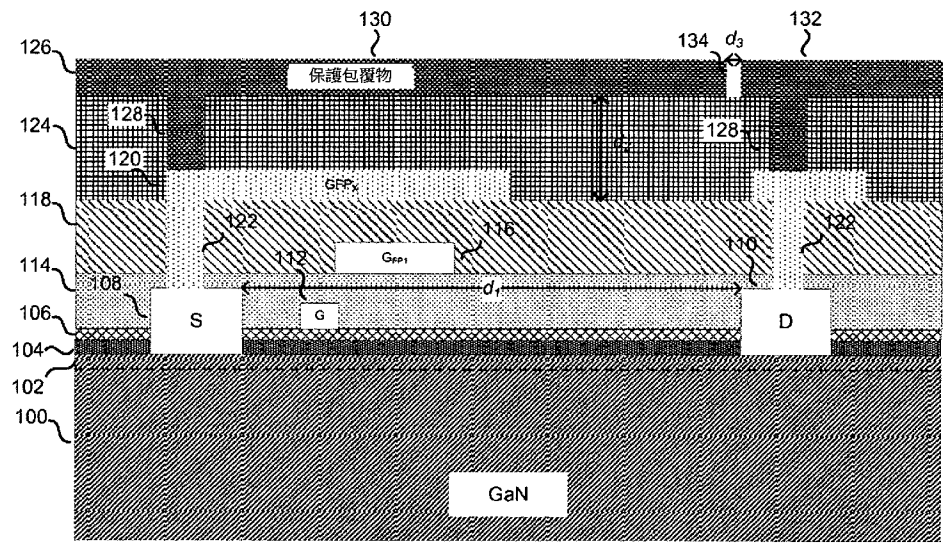
用於異質結構場效電晶體的保護包覆物

SHIELD WRAP FOR A HETEROSTRUCTURE FIELD EFFECT TRANSISTOR

(57)摘要

揭示用於提供有改善效能及/或減少雜訊產生的異質接面場效電晶體(HFET)的裝置。一閘極在 HFET 之主動區的一部份上方以及經組配成可調整在主動區之中的一傳導通道。該主動區在半導體膜中位於源極與汲極之間。第一鈍化膜在該主動區上方。一囊封膜在該第一鈍化膜上方。在該囊封膜上的第一金屬圖案包含在該主動區之大部份上方以及電氣連接至該源極的一保護包覆物。

Devices are disclosed for providing heterojunction field effect transistor (HFETs) having improved performance and/or reduced noise generation. A gate electrode is over a portion of the active region and is configured to modulate a conduction channel in the active region of an HFET. The active region is in a semiconductor film between a source electrode and a drain electrode. A first passivation film is over the active region. An encapsulation film is over the first passivation film. A first metal pattern on the encapsulation film includes a shield wrap over the majority of the active region and is electrically connected to the source electrode



第1圖

- 100 . . . 緩衝層
- 102 . . . 另一半導體膜
- 104 . . . 鈍化膜
- 106 . . . 鈍化膜
- 108 . . . 源極
- 110 . . . 汲極
- 112 . . . 閘極
- 114 . . . 鈍化膜
- 116 . . . 閘極場板
- 118 . . . 鈍化膜
- 120 . . . 金屬圖案
- 122 . . . 貫孔
- 124 . . . 囊封膜
- 126 . . . 金屬圖案
- 128 . . . 貫孔
- 130 . . . 保護包覆物
- 132 . . . 汲極連接
- 134 . . . 間隙
- d1 . . . 寬度
- d2 . . . 厚度
- d3 . . . 距離/寬度

發明摘要

※ 申請案號：101148577

※ 申請日：101.12.20

※ IPC 分類：H01L 28/1778 2006.01

H01L 23/28 2006.01

【發明名稱】

用於異質結構場效電晶體的保護包覆物

SHIELD WRAP FOR A HETEROSTRUCTURE FIELD EFFECT
TRANSISTOR

【中文】

揭示用於提供有改善效能及/或減少雜訊產生的異質接面場效電晶體(HFET)的裝置。一閘極在 HFET 之主動區的一部份上方以及經組配成可調整在主動區之中的一傳導通道。該主動區在半導體膜中位於源極與汲極之間。第一鈍化膜在該主動區上方。一囊封膜在該第一鈍化膜上方。在該囊封膜上的第一金屬圖案包含在該主動區之大部份上方以及電氣連接至該源極的一保護包覆物。

【英文】

Devices are disclosed for providing heterojunction field effect transistor (HFETs) having improved performance and/or reduced noise generation. A gate electrode is over a portion of the active region and is configured to modulate a conduction channel in the active region of an HFET. The active region is in a semiconductor film between a source electrode and a drain electrode. A first passivation film is over the active region. An encapsulation film is over the first passivation film. A first metal pattern on the encapsulation film includes a shield wrap over the majority of the active region and is electrically connected to the source electrode

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 100 緩衝層
- 102 另一半導體膜
- 104 鈍化膜
- 106 鈍化膜
- 108 源極
- 110 汲極
- 112 閘極
- 114 鈍化膜
- 116 閘極場板
- 118 鈍化膜
- 120 金屬圖案
- 122 貫孔
- 124 囊封膜
- 126 金屬圖案
- 128 貫孔
- 130 保護包覆物
- 132 汲極連接
- 134 間隙
- d1 寬度
- d2 厚度
- d3 距離/寬度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於異質結構場效電晶體的保護包覆物

SHIELD WRAP FOR A HETEROSTRUCTURE FIELD EFFECT
TRANSISTOR

【技術領域】

【0001】 本揭示內容大體有關於異質結構場效電晶體(HFET)，且更特別的是，本揭示內容係有關於用於 HFET 的保護包覆物。

【先前技術】

【0002】 許多電子裝置，例如手機、個人數位助理(PDA)、膝上電腦等等利用電力來操作。由於通過牆上插座的電力一般是以高電壓交流電(AC)輸送，通過能量傳輸元件，通常被稱作電力轉換器的裝置可用來把高電壓交流輸入轉變成有規則的直流電(DC)輸出。開關模式電力轉換器常被用來改善效率及尺寸以及減少許多現今電子裝置的元件數。開關模式電力轉換器可使用電力開關用以在關閉位置(開啟狀態)、開啟位置(關閉狀態)之間切換以由電力轉換器的輸入傳輸能量至輸出。通常電力開關為要求可忍受實質大於交流輸入電壓之電壓的高電壓裝置。

【0003】 用於開關模式電力轉換器的一種高電壓場效電晶體(FET)是 HFET，它也被稱作高電子遷移率電晶體(HEMT)。HFET 在用於高電壓電力電子裝置(例如，電力轉換器)的切換裝置中可作為開關。在某些應用中，基於寬帶隙半導體的 HFET 很有用，因為較高的帶隙可改善溫度升高時的效能。用於高電壓 HFET 之寬帶隙半導體的例子包括諸如碳化矽(SiC)、氮化鎵(GaN)及鑽石之類的材料，然而也可使用其他材料。

【發明內容】

【0004】 本發明係關於用於提供有改善效能及/或減少雜訊產生的異質接面場效電晶體(HFET) 的裝置。一閘極在 HFET

之主動區的一部份上方以及經組配成可調整在主動區之中的一傳導通道。該主動區在半導體膜中位於源極與汲極之間。第一鈍化膜在該主動區上方。一囊封膜在該第一鈍化膜上方。在該囊封膜上的第一金屬圖案包含在該主動區之大部份上方以及電氣連接至該源極的一保護包覆物。

【圖式簡單說明】

【0005】

由以下更具體的描述及附圖可明白本發明的各種方面、特徵及優點。

以下用附圖描述無限定性及非窮舉的本發明具體實施例，除非另有說明，圖中類似的元件都用相同的元件符號表示。

第 1 圖圖示具有根據本發明具體實施例之保護包覆物的示範 HFET。

第 2 圖圖示具有保護包覆物的另一示範 HFET。

第 3 圖的流程圖圖示用於製作具有根據本發明具體實施例之保護包覆物之 HFET 的示範方法。

第 4 圖圖示無根據本發明具體實施例之保護包覆物的示範 HFET 的電氣結果。

第 5 圖圖示圖示具有根據本發明具體實施例之保護包覆物的示範 HFET 的電氣結果。

【實施方式】

【0006】 在以下的說明中會提出許多特定細節供徹底了解本發明。不過，本技藝一般技術人員顯然不需該等特定細節仍可實施本發明。在其他情況下，不詳述眾所周知的材料或方法以免混淆本發明。

【0007】 在本專利說明書中，“一具體實施例”、“具體實施例”，“一實施例”或“實施例”係意指與該具體實施例或

實施例一起被描述的特定特徵、結構或特性包含在本發明的至少一具體實施例中。因此，出現於本專利說明書各處的片語“在一具體實施例中”，“在一具體實施例中”，“一實施例”或“實施例”不一定指稱同一個具體實施例或實施例。此外，可用任何適當的組合及/或次組合來組合該等特殊特徵、結構或特性於一或更多具體實施例或實施例中。特殊特徵、結構或特性可納入積體電路、電子電路、組合邏輯電路或提供前述機能的其他適當組件。另外，本文所提供的附圖是用來向本技藝一般技術人員做解釋而且不一定按照比例繪製。

【0008】 在以下的描述中，示範 FET 係用來解釋。該示範 FET 被稱作 HFET，儘管 FET 有閘極電介質。在此方面，該示範 FET 也可稱為金屬絕緣體半導體 FET(MISFET)。替換地，該示範 FET 也可稱為 HEMT。不過，為了方便解釋，使用術語 HFET。應瞭解，下文使用這些術語不是要限定申請專利範圍。

【0009】 使用於本申請案的電氣連接為歐姆連接(ohmic connection)。例如，電氣連接只通過金屬相互接觸的兩個金屬圖案。相較之下，不電氣連接汲極與源極，因為這些電極之間的任何連接是通過在半導體中以及受閘極控制的通道。同樣，當閘極電介質用來使閘極與下面的半導體絕緣時，閘極不電氣連接至在閘極下的半導體。

【0010】 HFET 當作高電壓開關的操作涉及數百伏特電壓的超快速(次微秒)切換。如此快速的切換可能產生在裝置之主動區附近及遠處大電磁場。電磁場的頻率可能接近 HFET 的工作頻率(例如，在 kHz 至 MHz 的範圍內)。不過，HFET 的通道可能經驗到有由通道不均勻性所致之更高頻率的局部電磁場。頻率較高的局部電磁場可能與接觸、墊片及金屬化物相互作用而以 GHz 至 THz 的範圍放射。這些大電磁場中之任一可能損壞周遭電路甚至附近的電子裝置都及/或造成干擾。這些電磁場也可能導致長期退化以及減少暴露於電磁場之封裝材料、互連及介電層的使用壽命。

【0011】 第 1 圖圖示示範半導體裝置，其係包含使用根據本發明具體實施例之示範保護包覆物的示範 HFET。該示範 HFET 係形成於基板上(為使描述簡潔，第 1 圖未圖示)。在基板上，以氮化鎵膜形成緩衝層 100。安置另一半導體膜 102 於緩衝層 100 的表面上方以形成有緩衝層 100 的異質結構。半導體膜 102 在緩衝層 100 的頭部部份建立一傳導通道。例如，半導體膜 102 可為氮化鋁鎵(AlGaIn)。在其他的示範 FET(未圖示，包括非異質結構 FET)中，半導體膜 102 可為其他材料、省略之、或材料可與緩衝層 100 的相同。同樣，在其他的示範 FET(未圖示)中，緩衝層 100 可由其他材料製成，例如矽、砷化鎵(GaAs)、磷化銦(InP)、碳化矽(SiC)及其類似者。在有些情形下，緩衝層 100 及/或半導體膜 102 可為由多層薄膜製成的複合膜。

【0012】 形成鈍化膜 104 於半導體膜 102 上方。鈍化膜 104 可形成閘極電介質中之一部份以及可成長為高品質的絕緣材料。例如，鈍化膜 104 可由以下材料製成，例如氧化鋁(Al_2O_3)、二氧化鋯(ZrO_2)、氮化鋁(AlN)、氧化鈦(HfO_2)、二氧化矽(SiO_2)、氮化矽(Si_3N_4)或其他適當閘極介電材料。鈍化膜 104 也可形成與半導體膜 102 建立介面的高品質介面，這可改善可靠性以及提高電子的表面遷移率(surface mobility)，從而改善裝置效能。

【0013】 可形成鈍化膜 104 為低缺陷/低捕捉密度的薄膜，使得藉由最小化熱載子可能注入及/或陷入鈍化膜 104 的機率可改善閘極電介質可靠性。例如，原子層沉積法(ALD)可用來形成當作鈍化膜 104 的高品質材料。

【0014】 形成鈍化膜 106 於鈍化膜 104 上方。如同鈍化膜 104，鈍化膜 106 也可形成閘極電介質中之一部份。鈍化膜 106 的形式方式及材料可與鈍化膜 104 的類似。例如，原位 ALD 製程可用來在同一個 ALD 工具中形成鈍化膜 104 及 106 而基板不暴露於工具之外的環境。鈍化膜 104 與 106 的組合厚度，例如，可在 5 奈米至 20 奈米之間。用於形成該等薄膜的方法在美國專利申請案第 13/323,672 號(標題為 IN SITU GROWN GATE

DIELECTRIC AND FIELD PLATE DIELECTRIC，申請於 2011 年 12 月 12 日，其係頒給本申請案的受讓人)中有更詳細的解釋，在此全部併入本文作為參考資料。根據本發明具體實施例的保護包覆物同樣可應用於揭示於該申請案的 FET。在其他的示範 FET 中，只使用單一鈍化膜(例如，鈍化膜 104)。

【0015】 形成源極 108 及汲極 110 於半導體膜 102 上。在其他的示範 HFET 中，這些電極也可與在半導體膜 102 下的緩衝層 100 接觸。在源極 108、汲極 110 之間的區域形成可形成傳導通道以及可用閘極 112 控制的主動區，閘極 112 係形成於鈍化膜 106 的頂部。在其他的示範 FET 中，閘極 112 可直接形成於半導體膜 102 上。閘極 112 經組配成可調整在主動區之中的傳導通道。換言之，藉由改變閘極 112 上的電壓，可控制通過主動區中之通道的傳導。用於該等電極的金屬堆疊可包含，例如 Al、Ni、Ti、TiW、TiN、TiAu、TiAlMoAu、TiAlNiAu、TiAlPtAu 或其類似物。除金屬以外，也可使用其他導電材料。

【0016】 形成鈍化膜 114 於源極 108、汲極 110 及閘極 112 上方以允許形成接到電極、一或更多場板(若使用時)及保護包覆物的互連。鈍化膜 114 可由絕緣材料製成，例如氮化矽、氧化矽及其類似者。在有些情形下，鈍化膜 114 可為由多層不同膜組成的複合膜。

【0017】 形成閘極場板(gate field plate)116 於鈍化膜 114 的頂部。閘極場板 116 經設計成可擴散在最靠近汲極 110 之閘極 116 邊緣的電場。電場在 HFET 中之此區域擴散可減少載子注入閘極電介質(鈍化層 104 及 106)的機率以及可協助改善 HFET 的可靠性。在其他的示範 HFET 中，可省略閘極場板。閘極場板 116 可由與源極、汲極或閘極相同的材料製成。

【0018】 形成鈍化膜 118 於閘極場板 116 上方。金屬圖案 120 可形成於鈍化膜 118 上方。金屬圖案 120 可包含另一閘極場板及貫孔 122 以與電極電接觸。在其他的示範 HFET 中，可以只用一個閘極場板或使用兩個以上的閘極場板。

【0019】 形成囊封膜 124 於金屬圖案 120 上方。囊封膜 124 與鈍化膜 104、106、114 及 118 不同的地方在於：與比較靠近半導體膜 102 的鈍化膜相比，囊封膜 124 的缺陷/捕捉密度比較不重要。這允許囊封膜 124 由不適用於鈍化膜的材料製成。不過，囊封膜 124 也可由使用於鈍化膜之一或更多的相同材料製成。例如，囊封膜 124 可為氧化矽、氮化矽、玻璃(例如，熔塊式玻璃(frit-on glass))，有機電介質(例如，基於聚亞醯胺或苯環丁烯(benzocyclobutene)的電介質)，或其類似物。在有些情形下，囊封膜 124 可為由數層薄膜製成的複合膜。囊封膜 124，例如，可厚約 0.5 微米至 5 微米。在一實施例中，囊封膜 124 有 1 微米的厚度。

【0020】 形成金屬圖案 126 於囊封膜 124 上方。金屬圖案 126 包含保護包覆物 130、汲極連接 132 及貫孔 128。汲極連接 132 通過一或更多貫孔 128 與汲極 110 電接觸。保護包覆物 130 通過一或更多貫孔 128 與源極 108 電接觸。與上述場板相較之下，保護包覆物 130 可能不被設計成可擴散電場。反之，保護包覆物 130 可包含 HFET 所產生的電磁輻射。換言之，保護包覆物 130 與閘極場板不同的地方在於：保護包覆物 130 係儘可能地覆蓋 HFET。因此，可能不優化保護包覆物 130 的幾何用以擴散在最靠近汲極 110 之閘極 112 邊緣的電場。在一實施例中，保護包覆物 130 可延伸以儘可能地與 HFET 表面重疊而在源極 108、汲極 110 之間不產生直流電氣路徑。藉由與所有或部份 HFET 重疊，保護包覆物 130 可減少傳輸到 HFET 之外的電磁輻射以及反射回到 HFET 的電磁輻射。為了減少金屬之保護包覆物 130 與在保護包覆物 130 底下之半導體層的電容耦合，可增加囊封層 124 的厚度 d_2 。

【0021】 定義於金屬圖案 126 的間隙 134 可設計成有充分的寬度 d_3 使得保護包覆物 130 在高電壓不會與汲極連接 132 短路。例如，在源極 108 與汲極 110 之間的主動區可具有寬度 d_1 ，對於 HFET 的切換電壓，每 100V 約有 1 微米(例如，500V HFET

會有約 5 微米的 d_1)。相較之下, 如果間隙 134 填充氮化矽(SiN)(每 500 至 600V 的切換電壓可能只需要約 1 微米的氮化矽), 間隙 134 寬度 d_3 比 d_1 的 5 至 6 倍還小(例如, 500V HFET 會有約 1 微米的 d_3)。在一情形下, d_3 為 d_1 的百分之 15 至 20。例如, 金屬圖案 126 可厚約 0.7 微米至 2 微米。

【0022】 第 2 圖圖示包含使用根據本發明具體實施例之示範保護包覆物的示範 HFET 的另一示範半導體裝置。如圖示, 形成金屬圖案 226 於囊封膜 224 上方。金屬圖案 226 包含保護包覆物 230、源極連接 232 及貫孔 228。源極連接 232 通過一或更多貫孔 228 與汲極 210 電接觸。保護包覆物 230 通過一或更多貫孔 228 與源極 208 電接觸。如圖示, 屏蔽板(shield plate)230 可延伸一段距離 d_3 越過閘極場板 222。在一實施例中, 閘極場板 222 也可用作保護包覆物 230 的一部份以最大化裝置表面的覆蓋率。

【0023】 第 3 圖的流程圖圖示用於製作具有根據本發明具體實施例之示範保護包覆物的示範 HFET 的示範方法。儘管該流程圖含有各種加工步驟, 然而應瞭解, 可能需要其他的加工步驟以製成有根據本發明具體實施例之示範保護包覆物的示範 HFET。在其他示範方法中, 圖示於第 3 圖的步驟可用不同的順序完成或可組合數個步驟。例如, 可同時形成閘極與閘極場板。又在其他的示範方法中, 有些步驟可省略。例如, 如果想要無閘極場板的 HFET, 則示範方法可省略形成閘極場板的步驟。

【0024】 第 4 圖及第 5 圖圖示無(第 4 圖)及有(第 5 圖)根據本發明具體實施例之保護包覆物之示範 HFETS 的實驗結果。特別是, 第 4 圖及第 5 圖圖示有及無保護包覆物之 HFET 的電流-電壓特性曲線(I-V characteristics)。藉由使 HEMT 有在關閉狀態(閘極偏壓=-10V)與開啟狀態(閘極偏壓=0V)之間的脈衝來得到該等結果。設定有如第 4 圖及第 5 圖之圖表符號所示之各種數值的汲極偏壓。用 10 毫秒的周期及 0.1%的工作週期產生脈衝。總閘極寬度約有 450 微米。第 4 圖及第 5 圖的 x 軸為瞬間汲極電壓而 y 軸為瞬間汲極電流。

【0025】 顯然藉由比較第 4 圖(對應至無保護包覆物的 HFET)的結果與第 5 圖(對應至有根據本發明具體實施例之保護包覆物的 HFET)的結果，有保護包覆物的 HFET 有更局限的瞬間汲極電流分布。更局限的分布對應至在較高汲極電壓比較不會劣化而有較佳效能的 HFET。具體言之，第 4 圖顯示無保護包覆物之示範 HFET 的汲極電壓在 335V 以下失真，以及第 5 圖顯示有根據本發明具體實施例之保護包覆物的示範 HFET 的汲極電壓在 365V 以下不失真。

【0026】 以上本發明圖示實施例的說明，包括描述於【發明摘要】的，並非旨在窮舉本發明或限定本發明成為所揭示的確切形式。儘管本文為了圖解說明舉例描述數個特定具體實施例，然而仍可能有各種等價變體而不脫離較寬廣的本發明精神及範疇。的確為了解釋提供厚度、材料、加工操作等等的特定實施例，然而根據本發明的教導，其他具體實施例、實施例及方法也可使用其他的厚度、材料、加工操作等等。

【0027】 根據以上的詳細說明，可做出本發明的變體。用於下列專利申請項的術語請勿視為是要把本發明限定成揭示於本專利說明書及申請專利範圍的特定具體實施例。反而是，本發明的範疇不應完全取決於下述申請專利範圍，而應被視為是要根據解釋申請專利範圍的公認原則。因此，應視為本專利說明書及附圖用來圖解說明而非限定本發明。

【符號說明】

【0028】

100	緩衝層	114	鈍化膜
102	另一半導體膜	116	閘極場板
104	鈍化膜	118	鈍化膜
106	鈍化膜	120	金屬圖案
108	源極	122	貫孔
110	汲極	124	囊封膜
112	閘極	126	金屬圖案

128	貫孔	226	金屬圖案
130	保護包覆物	228	貫孔
132	汲極連接	230	屏蔽板
134	間隙	232	源極連接
208	源極	d ₁	寬度
210	汲極	d ₂	厚度
222	閘極場板	d ₃	距離/寬度
224	囊封膜		

申請專利範圍

1. 一種半導體裝置，其係包含：
 - 異質結構場效電晶體(HFET)，其具有一主動區在一源極與一汲極之間的一半導體膜之中，其中一閘極在該主動區之一部份的上方並經組配成可調整在該主動區之中的一傳導通道；
 - 在該主動區上方的第一鈍化膜；
 - 在該第一鈍化膜上方的囊封膜；以及
 - 在該囊封膜上的第一金屬圖案，其中該第一金屬圖案包含覆蓋該主動區之大部份以及電氣連接至該源極的一保護包覆物；
 - 用在該第一鈍化膜上之第二金屬圖案定義的第一閘極場板，其中在該源極與該汲極之間之一區至少有 75%個別或一起被該保護包覆物或該第二金屬圖案覆蓋。
2. 如申請專利範圍第 1 項所述之半導體裝置，其中在該第一金屬圖案中定義一間隙，以及其中該間隙隔開該保護包覆物與該第一金屬圖案中連接至該汲極之一部份。
3. 如申請專利範圍第 2 項所述之半導體裝置，其中該間隙不形成於該主動區上方。
4. 如申請專利範圍第 2 項所述之半導體裝置，其中由該汲極至該源極的距離比該間隙的寬度大 5 到 6 倍。
5. 如申請專利範圍第 1 項所述之半導體裝置，其更包含：
 - 用在第二鈍化膜上之第三金屬圖案定義的第二閘極場板，該第二鈍化膜是在該第一鈍化膜與該半導體膜之間。
6. 如申請專利範圍第 5 項所述之半導體裝置，其中該保護包覆物與該第一場板完全重疊。

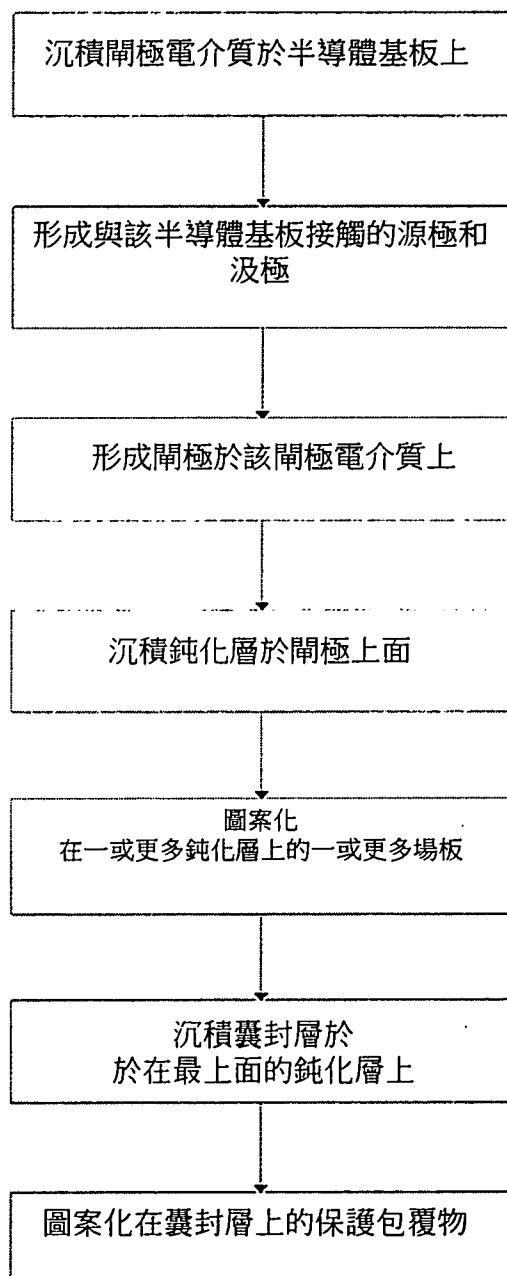
7. 如申請專利範圍第 1 項所述之半導體裝置，其中該保護包覆物覆蓋在該源極與該汲極之間之該區至少 75%。
8. 如申請專利範圍第 7 項所述之半導體裝置，其中該保護包覆物覆蓋在該源極與該汲極之間之整個該區。
9. 如申請專利範圍第 1 項所述之半導體裝置，其中在該源極與該汲極之間之該區個別或一起被該保護包覆物或該第二金屬圖案整個覆蓋。
10. 如申請專利範圍第 1 項所述之半導體裝置，其中該第一鈍化膜為多個鈍化膜。
11. 如申請專利範圍第 1 項所述之半導體裝置，其中該第一金屬圖案是在離該主動區最遠的金屬層中。
12. 一種半導體裝置，其係包含：
 - 一基板；
 - 一在該基板上的緩衝層；
 - 一在該緩衝層上的半導體膜，其係經組配成可在該緩衝層中建立一通道；
 - 一與該半導體膜接觸的源極；
 - 一與該半導體膜接觸的汲極，其中有一主動區在該源極與該汲極之間；
 - 一在該半導體膜上方的第一鈍化膜；
 - 一閘極，其係經組配成可調整在該主動區之中的該通道；
 - 一在該第一鈍化膜上方的囊封膜；以及
 - 一在該囊封膜上電氣連接至該源極的保護包覆物，其中該保護包覆物覆蓋該主動區之大部份，
 - 一在該第一鈍化膜上的第一閘極場板，其中在該源極與該汲極之

間之一區至少有 75%個別或一起被該保護包覆物或第一閘極場板覆蓋。

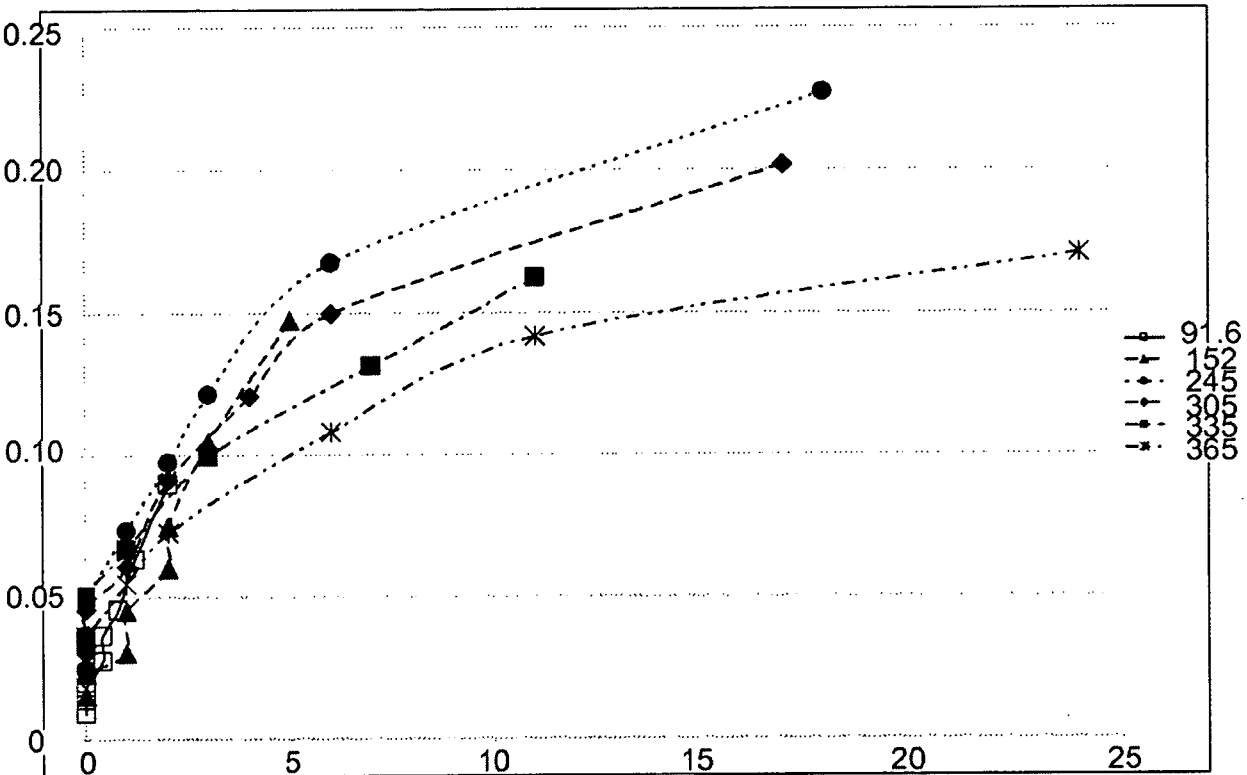
13. 如申請專利範圍第 12 項所述之半導體裝置，其更包含：
在該第一鈍化膜與該半導體膜之間的一個或更多鈍化膜。

14. 如申請專利範圍第 13 項所述之半導體裝置，其更包含：
一在該第一鈍化膜與該半導體膜之間的該一或更多鈍化膜中之
一鈍化膜上的第二閘極場板。

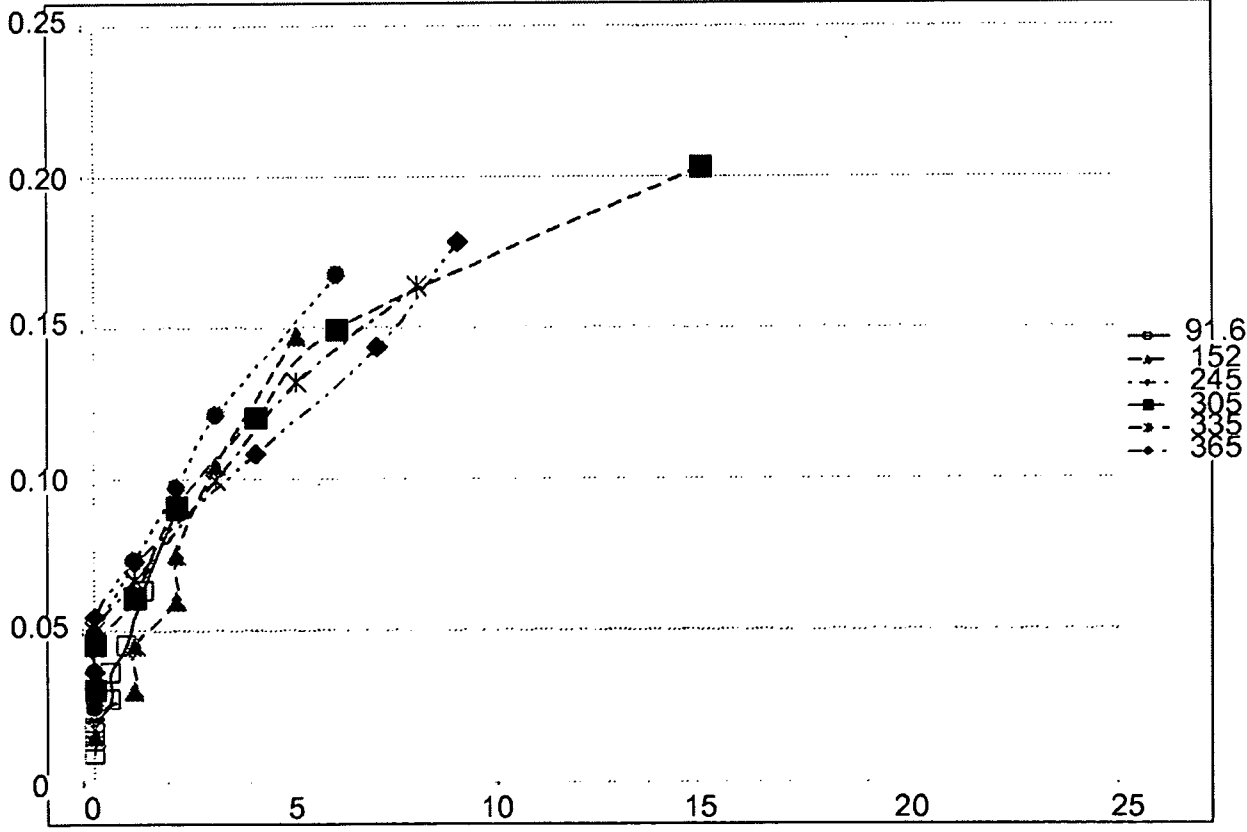
15. 如申請專利範圍第 12 項所述之半導體裝置，其中該保護包
覆物覆蓋在該源極與該汲極之間之該區至少 75%。



第3圖



第4圖



第5圖