



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I765987 B

(45) 公告日：中華民國 111 (2022) 年 06 月 01 日

(21) 申請案號：107108941

(22) 申請日：中華民國 107 (2018) 年 03 月 16 日

(51) Int. Cl. : G11C11/4076(2006.01)

G11C11/4063(2006.01)

(30) 優先權：2017/03/31 日本

2017-071079

(71) 申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION
(JP)

日本

(72) 發明人：螢原孝征 HOTARUHARA, TAKAYUKI (JP)

(74) 代理人：周良謀；周良吉

(56) 參考文獻：

US 20120113729A1

US 2009/0161453A1

US 2010/0146237A1

US 2016/0189758A1

審查人員：蕭明椿

申請專利範圍項數：16 項 圖式數：21 共 66 頁

(54) 名稱

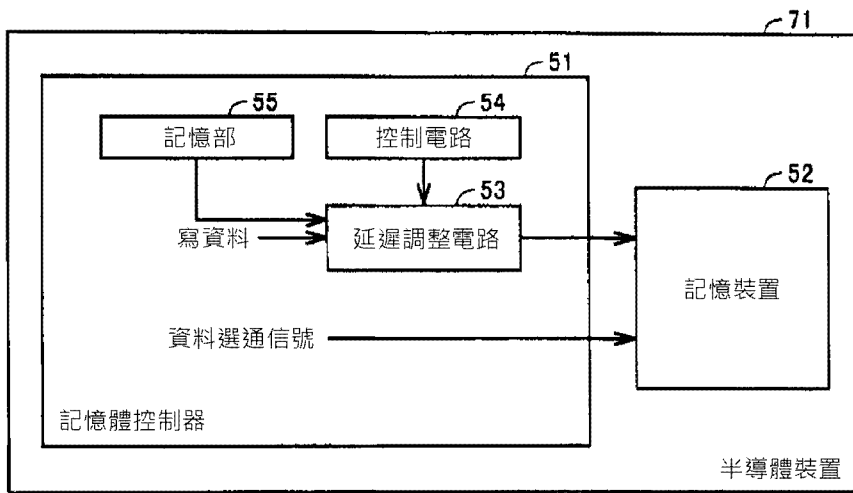
半導體裝置

(57) 摘要

為了因應信號之時序的變動，而再進行與初始調整相同的處理時，利用記憶體之半導體裝置的性能會變差。延遲調整電路 53 調整往記憶裝置 52 之寫資料的延遲量。控制電路 54 設定延遲調整電路 53 的延遲量。記憶部 55 記憶延遲量。控制電路 54 根據將記憶部 55 所記憶之延遲量或以該延遲量為基準之量設定於延遲調整電路 53 時之寫資料的寫入結果，修正記憶部 55 所記憶之延遲量。

When the same processing as initial training is executed to cope with fluctuation in the timing of a signal, the performance of a semiconductor device utilizing the relevant memory is degraded. A delay adjustment circuit adjusts a delay amount of write data to a memory device. A control circuit sets a delay amount of the delay adjustment circuit. A storage unit stores a delay amount. The control circuit corrects the delay amount stored in the storage unit based on a writing result of write data obtained when the delay amount stored in the storage unit or an amount based on that delay amount is set on the delay adjustment circuit.

指定代表圖：



符號簡單說明：

51:記憶體控制器

52:記憶裝置

53:延遲調整電路

54:控制電路

55:記憶部

71:半導體裝置

圖 1



I765987

【發明摘要】

IPC 分類號: G11C 11/4076 (2006.01)

G11C 11/4063 (2006.01)

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

為了因應信號之時序的變動，而再進行與初始調整相同的處理時，利用記憶體之半導體裝置的性能會變差。延遲調整電路53調整往記憶裝置52之寫資料的延遲量。控制電路54設定延遲調整電路53的延遲量。記憶部55記憶延遲量。控制電路54根據將記憶部55所記憶之延遲量或以該延遲量為基準之量設定於延遲調整電路53時之寫資料的寫入結果，修正記憶部55所記憶之延遲量。

【英文】

When the same processing as initial training is executed to cope with fluctuation in the timing of a signal, the performance of a semiconductor device utilizing the relevant memory is degraded. A delay adjustment circuit adjusts a delay amount of write data to a memory device. A control circuit sets a delay amount of the delay adjustment circuit. A storage unit stores a delay amount. The control circuit corrects the delay amount stored in the storage unit based on a writing result of write data obtained when the delay amount stored in the storage unit or an amount based on that delay amount is set on the delay adjustment circuit.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

- 51 記憶體控制器
- 52 記憶裝置
- 53 延遲調整電路
- 54 控制電路
- 55 記憶部
- 71 半導體裝置

【特徵化學式】 無

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明係關於一種半導體裝置及時序校正方法，例如適合利用於內建記憶體之半導體裝置。

【先前技術】

【0002】

習知技術中，具備「對進行記憶體之寫入動作所需的信號之時序進行校正的調整功能之裝置」係眾所周知。例如，在專利文獻1所記載之記憶體控制裝置進行一個或複數個寫入-讀出-驗證的動作，來校正資料選通信號與時鐘信號之間的時鐘週期關係。

[先行專利文獻]

[專利文獻]

【0003】

[專利文獻1]日本特開2015-43254號公報

【發明內容】

[發明所欲解決之課題]

【0004】

可是，於初始調整後，在記憶體或記憶體控制裝置之溫度或電壓發生變動的情況，因為所校正之信號的時序發生變動，所以需要進行再調整。

【0005】

在專利文獻1所記載之調整，需要長時間，而且在調整期間中，記憶體之通常動作受到妨礙。因此，為了因應信號之時序的變動，而再度進行與初始調整相同的處理時，利用記憶體之半導體裝置的性能會變差。

【0006】

其他的課題與新穎特徵可由本專利說明書之描述及附加圖式而明瞭。

[解決課題之手段]

【0007】

在一實施形態之半導體裝置，控制電路根據將記憶部所記憶之延遲量或以延遲量為基準之量設定於延遲調整電路時之寫資料的寫入結果，修正記憶部所記憶之延遲量。

[發明之效果]

【0008】

依據一實施形態，可縮短再調整的進行時間。

【圖式簡單說明】**【0009】**

第1圖表示第1實施形態之半導體裝置之構成的圖。

第2圖表示第2實施形態之半導體裝置之構成的圖。

第3圖表示第3實施形態之半導體裝置之構成的圖。

第4圖表示第3實施形態之延遲調整電路的延遲量之調整程序的流程圖。

第5圖表示決定碼之修正方法之規則RA的圖。

第6圖係用以說明由初始調整所設定之碼L_D、R_D、C_D的圖。

第7圖(a)表示應用規則RA之模式A2之例子的圖，第7圖(b)表示應用規則RA之模式A3之例子的圖，第7圖(c)表示應用規則RA之模式A4之例子的圖。

第8圖表示第4實施形態之半導體裝置之構成的圖。

第9圖表示第4實施形態之延遲調整電路的延遲量之調整程序的流程圖。

第10圖表示第5實施形態之半導體裝置之構成的圖。

第11圖表示第5實施形態之延遲調整電路的延遲量之調整程序的流程圖。

第12圖表示第6實施形態之延遲調整電路的延遲量之調整程序的流程圖。

第13圖係用以說明在第12圖之步驟S403的左緣檢查之程序的圖。

第14圖係用以說明在第12圖之步驟S404的右緣檢查之程序的圖。

第15圖表示決定碼之修正方法之規則RB的圖。

第16圖(a)表示應用規則RB之模式T5之例子的圖，第16圖(b)表示應用規則RB之模式T16之例子的圖。

第17圖表示第7實施形態之延遲調整電路的延遲量之調整程序的流程圖。

第18圖(a)~(c)表示再調整之週期的變化的圖。

第19圖表示第8實施形態之半導體裝置之構成的圖。

第20圖表示第8實施形態之延遲調整電路的延遲量之調整程序的流程圖。

第21圖表示第9實施形態之延遲調整電路的延遲量之調整程序的流程圖。

【實施方式】

【0010】

以下，使用圖式說明實施形態。

[第1實施形態]

第1圖表示第1實施形態之半導體裝置71之構成的圖。

【0011】

此半導體裝置71包含記憶體控制器51與記憶裝置52。記憶體控制器51包含延遲調整電路53、控制電路54以及記憶部55。

【0012】

延遲調整電路53調整往記憶裝置52之寫資料的延遲量。

控制電路54設定延遲調整電路53的延遲量。

【0013】

記憶部55記憶延遲量。

控制電路54根據將記憶部55所記憶之延遲量或以該延遲量為基準之量設定於延遲調整電路53時之寫資料的寫入結果，修正記憶部55所記憶之延遲量。

【0014】

如以上所示，依據本實施形態之半導體裝置，根據將記憶部55所記憶之調整「往記憶裝置52之寫資料的延遲量」之延遲調整電路53的延遲量或以該延遲量為基準之量設定於延遲調整電路53時之寫資料的寫入結果，修正記憶部55所記憶之延遲量。在本實施形態，與：在第1調整期間之後的第2調整期間，完全

不使用「於第1調整期間得到、且記憶部55所記憶之延遲量之習知的方式」相比，可縮短第2調整期間所需的時間。例如，亦可第1調整期間進行初始調整，第2調整期間進行再調整。

【0015】**[第2實施形態]**

第2圖表示第2實施形態之半導體裝置72之構成的圖。

【0016】

此半導體裝置72包含記憶體控制器61與記憶裝置52。記憶體控制器61包含延遲調整電路63、控制電路64以及記憶部65。

【0017】

延遲調整電路63調整往記憶裝置52之資料選通信號的延遲量。

記憶部65記憶延遲量。

【0018】

控制電路64根據將記憶部65所記憶之延遲量或以該延遲量為基準之量設定於延遲調整電路63時之寫資料的寫入結果，修正記憶部65所記憶之延遲量。

【0019】

如以上所示，依據本實施形態之半導體裝置，根據將記憶部65所記憶之「調整往記憶裝置52之資料選通信號的延遲量之延遲調整電路63的延遲量」或以該延遲量為基準之量設定於延遲調整電路63時之寫資料的寫入結果，修正記憶部65所記憶之延遲量。在本實施形態，與：在第1調整期間之後的第2調整期間，完全不使用「由第1調整期間得到、且記憶部65所記憶之延遲量」之習知的方式

相比，可縮短第2調整期間所需的時間。例如，亦可第1調整期間進行初始調整，第2調整期間進行再調整。

【0020】

[第3實施形態]

第3圖表示第3實施形態之半導體裝置73之構成的圖。

【0021】

此半導體裝置73包含記憶裝置13與記憶體控制器32。

記憶體控制器32包含延遲調整電路12、控制電路21、雙向緩衝器BF1以及雙向緩衝器BF2。

【0022】

雙向緩衝器BF1接收從記憶裝置13輸出之讀資料RDQ。雙向緩衝器BF1向記憶裝置13輸出寫資料WDQ。雙向緩衝器BF2接收從記憶裝置13輸出之讀出用資料選通信號RDQS。雙向緩衝器BF2向記憶裝置13輸出寫用資料選通信號WDQS。

【0023】

記憶裝置13包含調整專用記憶體41與用戶可使用的記憶體42。

【0024】

記憶裝置13在輸入的寫用資料選通信號WDQS之上升時序，取入輸入的寫資料WDQ。

【0025】

在調整專用記憶體41，在將延遲調整電路12之延遲量設定成寫資料WDQ之有效窗之邊緣的時序與寫用資料選通信號WDQS之邊緣的時序成為一致的調整，寫入調整用之測試資料，作為寫資料WDQ。調整用之測試資料係為了在有

限的時間內得到可靠性高的(在通常動作中成為誤動作之可能性低的)時序結果，使用時序條件變成最差的資料型態。因此，調整用之測試資料因為作為通常資料係出現機率低之資料型態，所以有調整結果比實際使用狀態嚴格的傾向。

【0026】

用戶可使用的記憶體42在通常動作時，根據用戶程式等，被寫入從外部供給的通常資料，作為寫資料WDQ。

【0027】

延遲調整電路12包含複數段之延遲元件DE(1)~DE(N)與選擇器SL1。延遲元件DE(1)~DE(N)各自係例如由非反相緩衝器所構成。

【0028】

選擇器SL1接受來自延遲元件DE(1)~DE(N)各自的輸出。選擇器SL1因應於從選擇器SL2輸出之碼，輸出延遲元件DE(1)之輸入或延遲元件DE(1)~DE(N)之輸出的任一個。例如，選擇器SL1在碼是「0」的情況，選擇延遲元件DE(1)之輸入，選擇器SL1在碼是「i」的情況，選擇延遲元件DE(i)之輸出。將一個延遲元件DE之寫用資料選通信號WDQS的延遲量作為 ΔD 。

【0029】

控制電路21包含調整控制電路22、初始調整模組10、再調整模組11、記憶部19以及選擇器SL2。記憶部19包含左緣用暫存器14、中心用暫存器15以及右緣用暫存器16。

【0030】

調整控制電路22控制記憶裝置13及記憶體控制器32。

【0031】

初始調整模組10進行初始調整。首先，初始調整模組10求算延遲調整電路12的延遲量，俾使得寫資料WDQ之有效窗左緣的時序與寫用資料選通信號WDQS之上升緣的時序成為一致(記憶裝置13在此時序取入有效窗左緣)，並向左緣用暫存器14寫入表示該延遲量之碼L_D。接著，初始調整模組10求算延遲調整電路12的延遲量，俾使得寫資料WDQ之有效窗右緣的時序與寫用資料選通信號WDQS之上升緣的時序成為一致(記憶裝置13在此時序取入有效窗右緣)，並向右緣用暫存器16寫入表示該延遲量之碼R_D。最後，初始調整模組10向中心用暫存器15寫入表示碼L_D的延遲量與碼R_D的延遲量之平均的延遲量之碼C_D。所謂寫資料WDQ之有效窗係指「寫資料WDQ之1個位元的期間(1Unit-Interval)中，抖動、設置時間以及保持時間等以外的期間」。

【0032】

由於介面之高速化，對傳送週期的電壓變動或溫度變動造成的寫資料WDQ之波形的劣化所佔的比例變大，寫資料WDQ之有效窗的寬度長期地變窄，或有效窗的位置變化。為了改善長期性之劣化，需要再調整。再調整模組11進行再調整。再調整模組11藉由使選擇器SL2選擇左緣用暫存器14的輸出，求算將與左緣用暫存器14所保持之碼L_D對應的延遲量設定成延遲調整電路12的延遲量時之寫資料WDQ的寫入結果，作為左緣檢查結果。

【0033】

再調整模組11藉由使選擇器SL2選擇右緣用暫存器16的輸出，求算將與右緣用暫存器16所保持之碼R_D對應的延遲量設定成延遲調整電路12的延遲量時之寫資料WDQ的寫入結果，作為右緣檢查結果。

【0034】

再調整模組11根據左緣檢查結果與右緣檢查結果，修正左緣用暫存器14、右緣用暫存器16、中心用暫存器15所保持之碼L_D、R_D、C_D中至少一個，或全部都不修正。

【0035】

調整控制電路22在通常動作時，藉由使選擇器SL2選擇中心用暫存器15的輸出，將「與中心用暫存器15所保持之碼C_D對應的延遲量」設定成延遲調整電路12的延遲量。藉此，在通常動作時，可使得「寫資料WDQ之有效窗的左緣與有效窗的右緣之間的中央的時序」與「寫用資料選通信號WDQS之上升緣的時序」成為一致。記憶裝置13在此中央的時序取入寫資料WDQ。

【0036】

左緣用暫存器14記憶「決定寫用資料選通信號WDQS之延遲調整電路12所致的延遲量DL的碼L_D」，俾使得寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗左緣的時序成為一致。

【0037】

右緣用暫存器16記憶「決定寫用資料選通信號WDQS之延遲調整電路12所致的延遲量DR的碼R_D」，俾使得寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗右緣的時序成為一致。

【0038】

中心用暫存器15記憶「決定寫用資料選通信號WDQS之延遲調整電路12所致的延遲量DC的碼C_D」，俾使得寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗的左緣和有效窗的右緣之間的中央的時序成為一致。延遲量DC係延遲量DL與延遲量DR的平均值。

【0039】

選擇器SL2向選擇器SL1輸出從左緣用暫存器14輸出之碼、從中心用暫存器15輸出之碼、以及從右緣用暫存器16輸出之碼中的任一個。

【0040】

第4圖表示第3實施形態之延遲調整電路12的延遲量之調整程序的流程圖。

【0041】

在步驟S101，初始調整模組10進行初始調整。初始調整模組10設定「表示延遲調整電路12之延遲量DL的碼L_D」，俾使得寫資料WDQ之有效窗左緣的時序與寫用資料選通信號WDQS之上升緣的時序成為一致。初始調整模組10一面使對選擇器SL1供給的碼從「0」依序增加，一面使延遲量增加，並向記憶裝置13的調整專用記憶體41寫入任意型態的測試資料。初始調整模組10從調整專用記憶體41讀出寫入的測試資料，並比較測試資料(期待值)與從記憶裝置13讀出的讀資料RDQ是否一致。初始調整模組10將兩者最初一致時之碼作為碼L_D，並寫入於左緣用暫存器14。初始調整模組10一面使對選擇器SL1供給的碼從碼L_D依序增加，一面使延遲量增加，並向記憶裝置13的調整專用記憶體41寫入任意型態的測試資料。初始調整模組10從調整專用記憶體41讀出寫入的測試資料，並比較測試資料(期待值)與從記憶裝置13讀出的讀資料RDQ是否一致。初始調整模組10將比兩者最初變成不一致時之碼小「1」的碼作為碼R_D，並寫入於右緣用暫存器16。初始調整模組10向中心用暫存器15寫入碼C_D，該碼C_D表示根據碼L_D所決定之延遲量DL、與根據碼R_D所決定之延遲量DR的平均值DC。習知技術因為於再調整時亦重複與這種初始調整相同的處理，所以具有再調整所需之時間長的問題。在本實施形態，使再調整之處理變成高效率。

【0042】

在步驟S102，再調整模組11等待固定時間 ΔT 。在此固定時間中，可進行對記憶裝置13之通常動作、通常資料之寫入及讀出。即，根據用戶之指示等，調整控制電路22向用戶可使用的記憶體42寫入寫資料WDQ。或可從用戶可使用的記憶體42讀出資料，作為讀資料RDQ。

【0043】

在步驟S103，再調整模組11將延遲調整電路12的延遲量設定成碼L_D的延遲量DL。即，再調整模組11使選擇器SL2向選擇器SL1輸出左緣用暫存器14的輸出碼L_D。選擇器SL1向驅動器D2輸出來自對應於碼L_D之延遲元件DE(i)的輸出。藉此，可使寫用資料選通信號WDQS延遲延遲量DL。

【0044】

在步驟S104，再調整模組11經由驅動器D1，向記憶裝置13的調整專用記憶體41傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在具有延遲量DL之寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。

【0045】

在步驟S105，再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。

【0046】

在步驟S106，再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與向記憶裝置13輸出之測試資料(寫資料WDQ，表示期待值)是否一致。

【0047】

在步驟S107，再調整模組11將延遲調整電路12的延遲量設定成碼R_D的延遲量DR。即，再調整模組11使選擇器SL2向選擇器SL1輸出右緣用暫存器16的輸出碼R_D。選擇器SL1向驅動器D2輸出來自對應於碼R_D之延遲元件DE(i)的輸出。藉此，可使寫用資料選通信號WDQS延遲延遲量DR。

【0048】

在步驟S108，再調整模組11經由驅動器D1，向記憶裝置13的調整專用記憶體41傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在具有延遲量DR之寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。

【0049】

在步驟S109，再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。

【0050】

在步驟S110，再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與向記憶裝置13輸出之測試資料(寫資料WDQ，表示期待值)是否一致。

【0051】

在步驟S111，再調整模組11根據所預設之規則RA，判斷是否需要修正碼L_D、R_D、C_D中至少一個。在需要修正的情況，處理移至步驟S112，而在不需要修正的情況，處理移至步驟S113。

【0052】

在步驟S112，再調整模組11根據規則RA，修正碼L_D、R_D、C_D中至少一個。然後，處理移至步驟S113。

【0053】

在步驟S113，在電源未被關閉的情況(NO)，處理回到步驟S102，而在電源被關閉的情況(YES)，處理結束。

【0054】

第5圖表示決定碼之修正方法之規則RA的圖。

在模式A1，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫資料WDQ(期待值)與讀資料RDQ成為一致，且在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，寫資料WDQ(期待值)與讀資料RDQ成為一致。再調整模組11在模式A1時，任一個碼都不修正。

【0055】

在模式A2，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫資料WDQ(期待值)與讀資料RDQ成為一致，且在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，寫資料WDQ(期待值)與讀資料RDQ成為不一致。再調整模組11在模式A2時，使碼L_D、R_D、C_D減少「1」。

【0056】

在模式A3，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫資料WDQ(期待值)與讀資料RDQ不一致，且在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，寫資料WDQ(期待值)與讀資料RDQ成為一致。再調整模組11在模式A3時，使碼L_D、R_D、C_D增加「1」。

【0057】

在模式A4，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫資料WDQ(期待值)與讀資料RDQ不一致，且在將延遲調整電路12的延遲量設定

成碼R_D的延遲量DR時，寫資料WDQ(期待值)與讀資料RDQ成為不一致。再調整模組11在模式A4時，使碼L_D增加「1」，使碼R_D減少「1」，而不變更碼C_D。

【0058】

第6圖係用以說明由初始調整所設定之碼L_D、R_D、C_D的圖。在第6圖，表示資料為高位準的情況之有效窗的例子。在資料為低位準的情況，亦使用相同之方法。

【0059】

初始調整模組10設定「表示延遲調整電路12之延遲量DL的碼L_D」，俾使得寫資料WDQ之有效窗左緣的時序與寫用資料選通信號WDQS之上升緣的時序成為一致。初始調整模組10設定「表示延遲調整電路12之延遲量DR的碼R_D」，俾使得寫資料WDQ之有效窗右緣的時序與寫用資料選通信號WDQS之上升緣的時序成為一致。初始調整模組10設定表示根據碼L_D所決定之延遲量DL、與根據碼R_D所決定之延遲量DR的平均值DC之碼C_D。

【0060】

第7圖(a)表示應用規則RA之模式A2之例子的圖。

在寫資料WDQ之延遲量減少，而寫資料WDQ之時序向左側偏移的情況，設定碼L_D時成為一致，而設定碼R_D時成為不一致。即，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的左緣更右側，所以寫資料WDQ(期待值)與讀資料RDQ成為一致。在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，

因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的右緣更右側，所以寫資料WDQ(期待值)與讀資料RDQ成為不一致。

【0061】

在這種情況，再調整模組11根據規則RA，碼L_D、R_D、C_D減少「1」，寫用資料選通信號WDQS之時序亦向左側偏移。藉此，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫用資料選通信號WDQS之上升緣之時序與寫資料WDQ之有效窗左緣之時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。又，在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，寫用資料選通信號WDQS之上升緣之時序與寫資料WDQ之有效窗右緣之時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。

【0062】

第7圖(b)表示應用規則RA之模式A3之例子的圖。

在寫資料WDQ之延遲量增加，而寫資料WDQ之時序向右側偏移的情況，設定碼L_D時成為不一致，而設定碼R_D時成為一致。即，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的左緣更左側，所以寫資料WDQ(期待值)與讀資料RDQ成為不一致。在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的右緣更左側，所以寫資料WDQ(期待值)與讀資料RDQ成為一致。

【0063】

在這種情況，再調整模組11根據規則RA，碼L_D、R_D、C_D增加「1」，寫用資料選通信號WDQS之時序亦向右側偏移。

【0064】

藉此，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗左緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。又，在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗右緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。

【0065】

第7圖(c)表示應用規則RA之模式A4之例子的圖。

寫資料WDQ之有效窗的右緣與有效窗的左緣因雜訊而變動，在寫資料WDQ之有效窗的左緣向右側偏移，且寫資料WDQ之有效窗的右緣向左側偏移的情況，設定碼L_D時成為不一致，設定碼R_D亦成為不一致。即，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的左緣更左側，所以寫資料WDQ(期待值)與讀資料RDQ成為不一致。在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的右緣更右側，所以寫資料WDQ(期待值)與讀資料RDQ成為不一致。

【0066】

在這種情況，再調整模組11根據規則RA，使碼L_D增加「1」，且使碼R_D減少「1」，而不變更碼C_D。藉此，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗左緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。又，

在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗右緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。

【0067】

如以上所示，依據本實施形態，因為以由初始調整所求算之碼L_D、R_D作為基準，來進行再調整，所以與習知技術之「以L_D=0、R_D=0為起點，重複與初始調整相同之處理」相比，可更縮短再調整的時間。藉由縮短再調整的時間，可縮短通常的寫動作或讀動作因再調整而被中斷的時間，又可避免因再調整中而通常動作無法開始的情況。藉此，可提高對記憶裝置之資料的傳送性能。又，因為再調整的時間短，所以可使再調整之頻率變高，而易追蹤電壓變動或溫度變動。

【0068】

又，習知技術僅碼C_D的延遲量可設定於延遲調整電路，但是在本實施形態，不僅碼C_D的延遲量，碼L_D、R_D的延遲量亦可設定於延遲調整電路。

【0069】

又，在本實施形態，因為於初始調整及再調整時寫入測試資料於調整專用記憶體，所以可不破壞地保持在通常動作時寫入於用戶可使用的記憶體之資料。

【0070】

此外，於初始調整時，因為用戶可使用的記憶體係未被寫入資料之狀態，所以亦可寫入測試資料於用戶可使用的記憶體。

【0071】

又，在本實施形態中，於再調整時，採用藉由使各碼最多變化「1」，而正確地調整有效窗左緣與右緣的時序。在藉由使各碼最多變化「1」，而無法正確地調整有效窗左緣與右緣之時序的情況，於再調整時，亦可使各碼最多變化「1」，接著重複地進行再調整，直至不需要進行碼的修正為止(即至檢查結果成為模式A1)。

【0072】

[第4實施形態]

第8圖表示第4實施形態之半導體裝置74之構成的圖。

【0073】

第4實施形態之記憶裝置13不具備調整專用記憶體41。在用戶可使用的記憶體42內設置預定的調整用區域43。於初始調整及再調整時寫入測試資料於調整用區域43。

【0074】

第9圖表示第4實施形態之延遲調整電路12的延遲量之調整程序的流程圖。

【0075】

第9圖之流程圖與第4圖之流程圖的相異點，係第9圖之流程圖具備步驟S204、S205、S208、S209，取代第4圖之步驟S104、S105、S108、S109。

【0076】

在步驟S204、S208，再調整模組11經由驅動器D1，向記憶裝置13之用戶可使用的記憶體42內的調整用區域43傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在具有延遲量DL或延遲量DR之寫用資料選通信號WDQS之

上升時序，取入寫資料WDQ，並寫入於用戶可使用的記憶體42內的調整用區域43。

【0077】

在步驟S205、S209，再調整模組11從用戶可使用的記憶體42內的調整用區域43讀出測試資料，作為讀資料RDQ。

【0078】

如以上所示，依據本實施形態，即使是未設置「用以在調整時寫入測試資料之調整專用記憶體」的情況，亦可進行再調整。此外，於初始調整時，測試資料亦可被寫入於用戶可使用的記憶體42內的調整用區域43，或者亦可被寫入於調整專用記憶體。

【0079】

[第5實施形態]

第10圖表示第5實施形態之半導體裝置75之構成的圖。

【0080】

記憶裝置13不具備調整專用記憶體41。再調整模組11根據通常資料之寫入時的寫入結果，判斷是否需要暫存器14、15、16內之碼。即，再調整模組11根據將延遲調整電路12的延遲量設定成碼L_D的延遲量DL，並向用戶可使用的記憶體42寫入通常資料時的寫入結果，與在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR，並向用戶可使用的記憶體42寫入通常資料時的寫入結果，判斷是否需要修正碼。

【0081】

第11圖表示第5實施形態之延遲調整電路12的延遲量之調整程序的流程圖。

【0082】

第11圖之流程圖與第4圖之流程圖的相異點，係第11圖之流程圖具備步驟S304、S305、S308、S309，取代第4圖之步驟S104、S105、S108、S109。

【0083】

在步驟S304、S308，再調整模組11經由驅動器D1，向用戶可使用的記憶體42傳送以外部用戶程式等指定的從外部供給的資料(通常資料)，作為寫資料WDQ。記憶裝置13在具有延遲量DL或延遲量DR之寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於用戶可使用的記憶體42之指定位址。在步驟S304、S308之雙方，寫入通常資料於用戶可使用的記憶體42之指定的相同位址。

【0084】

在步驟S305、S309，再調整模組11從用戶可使用的記憶體42內讀出寫入的通常資料，作為讀資料RDQ。

【0085】

第11圖之流程圖在步驟S112之後，更具備步驟S310。

【0086】

在步驟S310，再調整模組11在通常資料之寫入結果為異常故需要修正碼的情況(S111：YES)，在修正碼後，再度寫入通常資料於用戶可使用的記憶體42。

【0087】

如以上所示，在本實施形態，因為使用通常動作時之寫資料進行再調整，所以不必只為了再調整而寫入資料於記憶裝置。藉此，可提高半導體裝置之性能。

【0088】

此外，在上述實施形態，採用在進行上次的調整、然後再經過 ΔT 時間後，有通常資料寫入的情況。將該資料用作再調整用之寫資料，但是不限定為此。例如，亦可採用不設置 ΔT 時間之等待，在通常資料寫入時之中，亦只有當寫入在各位元值之改變次數多的資料時，於再調整時使用該資料。

【0089】

此外，在上述實施形態，在步驟S111需要修正碼時，再調整模組11採用再寫入通常資料，但是不限定為此。在檢查結果為模式A3的情況，於再調整後，因為成為寫入正確資料於用戶可使用的記憶體42的狀態，所以亦可採用只有當模式A1與A4時，再調整模組11再寫入通常資料。

【0090】**[第6實施形態]**

第12圖表示第6實施形態之延遲調整電路12的延遲量之調整程序的流程圖。

【0091】

在步驟S401，與步驟S101一樣，初始調整模組10進行初始調整。

【0092】

在步驟S402，與步驟S102一樣，再調整模組11等待固定時間 ΔT 。

【0093】

在步驟S403，再調整模組11進行左緣之檢查。

【0094】

在步驟S404，再調整模組11進行右緣之檢查。在步驟S405，再調整模組11判斷是否必須進行碼的修正?判斷結果為YES的話，則移至步驟S406；判斷結果為NO的話，則移至步驟S407。

【0095】

在步驟S406，再調整模組11根據規則RB，修正碼L_D、R_D、C_D中至少一個。然後，處理移至步驟S407。

【0096】

在步驟S407，再調整模組11判斷電源是否關閉?如電源未關閉(NO)，則回到步驟S402，如電源被關閉(YES)，處理結束。

【0097】

第13圖係用以說明在第12圖之步驟S403的左緣檢查之程序的圖。

【0098】

參照第13圖，首先，再調整模組11將碼L_D+2(比碼L_D增加「2」)設定成左緣檢查用碼。與步驟S104、步驟S105、S106一樣，再調整模組11向記憶裝置13之調整專用記憶體41傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與輸出於調整專用記憶體41的測試資料(寫資料WDQ，表示期待值)是否一致(S801)。

【0099】

在寫資料WDQ與讀資料RDQ不一致時(S802：NO)，再調整模組11將左緣檢查之結果設定成模式L1(S803)。

【0100】

在寫資料WDQ與讀資料RDQ一致時(S802：YES)，再調整模組11將碼L_D+1(比碼L_D大「1」)設定成左緣檢查用碼。與步驟S104、步驟S105、S106一樣，再調整模組11向記憶裝置13之調整專用記憶體41傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與輸出於調整專用記憶體41之測試資料(寫資料WDQ，表示期待值)是否一致(S804)。

【0101】

在寫資料WDQ與讀資料RDQ不一致時(S805：NO)，再調整模組11將左緣檢查之結果設定成模式L2(S806)。

【0102】

在寫資料WDQ與讀資料RDQ一致時(S805：YES)，再調整模組11將碼L_D設定成左緣檢查用碼。與步驟S104、步驟S105、S106一樣，再調整模組11向記憶裝置13之調整專用記憶體41傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與輸出於調整專用記憶體41之測試資料(寫資料WDQ，表示期待值)是否一致(S807)。

【0103】

在寫資料WDQ與讀資料RDQ不一致時(S808：NO)，再調整模組11將左緣檢查之結果設定成模式L3(S809)。

【0104】

在寫資料WDQ與讀資料RDQ一致時(S808：YES)，再調整模組11將左緣檢查之結果設定成模式L4(S810)。

【0105】

第14圖係用以說明在第12圖之步驟S404的右緣檢查之程序的圖。

【0106】

參照第14圖，首先，再調整模組11將碼R_D-2(比碼L_D小「2」)設定成右緣檢查用碼。與步驟S108、步驟S109、S110一樣，再調整模組11向記憶裝置13之調整專用記憶體41傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與輸出於調整專用記憶體41之測試資料(寫資料WDQ，表示期待值)是否一致(S901)。

【0107】

在寫資料WDQ與讀資料RDQ不一致時(S902：NO)，再調整模組11將右緣檢查之結果設定成模式R1(S903)。

【0108】

在寫資料WDQ與讀資料RDQ一致時(S902：YES)，再調整模組11將碼R_D-1(比碼L_D小「1」)設定成右緣檢查用碼。與步驟S108、步驟S109、S110一樣，再調整模組11向記憶裝置13之調整專用記憶體41傳送任意型態的測試資

料，作為寫資料WDQ。記憶裝置13在寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與輸出於調整專用記憶體41之測試資料(寫資料WDQ，表示期待值)是否一致(S904)。

【0109】

在寫資料WDQ與讀資料RDQ不一致時(S905：NO)，再調整模組11將右緣檢查之結果設定成模式R2(S906)。

【0110】

在寫資料WDQ與讀資料RDQ一致時(S905：YES)，再調整模組11將碼R_D設定成右緣檢查用碼。與步驟S108、步驟S109、S110一樣，再調整模組11向記憶裝置13之調整專用記憶體41傳送任意型態的測試資料，作為寫資料WDQ。記憶裝置13在寫用資料選通信號WDQS之上升時序，取入寫資料WDQ，並寫入於調整專用記憶體41。再調整模組11從調整專用記憶體41讀出測試資料，作為讀資料RDQ。再調整模組11比較從調整專用記憶體41輸出之測試資料(讀資料RDQ)、與輸出於調整專用記憶體41之測試資料(寫資料WDQ，表示期待值)是否一致(S907)。

【0111】

在寫資料WDQ與讀資料RDQ不一致時(S908：NO)，再調整模組11將右緣檢查之結果設定成模式R3(S909)。

【0112】

在寫資料WDQ與讀資料RDQ一致時(S908：YES)，再調整模組11將右緣檢查之結果設定成模式R4(S910)。

【0113】

第15圖表示決定碼之修正方法之規則RB的圖。

在第15圖，被附加x之碼表示設定或不設定都可。

【0114】

模式T1係左緣檢查之結果是模式L4，右緣檢查之結果是模式R4。再調整模組11在模式T1時任一個碼都不修正。

【0115】

模式T2係左緣檢查之結果是模式L4，右緣檢查之結果是模式R1。再調整模組11在模式T2時使碼L_D、R_D、C_D減少「3」。

【0116】

模式T3係左緣檢查之結果是模式L4，右緣檢查之結果是模式R2。再調整模組11在模式T3時使碼L_D、R_D、C_D減少「2」。

【0117】

模式T4係左緣檢查之結果是模式L4，右緣檢查之結果是模式R3。再調整模組11在模式T4時使碼L_D、R_D、C_D減少「1」。

【0118】

模式T5係左緣檢查之結果是模式L1，右緣檢查之結果是模式R4。再調整模組11在模式T5時使碼L_D、R_D、C_D增加「3」。

【0119】

模式T6係左緣檢查之結果是模式L2，右緣檢查之結果是模式R4。再調整模組11在模式T6時使碼L_D、R_D、C_D增加「2」。

【0120】

模式T7係左緣檢查之結果是模式L3，右緣檢查之結果是模式R4。再調整模組11在模式T7時使碼L_D、R_D、C_D增加「1」。

【0121】

模式T8係左緣檢查之結果是模式L1，右緣檢查之結果是模式R1。再調整模組11在模式T8時使碼L_D增加「3」，使碼R_D減少「3」，而不變更碼C_D。

【0122】

模式T9係左緣檢查之結果是模式L2，右緣檢查之結果是模式R2。再調整模組11在模式T9時使碼L_D增加「2」，使碼R_D減少「2」，而不變更碼C_D。

【0123】

模式T10係左緣檢查之結果是模式L3，右緣檢查之結果是模式R3。再調整模組11在模式T10時使碼L_D增加「1」，使碼R_D減少「1」，而不變更碼C_D。

【0124】

模式T11係左緣檢查之結果是模式L3，右緣檢查之結果是模式R2。再調整模組11在模式T11時使碼L_D增加「1」，使碼R_D減少「2」，而不變更碼C_D。

【0125】

模式T12係左緣檢查之結果是模式L3，右緣檢查之結果是模式R1。再調整模組11在模式T12時使碼L_D增加「1」，使碼R_D減少「3」，使碼C_D減少「1」。

【0126】

模式T13係左緣檢查之結果是模式L2，右緣檢查之結果是模式R3。再調整模組11在模式T13時使碼L_D增加「2」，使碼R_D減少「1」，而不變更碼C_D。

【0127】

模式T14係左緣檢查之結果是模式L1，右緣檢查之結果是模式R3。再調整模組11在模式T14時使碼L_D增加「3」，使碼R_D減少「1」，使碼L_D增加「1」。

【0128】

模式T15係左緣檢查之結果是模式L2，右緣檢查之結果是模式R1。再調整模組11在模式T15時使碼L_D增加「2」，使碼R_D減少「3」，而不變更碼C_D。

【0129】

模式T16係左緣檢查之結果是模式L1，右緣檢查之結果是模式R2。再調整模組11在模式T16時使碼L_D增加「3」，使碼R_D減少「2」，而不變更碼C_D。

【0130】

第16圖(a)表示應用規則RB之模式T5之例子的圖。

在寫資料WDQ之延遲量增加，而寫資料WDQ之時序向右側偏移的情況，設定碼L_D+2時成為不一致，而設定碼R_D-2、R_D-1、R_D時成為一致。即，在將延遲調整電路12的延遲量設定成碼L_D+2的延遲量時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的左緣更左側，所以寫資料WDQ(期待值)與讀資料RDQ成為不一致。

【0131】

在將延遲調整電路12的延遲量設定成碼R_D-2的延遲量、R_D-1的延遲量、碼R_D的延遲量DR時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料

WDQ之有效窗的右緣更左側，所以寫資料WDQ(期待值)與讀資料RDQ成為一致。

【0132】

在這種情況，再調整模組11根據規則RB，碼L_D、R_D、C_D增加「3」，寫用資料選通信號WDQS之時序亦向右側偏移。

【0133】

藉此，在將延遲調整電路12的延遲量設定成碼L_D的延遲量時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗左緣及有效窗右緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。又，在將延遲調整電路12的延遲量設定成碼R_D的延遲量時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗右緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。

【0134】

第16圖(b)表示應用規則RB之模式T16之例子的圖。

寫資料WDQ之有效窗的右緣與左緣因雜訊而變動，在寫資料WDQ之有效窗的左緣向右側偏移，且寫資料WDQ之有效窗的右緣向左側偏移的情況，設定碼L_D+2時成為不一致，設定碼R_D-1亦成為不一致。即，在將延遲調整電路12的延遲量設定成碼L_D+2的延遲量時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的左緣更左側，所以寫資料WDQ(期待值)與讀資料RDQ成為不一致。在將延遲調整電路12的延遲量設定成碼R_D-1的延遲量時，因為寫用資料選通信號WDQS之上升緣係位於比寫資料WDQ之有效窗的右緣更右側，所以寫資料WDQ(期待值)與讀資料RDQ成為不一致。

【0135】

在這種情況，再調整模組11根據規則RB，使碼L_D增加「3」，且使碼R_D減少「2」，同時不變更碼C_D。藉此，在將延遲調整電路12的延遲量設定成碼L_D的延遲量DL時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗左緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。又，在將延遲調整電路12的延遲量設定成碼R_D的延遲量DR時，寫用資料選通信號WDQS之上升緣的時序與寫資料WDQ之有效窗右緣的時序成為一致，而寫資料WDQ(期待值)與讀資料RDQ成為一致。

【0136】

(第6實施形態之變形例)

在上述實施形態，於再調整時之左緣檢查用之碼L_D的變動寬度、及右緣檢查用之碼R_D的變動寬度係「2」，但是不限定為此。

【0137】

例如，再調整模組11求算在將「與比碼L_D增加k之碼對應的延遲量(比碼L_D之延遲量增加 $k \times \Delta D$ 的延遲量)」設定成延遲調整電路12的延遲量時之寫資料WDQ的寫入結果，作為左緣檢查結果。再調整模組11藉由使k從N(碼的變動寬度)依序減少至左緣檢查結果成為異常(寫資料WDQ(期待值)與讀資料RDQ成為不一致)，求算1個以上之左緣檢查結果。N係2以上的自然數。

【0138】

再調整模組11求算在將「與比碼R_D減少k之碼對應的延遲量(比碼R_D之延遲量減少 $k \times \Delta D$ 的延遲量)」設定成延遲調整電路12的延遲量時之寫資料WDQ的寫入結果，作為右緣檢查結果。再調整模組11藉由使k從N(碼的變動寬度)依序減

少至右緣檢查結果成為異常(寫資料WDQ(期待值)與讀資料RDQ不一致)，求算1個以上之右緣檢查結果。

【0139】

再調整模組11根據1個以上之左緣檢查結果、及1個以上之右緣檢查結果，修正碼L_D、R_D、C_D中至少一個，或全部不修正。

【0140】

如以上所示，依據本實施形態，因為使用複數個碼進行左緣檢查及右緣檢查，所以即使在電壓變動或溫度變動造成的寫資料之有效窗的劣化大的情況，亦可正確地修正碼L_D、R_D、C_D。

【0141】

此外，在本實施形態，使碼以間隔「1」變動，但是亦可以間隔「2」、間隔「3」變動。即再調整模組11使碼L_D以間隔「2」(+4→+2→0)減少，使碼R_D以間隔「2」(-4→-2→0)增加。又，再調整模組11使碼L_D以間隔「3」(+6→+3→0)減少，使碼R_D以間隔「3」(-6→-3→0)增加。

【0142】

[第7實施形態]

第17圖表示第7實施形態之延遲調整電路12的延遲量之調整程序的流程圖。

【0143】

第17圖之流程圖與第4圖之流程圖的相異點，係第17圖之流程圖具備步驟S501與S502。

【0144】

在步驟S111為YES的情況，在步驟S112之前進行步驟S502。在步驟S111為NO的情況，在步驟S112之前進行步驟S501。

【0145】

在步驟S501，再調整模組11使「決定再調整之時間間隔(週期)的等待時間 ΔT 」增加。

【0146】

在步驟S502，再調整模組11使「決定再調整之時間間隔(週期)的等待時間 ΔT 」減少。

【0147】

第18圖表示再調整之週期的變化的圖。

第18圖(a)表示再調整之週期的起始值之例子的圖，第18圖(b)表示再調整之週期減少之例子的圖，第18圖(c)表示再調整之週期增加之例子的圖。

【0148】

如第18圖(a)所示，再調整之週期的起始值是X。如第18圖(b)所示，在判斷需要修正碼的情況，在寫資料WDQ之時序與寫用資料選通信號WDQS之時序的關係發生變動，因為認為是不穩定狀態，所以再調整之週期減少成1/2倍的X/2。如第18圖(c)所示，在判斷不需要修正碼的情況，在寫資料WDQ之時序與寫用資料選通信號WDQS之時序的關係未發生變動，因為認為是穩定狀態，所以再調整之週期增加成2倍的2X。

【0149】

如以上所示，依據本實施形態，因為在寫資料WDQ之時序與寫用資料選通信號WDQS之時序的關係發生變動時，修正碼，而且縮短再調整的週期，所以

可易於追蹤變動。因為在寫資料WDQ之時序與寫用資料選通信號WDQS之時序的關係穩定時，不會修正碼，並使再調整的週期變長，所以不必要的再調整不須進行。

【0150】

此外，亦可如第6實施形態所示，在使用複數個碼來進行各邊緣之檢查的情況，因應於邊緣之檢查結果的模式，變更再調整的週期。例如，亦可在模式T4、T3、T2的情況，將再調整的週期從現在的週期變更成1/2、1/3、1/4。

【0151】

[第8實施形態]

第19圖表示第8實施形態之半導體裝置76之構成的圖。

【0152】

半導體裝置76具備環境變動檢測部45。

環境變動檢測部45檢測出記憶裝置13或記憶體控制器32內之溫度變動或電壓變動。

【0153】

例如，環境變動檢測部45可採用檢測出記憶裝置13或記憶體控制器32內之溫度變動的溫度感測器。或者環境變動檢測部45檢測出記憶裝置13或記憶體控制器32內之電晶體的臨限值電壓變動的電壓檢測電路。或者，亦可環境變動檢測部45檢測出記憶裝置13或記憶體控制器32內之電源、或與負載連接之節點等特定位置之電壓變動的電壓檢測電路。藉此，負載之使用變大時，可檢測出與負載連接之節點的電壓下降。或者，亦可環境變動檢測部45採用由以下構件所構成者，環振盪器，產生與半導體裝置內之電壓變動或溫度變動相依的內部振

盪信號；脈波計數器，計數在與半導體裝置內之電壓變動或溫度變動不相依的外部振盪信號的既定循環中產生的內部振盪信號的脈波數；以及比較器，比較脈波計數器之計數值與標準值。

【0154】

第20圖表示第8實施形態之延遲調整電路12的延遲量之調整程序的流程圖。

【0155】

第20圖之流程圖與第4圖之流程圖的相異點，係第20圖之流程圖在步驟S112與S113之間具備步驟S601與S602。

【0156】

在步驟S601，再調整模組11從環境變動檢測部45接受表示環境變動檢測部45檢測出的溫度變動或電壓變動的信號。

【0157】

在步驟S602，再調整模組11根據檢測出的溫度變動或電壓變動，改變決定再調整之時間間隔(週期)的等待時間 ΔT 。例如，亦可再調整模組11採用「若溫度變動或電壓變動是臨限值以上，則使等待時間 ΔT 變成 $1/2$ 」。

【0158】

如以上所示，依據本實施形態，在發生溫度變動或電壓變動時，因為在寫資料WDQ之時序與寫用資料選通信號WDQS之時序的關係發生變動的可能性高，所以縮短再調整的週期，而可追蹤變動。

【0159】

[第9實施形態]

第21圖表示第9實施形態之延遲調整電路12的延遲量之調整程序的流程圖。

【0160】

在步驟S701，與步驟S101一樣，初始調整模組10進行初始調整。

【0161】

在步驟S702，與步驟S102一樣，再調整模組11等待固定時間 ΔT 。

【0162】

在步驟S703，再調整模組11從環境變動檢測部45接受表示環境變動檢測部45檢測出的溫度變動或電壓變動的信號。

【0163】

在步驟S704，再調整模組11根據檢測出的溫度變動或電壓變動，設定在第6實施形態的變形例所說明之再調整時之左緣檢查用之碼的變動寬度N、及右緣檢查用之碼的變動寬度N。例如，再調整模組11係若電壓變動或溫度變動大，則使碼的變動寬度N變大，若電壓變動或溫度變動小，則使碼的變動寬度N變小。

【0164】

在步驟S705，與步驟S403～S406一樣，再調整模組11進行再調整。

【0165】

在步驟S706，在電源未被關閉的情況(NO)，處理回到步驟S702，而在電源被關閉的情況(YES)，處理結束。

【0166】

如以上所示，依據本實施形態，能以因應於電壓變動或溫度變動，而於再調整之碼的修正精度且再調整之時間成為最佳的方式設定左緣檢查用的變動寬度N及右緣檢查用的變動寬度N。

【0167】

此外，亦可再調整模組11採用：代之以碼的變動寬度N，或與碼的變動寬度N一起，碼的變動間隔因應於電壓變動或溫度變動而變化者。例如，若電壓變動或溫度變動小，則再調整模組11如第6實施形態所示，將碼的變動間隔定為各「1」。即，再調整模組11使碼L_D及碼R_D按照(+2→+1→0)或(-2→-1→0)之順序變動。例如，若電壓變動或溫度變動小，則再調整模組11將碼的變動間隔定為各「2」。即，再調整模組11使碼L_D及碼R_D按照(+4→+2→0)或(-4→-2→0)之順序變動。

【0168】

(變形例)

在上述實施形態以外，亦例如設想如以下所示的變形例。

【0169】

(1)在調整控制電路之選擇操作

在上述實施形態，採用選擇器SL2選擇左緣用暫存器14的輸出、中心用暫存器15的輸出、以及右緣用暫存器16的輸出，並向延遲調整電路12輸出，但是不限定為此。亦可採用取代選擇器SL2，調整控制電路22選擇這些暫存器14、15、16的輸出，並向延遲調整電路12輸出。

【0170】

(2)複數個寫資料間之時序調整

在第3～第9實施形態，採用寫資料不經由延遲調整電路地向記憶裝置被傳送，但是不限定為此。為了平行傳送的複數個寫資料WDQ間之時序調整，亦可採用寫資料WDQ經由未圖示之延遲調整電路傳送到記憶裝置。

【0171】

(3)寫資料之延遲量的調整

在第3～第9實施形態，再調整模組11將寫用資料選通信號WDQS之延遲量調整成寫資料WDQ之有效窗的左緣或右緣與寫用資料選通信號WDQS之上升緣成為一致，但是不限定為此。亦可採用再調整模組11將寫資料WDQ之延遲量調整成寫資料WDQ之有效窗的左緣或右緣與寫用資料選通信號WDQS之上升緣成為一致。

【0172】

例如，再調整模組11係如第7圖(a)所示，在寫資料WDQ之有效窗的左緣及右緣向左側偏移的情況，因為設定碼L_D時成為一致，而設定碼R_D時成為不一致，所以進行以下的動作。再調整模組11使碼L_D及R_D變大(例如+1)，且使碼C_D變大(例如+1)成寫用資料選通信號WDQS之上升緣與有效窗的左緣一致，寫用資料選通信號WDQS之上升緣與有效窗的右緣一致。

【0173】

再調整模組11係如第7圖(b)所示，在寫資料WDQ之有效窗的左緣及右緣向右側偏移的情況，因為設定碼L_D時成為不一致，而設定碼R_D時成為一致，所以進行以下的動作。再調整模組11使碼L_D及R_D變小(例如-1)，且使碼C_D變小(例如-1)成寫用資料選通信號WDQS之上升緣與有效窗的左緣一致，寫用資料選通信號WDQS之上升緣與有效窗的右緣一致。

【0174】

再調整模組11係如第7圖(c)所示，在寫資料WDQ之有效窗的左緣右側偏移，而右緣向左側偏移的情況，因為設定碼L_D時成為不一致，設定碼R_D亦成為不一致，所以進行以下的動作。再調整模組11使碼L_D變小(例如-1)，且使碼

R_D變大(例如+1)成寫用資料選通信號WDQS之上升緣與有效窗的左緣一致，寫用資料選通信號WDQS之上升緣與有效窗的右緣一致。

【0175】

(4)再調整之週期

在上述實施形態，再調整之週期的變更與碼之修正一起被進行，但是不限定為此。

【0176】

例如，亦可採用再調整模組11於再調整時，進行與初始調整相同的處理，再調整模組11因應於環境變動檢測部45檢測出的溫度變動或電壓變動，變更再調整之時間間隔。

【0177】

即，此半導體裝置包含：延遲調整電路，調整往記憶裝置之寫資料或資料選通信號的延遲量；及控制電路，設定該延遲調整電路之延遲量。該控制電路於調整時，求算該延遲調整電路之延遲量，俾使得該寫資料之有效窗的時序與該寫用資料選通信號之時序成為一致。該控制電路根據該半導體裝置內之溫度或電壓的變動，變更該調整之時間間隔。

【0178】

以上，根據實施形態，具體地說明了本發明者所開發的發明，但是本發明並非限定於該等實施形態，當然在不超出本發明之主旨的範圍可進行各種的變更。

【符號說明】

【0179】

- 10 初始調整模組、
- 11 再調整模組
- 12、53、63 延遲調整電路
- 13、52 記憶裝置
- 14 左緣用暫存器
- 15 中心用暫存器
- 16 右緣用暫存器
- 19、55、65 記憶部
- 21、54、64 控制電路
- 22 調整控制電路
- 32、51、61 記憶體控制器
- 41 調整專用記憶體
- 42 用戶可使用的記憶體
- 43 調整用區域
- 45 環境變動檢測部
- 71~76 半導體裝置
- BF1、BF2 雙向緩衝器
- DE(1)~DE(N) 延遲元件
- SL1、SL2 選擇器

【發明申請專利範圍】

【第1項】

一種半導體裝置，包含：

延遲調整電路，調整往記憶裝置之寫資料或資料選通信號的延遲量；

控制電路，設定該延遲調整電路之延遲量；以及

記憶部，記憶該延遲量；

該控制電路根據將該記憶部所記憶之該延遲量或以該延遲量為基準之量設定於該延遲調整電路時之該寫資料的寫入結果，修正該記憶部所記憶之延遲量；

該控制電路在第1調整期間，求算該寫資料之有效窗左緣的時序與該資料選通信號之邊緣的時序成為一致所需之該延遲調整電路的延遲量，作為第1延遲量，求算該寫資料之有效窗右緣的時序與該資料選通信號之邊緣的時序成為一致所需之該延遲調整電路的延遲量，作為第2延遲量，再求算該第1延遲量與該第2延遲量之平均值，作為第3延遲量，並向該記憶部寫入該第1延遲量、該第2延遲量以及該第3延遲量；

該控制電路在通常動作時，將該記憶部所記憶之該第3延遲量設定成該延遲調整電路的延遲量；

該控制電路在設於該第1調整期間之後的第2調整期間，根據將該記憶部所記憶之該第1延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，與在將該記憶部所記憶之該第2延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，修正該記憶部所記憶之該第1延遲量、該第2延遲量、以及該第3延遲量中至少一個，或全部不修正。

【第2項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間，在將該記憶部所記憶之該第1延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果是正常，且在將該記憶部所記憶之該第2延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果是異常的情況，使該記憶部所記憶之該第1延遲量、該第2延遲量、以及該第3延遲量減少或增加第1量。

【第3項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間，在將該記憶部所記憶之該第1延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果是異常，且在將該記憶部所記憶之該第2延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果是正常的情況，使該記憶部所記憶之該第1延遲量、該第2延遲量、以及該第3延遲量增加或減少第1量。

【第4項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間，在將該記憶部所記憶之該第1延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果是異常，且在將該記憶部所記憶之該第2延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果是異常的情況，使該記憶部所記憶之該第1延遲量增加或減少第1量，使該記憶部所記憶之該第2延遲量減少或增加第1量，而不改變該記憶部所記憶之該第3延遲量。

【第5項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間時，向該記憶裝置內的調整專用記憶體寫入該寫資料。

【第6項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間，向該記憶裝置內之用戶可使用的記憶體之預定區域寫入該寫資料。

【第7項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間，向該記憶裝置寫入調整用之資料，作為該寫資料。

【第8項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間，向該記憶裝置寫入從外部供給的通常資料，作為該寫資料。

【第9項】

如申請專利範圍第8項之半導體裝置，其中該控制電路在該第2調整期間，在該通常資料之寫入結果是異常的情況，在修正該第1延遲量、該第2延遲量、以及該第3延遲量中至少一個後，再度寫入該通常資料。

【第10項】

如申請專利範圍第1項之半導體裝置，其中該控制電路在該第2調整期間，根據將該第1延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，與在將該第2延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，變更設置該第2調整期間之時間間隔。

【第11項】

如申請專利範圍第1項之半導體裝置，其中該控制電路根據該半導體裝置內之溫度變動或電壓變動，變更設置該第2調整期間之時間間隔。

【第12項】

一種半導體裝置，包含：

延遲調整電路，調整往記憶裝置之寫資料或資料選通信號的延遲量；

控制電路，設定該延遲調整電路之延遲量；以及

記憶部，記憶該延遲量；

該控制電路根據將該記憶部所記憶之該延遲量或以該延遲量為基準之量設定於該延遲調整電路時之該寫資料的寫入結果，修正該記憶部所記憶之延遲量；

該控制電路在第1調整期間，求算該寫資料之有效窗左緣的時序與該資料選通信號之邊緣的時序成為一致所需之該延遲調整電路的延遲量，作為第1延遲量，求算該寫資料之有效窗右緣的時序與該資料選通信號之邊緣的時序成為一致所需之該延遲調整電路的延遲量，作為第2延遲量，再求算該第1延遲量與該第2延遲量之平均值，作為第3延遲量，並向該記憶部寫入該第1延遲量、該第2延遲量以及該第3延遲量；

該控制電路在通常動作時，將該記憶部所記憶之該第3延遲量設定成該延遲調整電路的延遲量；

該控制電路在設於該第1調整期間之後的第2調整期間，至少根據將比該記憶部所記憶之該第1延遲量增加既定量的延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，與在將比該記憶部所記憶之該第2延遲量減少該既定量的延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，修正該記憶部所記憶之該第1延遲量、該第2延遲量、以及該第3延遲量中至少一個，或全部不修正。

【第13項】

如申請專利範圍第12項之半導體裝置，其中

該控制電路在該第2調整期間，求算在將與比該記憶部所記憶之延遲量增加 $k \times \Delta D$ 的延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，作為該寫資料之有效窗左緣檢查用的寫入結果；

該控制電路藉由使 k 從 $N (\geq 2)$ 依序減少至該寫資料之有效窗左緣檢查用的寫入結果成為異常，求算1個以上之該左緣檢查用的寫入結果；

該控制電路在該第2調整期間，求算在將與比該記憶部所記憶之延遲量減少 $k \times \Delta D$ 的延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，作為該寫資料之有效窗右緣檢查用的寫入結果；

該控制電路藉由使 k 從 $N (\geq 2)$ 依序減少至該寫資料之有效窗右緣檢查用的寫入結果成為異常，求算1個以上之該右緣檢查用的寫入結果；

該控制電路根據1個以上之該左緣檢查用的寫入結果、及1個以上之該右緣檢查用的寫入結果，修正該記憶部所記憶之該第1延遲量、該第2延遲量、以及該第3延遲量中至少一個，或全部不修正。

【第14項】

如申請專利範圍第13項之半導體裝置，其中該控制電路根據該半導體裝置內之溫度變動或電壓變動，變更該 N 。

【第15項】

如申請專利範圍第1項之半導體裝置，其中該控制電路具備選擇電路，該選擇電路輸出該記憶部所保持之該第1延遲量、該第2延遲量、以及該第3延遲量之任一個的值，而設定該延遲調整電路之該延遲量。

【第16項】

一種半導體裝置，包含：

延遲調整電路，調整往記憶裝置之寫資料或資料選通信號的延遲量；

控制電路，設定該延遲調整電路之延遲量；以及

記憶部，記憶該延遲量；

該控制電路根據將該記憶部所記憶之該延遲量或以該延遲量為基準之量設定於該延遲調整電路時之該寫資料的寫入結果，修正該記憶部所記憶之延遲量；

該控制電路在第1調整期間，求算該延遲調整電路之至少第1或第2的延遲量，並向該記憶部寫入該延遲量；

該控制電路在通常動作時，根據該記憶部所記憶之該延遲量，設定成該延遲調整電路的延遲量；

該控制電路在設於該第1調整期間之後的第2調整期間，根據將該記憶部所記憶之該第1或第2延遲量設定成該延遲調整電路的延遲量時之該寫資料的寫入結果，修正該記憶部所記憶之該延遲量中至少一個，或全部不修正。

【發明圖式】

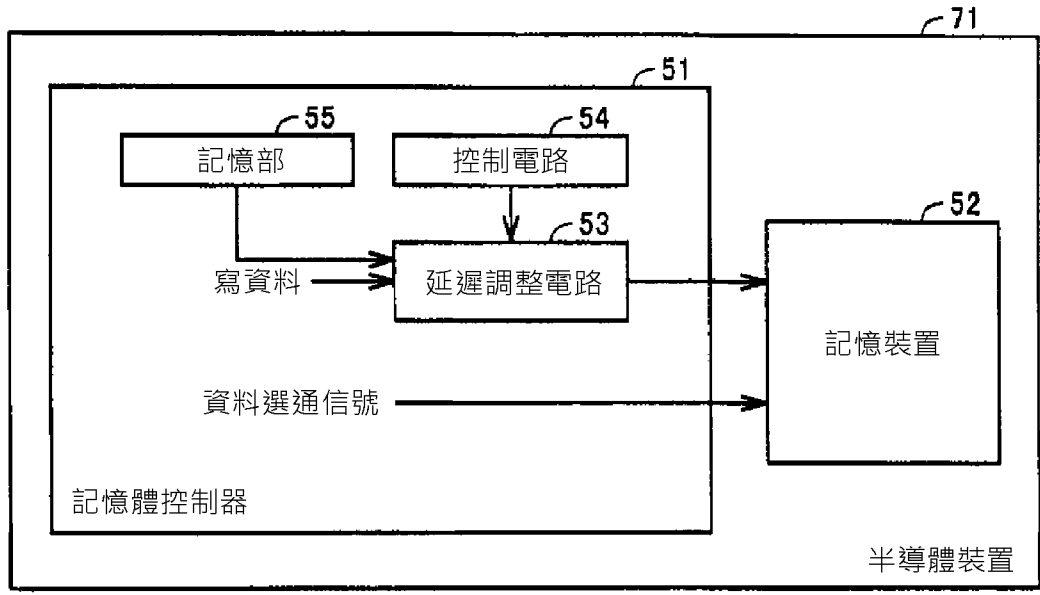


圖 1

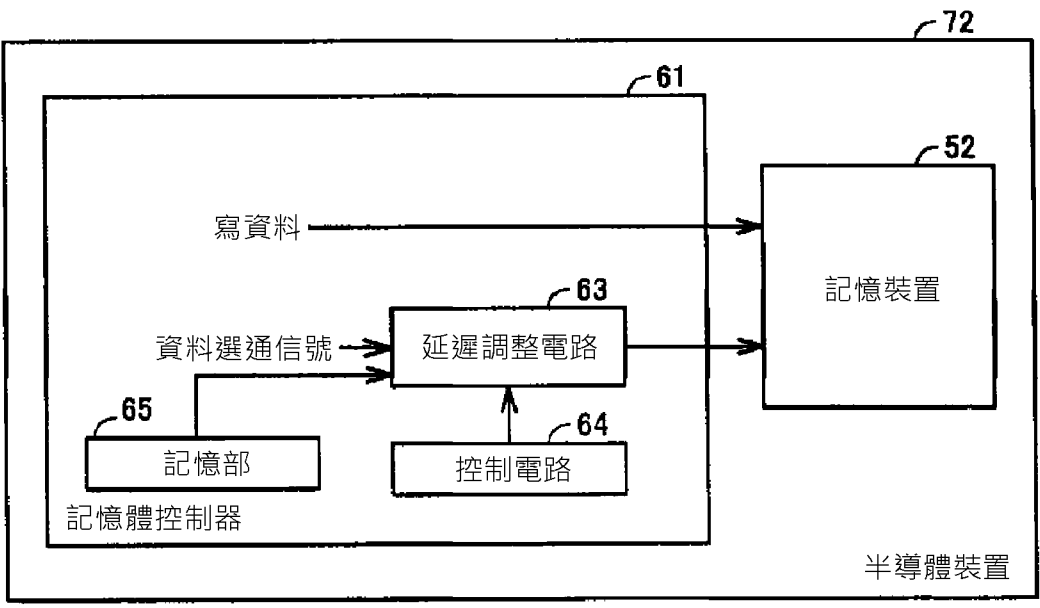


圖 2

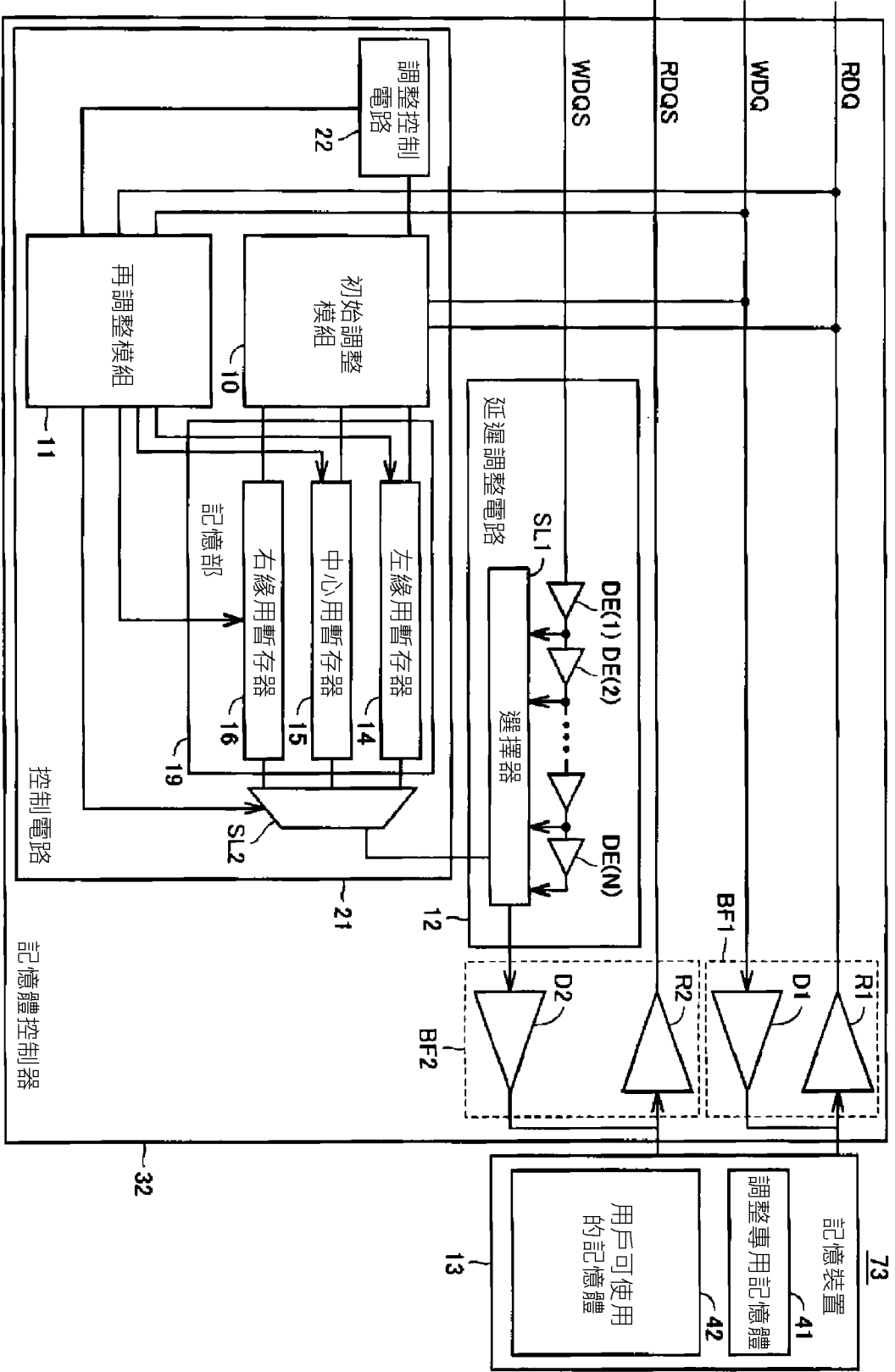


圖 3

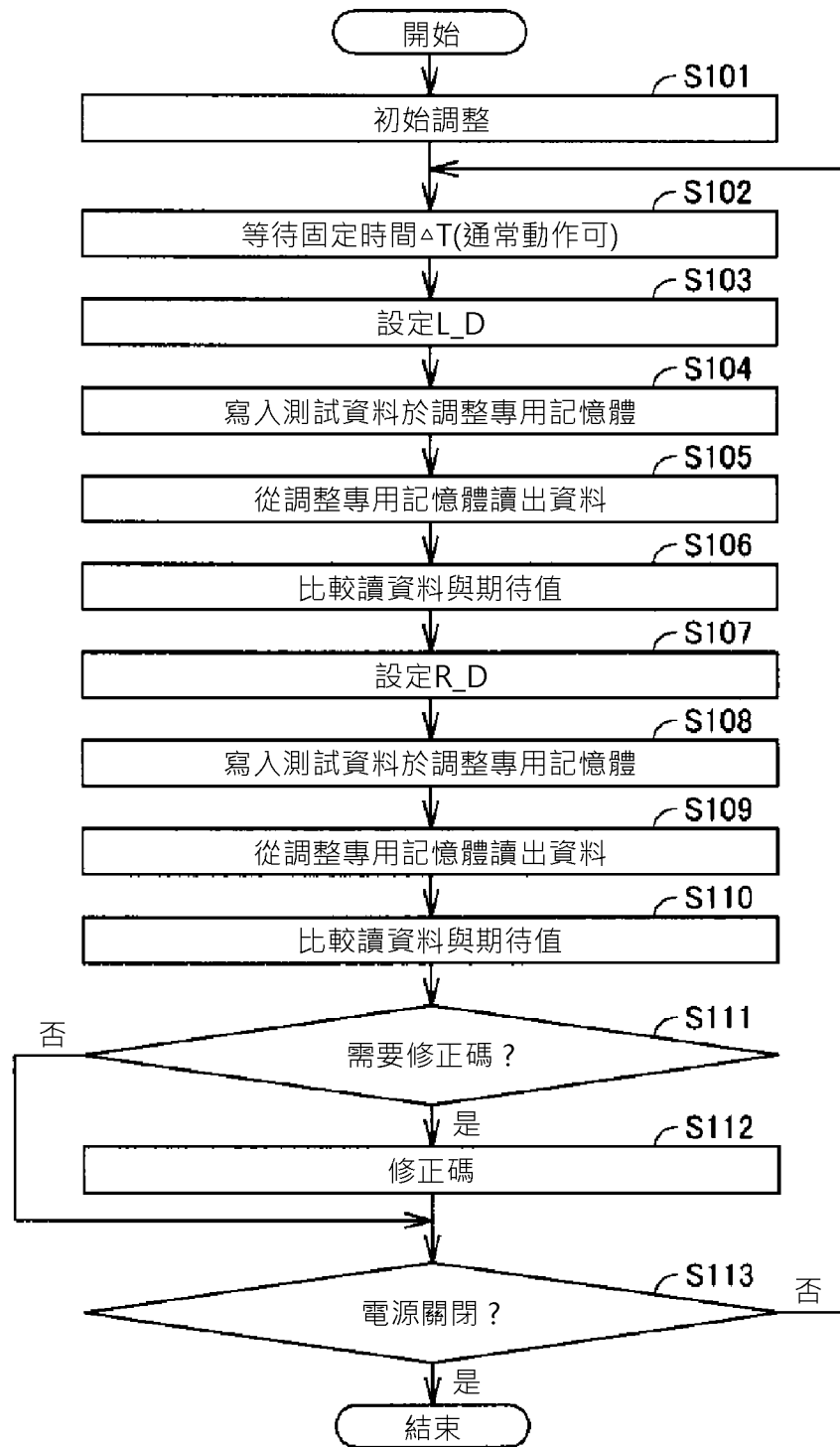


圖 4

	設定碼		修正碼	模式
	L_D	R_D		
與期待值 之比較結果	一致	一致	全部的碼不修正	A1
	一致	不一致	使L_D、R_D、以及C_D - 1	A2
	不一致	一致	使L_D、R_D、以及C_D + 1	A3
	不一致	不一致	不修正C_D、 使L_D + 1、使R_D - 1	A4

圖 5

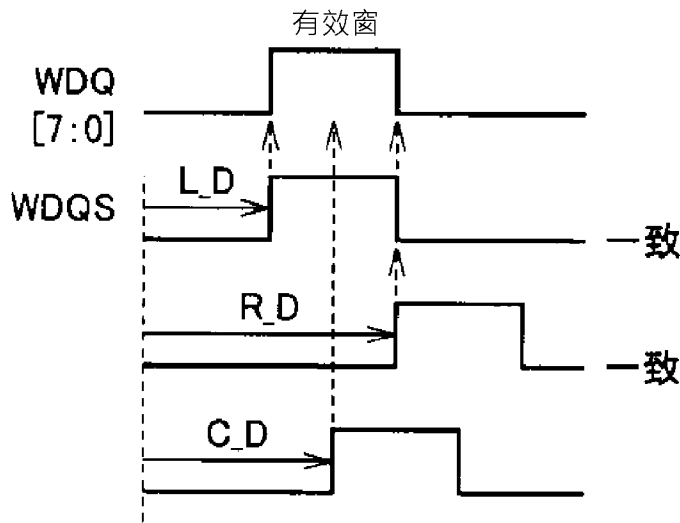


圖 6

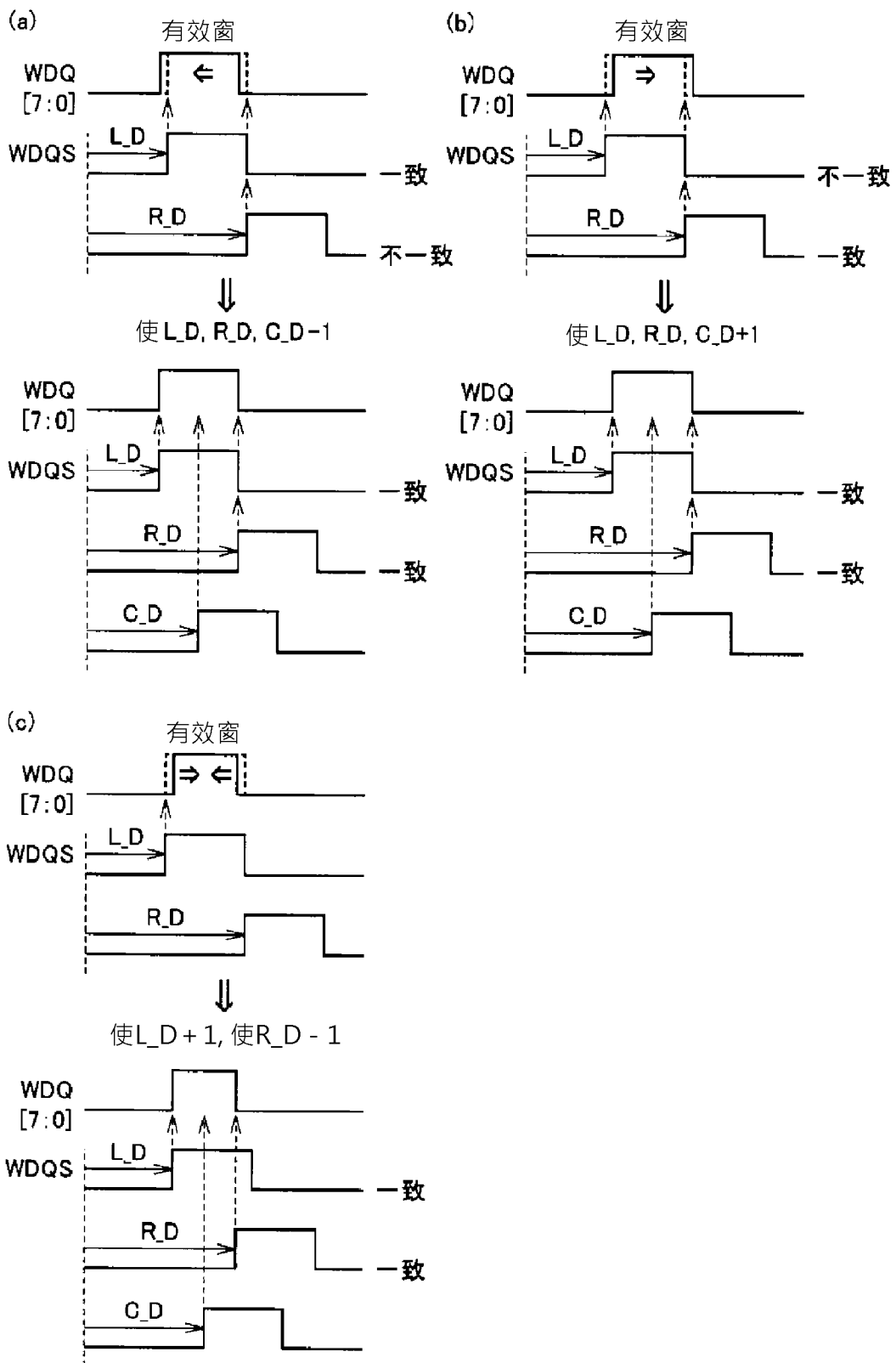


圖 7

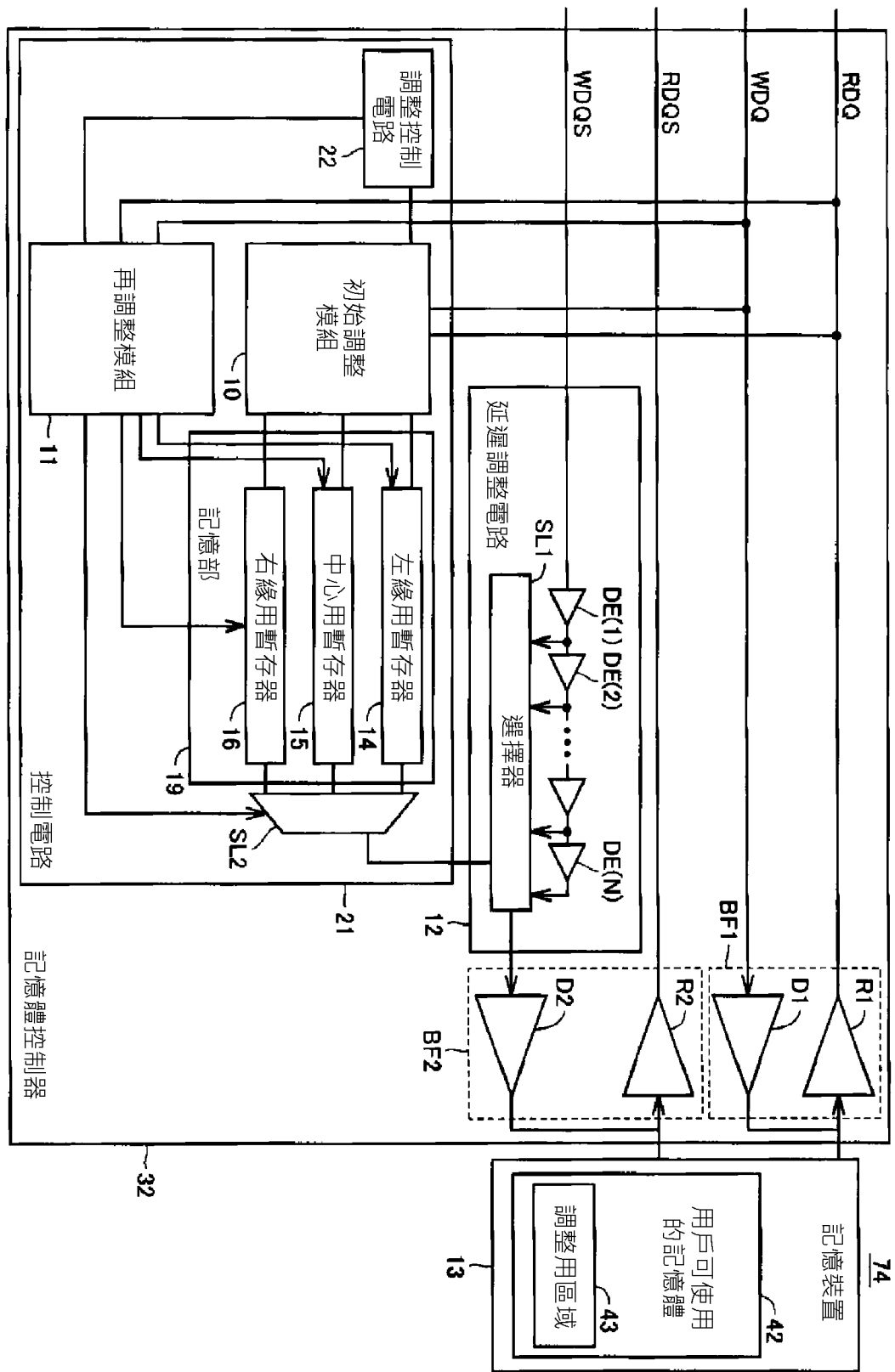


圖 8

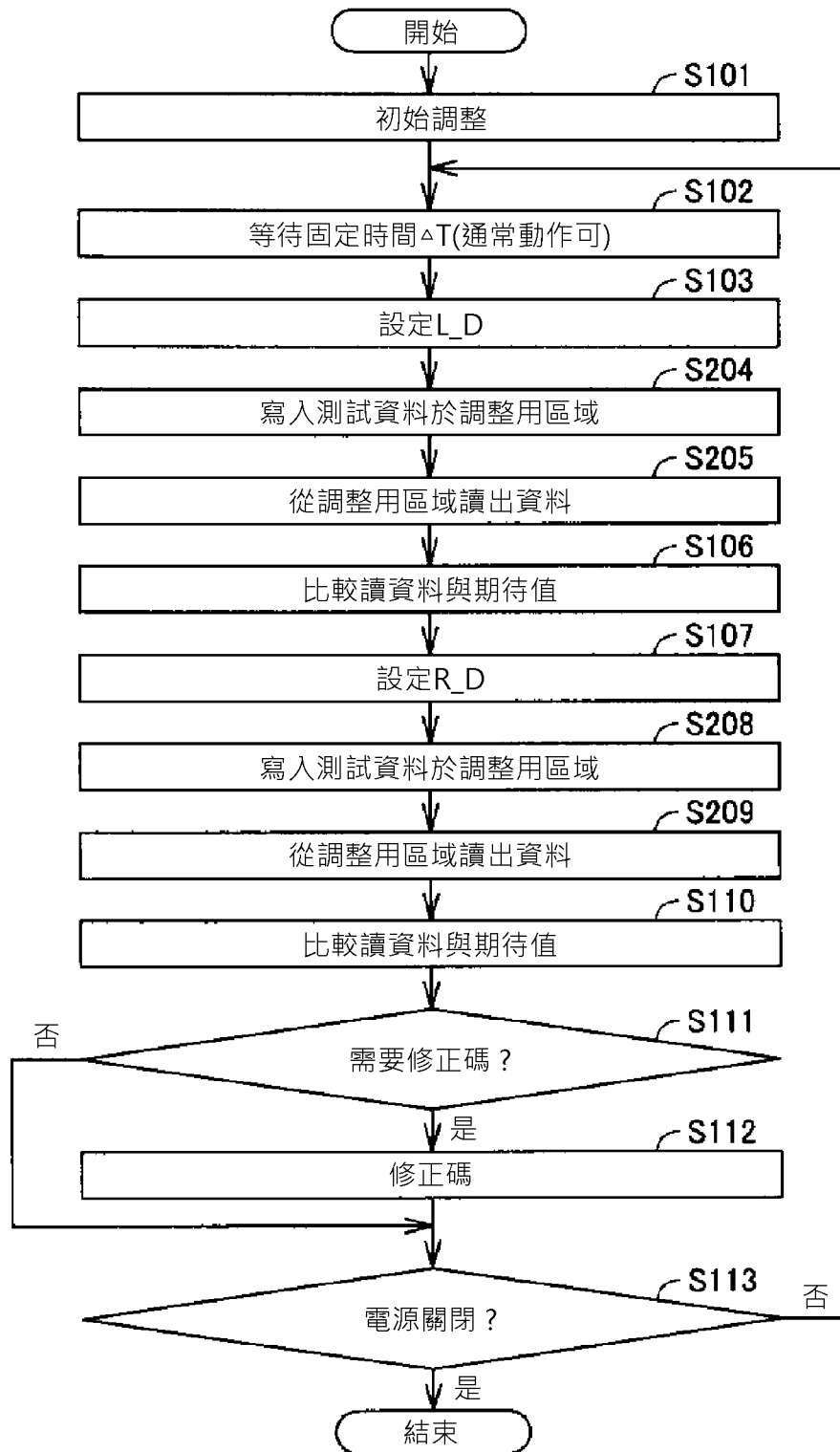


圖 9

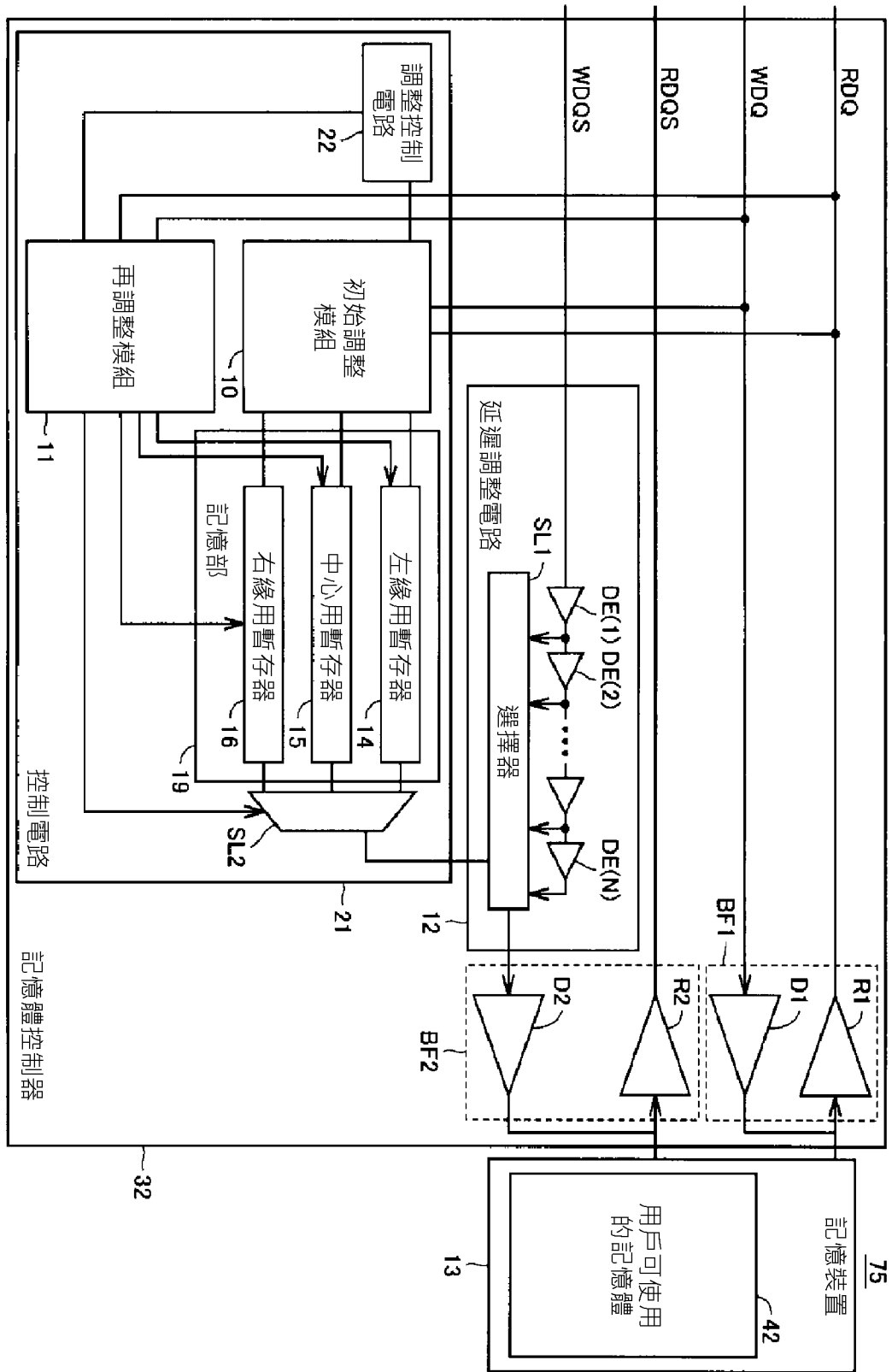


圖 10

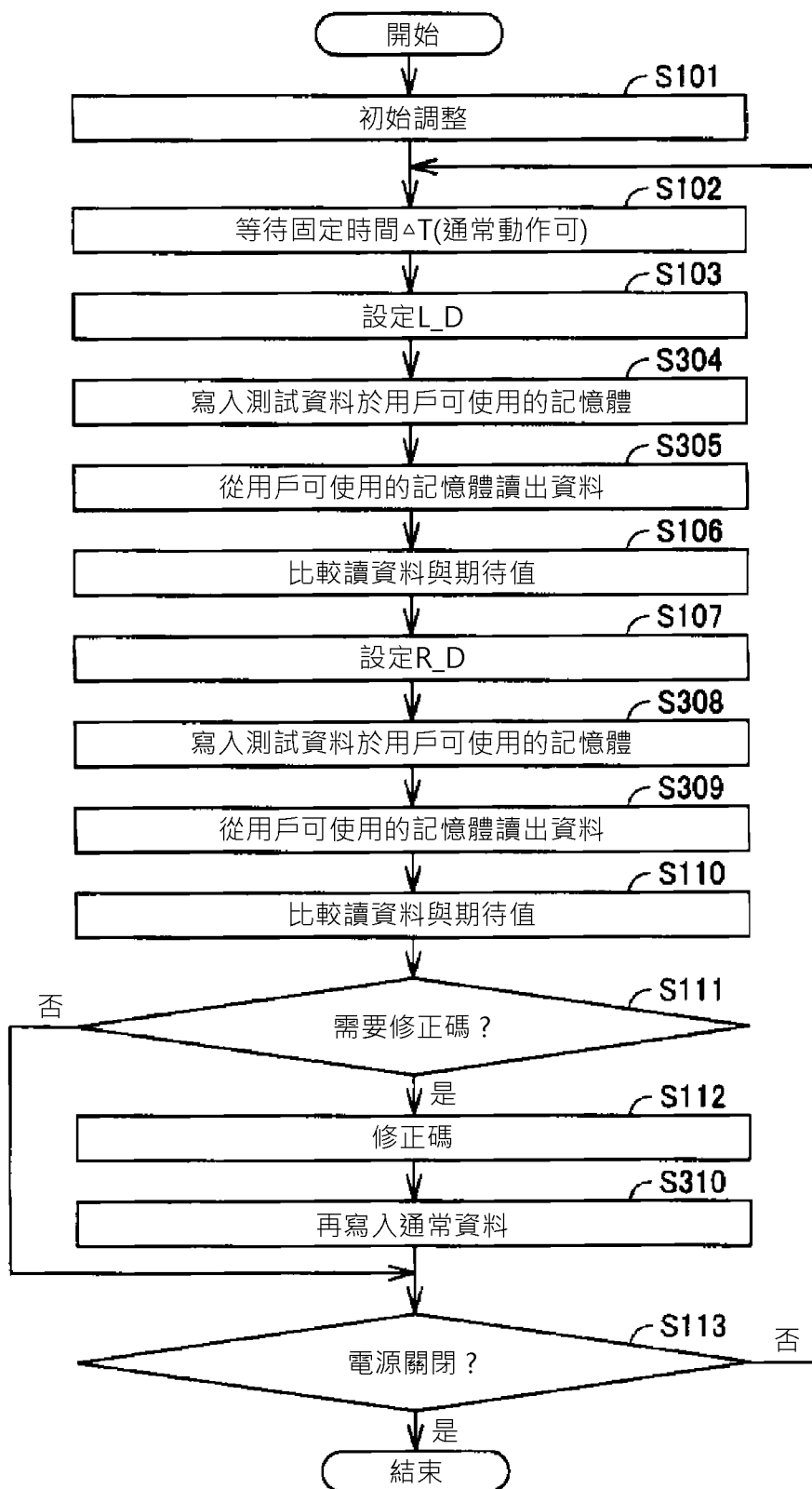


圖 11

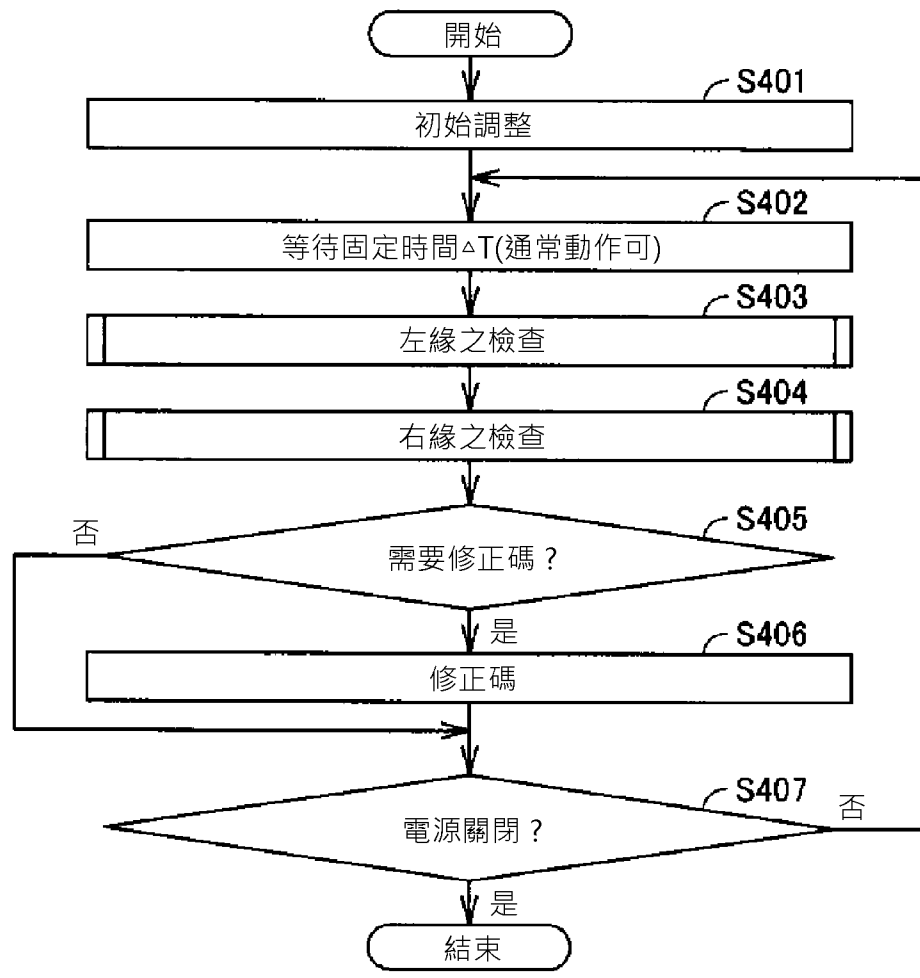


圖 12

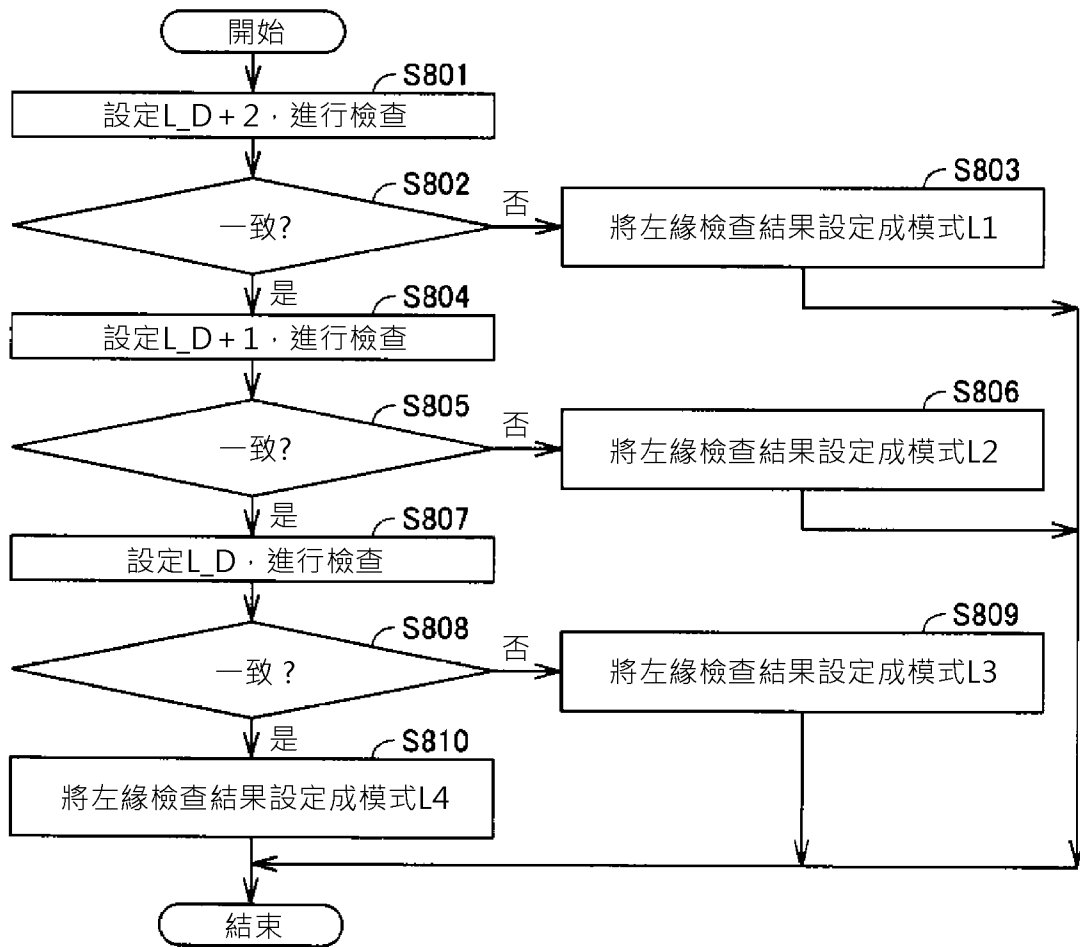


圖 13

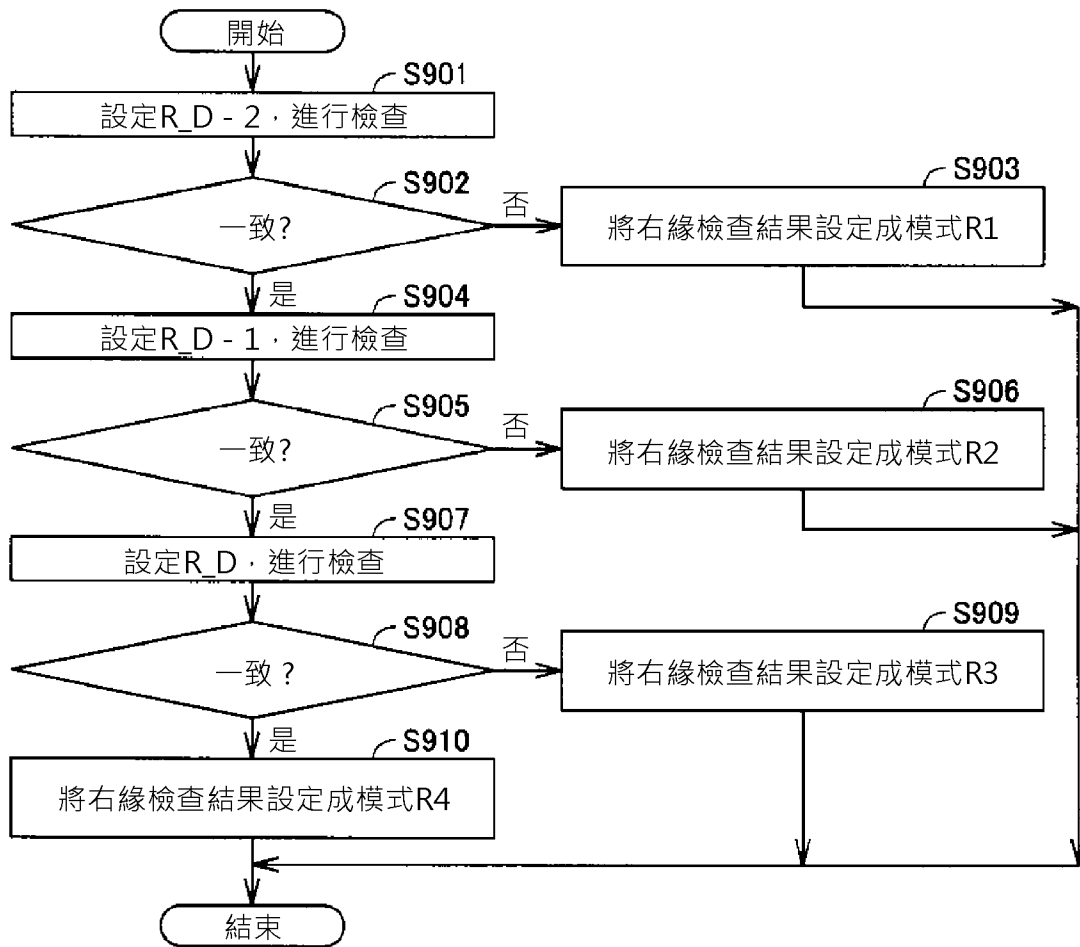


圖 14

與期待 值之比較 結果	設定碼			左緣之 檢查結果	設定碼			右緣之 檢查結果	模式	修正碼
	L _D	L _D +1	L _D +2		R _D -2	R _D -1	R _D			
一致	一致	一致	一致	L4	一致	一致	一致	R4	T1	全部的碼不修正
一致	一致	一致	一致	L4	不一致	一致	一致	R1	T2	使L _D 、R _D 、C _D -3
一致	一致	一致	一致	L4	不一致	一致	一致	R2	T3	使L _D 、R _D 、C _D -2
一致	一致	一致	一致	L4	一致	一致	一致	R3	T4	使L _D 、R _D 、C _D -1
一致	一致	一致	一致	L1	一致	一致	一致	R4	T5	使L _D 、R _D 、C _D +3
一致	一致	一致	一致	L2	一致	一致	一致	R4	T6	使L _D 、R _D 、C _D +2
一致	一致	一致	一致	L3	一致	一致	一致	R4	T7	使L _D 、R _D 、C _D +1
一致	一致	一致	一致	L1	不一致	一致	一致	R1	T8	不修正C _D 使L _D +3、使R _D -3
一致	一致	一致	一致	L2	不一致	一致	一致	R2	T9	不修正C _D 使L _D +2、使R _D -2
一致	一致	一致	一致	L3	一致	一致	一致	R3	T10	不修正C _D 使L _D +1、使R _D -1
一致	一致	一致	一致	L3	不一致	一致	一致	R2	T11	不修正C _D 使L _D +1、使R _D -2
一致	一致	一致	一致	L3	一致	一致	一致	R1	T12	使C _D -1 使L _D +1、使R _D -3
一致	一致	一致	一致	L2	一致	一致	一致	R3	T13	不修正C _D 使L _D +2、使R _D -1
一致	一致	一致	一致	L1	一致	一致	一致	R3	T14	使C _D +1 使L _D +3、使R _D -1
一致	一致	一致	一致	L2	不一致	一致	一致	R1	T15	不修正C _D 使L _D +2、使R _D -3
一致	一致	一致	一致	L1	不一致	一致	一致	R2	T16	不修正C _D 使L _D +3、使R _D -2

圖 15

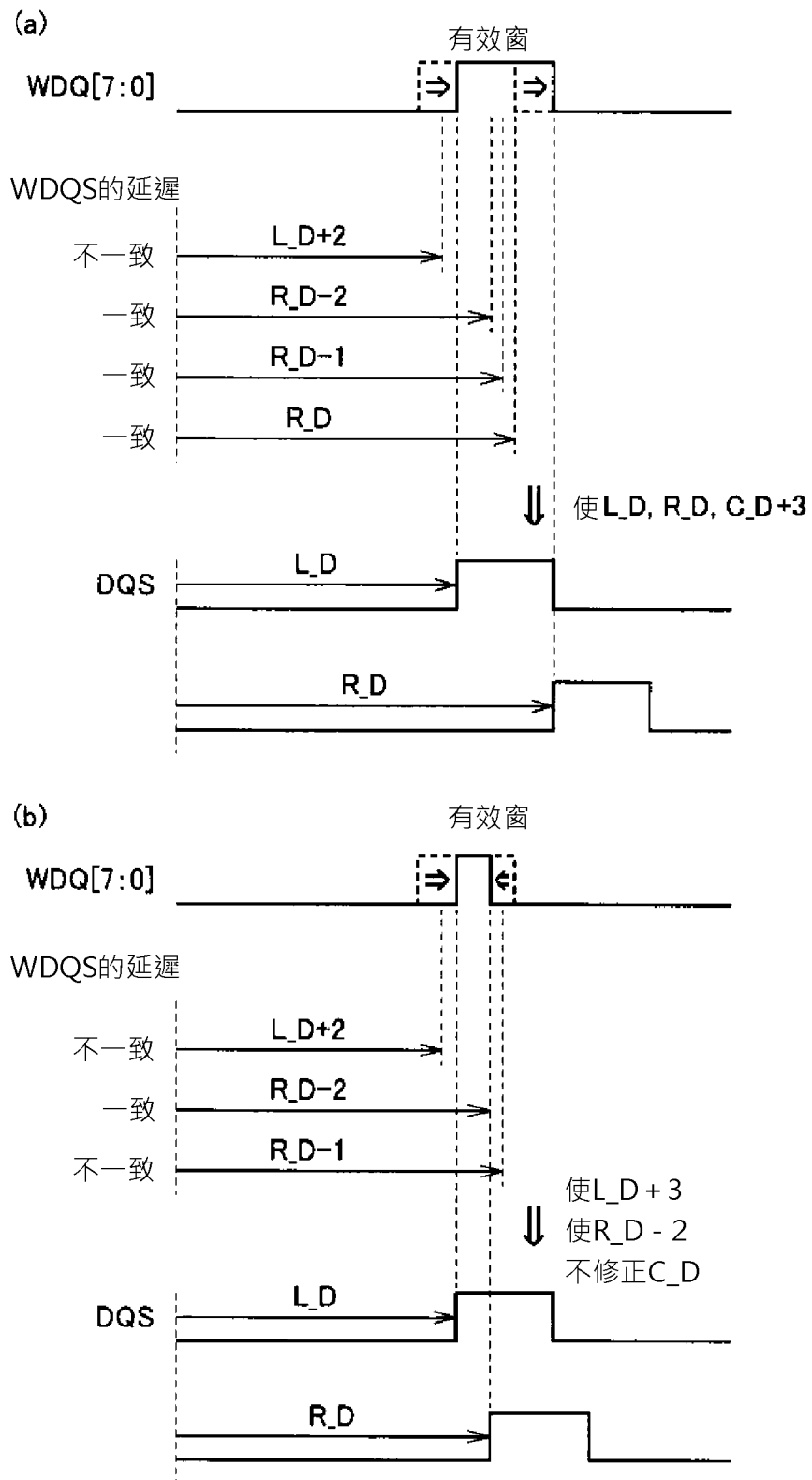


圖 16

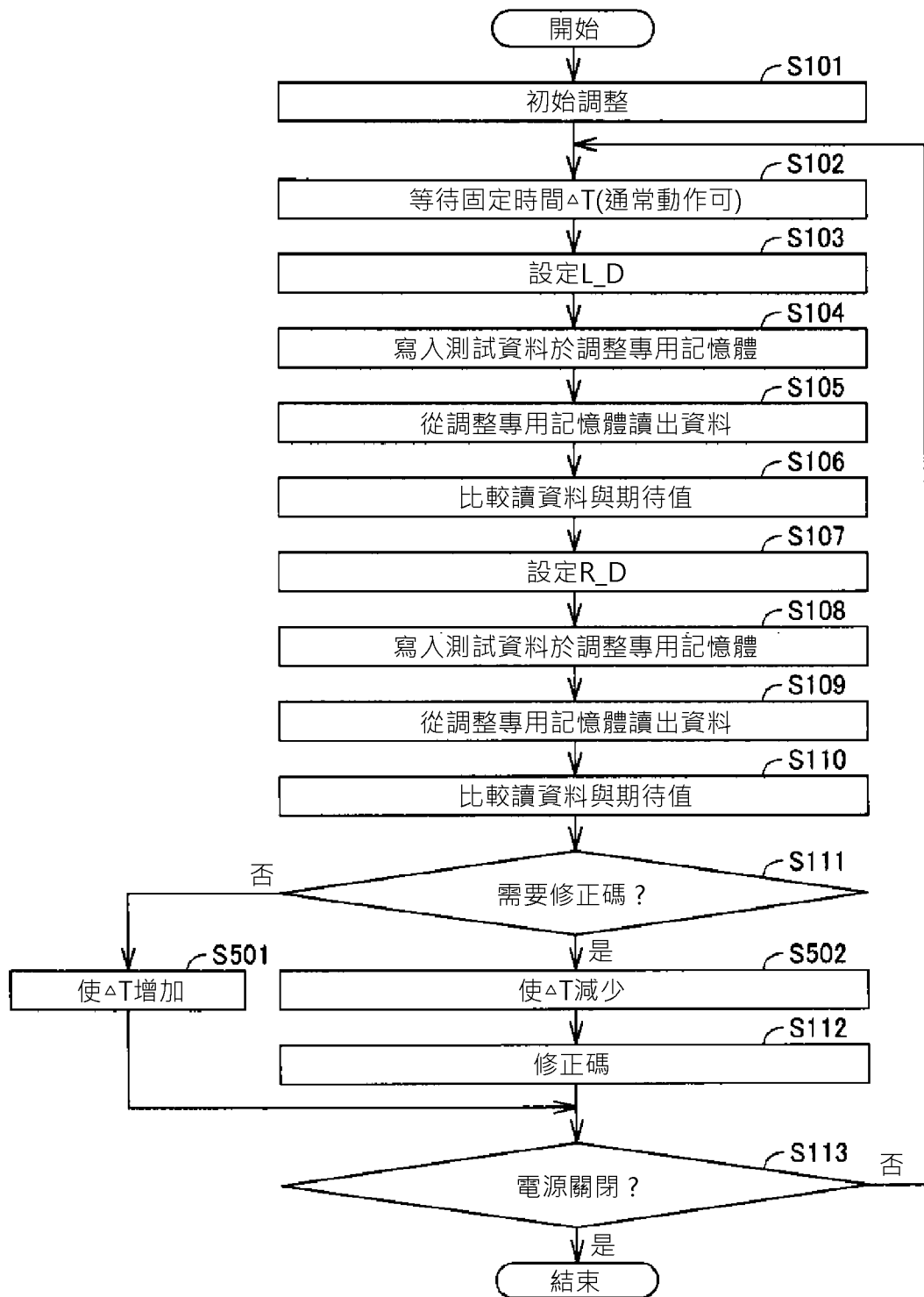
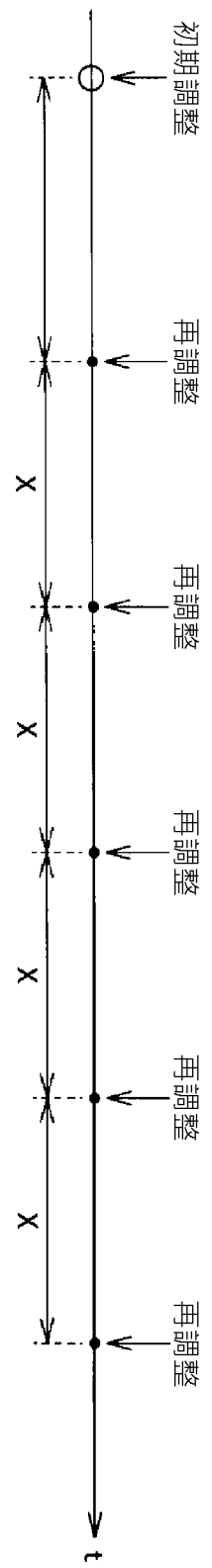
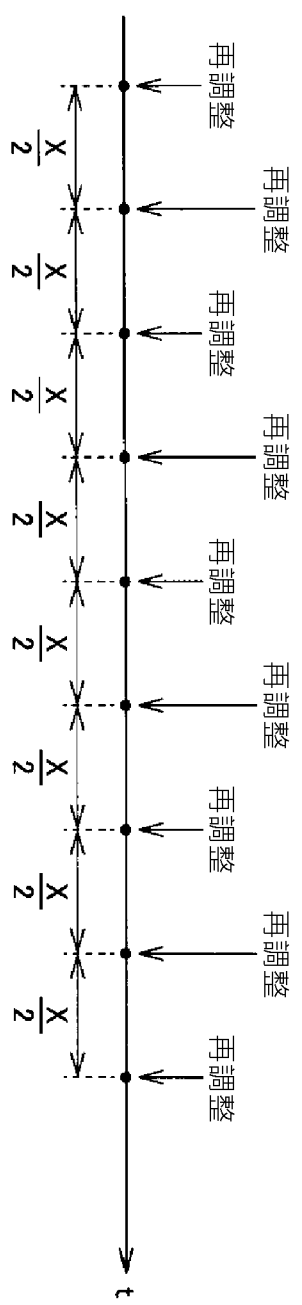


圖 17

(a)



(b)



(c)

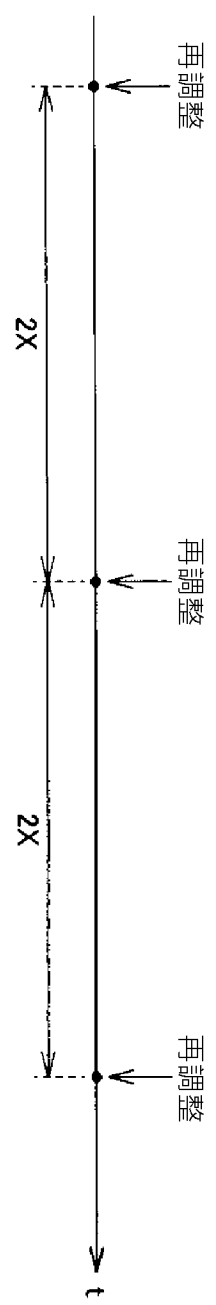


圖 18

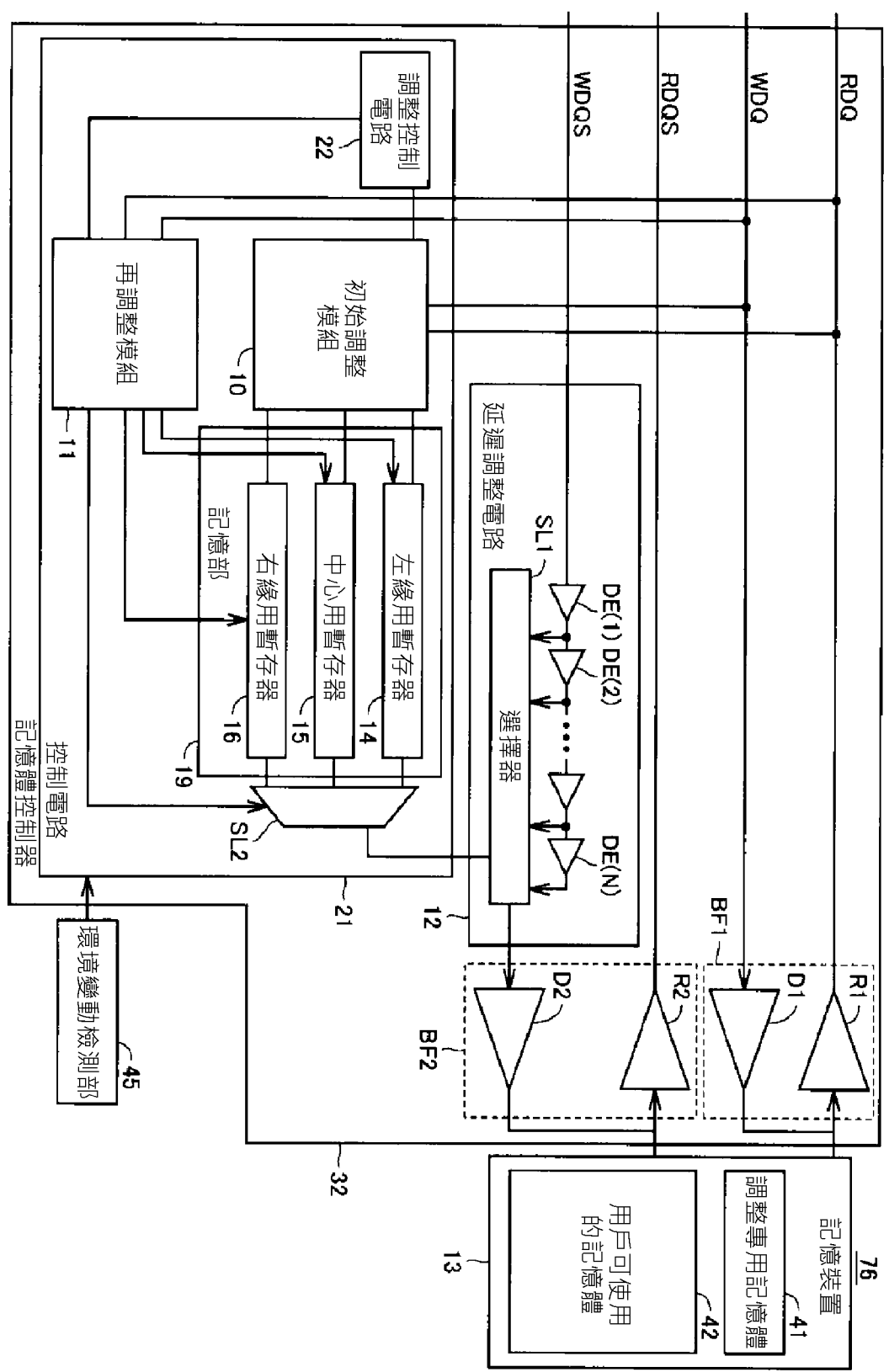


圖 19

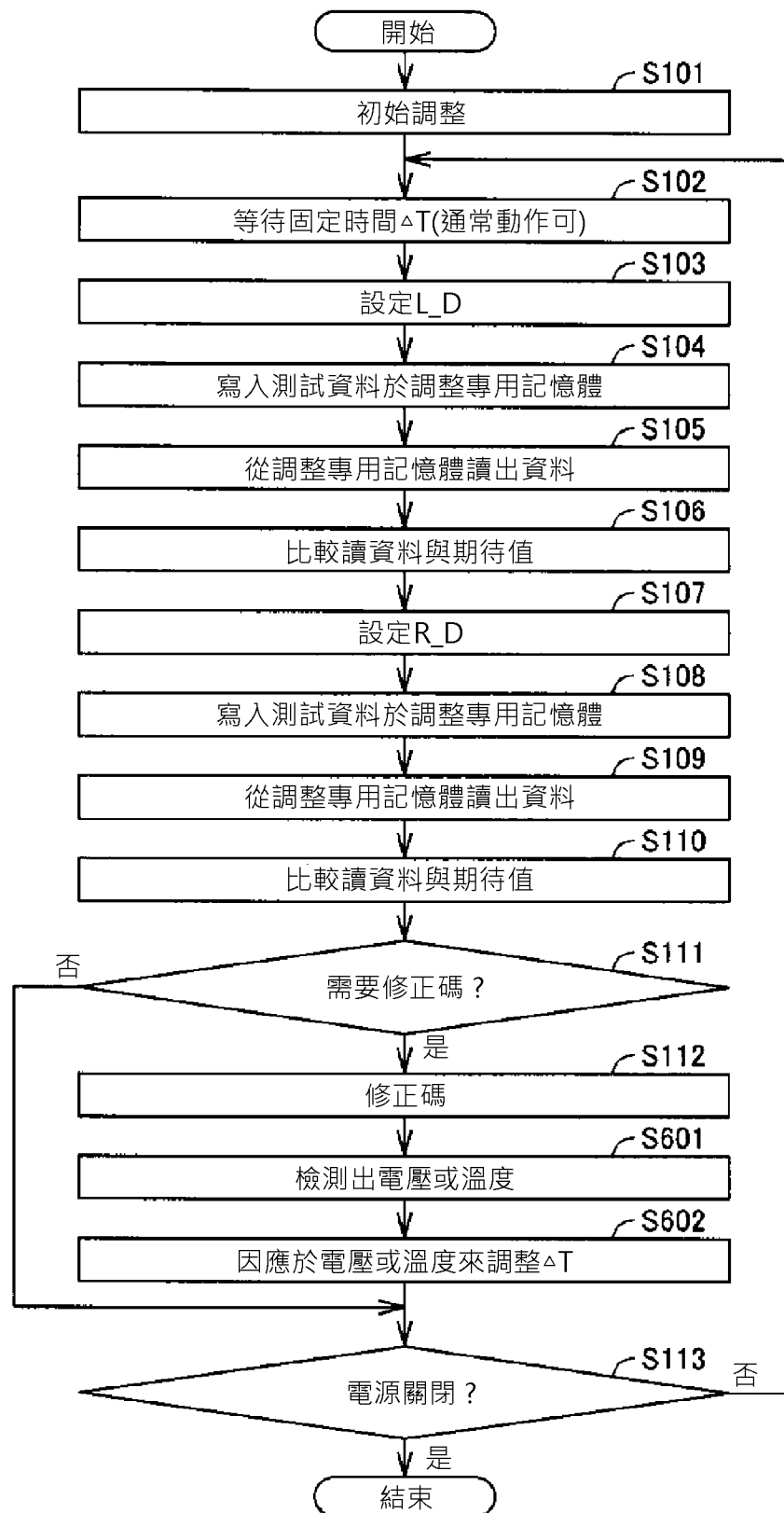


圖 20

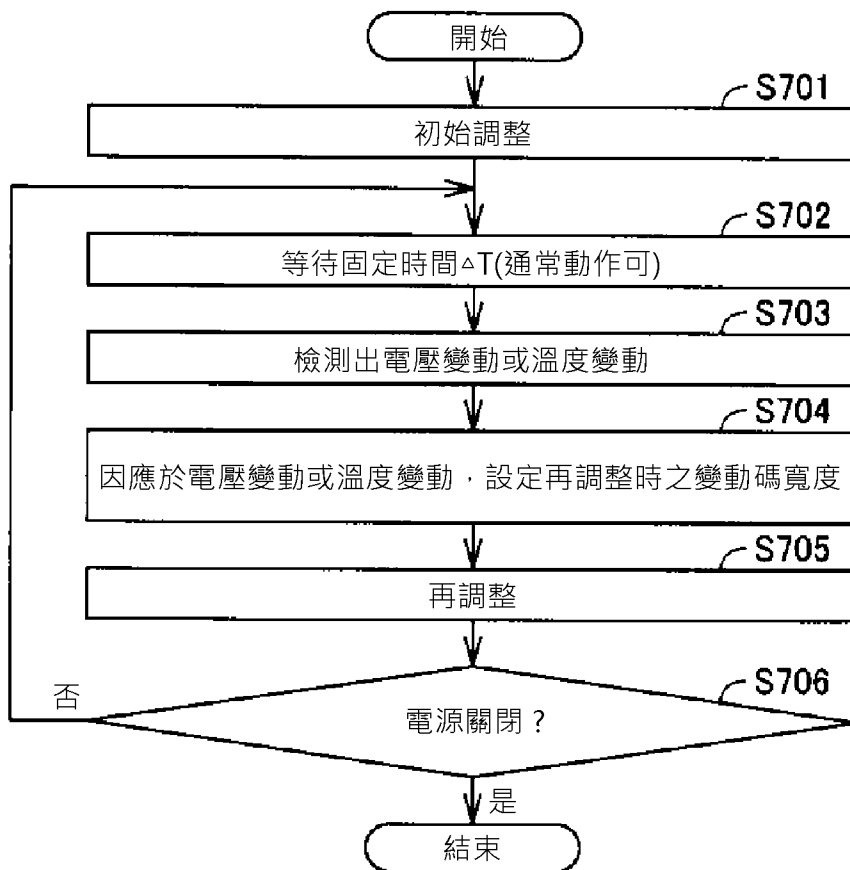


圖 21