

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
H01L 27/06

(45) 공고일자 1989년 10월 05일
(11) 공고번호 89-003827

(21) 출원번호	특 1987-0008119	(65) 공개번호	특 1989-0003026
(22) 출원일자	1987년 07월 25일	(43) 공개일자	1989년 04월 12일
(71) 출원인	재단법인 한국전자통신연구소 경상현 대전직할시 중구 가정동 161한국전기 통신공사 이우재 서울특별시 종로구 세종로 100번지		
(72) 발명자	김광수 대전직할시 중구 가정동 236-1(구관 115호) 채상훈 대전직할시 중구 가정동 236-1(구관 231) 구용시 대전직할시 중구 도마동 경남아파트 101동 503호 김여환 대전직할시 동구 중리주공아파트 125-307호 이진호 대전직할시 동구 흥도동 경성맨션 2동 806호		
(74) 대리인	김영길		

심사관 : 유환열 (책자공보 제1656호)

(54) 고속 고집적 반도체소자(Bicmos)의 제조방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

고속 고집적 반도체소자(Bicmos)의 제조방법

[도면의 간단한 설명]

제1도는 종래의 CMOS소자공정에 따라 제조된 혼합형 소자의 단면도.

제2도는 종래의 바이폴라 트랜지스터 공정에 따라 제조된 혼합형 소자의 단면도.

제3도는 본 발명의 혼합형소자 제조공정을 설명하기 위한 단면도.

제4도는 본 발명의 완성된 혼합형소자의 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : n⁺형 매몰층

2 : P웰

4 : 접합분리

5 : 게이트산화막

6 : 베이스

7 : 콜렉터

[발명의 상세한 설명]

본 발명은 고속 고집적 반도체소자 제조방법에 관한 것으로 특히 통신용 반도체 회로에서 요구되는 고속 고집적 반도체소자 제조를 위하여 고속을 요하는 회로에 쓰이는 바이폴라(Bipolar)와 고밀도를

요하는 회로에 쓰이는 CMOS(Complementary Metal Oxide Semiconductor)를 혼합하여 고속과 고집적 회로인 혼합형 반도체 소자 (이하 BICMOS라 한다)를 제조하기 위한 고속 고집적 반도체소자(BICMOS)의 제조방법에 관한 것이다.

일반적으로 대규모 집적회로의 설계에서 중요한 관점은 어떻게 회로의 동작속도를 높이며, 또 회로에 포함되는 소자의 갯수가 늘어나더라도 전체의 회로에서 방출되는 열량을 일정한 범위내로 어떻게 줄이는가 하는 것이다. 디지털회로에서는 이를 게이트의 전력-시간 곱으로 표시하며 이 값이 적을수록 좋은 회로라고 할 수 있다.

대개의 경우 바이폴라 회로에서는 게이트이 지연시간을 낮출 수 있으나 방출열량이 많아 하나의 칩에 집적할 수 있는 트랜지스터의 갯수에 제약을 받게 되며 CMOS회로의 경우에는 회로에서 발생하는 열량을 극소화시킬 수 있어 전력소모의 측면에서는 측면에서는 매우 유리하나 용량성 부하를 충당 시키는 데는 CMOS트랜지스터의 자체전류 구동능력이 작아서 동작속도에 제한성을 갖는다.

또한 최근의 경향은 집적회로의 설계에서 아날로그 및 디지털 회로가 동시에 요구되는 통신용 반도체 회로의 비중이 점점 증가하고 있어서 CMOS일변도의 발전 추세에 바이폴라 아날로그 회로의 필요성이 부각되고 있다. 그러므로 한 칩에 바이폴라 소자와 CMOS소자를 동시에 제조하는 BICMOS소자 기술이 개발되어 여러가지통신용 집적회로와 VIR(Video Tape Recorder) 카메라에 쓰이는 집적회로등에 응용되고 있으며 최근에는 게이트 어레이(Gate Array) 및 기억소자에도 응용되고 있다. 이와같은 소자들은 고밀도를 요구하는 부분에는 CMOS를 사용하고 고속을 요구하는 부분에는 바이폴라 소자를 이용하여 고속과 동시에 고집적 반도체 소자를 얻고 있다. 따라서 지금까지의 BICMOS소자 기술은 제 1도에 도시된 바와같이 CMOS소자를 기본으로 하여 바이폴라 소자를 제조하는 방식으로 개발되었고 CMOS제조공정에 따라 바이폴라 트랜지스터를 제조함으로써 제조공정은 간단하나 바이폴라 소자의 고유한 특성인 고속에 많은 제한이 따랐다. 따라서 이와같은 단점을 보완하고자 BICMOS소자 기술은 제 2도에 도시된 바와같이 바이폴라 트랜지스터는 SBC(Standard Buried Collector)기술로서 제조되었으나 SBC기술로 제조한 바이폴라 트랜지스터는 P-N접합면을 소자 격리에 이용하기 때문에 측면 확산(Lateral Diffusion)과 공핍영역의 존재등으로 인하여 소자의 면적을 축소시키는데 많은 제약이 따르며 소자 자체에 존재하는 저항성분과 용량성분을 더이상 줄일 수 없어서 동작속도면에서도 좋은 결과를 기대하기 어려운 문제점을 가지고 있었다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 고속 다결정 실리콘 자기정렬 문제점을 바이폴라 트랜지스터와 고집적 CMOS소자를 한 웨이퍼에 함께 제조하여 고속 및 고집적 특성을 얻기 위한 반도체 제조방법을 제공해 줄 수 있게 한 것으로 이하 첨부된 도면에 의하여 본 발명을 상세히 설명하면 다음과 같다.

제3(a)도는 P웰(Well)까지 실시한 단면도이며 P-형(1) 방향의 실리콘 웨이퍼 표면에 메몰층마스크(Buried Layer Mask)를 사용하여 바이폴라 트랜지스터와 CMOS소자가 만들어질 영역을 지정한후 비소(Arsenic)를 이온주입하여 n⁺매몰층(1)을 형성하며 약 1.5~2 μ m두께인 인(Phosphorus)이 도우핑된 에피택셜층(Epitaxial Layer)을 성장시킨다. 에피택셜층의 두께가 얇은 것은 바이폴라 트랜지스터의 콜렉터저항을 줄이는 동시에 CMOS소자를 위한 P웰 형성시 확산시간을 줄여 매몰층으로부터 에피택셜층으로의 확산을 방지하기 위해서이다. P웰 정의를 위한 산화막 성장 및 마스크공정후 보론(Boron)을 이온주입하고 1180 $^{\circ}$ C에서 약 2시간 동안 열 확산하고 나면 P웰(2)이 P기판까지 확산된다. 제3(b)도는 산화막 격리후 게이트 산화막 성장까지의 과정을 나타내며 5000 \AA 의 산화막을 성장시킨 후 1500 \AA 의 질화막(Si₃N₄)을 저압증착(LPCVD)방법으로 증착시키고 활성(Active)마스크를 이용하여 각소자의 활성영역을 정의한후 산화막격리(Oxide Isolation)방법을 이용하여 소자격리영역(3)을 형성한다. 이때 바이폴라트랜지스터의 격리를 위해 격리산화막 아래 산화막 성장 전 필드(Field)마스크를 이용하여 P형 접합분리영역을 정의한후 불순물(보론)을 이온주입하여 형성한 접합분리(4)를 함께 사용한다. 질화막 제거후 PMOS소자의 문턱전압(Threshold Voltage)조절을 위하여 P웰 부분을 제외한 n⁺지역에 보론을 얇게 이온주입한 다음 산화막을 제거하고 CMOS의 게이트산화막(5)을 성장한다. 제3(c)는 다결정 실리콘에 의해 바이폴라트랜지스터의 에미터와 콜렉터 및 CMOS의 게이트를 형성시키는 과정으로써 먼저 바이폴라트랜지스터의 베이스와 콜렉터부분을 마스크를 사용하여 각각 정의한 후 보론과 인을 이온주입하여 베이스(6)와 콜렉터를 만든다. 광광막 제거후 다결정 실리콘을 저압증착 방법으로 3000 \AA 정도 증착한 후 비소를 이온주입하여 도우핑하면 n⁺형 다결정 실리콘이 된다.

상기 n⁺형 다결정 실리콘과 후에 비활성베이스영역을 위해 증착될 p⁺형 다결정 실리콘과의 분리를 위해 저압증착 방법으로 산화막을 증착한 후 NMOS와 PMOS소자의 게이트(8)와 바이폴라트랜지스터의 에미터(9)와 콜렉터(10)를 건식식각(Reactive Ion Etching)방법으로 산화막과 다결정 실리콘을 동시에 이방성식각(Anisotropic Etching)함으로써 형성한다. 제3(d)도는 CMOS의 소오스/드레인 및 에미터와 콜렉터 역할을 하는 n⁺ 다결정 실리콘의 양쪽측면을 전기적으로 절연시키는 과정을 나타내며 p⁺소오스/드레인 영역을 정의한후 보론(BF₃ 가스이용)을 이온 주입하여 PMOS소자의 소오스/드레인(11)을 만들고 또한 NMOS소자의 소오스/드레인(12)을 만들기 위하여 n⁺소오스/드레인 마스크작업후 비소를 이온주입한 다음 3000 \AA 두께의 산화막을 저압증착에 의해 증착시킨 후 건식식각방법으로 이방성식각을 하여 n⁺형의 다결정 실리콘 윗면을 포함한 수평면 방향의 산화막은 모두 식각되고 수직면(13)은 식각되지 않도록 한다.

한편 이 과정에서 1차 산화막(14)은 식각특성에 의해 보호된다. 제3(e)도는 바이폴라 트랜지스터의 베이스 직렬저항을 감소시키기 위하여 비활성 베이스영역을 형성시키는 과정으로써 3000 \AA 정도의 다결정 실리콘을 저압증착법에 의해 증착시킨 후 상기 다결정 실리콘에 보론을 열확산 또는 이온주입 방법으로 도우핑시켜 p⁺형으로 만든 다음 열처리를 행함으로써 저항이 낮은 p⁺ 비활성 베이스영역(15)을 형성한 후 상기 p⁺ 다결정 실리콘이 바이폴라트랜지스터의 베이스부분(16)에만 남도록 p⁺ 다결정

실리콘 마스크 작업부 건식 식각을 한다.

감광막을 제거한후 CMOS소자의 소오스/드레인을 위한 열처리 산화막증착 접촉마스크 알루미늄증착고정 등 일반적인 바이폴라 또는 CMOS소자의 제조공정을 거치면 제4도에 도시된 바와 같은 반도체 (BICMOS)소자가 완성된다.

이상과 같은 제조방법으로 고속 고집적 반도체 소자를 제조하면 고속을 요하는 통신용 반도체 효율을 충족시킬 수 있으며 고집적을 요하는 대규모 집적회로의 제조가 간편한 이점이 있다.

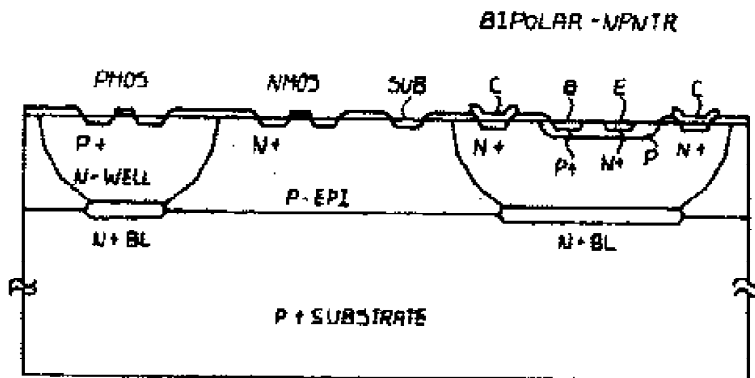
(57) 청구의 범위

청구항 1

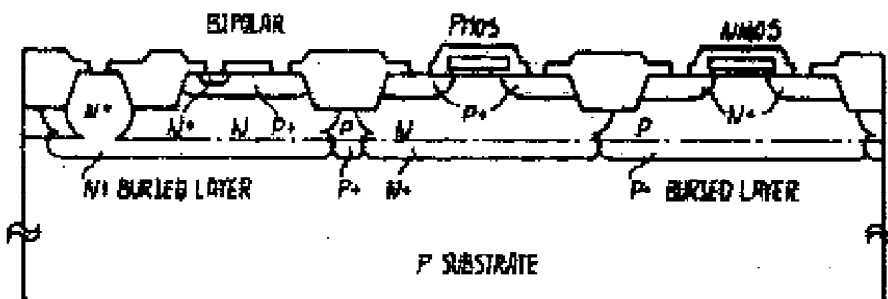
P형 기판에 n^+ 형매몰층(1)을 형성하고 그위에 에피택셜층을 성장시킨 후 P웰 정의를 위한 산화막 성장 및 마스크공정을 하고 불순물보른주입후 기판까지 열확산하여 P웰(2)을 형성하며 그 위에 산화막을 성장후 질화막을 증착하고 P^+ 접합격리(4)를 만든 다음 산화막을 성장하여 소자격리(3)을 완성하고 산화막제거후 CMOS의 게이트 산화막(5)을 성장시킨 후 불순물을 이온주입하여 바이폴라 트랜지스터의 베이스(6)와 컬렉터(7)를 만들고 감광막제거후 다결정 실리콘을 증착시킨 다음 불순물을 주입하여 n^+ 형으로 만들어 그위에 산화막 증착후 CMOS소자의 게이트(8)와 바이폴라 트랜지스터의 에미터(9)와 컬렉터(10)를 형성한 다음 불순물을 주입하여 PMOS소자의 소오스/드레인(11)을 만들고 마스크작업부불순물을 주입하여 NMOS소자의 소오스/드레인(12)을 만들어 산화막을 증착한후 식각하여 n^+ 실리콘 측면에 산화막(13)이 남도록한 다음 다결정 실리콘을 증착한 후 불순물을 열확산이나 이온주입 방법으로 도우핑시켜 P^+ 형으로 만들어 열처리함으로써 저항성분이 낮은 P^+ 형 비활성 베이스영역(15)을 형성한 후 상기 다결정실리콘이 바이폴라트랜지스터의 베이스(16)에만 남도록 마스크작업부 감광막을 제거한 다음 CMOS소자의 소오스/드레인을 위한 열처리 산화막증착 접촉마스크 알루미늄증착공정 등을 거쳐 형성하여서 된 것을 특징으로하는 고속 고집적 반도체소자(BICMOS)의 제조방법.

도면

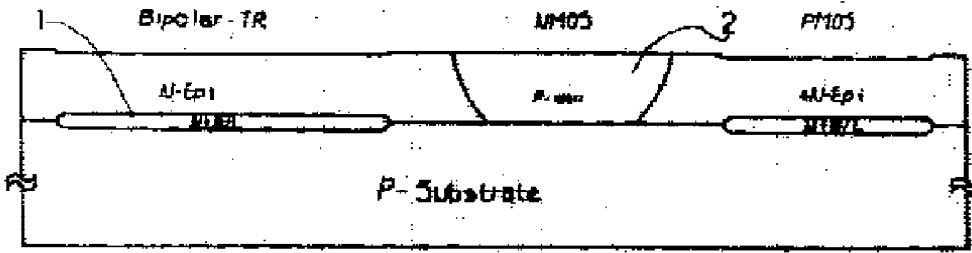
도면1



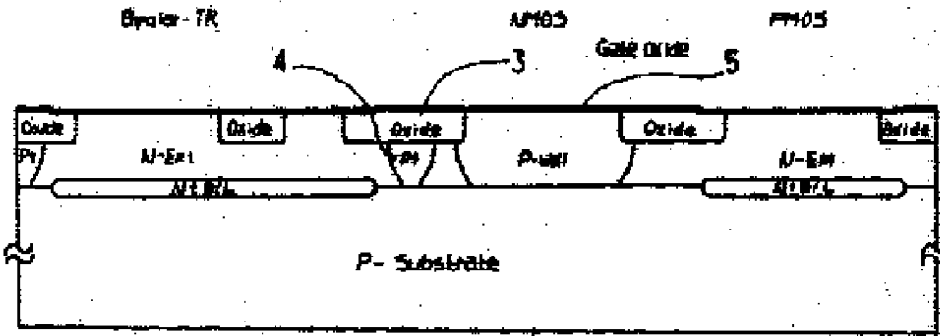
도면2



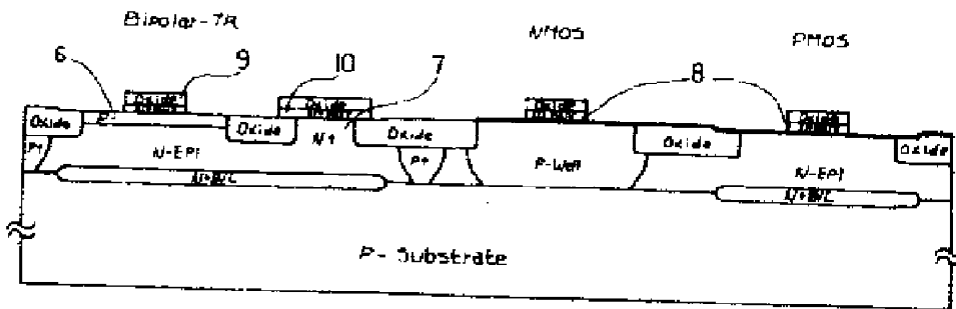
도면3-A



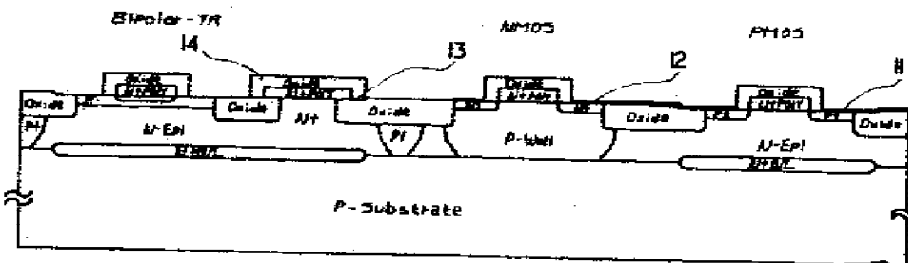
도면3-B



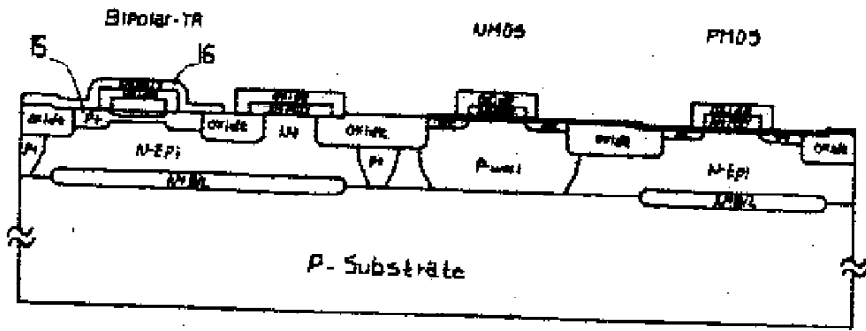
도면3-C



도면3-D



도면3-E



도면4

