



# (12) 发明专利申请

(10) 申请公布号 CN 117080067 A

(43) 申请公布日 2023. 11. 17

(21) 申请号 202310543280.X

(22) 申请日 2023.05.15

(30) 优先权数据

2022-080809 2022.05.17 JP

(71) 申请人 瑞萨电子株式会社

地址 日本东京都

(72) 发明人 小西纲一

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 张宁

(51) Int. Cl.

H01L 21/331 (2006.01)

H01L 29/739 (2006.01)

H01L 29/423 (2006.01)

H01L 29/417 (2006.01)

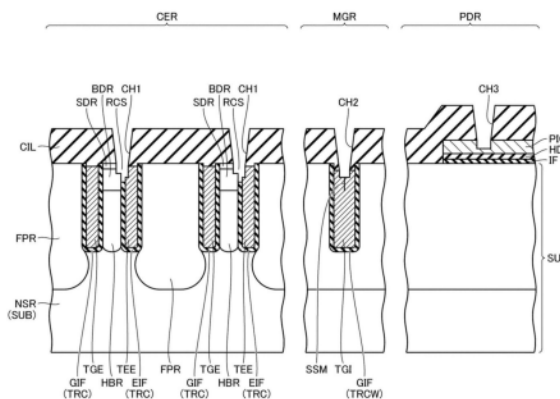
权利要求书2页 说明书13页 附图37页

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本公开涉及一种半导体器件的制造方法,其中沟槽栅极引出电极和栅极引出接触构件之间的接触电阻的增加被抑制。假设,在形成沟槽栅极引出电极时,在多晶硅膜中形成自然氧化膜。在形成自然氧化膜的情况下,执行所需的蚀刻过程,以使自然氧化膜不突出到沟槽栅极引出电极的上表面之外。



1. 一种半导体器件的制造方法,包括以下步骤:

(a) 在具有第一主表面和与所述第一主表面相对的第二主表面的半导体衬底上,形成具有第一宽度的第一沟槽和具有第二宽度的第二沟槽,所述第二宽度大于所述第一宽度;

(b) 通过将第一导电膜和第二导电膜依次层叠以分别嵌入在所述第一沟槽和所述第二沟槽中,形成第一沟槽电极和第二沟槽电极;

(c) 在所述第一主表面上形成层间绝缘膜;

(d) 形成第一接触开口,所述第一接触开口贯穿所述层间绝缘膜并且暴露所述第一沟槽电极的上表面和所述第一主表面,以及形成第二接触开口,所述第二接触开口贯穿所述层间绝缘膜并且暴露所述第二沟槽电极的上表面;

(e) 分别蚀刻从所述第一接触开口暴露的所述第一沟槽电极的所述上表面和所述第一主表面,以及从所述第二接触开口暴露的所述第二沟槽电极的所述上表面;以及

(f) 在所述第一接触开口和所述第二接触开口中嵌入接触构件,其中

所述(e)的步骤包括:

(e1) 在所述半导体衬底的厚度方向上,分别使从所述第一接触开口暴露的所述第一沟槽电极的所述上表面和所述第一主表面以及从所述第二接触开口暴露的所述第二沟槽电极的所述上表面后退;以及

(e2) 在所述(e1)的步骤之后,去除留在所述第一接触开口和所述第二接触开口内部的残留物。

2. 根据权利要求1所述的半导体器件的制造方法,其中

在所述(e2)的步骤中,所述去除残留物的方法包括使用包含CF<sub>4</sub>气体的气体进行各向同性干法蚀刻。

3. 根据权利要求2所述的半导体器件的制造方法,其中

在所述(e1)的步骤中,执行各向异性干法蚀刻的方法。

4. 根据权利要求1所述的半导体器件的制造方法,其中

在所述(b)的步骤中,在第一导电膜和第二导电膜之间形成自然氧化膜;以及在所述(e2)的步骤中,留在所述第一接触开口和所述第二接触开口内部的所述残留物是所述自然氧化膜的部分。

5. 根据权利要求1所述的半导体器件的制造方法,其中

所述第一接触开口被形成为在平面图中跨骑在所述第一沟槽电极和所述第一主表面之间。

6. 根据权利要求1所述的半导体器件的制造方法,其中

在所述(a)的步骤中,所述半导体衬底具有第一导电类型,并且还包括以下步骤:

(f) 在所述(c)的步骤之前,在所述第一主表面上的第一区域中并且与所述第一沟槽接触地形成第二导电类型的第一杂质区域,所述第二导电类型与第一导电类型相反,其中在所述(d)的步骤中,所述第一主表面包括所述第一杂质区域。

7. 根据权利要求1所述的半导体器件的制造方法,还包括以下步骤:

(b1) 在所述(b)的步骤中,在将所述第一导电膜和所述第二导电膜依次层叠的中间,执行回蚀刻过程。

8. 根据权利要求1所述的半导体器件的制造方法,其中所述第一导电膜和所述第二导电膜是多晶硅膜。
9. 根据权利要求1所述的半导体器件的制造方法,其中在所述(b)的步骤中,所述第一沟槽电极经由沟槽绝缘膜嵌入在所述第一沟槽中,以及在所述(e1)的步骤中,使从所述第一接触开口暴露的所述沟槽绝缘膜的上表面后退。
10. 根据权利要求1所述的半导体器件的制造方法,其中在所述(d)的步骤中,同时形成所述第一接触开口和所述第二接触开口。
11. 根据权利要求1所述的半导体器件的制造方法,其中在所述(a)的步骤中,形成具有所述第一宽度的第三沟槽,以与所述第一主表面接触并且经由所述第一主表面与所述第一沟槽分开,并且  
在所述(b)的步骤中,通过将所述第一导电膜和所述第二导电膜依次层叠以嵌入在所述第三沟槽中,形成第三沟槽电极。
12. 根据权利要求1所述的半导体器件的制造方法,其中在所述(a)的步骤中,形成具有所述第一宽度的第四沟槽,以与所述第一主表面接触并且经由所述第一主表面与所述第一沟槽分开,并且形成彼此分开的第五沟槽和第六沟槽,  
在所述(b)的步骤中,通过将所述第一导电膜和所述第二导电膜依次层叠以分别嵌入在所述第四沟槽、所述第五沟槽和所述第六沟槽中,形成第四沟槽电极、第五沟槽电极和第六沟槽电极,  
在所述(d)的步骤中,形成第三接触开口,以贯穿所述层间绝缘膜并且使在所述第五沟槽电极和所述第六沟槽电极之间的所述第一主表面暴露,  
在所述(f)的步骤中,将所述接触构件嵌入在所述第三接触开口中,并且  
在所述(e1)的步骤中,使从所述第三接触开口暴露的所述第一主表面后退。
13. 根据权利要求1所述的半导体器件的制造方法,其中在所述(d)的步骤中,同时形成所述第一接触开口、所述第二接触开口和所述第三接触开口。

## 半导体器件的制造方法

[0001] 相关申请的交叉引用

[0002] 于2022年05月17日提交的日本专利申请号2022-080809的公开内容(包括说明书、附图和说明书摘要)通过引用以其整体并入本文。

### 技术领域

[0003] 本公开涉及一种半导体器件及其制造方法,并且更具体地涉及注入增强型绝缘栅极双极晶体管。

### 背景技术

[0004] 在功率半导体器件中,提供绝缘栅极双极晶体管(IGBT)作为切换设备。此外,如日本专利公开号JP-A-2018-46053(专利文献1)中所示,还提供具有IE效应(电子注入增强效应的效应)的半导体器件以降低导通电压。

[0005] 在该类型的半导体器件中,形成了用于防止从集电极侧注入的空穴穿过到达发射极(电极)侧的区域。结果,在半导体衬底中的漂移层中累积的空穴的浓度增加,并且从发射极侧注入的电子被增强。因此,电子的浓度也增加。随着载流子(电子和空穴)的浓度增加,电导率调制出现,并且可以降低导通电压。

[0006] IGBT形成在单元区域中。在单元区域的外部区域中,形成与IGBT的沟槽栅极电极电连接的沟槽栅极引出电极。沟槽栅极引出电极被形成为具有比沟槽栅极电极的宽度宽的宽度(较宽宽度部分)。经由在沟槽栅极引出电极的较宽宽度部分上接触的栅极引出接触构件,沟槽栅极引出电极电连接到栅极电极。

### 发明内容

[0007] 在该类型的半导体器件中,特别地,通过利用多晶硅膜填充宽沟槽来形成沟槽栅极引出电极。此时,假设在多晶硅膜中形成了自然氧化膜。当在多晶硅膜中形成自然氧化膜时,由于自然氧化膜,栅极引出接触构件未与沟槽栅极引出电极良好接触。并且它可能增加接触电阻。

[0008] 根据本说明书的描述和附图,其他目的和新颖特征将变得明显。

[0009] 根据一个实施例的半导体器件的制造方法包括以下步骤:在具有第一主表面和与第一主表面相对的第二主表面的半导体衬底上,形成具有第一宽度的第一沟槽和具有第二宽度的第二沟槽,第二宽度大于第一宽度;通过将第一导电膜和第二导电膜依次层叠以分别嵌入在第一沟槽和第二沟槽中,形成第一沟槽电极和第二沟槽电极;在第一主表面上形成层间绝缘膜;形成第一接触开口,第一接触开口贯穿层间绝缘膜并且暴露第一沟槽电极的上表面和第一主表面,以及形成第二接触开口,第二接触开口贯穿层间绝缘膜并且暴露第二沟槽电极的上表面;分别蚀刻从第一接触开口暴露的第一沟槽电极的上表面和第一主表面,以及从第二接触开口暴露的第二沟槽电极的上表面;以及在第一接触开口和第二接触开口中嵌入接触构件。执行蚀刻过程的步骤包括:在半导体衬底的厚度方向上,分别使从

第一接触开口暴露的第一沟槽电极的上表面和第一主表面以及从第二接触开口暴露的第二沟槽电极的上表面后退;以及去除留在第一接触开口和第二接触开口内部的残留物。

[0010] 根据实施例的半导体器件的制造方法,可以抑制接触电阻的增加。

### 附图说明

[0011] 图1是图示了根据每个实施例的示例性半导体器件的平面图。

[0012] 图2是图示了第一实施例中的半导体器件的示例性平面结构的局部平面图。

[0013] 图3是一起示出了第一实施例中的图2中所示的IIIa-IIIa线、IIIb-IIIb线和IIIc-IIIc线中的每条线处的截面结构的截面图。

[0014] 图4是示出了第一实施例中的半导体器件的制造方法的步骤的截面图。

[0015] 图5是示出了第一实施例中的在图4中所示的步骤之后执行的步骤的截面图。

[0016] 图6是示出了第一实施例中的在图5中所示的步骤之后执行的步骤的截面图。

[0017] 图7是示出了第一实施例中的在图6中所示的步骤之后执行的步骤的截面图。

[0018] 图8是示出了第一实施例中的在图7中所示的步骤之后执行的步骤的截面图。

[0019] 图9是示出了第一实施例中的在图8中所示的步骤之后执行的步骤的截面图。

[0020] 图10是示出了第一实施例中的在图9中所示的步骤之后执行的步骤的截面图。

[0021] 图11是示出了第一实施例中的在图10中所示的步骤之后执行的步骤的截面图。

[0022] 图12是示出了第一实施例中的在图11中所示的步骤之后执行的步骤的截面图。

[0023] 图13是示出了第一实施例中的在图12中所示的步骤之后执行的步骤的截面图。

[0024] 图14是示出了第一实施例中的在图13中所示的步骤之后执行的步骤的截面图。

[0025] 图15是示出了第一实施例中的在图14中所示的步骤之后执行的步骤的截面图。

[0026] 图16是示出了第一实施例中的在图15中所示的步骤之后执行的步骤的截面图。

[0027] 图17是示出了第一实施例中的在图16中所示的步骤之后执行的步骤的截面图。

[0028] 图18是示出了第一实施例中的在图17中所示的步骤之后执行的步骤的截面图。

[0029] 图19是示出了第一实施例中的在图18中所示的步骤之后执行的步骤的截面图。

[0030] 图20是示出了第一实施例中的在图19中所示的步骤之后执行的步骤的截面图。

[0031] 图21是示出了第一实施例中的在图20中所示的步骤之后执行的步骤的截面图。

[0032] 图22是示出了第一实施例中的其他多晶硅膜结构的步骤的局部截面图。

[0033] 图23是示出了第一实施例中的在图22中所示的步骤之后执行的步骤的局部截面图。

[0034] 图24是示出了第一实施例中的在图23中所示的步骤之后执行的步骤的局部截面图。

[0035] 图25是示出了第一实施例中的另外的其他多晶硅膜结构的步骤的局部截面图。

[0036] 图26是示出了第一实施例中的在图25中所示的步骤之后执行的步骤的局部截面图。

[0037] 图27是示出了第一实施例中的在图26中所示的步骤之后执行的步骤的局部截面图。

[0038] 图28是图示了第二实施例中的半导体器件的示例性平面结构的局部平面图。

[0039] 图29是一起示出了第二实施例中的图28中所示的XXIXa-XXIXa线、XXIXb-XXIXb线

和XXIXc-XXIXc线中的每条线处的截面结构的截面图。

[0040] 图30是示出了第二实施例中的半导体器件的制造方法的步骤的截面图。

[0041] 图31是示出了第二实施例中的在图30中所示的步骤之后执行的步骤的截面图。

[0042] 图32是示出了第二实施例中的在图31中所示的步骤之后执行的步骤的截面图。

[0043] 图33是示出了第二实施例中的在图32中所示的步骤之后执行的步骤的截面图。

[0044] 图34是示出了第二实施例中的在图33中所示的步骤之后执行的步骤的截面图。

[0045] 图35是示出了第二实施例中的在图34中所示的步骤之后执行的步骤的截面图。

[0046] 图36是示出了第二实施例中的在图35中所示的步骤之后执行的步骤的截面图。

[0047] 图37是图示了第三实施例中的半导体器件的示例性平面结构的局部平面图。

### 具体实施方式

[0048] 在具有IE型绝缘栅极双极晶体管的半导体器件中,例如存在重视导通电压减小的GE型半导体器件。GE型是一种结构,其中电连接到栅极电极的沟槽栅极电极和电连接到发射极电极的沟槽发射极电极彼此间隔开。

[0049] 又例如,存在重视稳定和平衡操作的GGEE型半导体器件。GGEE型是一种结构,其中一个沟槽发射极电极和另一个沟槽发射极电极彼此间隔开,并且一个沟槽栅极电极和另一个沟槽栅极电极彼此间隔开。一个沟槽发射极电极和另一个沟槽发射极电极以及一个沟槽栅极电极和另一个沟槽栅极电极彼此间隔开预先确定距离。

[0050] 此外,作为又一示例,存在重视高速性能的EGE型半导体器件。EGE型是一种结构,其中一个沟槽发射极电极、一个沟槽栅极电极和另一个沟槽发射极电极彼此间隔开。在下文中,将给出具体描述。

[0051] 首先,将描述具有IE绝缘栅极型双极晶体管的半导体器件的示例性整体结构。如图1中所示,在半导体器件SED(半导体衬底SUB)中限定单元区域CER和栅极布线引出区域MGR。

[0052] IE型绝缘栅极双极晶体管形成在单元区域CER中。发射极电极MEE形成在单元区域CER中以覆盖单元区域CER。发射极电极MEE在于覆盖发射极电极MEE(半导体衬底SUB)的层间绝缘膜(未示出)中形成的开口HK1的底部处暴露。

[0053] 栅极布线引出区域MGR被布置成围绕单元区域CER。在栅极布线引出区域MGR中,形成栅极引出布线MGI和栅极电极MGE。栅极引出布线MGI电连接到栅极电极MGE。栅极电极MGE在于覆盖栅极电极MGE(半导体衬底SUB)的层间绝缘膜(未示出)中形成的开口HK2的底部处暴露。

[0054] 此外,半导体器件SED(半导体衬底SUB)限定了外围元件区域PDR,在外围元件区域PDR中形成诸如保护二极管或温度感测二极管的外围元件。

[0055] (第一实施例)

[0056] 这里,将描述示例性GE型半导体器件SED。首先,将描述单元区域CER。如图2和图3中所示,在单元区域CER中,沟槽栅极电极TGE(第三沟槽栅极电极)和沟槽发射极电极TEE(第一沟槽发射极电极)被布置成在第一方向上彼此间隔开。沟槽栅极电极TGE和沟槽发射极电极TEE分别在与第一方向交叉的第二方向上延伸。

[0057] 沟槽栅极电极TGE经由沟槽绝缘膜GIF(绝缘膜IF)形成在沟槽TRC(第三沟槽)中。

沟槽发射极电极TEE经由沟槽绝缘膜EIF(绝缘膜IF)形成在其他沟槽TRC(第一沟槽)中。沟槽TRC从第一主表面朝向与第一主表面相对的第二主表面地形成在具有N型区域NSR(漂移层)的半导体衬底SUB上。

[0058] 在半导体衬底SUB的位于沟槽栅极电极TGE和沟槽发射极电极TEE之间的区域(第一区域)中,在距第一主表面预先确定深度之上形成N型的源极扩散层SDR(第三杂质区域)。从源极扩散层SDR的底部到预先确定深度,形成P型基极扩散层BDR(第一杂质区域)。在基极扩散层BDR中,形成具有更高P型杂质浓度的P+层PPR。第二P+层PPR的杂质浓度高于基极扩散层BDR的杂质浓度。从基极扩散层BDR的底部到预先确定深度,形成N型空穴阻挡层HBR。空穴阻挡层HBR被形成为到达沟槽栅极电极TGE和沟槽发射极电极TEE的底部(下端)。其中形成空穴阻挡层HBR的区域被称为有源区域。

[0059] P型浮置扩散层FPR从第一主表面到比沟槽栅极电极TGE的底部部分(下端部分)更深的位置形成在半导体衬底SUB的区域中,并且相对于沟槽栅极电极TGE位于与沟槽发射极电极TEE相对的一侧上。此外,P型浮置扩散层FPR从第一主表面到比沟槽发射极电极TEE的底部部分(下端部分)更深的位置形成在半导体衬底SUB的区域中,并且相对于沟槽发射极电极TEE位于与沟槽栅极电极TGE相对的一侧上。浮置扩散层FPR被称为无源区域。

[0060] 层间绝缘膜CIL被形成为覆盖沟槽栅极电极TGE、沟槽发射极电极TEE、源极扩散层SDR等。共用接触构件CCN(第一接触构件)被形成为穿过层间绝缘膜CIL,并且与沟槽发射极电极TEE、基极扩散层BDR(P+层PPR)、源极扩散层SDR等接触。共用接触构件CCN包括阻挡金属膜BME和钨插塞WPG。

[0061] 在沟槽发射极电极TEE和基极扩散层BDR中,形成在半导体衬底SUB上从第一主表面朝向第二主表面凹进的凹槽RCS。共用接触构件CCN以接触凹槽RCS的方式从第一主表面朝向第二主表面突出。设置沟槽发射极电极TEE和沟槽栅极电极TGE之间的空间L1,以使共用接触构件CCN不接触沟槽栅极电极TGE。

[0062] 发射极电极MEE被形成为与层间绝缘膜CIL的上表面接触。共用接触构件CCN电连接到发射极电极MEE。发射极电极MEE例如由铝膜等形成。

[0063] 另一方面,P型集电极扩散层CDR和N型缓冲层NBR形成在半导体衬底SUB的第二主表面上。作为漂移层的N型区域NSR位于浮置扩散层FPR和缓冲层NBR之间。集电极电极BEL(底面电极)被形成为与半导体衬底SUB的第二主表面上的集电极扩散层CDR接触。

[0064] 接下来,将描述栅极布线引出区域MGR。在栅极布线引出区域MGR中,形成沟槽栅极引出电极TGI(第二沟槽栅极电极)。沟槽栅极引出电极TGI经由沟槽绝缘膜GIF形成在沟槽TRCW(第二沟槽)中。如图2和图3中所示,沟槽栅极引出电极TGI电连接到沟槽栅极电极TGE。沟槽栅极引出电极TGI(沟槽TRCW(第二沟槽))具有第一引出部TGN,第一引出部TGN被设置为与沟槽栅极电极TGE(沟槽TRC(第三沟槽))的宽度相同的第一宽度W1,并且具有第二引出部TGW,第二引出部TGW被设置为大于第一宽度W1的第二宽度W2。

[0065] 栅极引出接触构件GCN被形成为贯穿层间绝缘膜CIL,并且与沟槽栅极引出电极TGI的第二引出部TGW接触。栅极引出接触构件GCN包括阻挡金属膜BME和钨插塞WPG。栅极引出布线MGI被形成为接触层间绝缘膜CIL的上表面。栅极引出接触构件GCN电连接到栅极引出布线MGI。栅极引出布线MGI例如由铝膜等形成。

[0066] 接下来,将描述外围元件区域PDR。在外围元件区域PDR中,布线PIC经由绝缘膜IF

和氧化硅膜HDL形成在半导体衬底SUB的第一主表面上。布线PIC电连接到外围元件(未示出),例如保护二极管或温度感测二极管等。接触构件DCN被形成为穿过层间绝缘膜CIL并且与布线PIC接触。经由接触构件DCN,导电层MPL电连接到形成在层间绝缘膜CIL上的布线PIC。

[0067] 在上述半导体器件SED中,特别地,假设在形成沟槽栅极引出电极TGI时,在多晶硅膜中形成自然氧化膜SSM。在形成自然氧化膜SSM的情况下,执行所需的蚀刻过程,以使自然氧化膜SSM不突出到沟槽栅极引出电极TGI的上表面(多晶硅膜的上表面)之外。

[0068] 接下来,将描述上述半导体器件SED的示例性制造方法。如图4中所示,氧化硅膜SOF1被形成为覆盖半导体衬底SUB的第一主表面。接下来,在形成氧化硅膜SOF1时,注入P型杂质以形成要成为浮置扩散层的P型区域PR。此外,通过注入N型杂质来形成要成为空穴阻挡层的N型区域NR。

[0069] 接下来,然后形成硬掩模(未示出)以形成沟槽。接下来,使用硬掩模作为蚀刻掩模对半导体衬底SUB执行蚀刻过程,从而形成沟槽TRC(第一沟槽、第三沟槽)和沟槽TRCW(第二沟槽)(见图5)。此后,去除硬掩模。结果,如图5中所示,其中形成沟槽TRC和沟槽TRCW的半导体衬底SUB的第一主表面被暴露。沟槽TRCW被形成为具有比沟槽TRC的宽度大的宽度。

[0070] 接下来,执行预先确定的热处理,以使P型区域PR中的P型杂质扩散,从而形成浮置扩散层FPR。此外,使N型区域NR的N型杂质扩散,以便形成空穴阻挡层HBR(见图6)。接下来,如图6中所示,通过执行热氧化处理,在半导体衬底SUB的第一主表面(包括沟槽TRC和沟槽TRCW的内壁表面)上形成绝缘膜IF。

[0071] 接下来,以填充沟槽TRC和沟槽TRCW中的每个沟槽的方式形成多晶硅膜PSF(见图8),以覆盖半导体衬底SUB。这里,在该示例中,多晶硅膜PSF分两步形成以减小晶粒尺寸等。

[0072] 首先,如图7中所示,形成第一层多晶硅膜PS1(第一导电膜)。从成膜设备(未图示)中取出其上形成第一层多晶硅膜PS1的半导体衬底SUB,并且将其暂时暴露在大气中。此时,假设在第一层多晶硅膜PS1的上表面上形成自然氧化膜SSM。接下来,如图8中所示,第二层多晶硅膜PS2(第二导电膜)被形成为覆盖第一层多晶硅膜PS1。

[0073] 因此,形成由第一层多晶硅膜PS1和第二层多晶硅膜PS2两层组成的多晶硅膜PSF。此时,覆盖具有较宽宽度的沟槽TRCW的多晶硅膜PSF的上表面的位置,比覆盖具有较窄宽度的沟槽TRC的多晶硅膜PSF的上表面的位置低。

[0074] 接下来,如图9中所示,蚀刻多晶硅膜PSF的整个表面,以去除多晶硅膜PSF的位于半导体衬底SUB的第一主表面上的部分。此时,形成在第一层多晶硅膜PS1上的自然氧化膜SSM被暴露。此外,如图10中所示,对多晶硅膜PSF执行过蚀刻。结果,留在沟槽TRC和沟槽TRCW中的每个沟槽中的多晶硅膜PSF的上表面低于半导体衬底SUB的第一主表面。

[0075] 此时,在形成多晶硅膜PSF的状态下,覆盖沟槽TRCW的多晶硅膜PSF的位置低于覆盖沟槽TRC的多晶硅膜PSF的位置。因此,在执行整个蚀刻过程之后,留在沟槽TRCW中的多晶硅膜PSF的上表面的位置低于留在沟槽TRC中的多晶硅膜PSF的上表面的位置。自然氧化膜SSM被留下,以从沟槽TRCW中的多晶硅膜PSF的上表面突出。这里,对应于高度(厚度)上的差异的厚度被定义为厚度TK。

[0076] 接下来,如图11中所示,氧化硅膜HDL被形成为覆盖绝缘膜IF。接下来,多晶硅膜PSF2被形成为覆盖氧化硅膜HDL。接下来,通过执行光刻过程,形成用于图案化布线的光致

抗蚀剂图案PHR1。

[0077] 接下来,如图12中所示,通过使用光致抗蚀剂图案PHR1作为蚀刻掩模,对多晶硅膜PSF2执行蚀刻过程来形成布线PIC。接下来,如图13中所示,使用光致抗蚀剂图案PHR1作为蚀刻掩模,对氧化硅膜HDL执行蚀刻过程,并且此外,对绝缘膜IF执行蚀刻过程,以去除氧化硅膜HDL位于半导体衬底SUB的第一主表面上的部分和绝缘膜IF的部分。此时,从多晶硅膜PSF的上表面突出的自然氧化膜SSM也与绝缘膜IF一起被去除。此后,去除光致抗蚀剂图案PHR1。

[0078] 结果,沟槽发射极电极TEE(第一沟槽电极)被形成,沟槽绝缘膜EIF(绝缘膜IF)插入在沟槽TRC中。并且沟槽栅极电极TGE(第三沟槽电极)被形成,沟槽绝缘膜GIF(绝缘膜IF)插入在沟槽TRC中。并且沟槽栅极引出电极TGI(第二沟槽电极)被形成,沟槽绝缘膜GIF(绝缘膜IF)插入在沟槽TRCW中。

[0079] 接下来,如图14中所示,氧化硅膜SOF2被形成为覆盖半导体衬底SUB的第一主表面。接下来,通过执行预先确定的光刻过程,来形成用于形成源极扩散层和基极扩散层的光致抗蚀剂图案(未示出)。接下来,使用光致抗蚀剂图案作为注入掩模来注入P型杂质。此外,注入N型杂质。此后,去除光致抗蚀剂图案。

[0080] 结果,源极扩散层SDR和基极扩散层BDR被形成在半导体衬底SUB的位于沟槽发射极电极TEE和沟槽栅极电极TGE之间的区域(第一区域)中。从第一主表面到预先确定深度,形成源极扩散层SDR。在比基极扩散层BDR的底部更深的位置之上形成基极扩散层BDR。此后,去除氧化硅膜SOF2。

[0081] 接下来,层间绝缘膜CIL被形成为覆盖半导体衬底SUB的第一主表面(见图15)。例如,形成PSG膜(磷硅酸盐玻璃)作为层间绝缘膜CIL。接下来,通过执行预先确定的光刻过程,在层间绝缘膜CIL中形成用于形成接触开口的光致抗蚀剂图案PHR2(见图15)。

[0082] 接下来,如图15中所示,使用光致抗蚀剂图案PHR2作为蚀刻掩模,对层间绝缘膜CIL执行蚀刻过程。通过该蚀刻过程,同时形成接触开口CH1(第一接触开口)、接触开口CH2(第二接触开口)和接触开口CH3(第四接触开口)。

[0083] 这里,由于开口深度相对于接触开口的开口宽度较大并且深宽比(开口深度DC相对于开口宽度WC)较高(1.4至2.5),因此应用各向异性干法蚀刻过程作为蚀刻过程。在该各向异性干法蚀刻中,设置条件,使得层间绝缘膜CIL(绝缘膜EIF)的蚀刻速率相对于半导体衬底SUB(沟槽发射极电极TEE)的蚀刻速率的蚀刻选择性较高。通过该各向异性蚀刻过程,接触开口CH1等被形成为锥形。

[0084] 此外,如上所述,形成在沟槽TRCW中的沟槽栅极引出电极TGI(多晶硅膜PSF)的上表面的位置比形成在沟槽TRC中的沟槽发射极电极TEE(多晶硅膜PSF)的上表面的位置低厚度TK。

[0085] 因此,在该各向异性干法蚀刻中,当沟槽发射极电极TEE的上表面被暴露时,沟槽栅极引出电极TGI仍覆盖有厚度TK的层间绝缘膜CIL。然后,在沟槽发射极电极TEE被暴露之后,插入在沟槽发射极电极TEE和基极扩散层BDR(半导体衬底SUB)之间的沟槽绝缘膜EIF也被蚀刻,直到沟槽栅极引出电极TGI被暴露。结果,沟槽绝缘膜EIF的上表面后退,并且基极扩散层BDR的暴露区域被加宽。此后,去除光致抗蚀剂图案PHR2。

[0086] 接下来,如图16中所示,分别对在接触开口CH1、CH2和CH3的底部处暴露的部分执

行各向异性干法蚀刻过程(第一蚀刻过程)。

[0087] 通过对暴露沟槽发射极电极TEE、基极扩散层BDR和源极扩散层SDR的接触开口CH1底部的各向异性干法蚀刻过程,沟槽发射极电极TEE的上表面的部分和基极扩散层BDR的上表面的部分在半导体衬底的厚度方向上凹进。此时,由于沟槽发射极电极TEE的上表面最初位于低于半导体衬底SUB的第一主表面(基极扩散层BDR的上表面)的位置,因此沟槽发射极电极TEE的凹进上表面被定位成比基极扩散层BDR的上表面低。

[0088] 并且,通过对暴露沟槽栅极引出电极TGI的接触开口CH2的底部的各向异性干法蚀刻过程,使沟槽栅极引出电极TGI的上表面的部分后退。此外,通过对暴露布线PIC的接触开口CH3的底部的各向异性干法蚀刻过程,使布线PIC的上表面的部分后退。

[0089] 由于该各向异性干法蚀刻,沟槽绝缘膜EIF的部分、硅(半导体衬底SUB、多晶硅)的部分等作为残留物RES残留在接触开口CH1的底部。此外,由于沟槽栅极引出电极TGI的暴露上表面在接触开口CH2的底部处凹进,因此自然氧化膜SSM作为残留物RES被暴露。

[0090] 接下来,如图17中所示,对接触开口CH1、接触开口CH2等底部的暴露部分(这些是通过各向异性干法蚀刻处理的部分)执行附加蚀刻过程(第二蚀刻过程)。这里,执行使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻过程作为蚀刻过程(第二蚀刻过程)。通过该各向同性干法蚀刻过程,去除在接触开口CH2的底部处被暴露为残留物RES的自然氧化膜SSM。此外,去除在接触开口CH1的底部处的残留物RES以形成凹槽RCS。

[0091] 接下来,如图18中所示,通过接触开口CH1至CH3,注入P型杂质。此时,在接触开口CH1的底部(凹槽RCS)处暴露的基极扩散层BDR上,形成杂质浓度比基极扩散层BDR的杂质浓度高的P+层PPR。结果,共享接触构件CCN和P+层PPR(基极扩散层BDR)之间的接触电阻减小。

[0092] 另一方面,在接触开口CH1的底部处,P型杂质也被注入到在凹槽RCS中暴露的源极扩散层SDR的侧面中。因此,共享接触构件CCN与其接触的源极扩散层SDR的N型杂质可以被P+型杂质中和,并且源极扩散层SDR和共享接触构件CCN之间的接触电阻率可能增加。

[0093] 然后,如图19中所示,对层间绝缘膜CIL执行湿法蚀刻过程,以加宽接触开口CH1等的开口面积。通过使接触开口CH1的开口加宽,使得未被注入P型杂质PM的源极扩散层SDR的上表面被暴露。因此,共享接触构件CCN和源极扩散层SDR之间的接触电阻减小。

[0094] 接下来,如图20中所示,阻挡金属膜BME被形成为覆盖层间绝缘膜CIL,包括覆盖接触开口CH1至CH3的内壁表面。例如,形成氮化钛(TiN)和钛(Ti)的层叠膜,作为阻挡金属膜BME。接下来,钨膜WF被形成为覆盖阻挡金属膜BME。接下来,通过对钨膜WF等执行整体回蚀刻过程,去除位于层间绝缘膜CIL的上表面上的钨膜WF和阻挡金属膜BME。

[0095] 结果,如图21中所示,共用接触构件CCN由留在接触开口CH1中的钨膜WF和阻挡金属膜BME形成。栅极引出接触构件GCN由留在接触开口CH2中的钨膜WF和阻挡金属膜BME形成。接触构件DCN由留在接触开口CH3中的钨膜WF和阻挡金属膜BME形成。

[0096] 此后,铝膜(未示出)被形成为覆盖层间绝缘膜CIL,并且该铝膜被图案化以形成发射极电极MEE、栅极引出布线MGI、栅极电极MGE等(见图3等)。接下来,在半导体衬底SUB的第二主表面上形成N型缓冲层NBR和P型集电极扩散层CDR。此外,形成集电极电极BEL(底面电极)以完成半导体器件SED。

[0097] 接下来,将描述上述半导体器件SED的操作。首先,当绝缘栅极双极晶体管被导通时,等于或高于阈值电压的电压被施加到栅极电极MGE。结果,电子通过沟道从源极扩散层

SDR被注入到半导体衬底SUB中的N型区域NSR(漂移层)中,并且N型区域NSR和集电极扩散层CDR之间的PN结被正向偏置,使得空穴从集电极扩散层CDR被注入到N型区域NSR中。

[0098] 注入的空穴被P型浮置扩散层FPR阻止向源极扩散层SDR(发射极)逃逸,并且空穴累积在N型区域NSR和浮置扩散层FPR中,从而增加了空穴的浓度。当N型区域NSR等中的空穴的浓度增加时,来自源极扩散层SDR的电子注入被促进,并且电子的浓度也增加。以该方式,N型区域NSR等中的载流子的浓度增加,使得导电性被调制并且导通。

[0099] 接下来,当绝缘栅极双极晶体管被关断时,低于阈值电压的电压被施加到栅极电极MGE。这使得沟道消失。通过形成在沟槽发射极电极TEE上的寄生P沟道MOSFET(浮置扩散层FPR、发射极电位的沟槽发射极电极TEE、基极扩散层BDR等),累积在N型区域NSR等中的载流子(空穴)被释放到发射极电极MEE,并且关断。

[0100] 在上述半导体器件SED中,在形成多晶硅膜PSF时,分两步形成多晶硅膜PSF以减小晶粒尺寸。此时,假设在第一层多晶硅膜PS1的上表面上形成自然氧化膜SSM。第二层多晶硅膜PS2被形成为覆盖自然氧化膜SSM。

[0101] 因此,在形成多晶硅膜PSF之后的步骤中,在第一层多晶硅膜PS1和第二层多晶硅膜PS2之间插入有自然氧化膜SSM的情况下,在每个步骤中,顺序地对半导体衬底SUB进行处理。

[0102] 在蚀刻多晶硅膜PSF的整个表面之后,自然氧化膜SSM从多晶硅膜PSF的表面突出(见图9和图10)。在去除氧化硅膜HDL和绝缘膜IF时,去除从多晶硅膜PSF的上表面突出的自然氧化膜SSM(见图13)。

[0103] 在形成接触开口CH2之后,去除了突出自然氧化膜SSM的多晶硅膜PSF的上表面在接触开口CH2的底部中被暴露。在接触开口CH2的底部处暴露的多晶硅膜PSF的上表面上,当通过各向异性蚀刻过程使沟槽栅极引出电极TGI(多晶硅膜PSF)的上表面后退时,突出的自然氧化膜SSM再次被暴露(见图16)。

[0104] 最终,通过使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻,去除从沟槽栅极引出电极TGI(多晶硅膜PSF)的上表面暴露的突出自然氧化膜SSM(图18)。通过去除突出的自然氧化膜SSM,自然氧化膜SSM不再位于沟槽栅极引出电极TGI的上表面之上。

[0105] 由此,如图21(图3)中所示,栅极引出接触构件GCN与沟槽栅极引出电极TGI接触良好。结果,可以抑制沟槽栅极引出电极TGI和栅极引出接触构件GCN之间的接触电阻的增加。

[0106] 此外,在上述制造半导体器件的方法中,暴露多晶硅膜PSF的上表面的接触开口CH2与其他接触开口CH1和CH3同时形成。因此,可以防止用于形成接触开口CH1至CH3的步骤数目的增加。

[0107] 此外,在形成接触开口CH1至CH3时、在沟槽发射极电极TEE在接触开口CH1的底部处被暴露之后,直到沟槽栅极引出电极TGI在接触开口CH2的底部处被暴露为止,插入在沟槽发射极电极TEE和基极扩散层BDR之间的沟槽绝缘膜EIF也同时被蚀刻,并且沟槽绝缘膜EIF的上表面被凹进。

[0108] 由此,基极扩散层BDR的暴露面积被扩大,共用接触构件CCN和基极扩散层BDR之间的接触面积增加,并且共用接触构件CCN和基极扩散层BDR之间的接触电阻减小。结果,可以在形成接触开口CH1至CH3的步骤中实现低接触电阻,而无需单独添加用于扩大接触面积的步骤,这可以有助于制造成本的减少。

[0109] 在上述制造半导体器件的方法中,在分两步形成多晶硅膜PSF的情况下,自然氧化膜SSM形成在第一层多晶硅膜PS1的表面上的情况作为示例被提及和说明。

[0110] 作为多晶硅膜PSF的形成,可以通过一次成膜来形成多晶硅膜PSF。即使在这种情况下,也假设自然氧化膜形成在多晶硅膜PSF的表面上。图22、图23和图24以时间序列示出了多晶硅膜PSF如何被沉积在沟槽TRCW中。

[0111] 如图22、图23和图24中所示,多晶硅膜PSF从沟槽TRCW的彼此面对的一个侧壁表面和另一个侧壁表面朝向沟槽TRCW的中心逐渐沉积。因此,当沟槽TRCW填充有多晶硅膜PSF时,位于沟槽TRCW的中心的多晶硅膜PSF具有分子间键合较弱的缝SL。由于大气中的氧扩散到缝SL中,形成了自然氧化膜SSM。

[0112] 如上所述,即使自然氧化膜SSM形成在多晶硅膜PSF的缝SL中,与分两步形成多晶硅膜PSF的情况相同,最终也通过使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻过程,将自然氧化膜SSM去除。

[0113] 此外,对于多晶硅膜PSF的形成,为了改进嵌入性质,可以在多晶硅膜PSF的形成期间对多晶硅膜PSF的整个表面执行回蚀刻过程。即使在这种情况下,也假设自然氧化膜形成在多晶硅膜PSF的表面上。图25、图26和图27以时间序列示出了多晶硅膜PSF如何被沉积在沟槽TRCW中。

[0114] 如图25中所示,在多晶硅膜PSF形成到一半之后,多晶硅膜PSF的整个表面被回蚀刻,如图26中所示。接下来,如图27中所示,多晶硅膜PSF进一步被形成为覆盖执行了回蚀刻过程的多晶硅膜PSF。

[0115] 在该多晶硅膜PSF形成中,假设自然氧化膜SSM形成在执行了整体回蚀刻过程的多晶硅膜PSF与覆盖该回蚀刻多晶硅膜PSF的多晶硅膜PSF的界面处。

[0116] 如上所述,即使自然氧化膜SSM形成在多晶硅膜PSF和多晶硅膜PSF之间的界面处,与分两步形成多晶硅膜PSF的情况相同,最终也通过使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻过程,将自然氧化膜SSM去除。

[0117] (第二实施例)

[0118] 这里,将描述示例性GGEE型半导体器件。GGEE型半导体器件被应用于需要稳定操作的应用。首先,将描述单元区域CER。如图28和图29中所示,一个沟槽发射极电极TEE(第一沟槽电极)和另一个沟槽发射极电极TEE(第四沟槽电极)被定位成在第一方向上彼此间隔开。该一个沟槽发射极电极TEE和另一个沟槽发射极电极TEE之间的距离是空间L2。该一个沟槽发射极电极TEE和另一个沟槽发射极电极TEE分别在第一方向交叉的第二方向上延伸。

[0119] 一个沟槽栅极电极TGE(第五沟槽电极)和另一个沟槽栅极电极TGE(第六沟槽电极)被定位成在第一方向上间隔开。该一个沟槽栅极电极TGE和另一个沟槽栅极电极TGE之间的距离是空间L3。该一个沟槽栅极电极TGE和另一个沟槽栅极电极TGE均在第一方向交叉的第二方向上延伸。

[0120] 此外,在第一方向上,该一个沟槽发射极电极TEE和另一个沟槽发射极电极TEE与该一个沟槽栅极电极TGE和另一个沟槽栅极电极TGE间隔开。

[0121] 在位于该一个沟槽发射极电极TEE和另一个沟槽发射极电极TEE之间的半导体衬底SUB的区域(第一区域)中,在距第一主表面预先确定深度之上形成P型基极扩散层BDR。在

基极扩散层BDR中,形成具有更高P型杂质浓度的P+层PPR。

[0122] 在位于该一个沟槽栅极电极TGE和另一个沟槽栅极电极TGE之间的半导体衬底SUB的区域(第二区域)中,在距第一主表面预先确定深度之上形成N型源极扩散层SDR。从源极扩散层SDR的底部到预先确定深度形成基极扩散层BDR。

[0123] 层间绝缘膜CIL被形成为覆盖半导体衬底SUB的第一主表面。共用接触构件CCN、栅极接触构件GDC和栅极引出接触构件GCN被形成为贯穿层间绝缘膜CIL。由于其他配置与图2和图3中图示的半导体器件SED的那些配置相同,因此相同的构件由相同的附图标记表示,并且除非另有要求,否则不再重复其说明。

[0124] 在上述半导体器件SED中,特别地,假设在形成沟槽栅极引出电极TGI时,在多晶硅膜中形成自然氧化膜SSM。在形成自然氧化膜SSM的情况下,执行所需的蚀刻过程,以使自然氧化膜SSM不突出到沟槽栅极引出电极TGI的上表面(多晶硅膜的上表面)之外。

[0125] 接下来,将描述上述半导体器件SED的示例性制造方法。仅沟槽栅极电极TGE(沟槽TRC)和沟槽发射极电极TEE(沟槽TRC)的布置图案与第一实施例中描述的半导体器件SED中的沟槽栅极电极TGE和沟槽发射极电极TEE的布置图案不同,第二实施例中的半导体器件SED通过与第一实施例中的半导体器件SED的制造方法基本相同的制造方法制造。

[0126] 在与图4至图13中所示的那些步骤基本相同的步骤之后,氧化硅膜SOF2被形成为覆盖半导体衬底SUB的第一主表面,如图30中所示。接下来,通过执行预先确定的光刻过程,形成用于形成基极扩散层BDR的光致抗蚀剂图案(未示出)。接下来,通过使用光致抗蚀剂图案作为注入掩模,注入P型杂质来形成基极扩散层BDR。

[0127] 接下来,在去除光致抗蚀剂图案之后,执行预先确定的光刻过程,以形成用于形成源极扩散层SDR的光致抗蚀剂图案(未示出)。接下来,通过使用光致抗蚀剂图案作为注入掩模,注入N型杂质来形成源极扩散层SDR。此后,去除光致抗蚀剂图案。

[0128] 结果,在位于彼此相邻的一个沟槽发射极电极TEE和另一个沟槽发射极电极TEE之间的半导体衬底SUB的区域(第一区域)中,形成基极扩散层BDR。此外,在位于彼此相邻的一个沟槽栅极电极TGE和另一个沟槽栅极电极TGE之间的半导体衬底SUB的区域(第二区域)中,形成基极扩散层BDR和源极扩散层SDR。此后,去除氧化硅膜SOF2。

[0129] 接下来,层间绝缘膜CIL被形成为覆盖半导体衬底SUB的第一主表面(见图31)。接下来,通过执行预先确定的光刻过程,在层间绝缘膜CIL中形成用于形成接触开口的光致抗蚀剂图案PHR2。接下来,如图31中所示,使用光致抗蚀剂图案PHR2作为蚀刻掩模,对层间绝缘膜CIL执行蚀刻过程。通过该蚀刻过程,同时形成接触开口CH1(第一接触开口)、接触开口CH2(第二接触开口)、接触开口CH3(第四接触开口)和接触开口CH4(第三接触开口)。

[0130] 此时,如针对图15中图示的步骤所描述的,由于深宽比(开口深度DC相对于开口宽度WC)较高(1.4至2.5),因此应用各向异性干法蚀刻过程作为蚀刻过程。通过该各向异性蚀刻过程,接触开口CH1等被形成为锥形。此外,由于沟槽栅极引出电极TGI(多晶硅膜PSF)的上表面的位置比沟槽发射极电极TEE(多晶硅膜PSF)的上表面的位置低厚度TK,因此在蚀刻对应于厚度TK的部分期间,沟槽绝缘膜EIF的上表面被降低(凹进),并且基极扩散层BDR的暴露区域被扩大。此后,去除光致抗蚀剂图案PHR2。

[0131] 接下来,如图16中所示的步骤中一样,执行各向异性干法蚀刻过程。结果,如图25中所示,在接触开口CH1的底部处暴露的沟槽发射极电极TEE的上表面后退,并且基极扩散

层BDR的上表面后退。在接触开口CH2的底部处暴露的沟槽栅极引出电极TGI的上表面后退。此时,在接触开口CH4的底部处的源极扩散层SDR被蚀刻,并且基极扩散层BDR也被暴露。在接触开口CH3的底部处暴露的布线PIC的上表面后退。

[0132] 由于该各向异性干法蚀刻,沟槽绝缘膜EIF的部分、硅(半导体衬底SUB、多晶硅)的部分等作为残留物RES残留在接触开口CH1的底部处。此外,由于沟槽栅极引出电极TGI的暴露上表面在接触开口CH2的底部处被凹进,因此自然氧化膜SSM作为残留物RES被暴露。

[0133] 这里,使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻过程被执行作为蚀刻过程(第二蚀刻过程)。结果,如图33中所示,通过该各向同性干法蚀刻过程,在接触开口CH2的底部处作为残留物RES被暴露的自然氧化膜SSM被去除。此外,在接触开口CH1的底部处的残留物RES被去除以形成凹槽RCS。

[0134] 接下来,通过接触开口CH1至CH4注入P型杂质。此时,P<sup>+</sup>层PPR形成在暴露于接触开口CH1的底部处的基极扩散层BDR上。并且P<sup>+</sup>层PPR形成在暴露于接触开口CH4的底部处的基极扩散层BDR上。

[0135] 接下来,如与图19中所示的步骤中相同的,对层间绝缘膜CIL执行湿法蚀刻过程。由此,如图34中所示,接触开口CH1和接触开口CH4的开口宽度被加宽,使得未被注入P型杂质PM的源极扩散层SDR的上表面被暴露。

[0136] 接下来,与图20中所示的步骤类似,如图35中所示,阻挡金属膜BME被形成为覆盖层间绝缘膜CIL,包括覆盖接触开口CH1至CH4的内壁表面。接下来,钨膜WF被形成为覆盖阻挡金属膜BME。接下来,通过对钨膜WF等执行整体回蚀刻过程,去除位于层间绝缘膜CIL的上表面上的钨膜WF和阻挡金属膜BME。

[0137] 结果,如图36中所示,共用接触构件CCN形成在接触开口CH1中。栅极引出接触构件GCN形成在接触开口CH2中。接触构件DCN形成在接触开口CH3中。栅极接触构件GDC形成在接触开口CH4中。此后,通过形成发射极电极MEE、栅极引出布线MGI、栅极电极MGE等完成半导体器件SED。

[0138] 在上述半导体器件SED中,假设自然氧化膜SSM形成在多晶硅膜PS1的表面上,并且自然氧化膜SSM插入在多晶硅膜PS1和多晶硅膜PS2之间。在该情况下,当沟槽栅极引出电极TGI的上表面被凹进时,假设自然氧化膜SSM从沟槽栅极引出电极TG的上表面突出。

[0139] 在上述半导体器件SED的制造方法中,最终通过使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻,去除了从沟槽栅极引出电极TGI(多晶硅膜PSF)的上表面暴露的突出自然氧化膜SSM(图33)。通过去除突出的自然氧化膜SSM,自然氧化膜SSM不再位于沟槽栅极引出电极TGI的上表面之上。

[0140] 由此,如图36(图29)中所示,栅极引出接触构件GCN与沟槽栅极引出电极TGI接触良好。结果,可以抑制沟槽栅极引出电极TGI和栅极引出接触构件GCN之间的接触电阻的增加。

[0141] 此外,在上述制造半导体器件的方法中,接触开口CH2与其他接触开口CH1、CH3和CH4同时形成。因此,可以防止用于形成接触开口CH1至CH4的步骤数目的增加。

[0142] 此外,在形成接触开口CH1至CH4时、在沟槽发射极电极TEE在接触开口CH1的底部处被暴露之后,直到沟槽栅极引出电极TGI在接触开口CH2的底部处被暴露为止,插入在沟槽发射极电极TEE和基极扩散层BDR之间的沟槽绝缘膜EIF也同时被蚀刻,并且沟槽绝缘膜

EIF的上表面被凹进。

[0143] 由此,基极扩散层BDR的暴露面积被扩大,共用接触构件CCN和基极扩散层BDR之间的接触面积增加,并且共用接触构件CCN和基极扩散层BDR之间的接触电阻减小。结果,可以在形成接触开口CH1至CH4的步骤中实现低接触电阻,而无需单独添加用于扩大接触面积的步骤,这可以有助于制造成本的减少。

[0144] 注意,即使当由于在多晶硅膜PSF中形成缝而形成自然氧化膜SSM时(见图23至25),最终也通过使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻过程,将突出的自然氧化膜SSM去除。

[0145] 此外,即使当由于多晶硅膜PSF被回蚀刻而形成自然氧化膜SSM时(见图26至28),最终也通过使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻过程,将突出的自然氧化膜SSM去除。

[0146] (第三实施例)

[0147] 这里,将描述示例性EGE型半导体器件。EGE型半导体器件SED被应用于需要高速度的应用。如图37中所示,在单元区域CER中,形成一个沟槽发射极电极TEE(第一沟槽电极)、沟槽栅极电极TGE(第三沟槽电极)和另一个沟槽发射极电极TEE。

[0148] 一个沟槽发射极电极TEE、沟槽栅极电极TGE和另一个沟槽发射极电极TEE以沟槽栅极电极TGE形成在一个沟槽发射极电极TEE与另一个沟槽发射极电极TEE之间的方式被定位在距彼此一定距离(空间L1)处。由于其他配置与图2和图3中所示的半导体器件SED的那些配置相同,因此相同的构件由相同的附图标记表示,并且除非另有要求,否则不再重复其说明。

[0149] 在上述半导体器件SED中,特别地,假设在形成沟槽栅极引出电极TGI时,在多晶硅膜的顶表面上形成自然氧化膜SSM。在形成自然氧化膜SSM的情况下,执行所需的蚀刻处理,以使自然氧化膜SSM不突出到沟槽栅极引出电极TGI的上表面(多晶硅膜的上表面)之外。

[0150] 接下来,将描述上述半导体器件SED的制造方法。仅沟槽栅极电极TGE(沟槽TRC)和沟槽发射极电极TEE(沟槽TRC)的布置图案与图3等中所示的半导体器件SED中的沟槽栅极电极TGE和沟槽发射极电极TEE的布置图案不同,并且半导体器件SED通过与第一实施例中描述的半导体器件SED的制造方法基本相同的制造方法制造。

[0151] 在上述半导体器件SED中,假设自然氧化膜SSM形成在多晶硅膜PSF中,并且自然氧化膜SSM从沟槽栅极引出电极TGI的上表面突出。在该情况下,与第一实施例中描述的相同,最终通过使用包含CF<sub>4</sub>气体的各向同性干法蚀刻,将从沟槽栅极引出电极TGI(多晶硅膜PSF)的上表面暴露的突出自然氧化膜SSM去除(图17)。通过去除突出的自然氧化膜SSM,自然氧化膜SSM不再位于沟槽栅极引出电极TGI的上表面之上。

[0152] 由此,如图37中所示,栅极引出接触构件GCN与沟槽栅极引出电极TGI接触良好。结果,可以抑制沟槽栅极引出电极TGI和栅极引出接触构件GCN之间的接触电阻的增加。

[0153] 注意,在每个实施例中,已经描述了沟槽栅极引出电极TGI等由作为导电膜的多晶硅膜PSF形成的情况。导电膜不限于多晶硅膜PSF,只要是其上形成有自然氧化膜的导电膜,就可以通过应用上述方法来抑制接触电阻的增加。

[0154] 此外,虽然已经描述了去除作为残留物的自然氧化膜SSM的情况,但也可以去除例如粘附在沟槽栅极引出电极TGI等的上表面的氧化物或硅等的颗粒。此外,虽然描述了通过

使用包含CF<sub>4</sub>气体的气体的各向同性干法蚀刻去除自然氧化膜SSM的情况,但不限于包含CF<sub>4</sub>气体的气体,只要可以去除自然氧化膜SSM即可。

[0155] 根据需要,可以对实施例中描述的半导体器件及其制造方法进行各种组合。根据该组合的权利要求的从属也被预期。

[0156] 虽然已经基于实施例对本发明人做出的发明进行了具体描述,但本发明不限于上述实施例,并且不用说,在不脱离其要旨的情况下,可以进行各种修改。

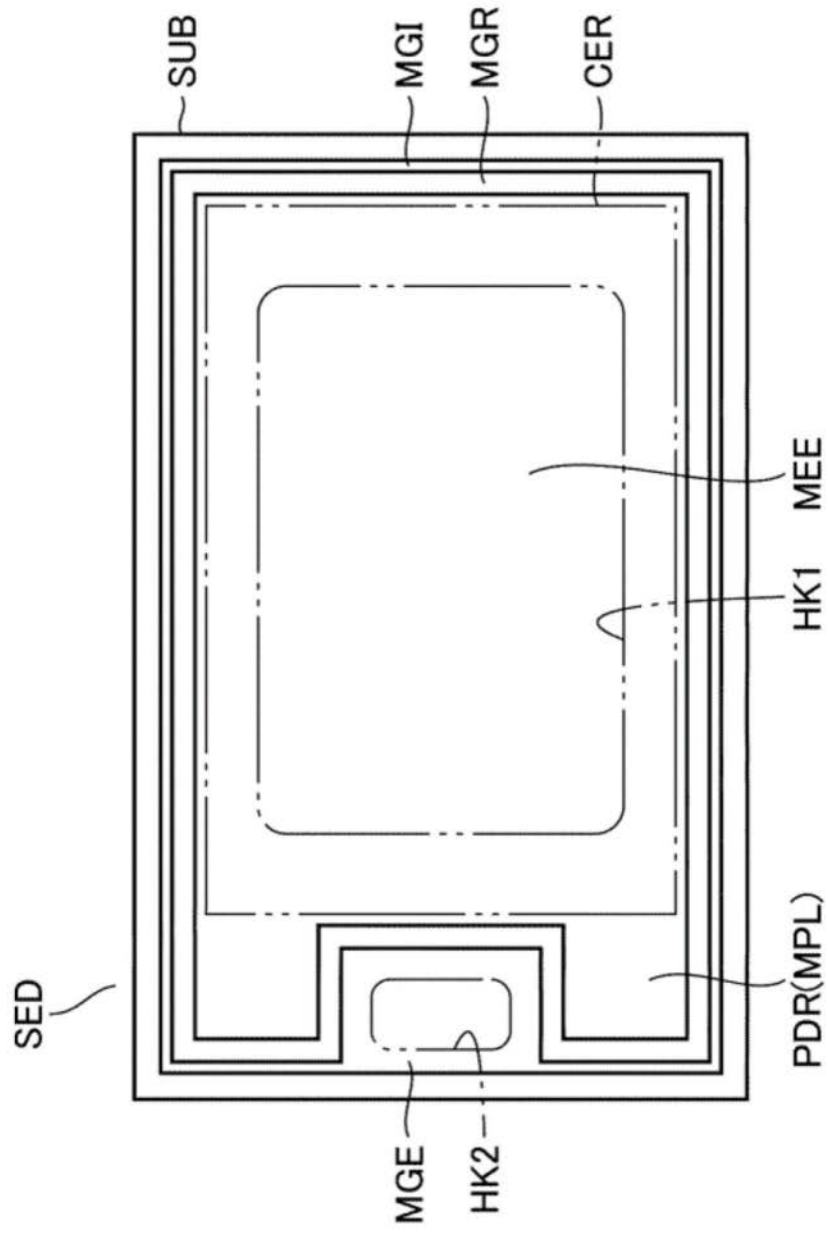


图1

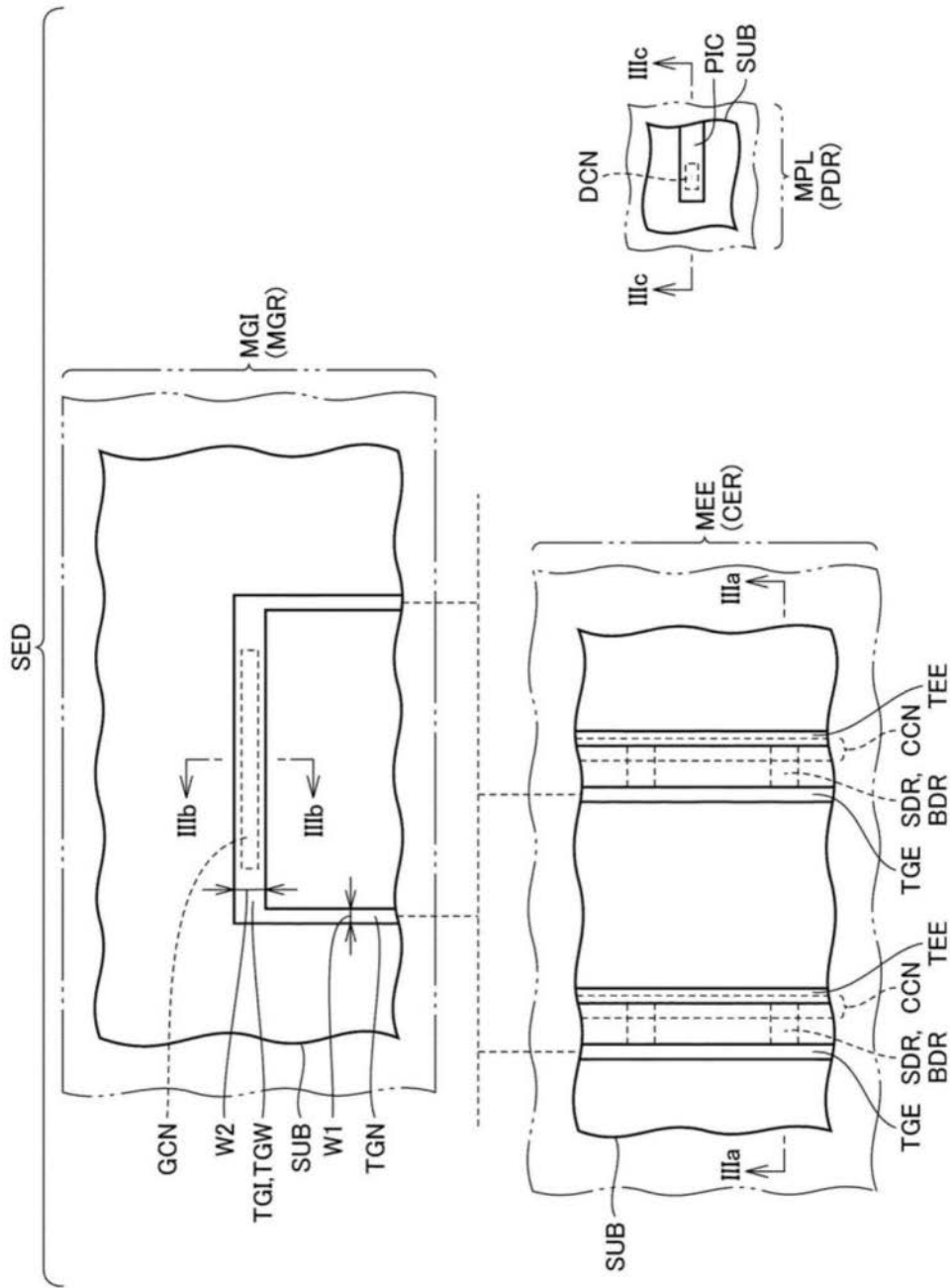


图2

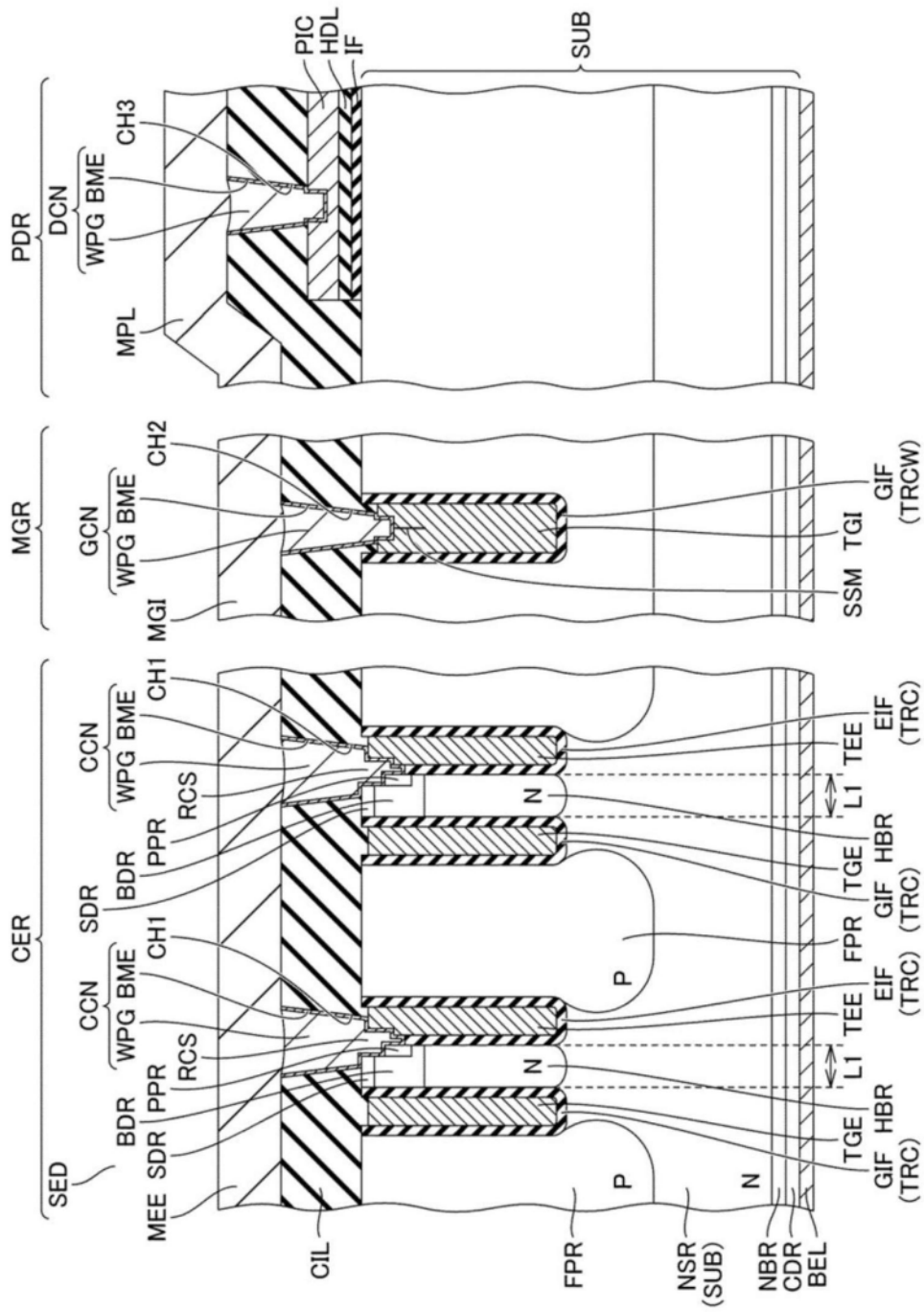


图3

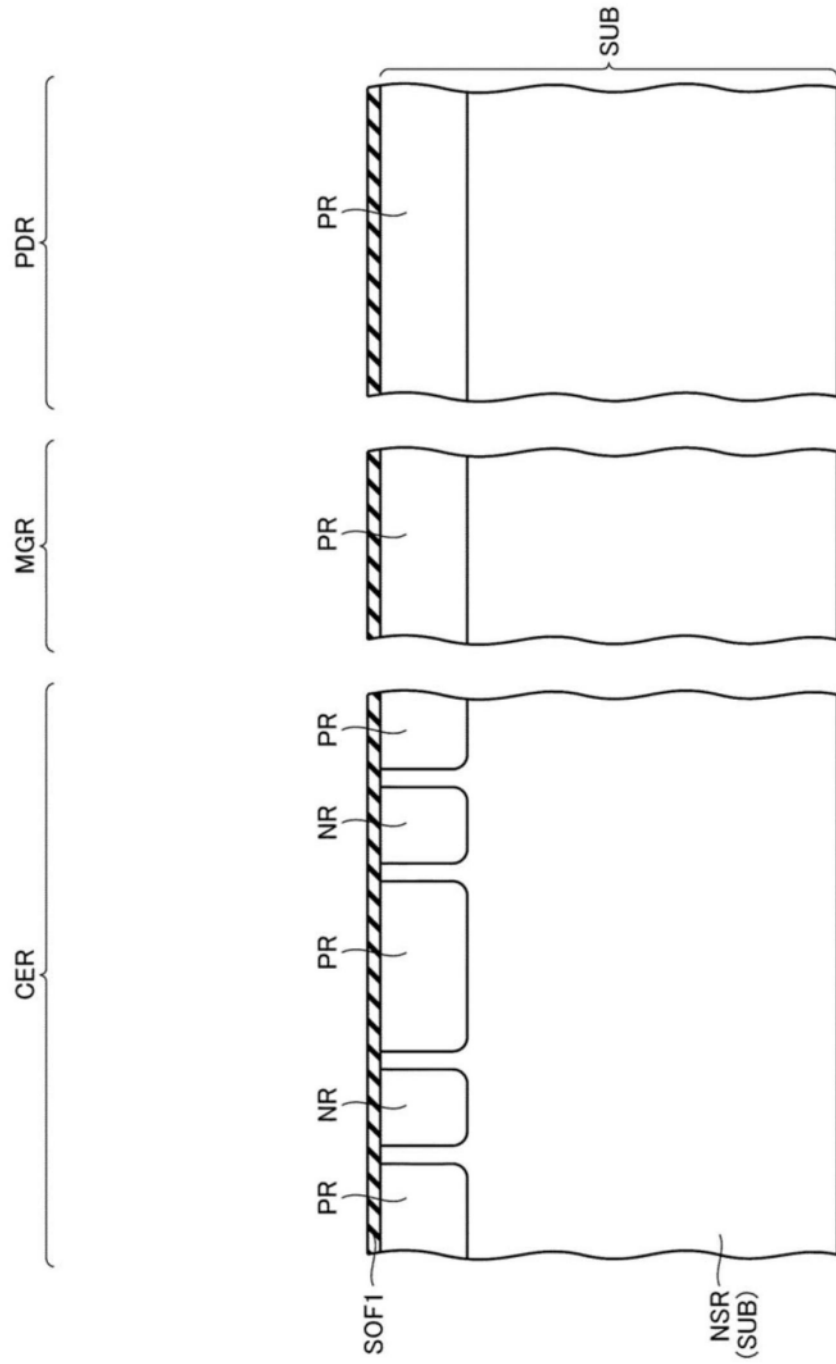


图4

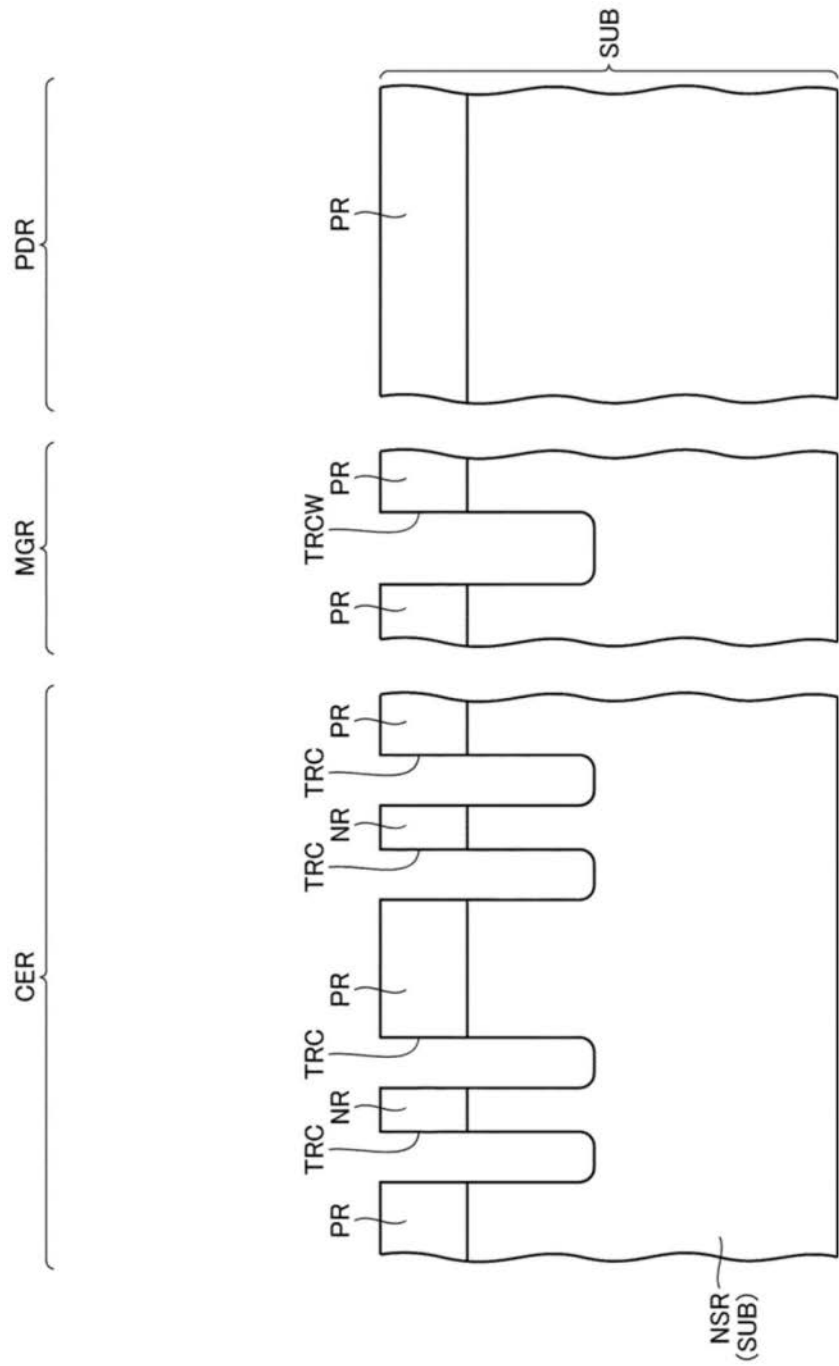


图5

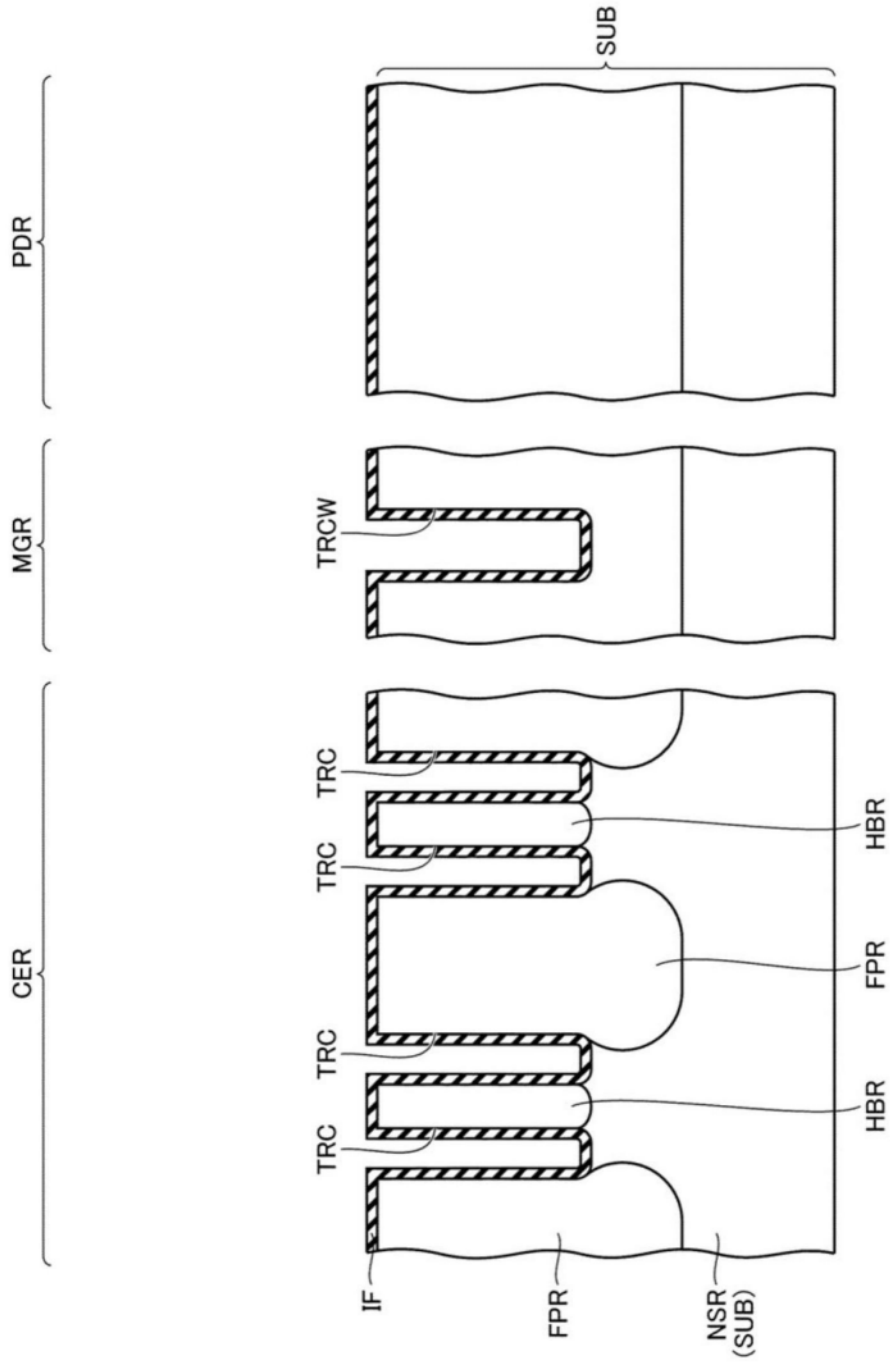


图6

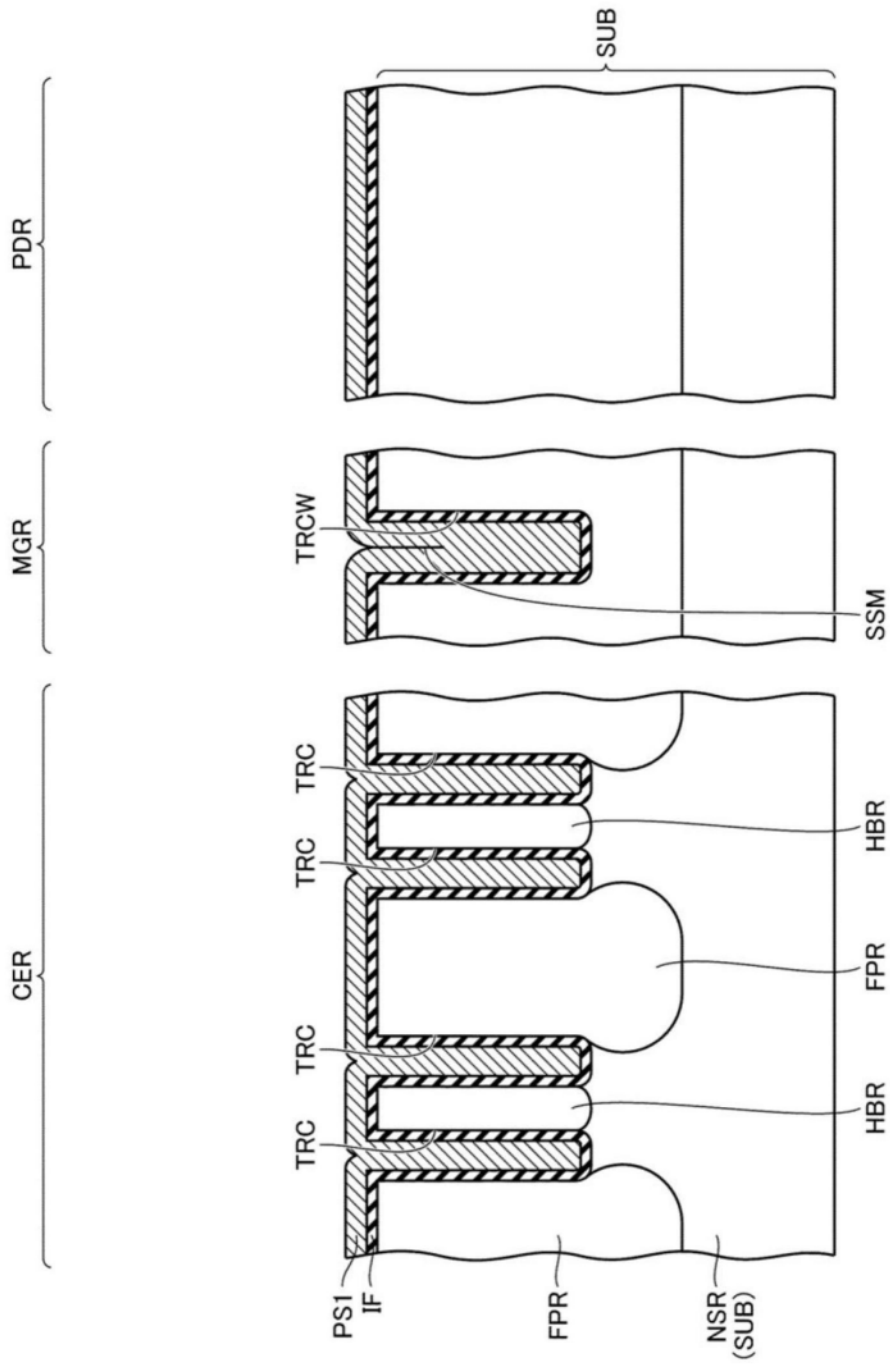


图7

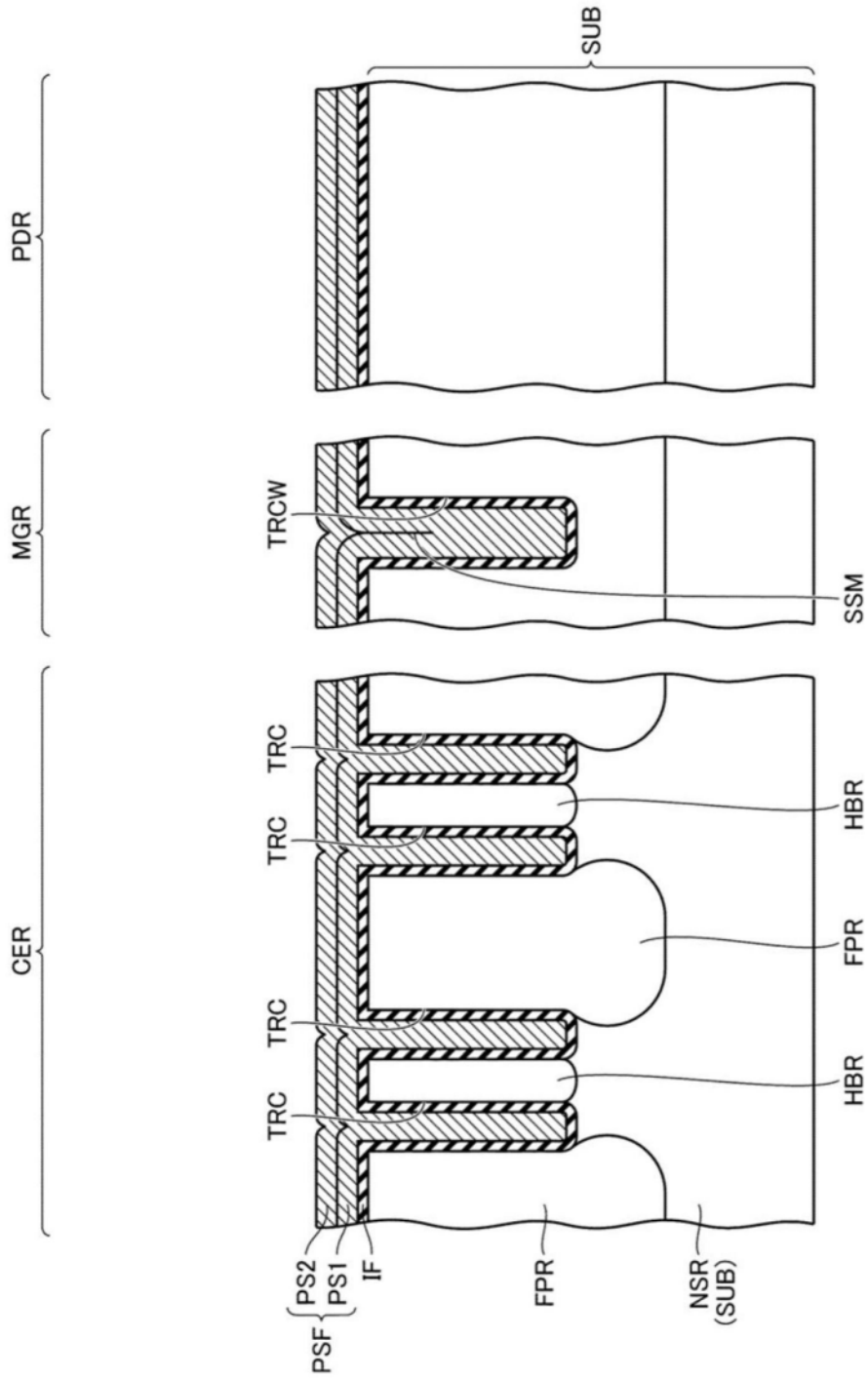


图8

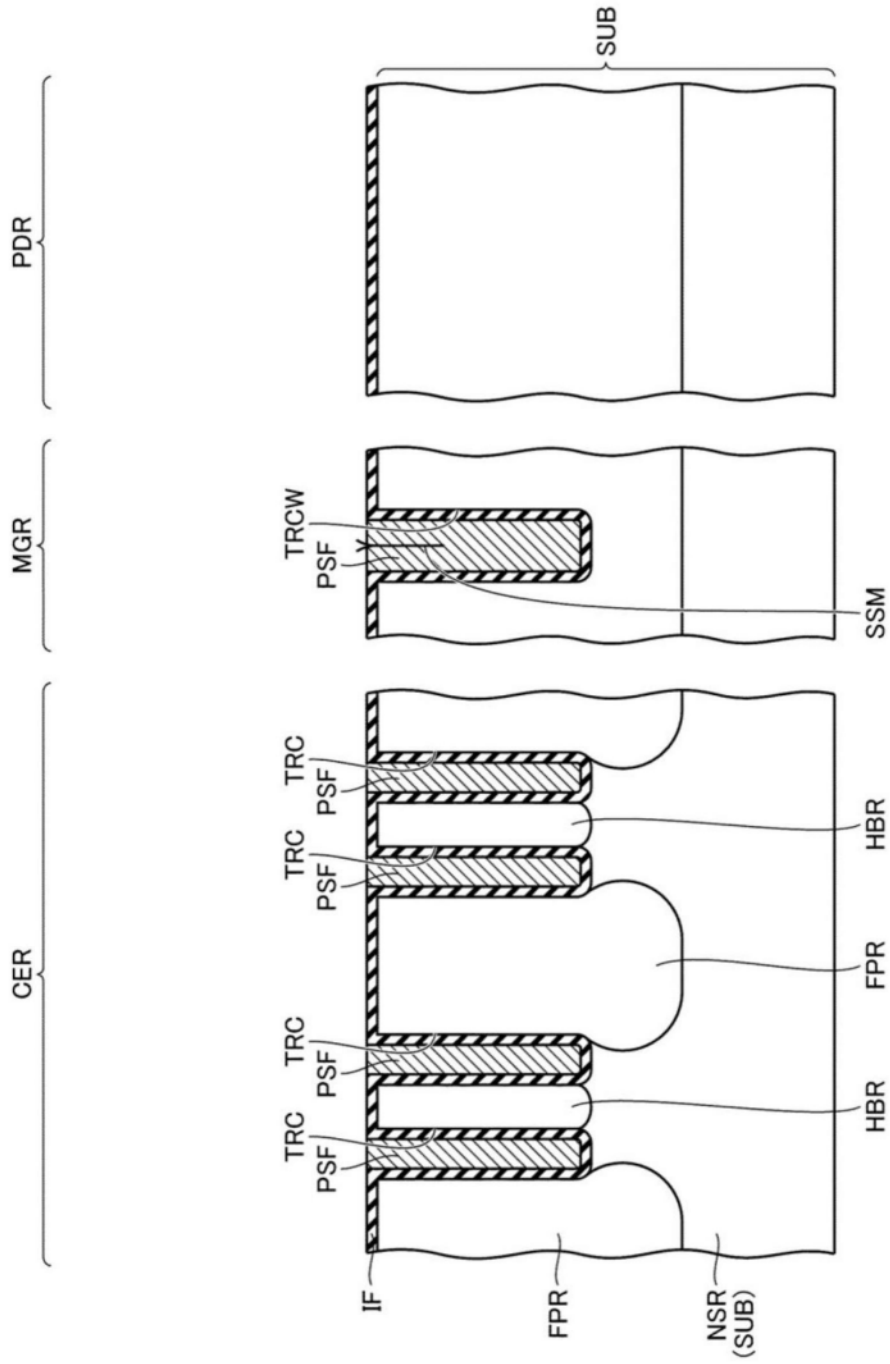


图9



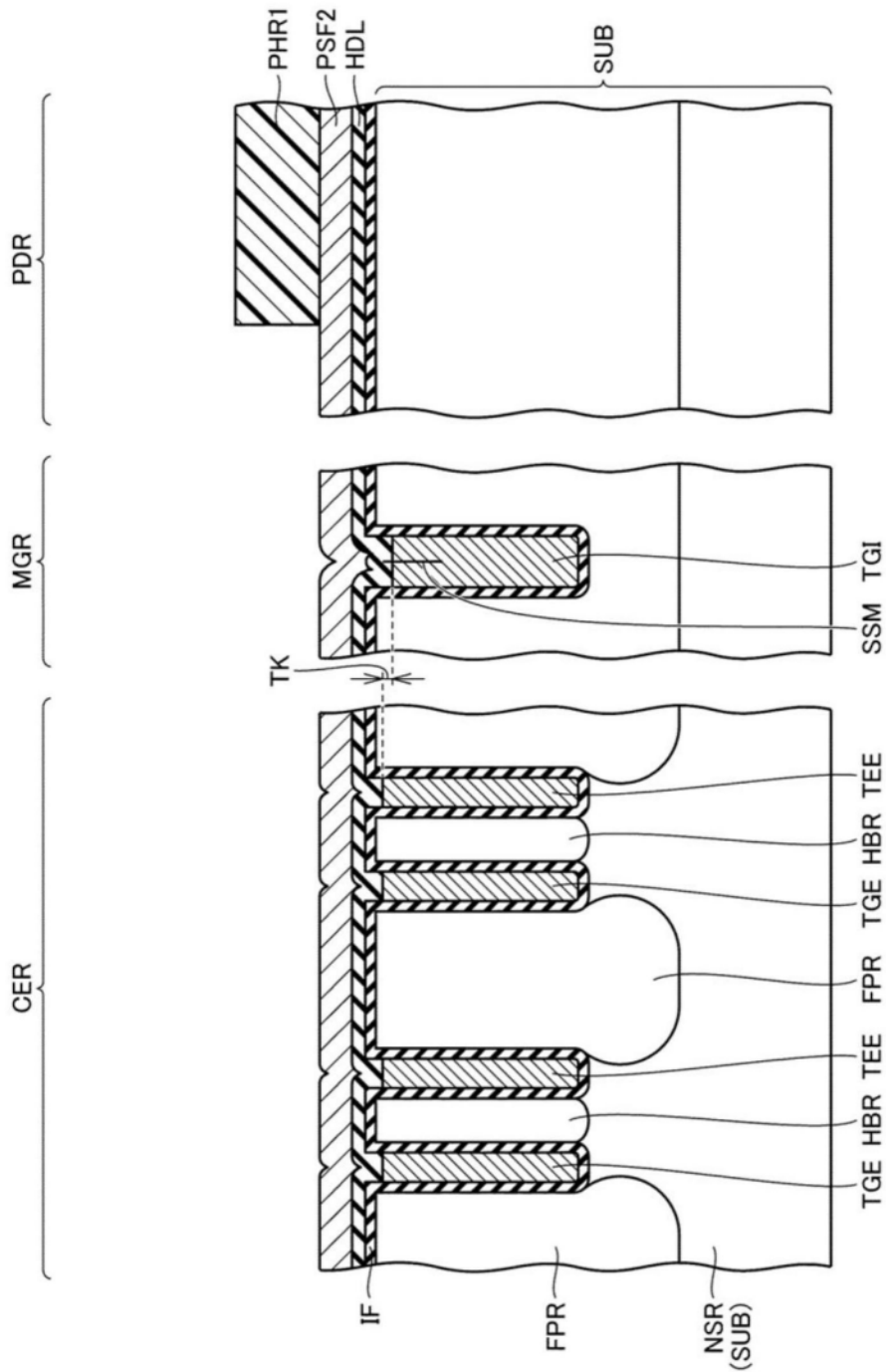


图11

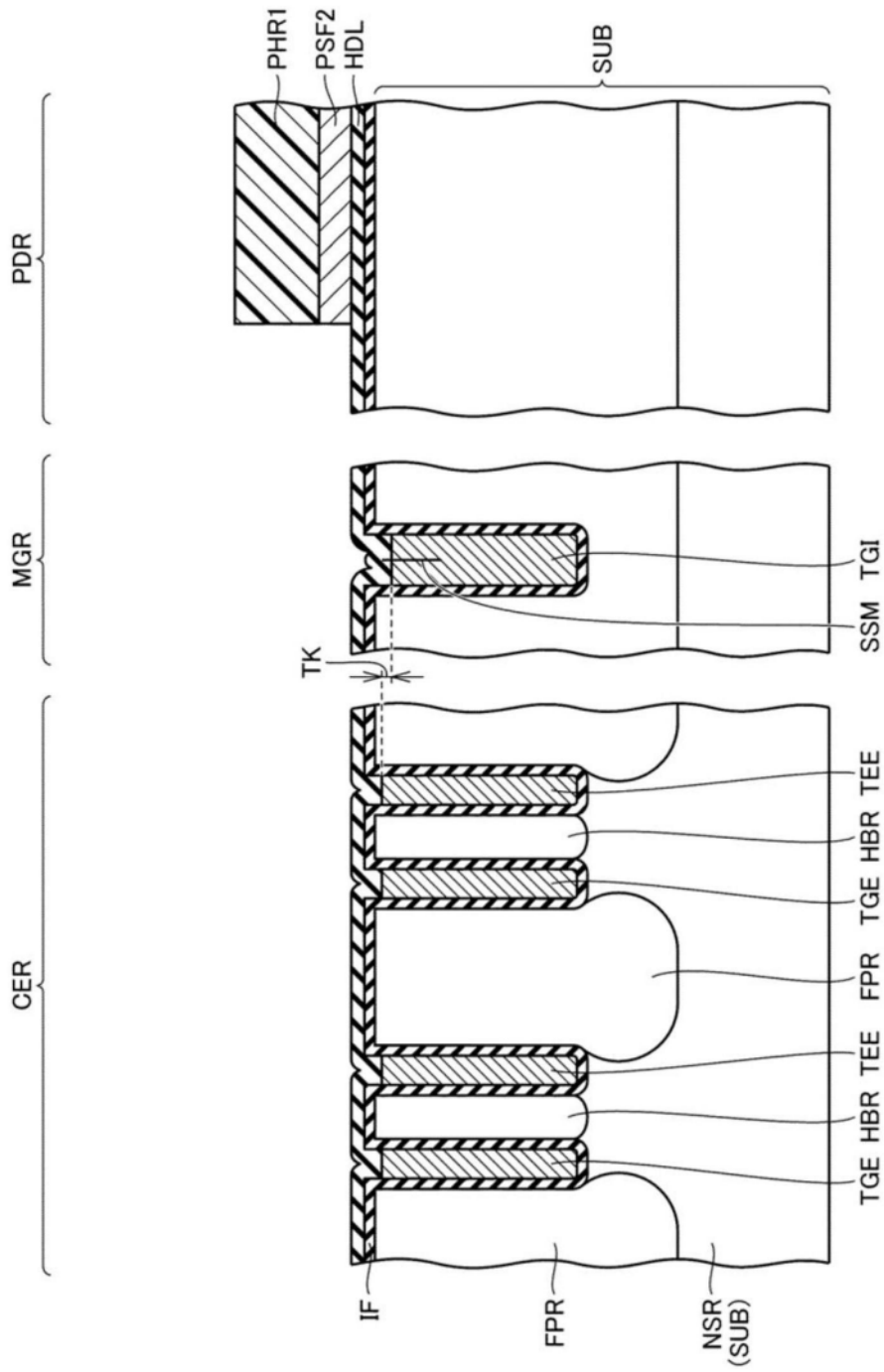


图12

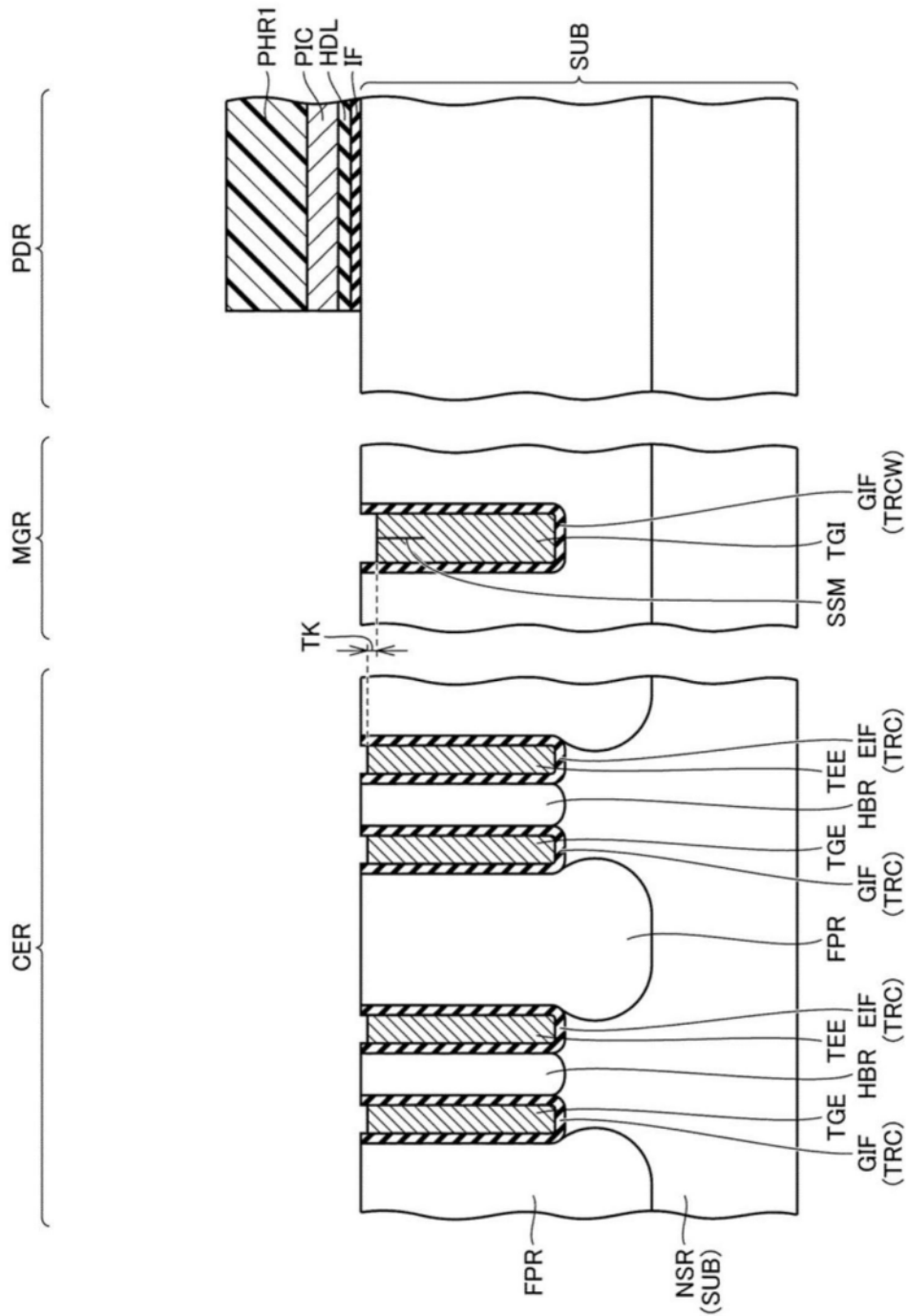


图13

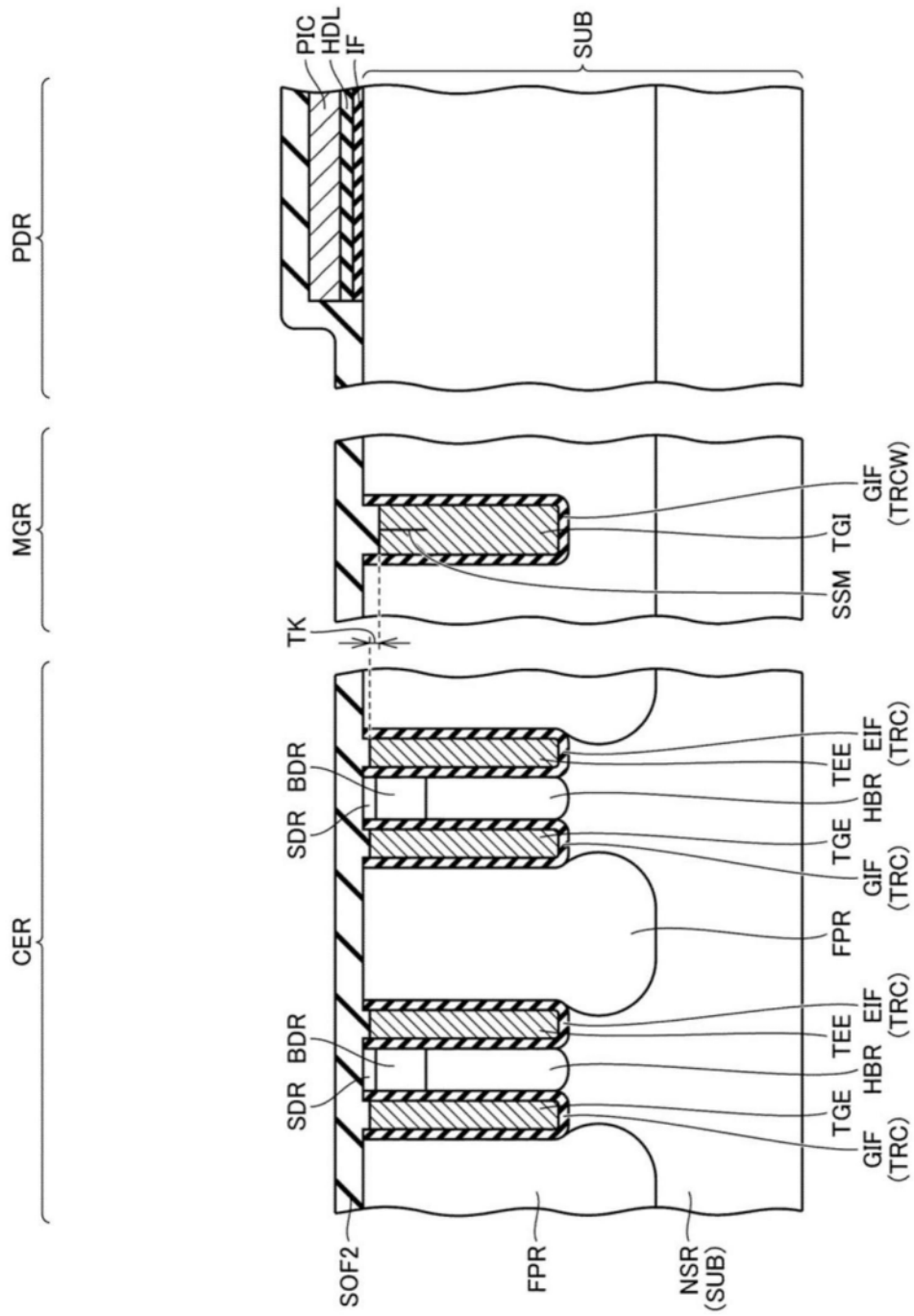


图14

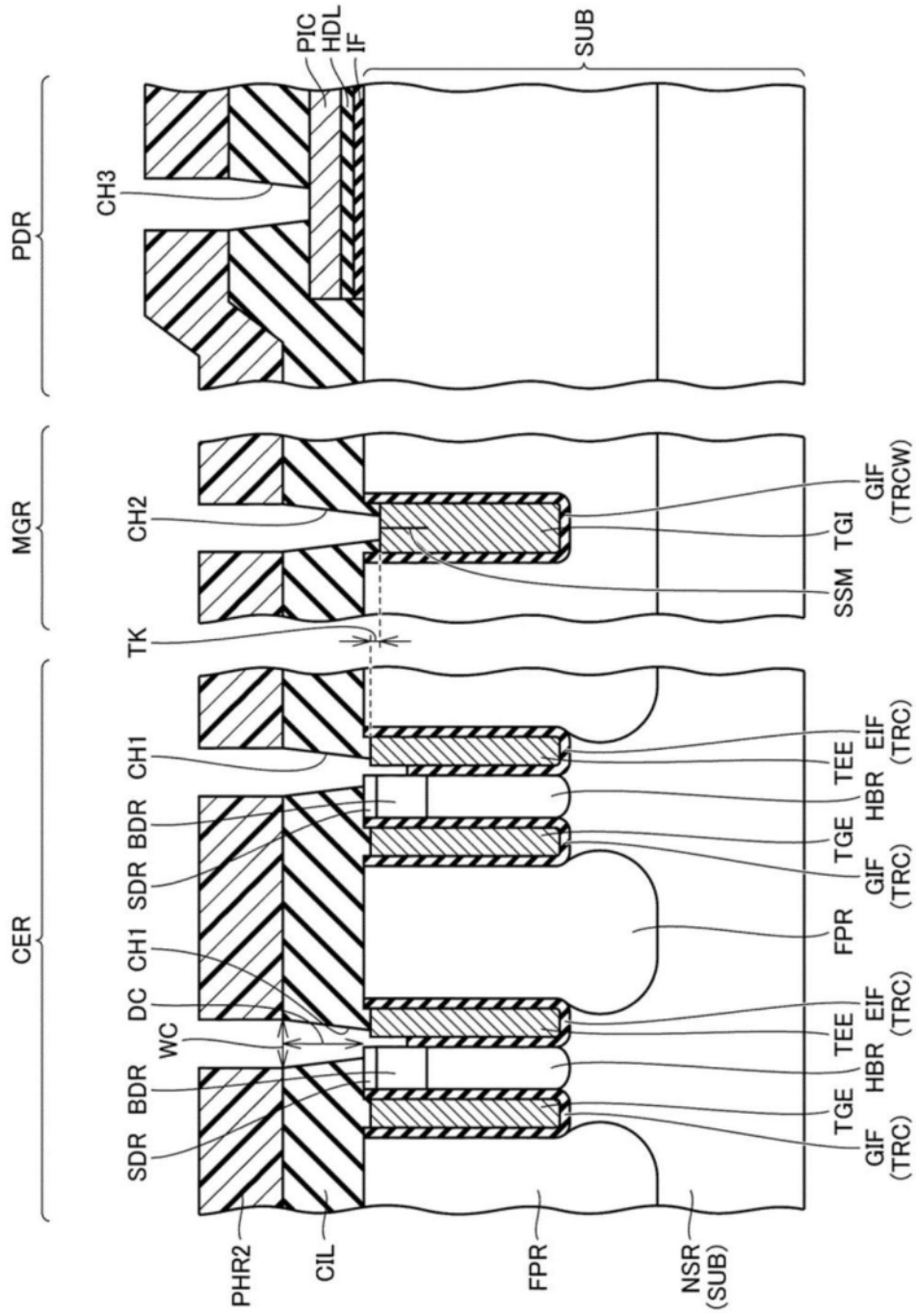


图15

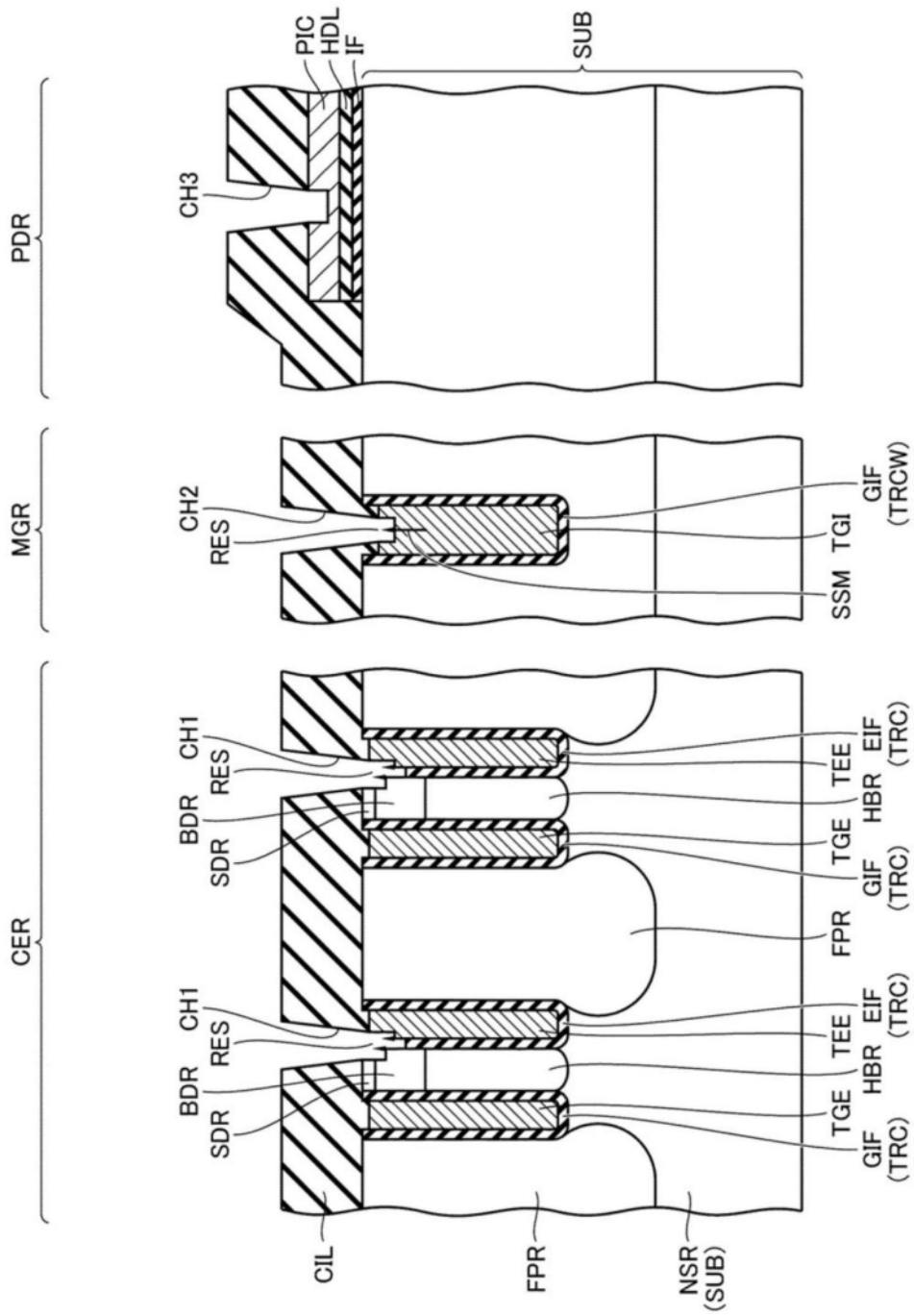


图16

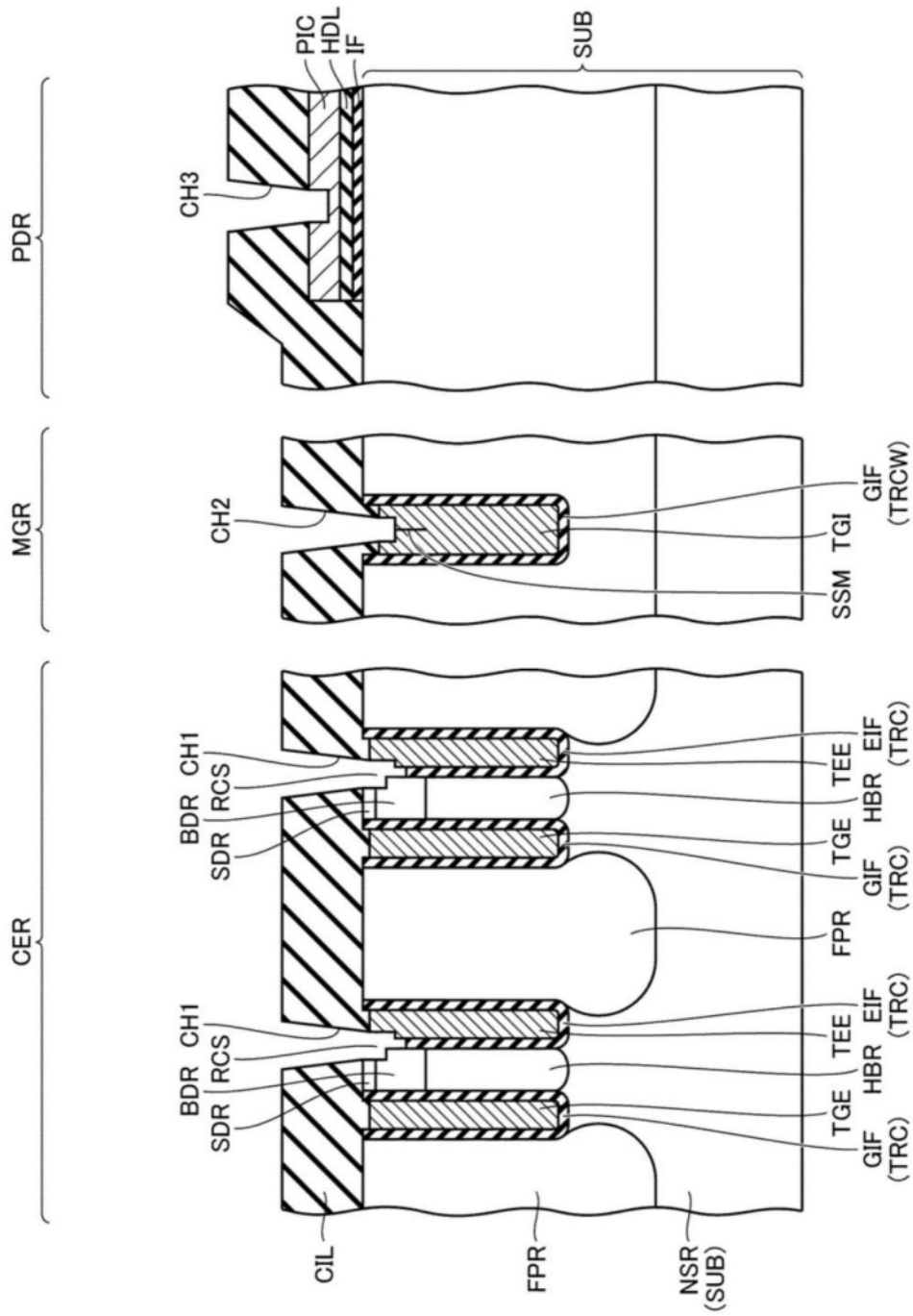


图17

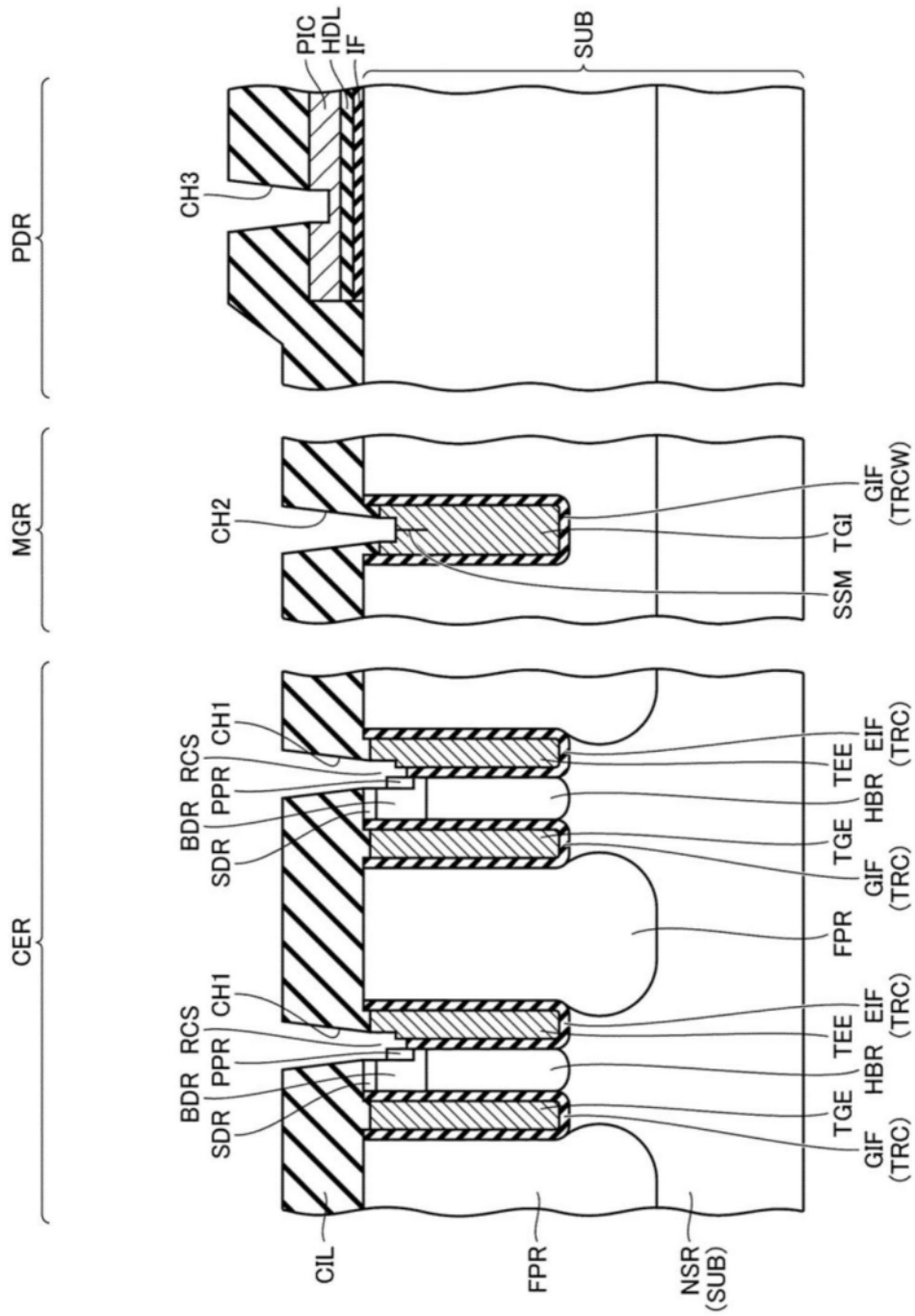


图18

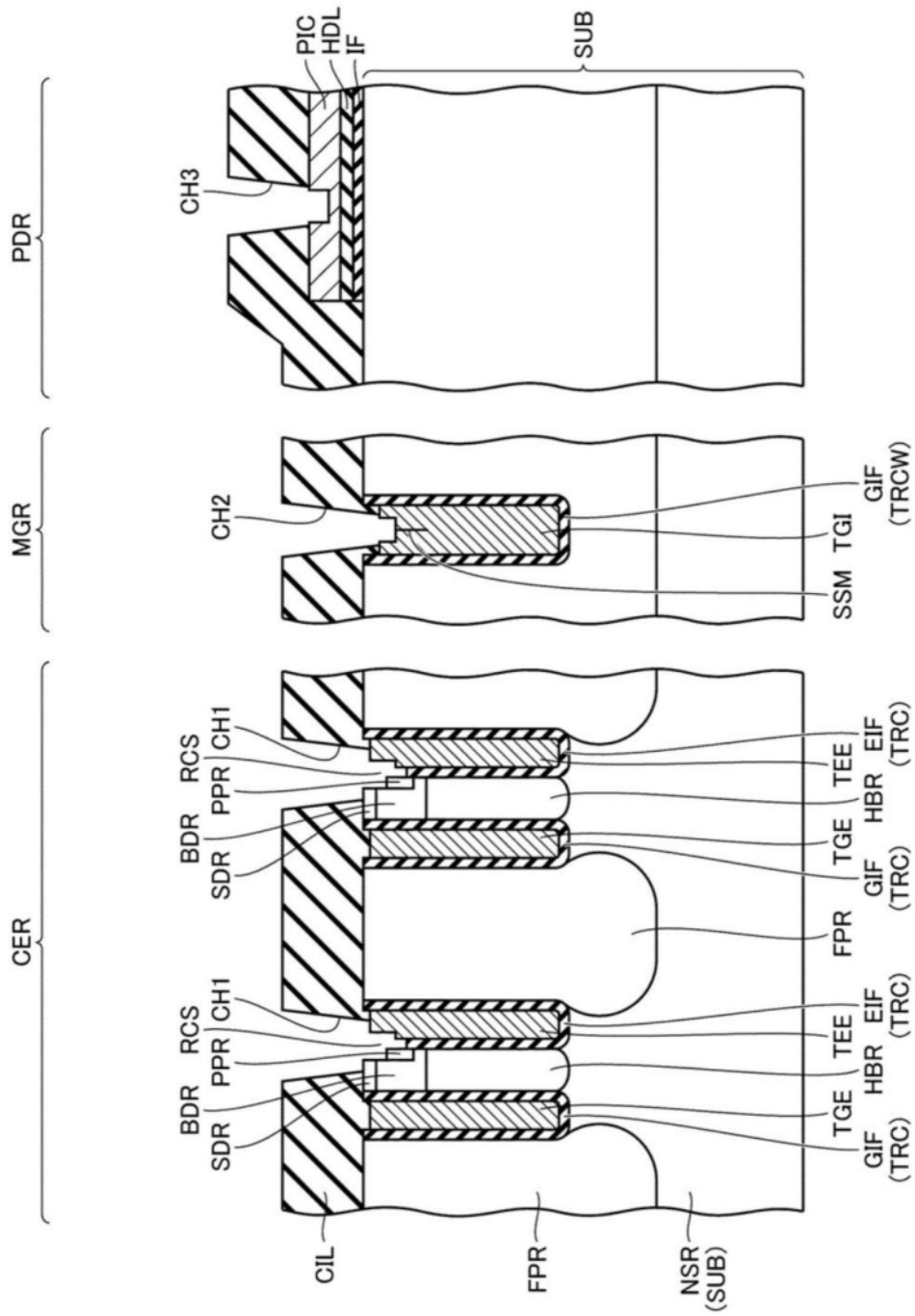


图19

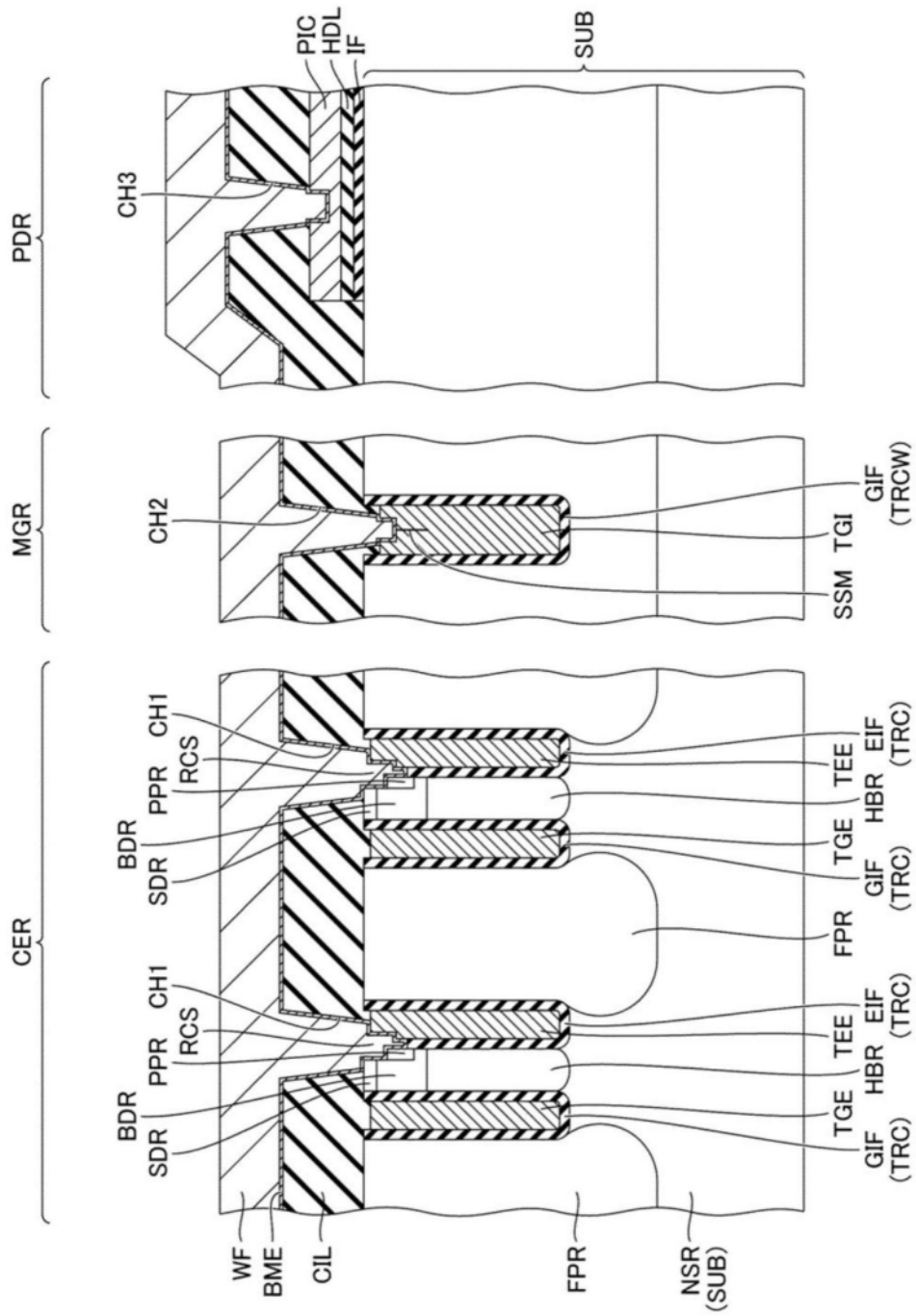


图20

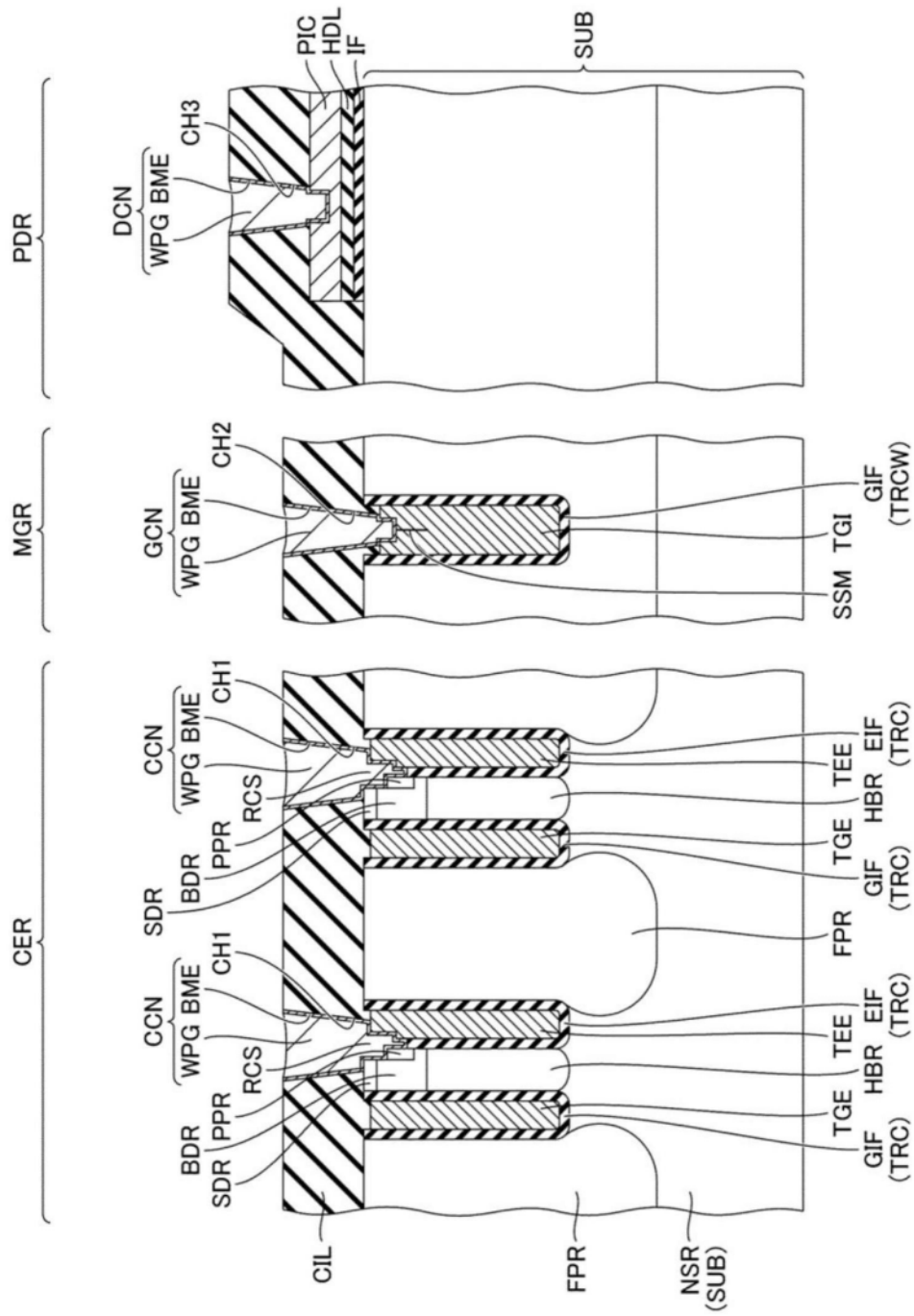


图21

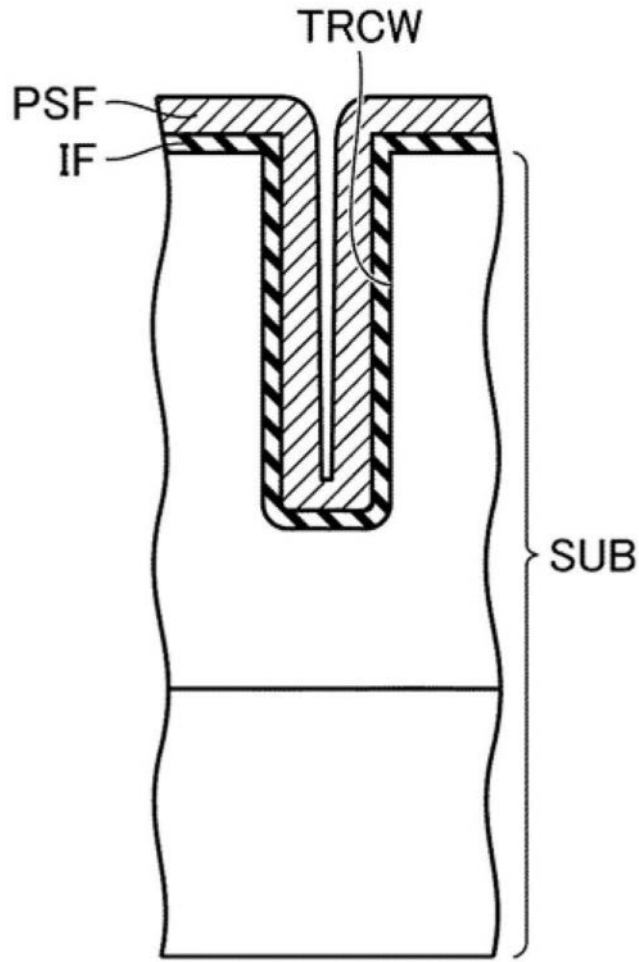


图22

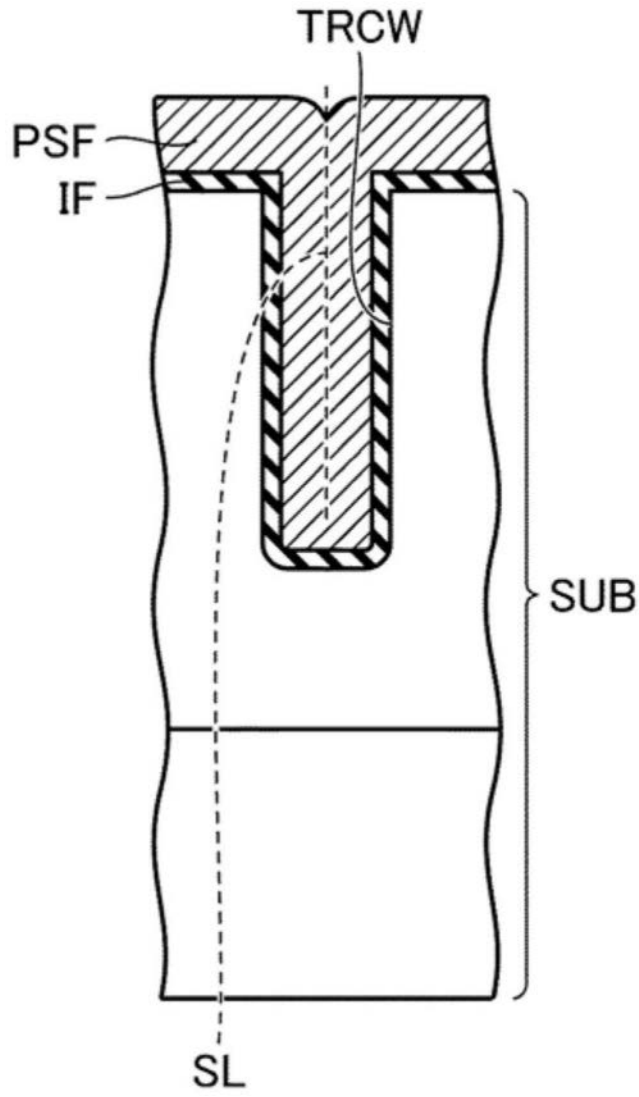


图23

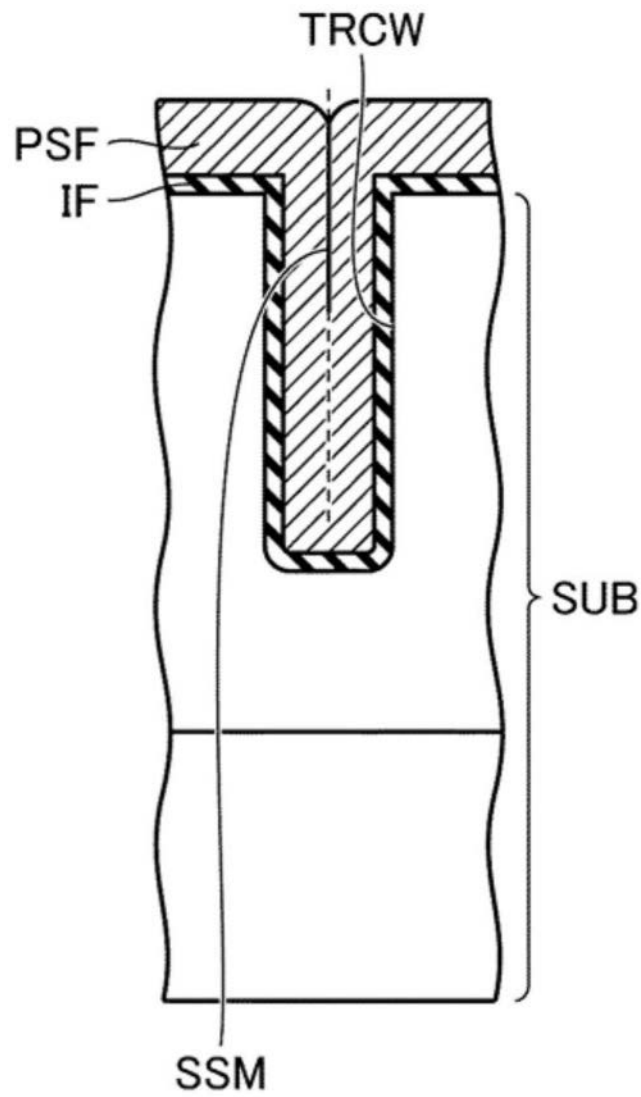


图24

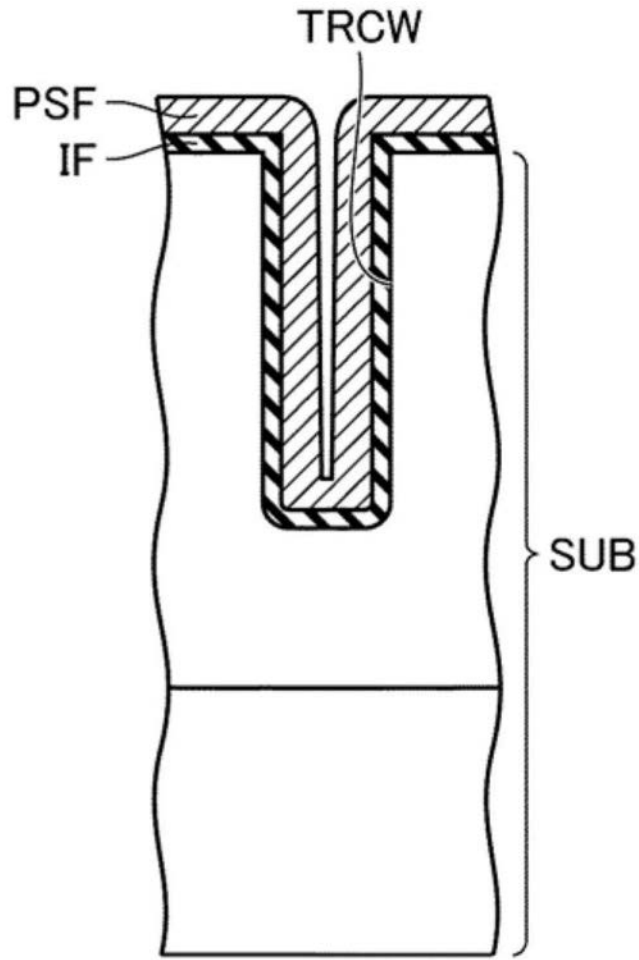


图25

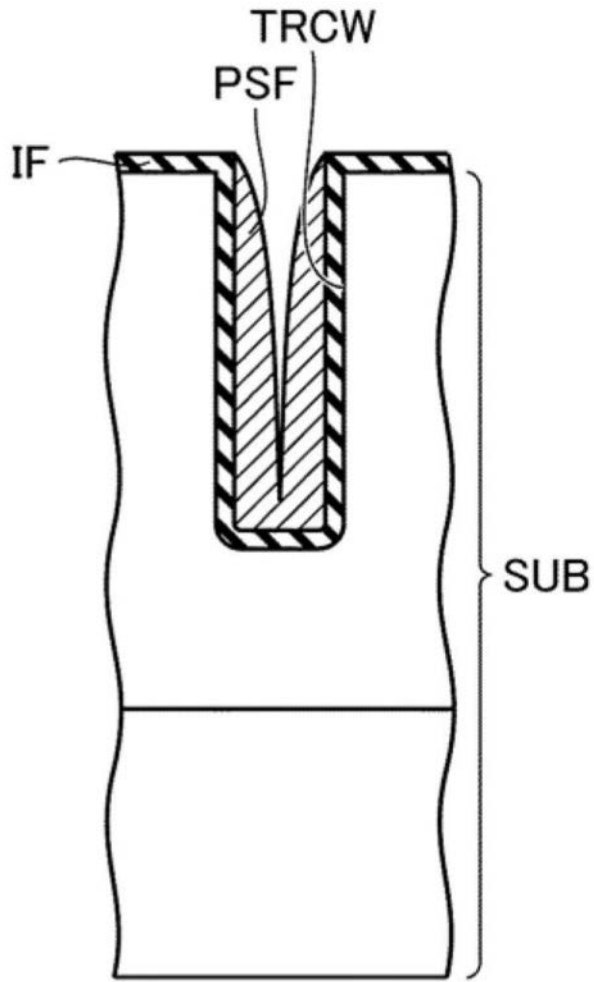


图26

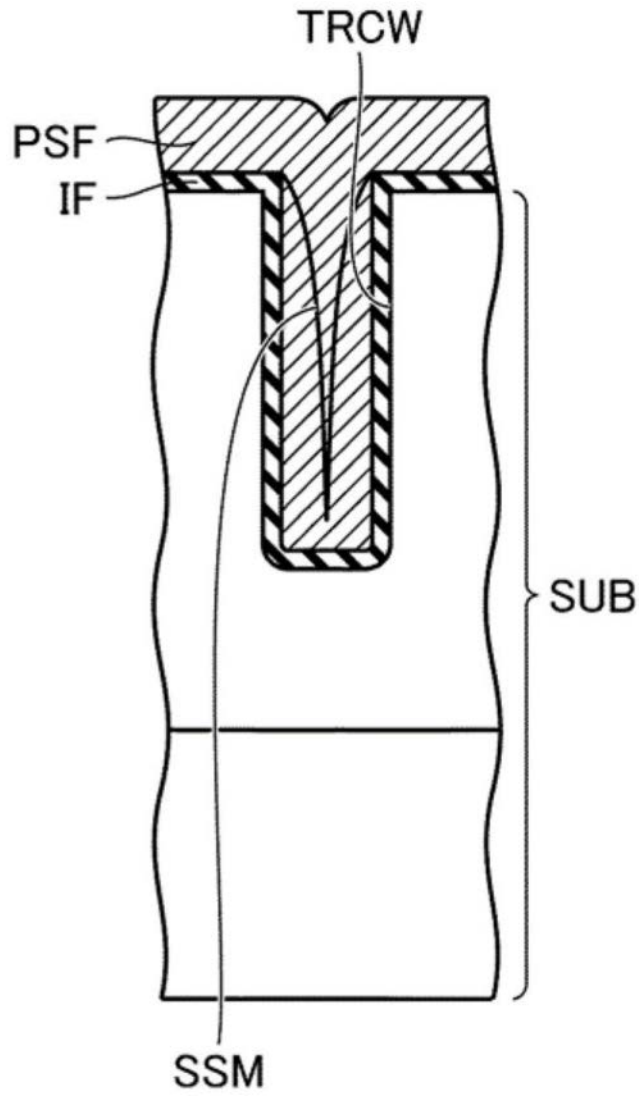


图27

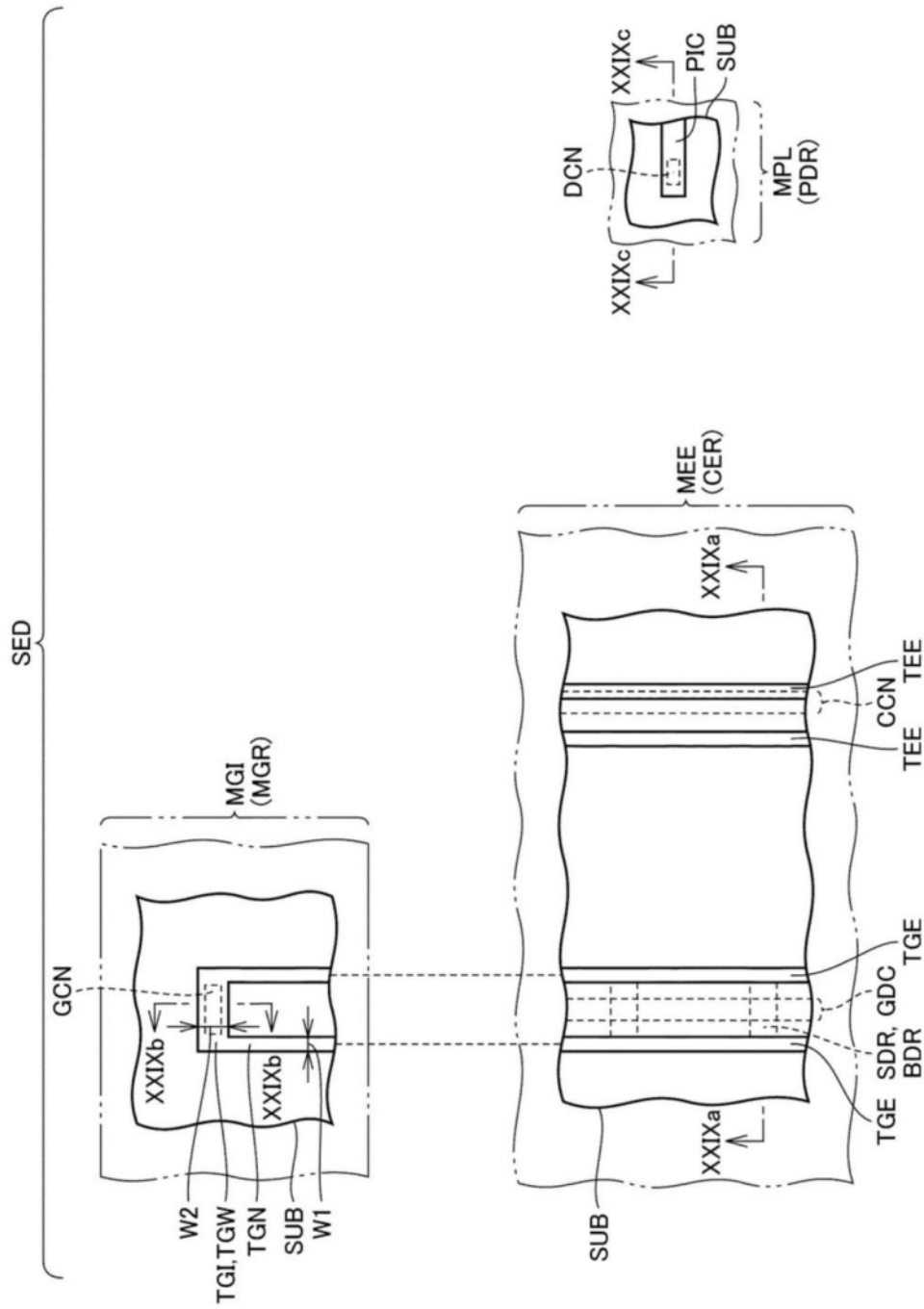


图28

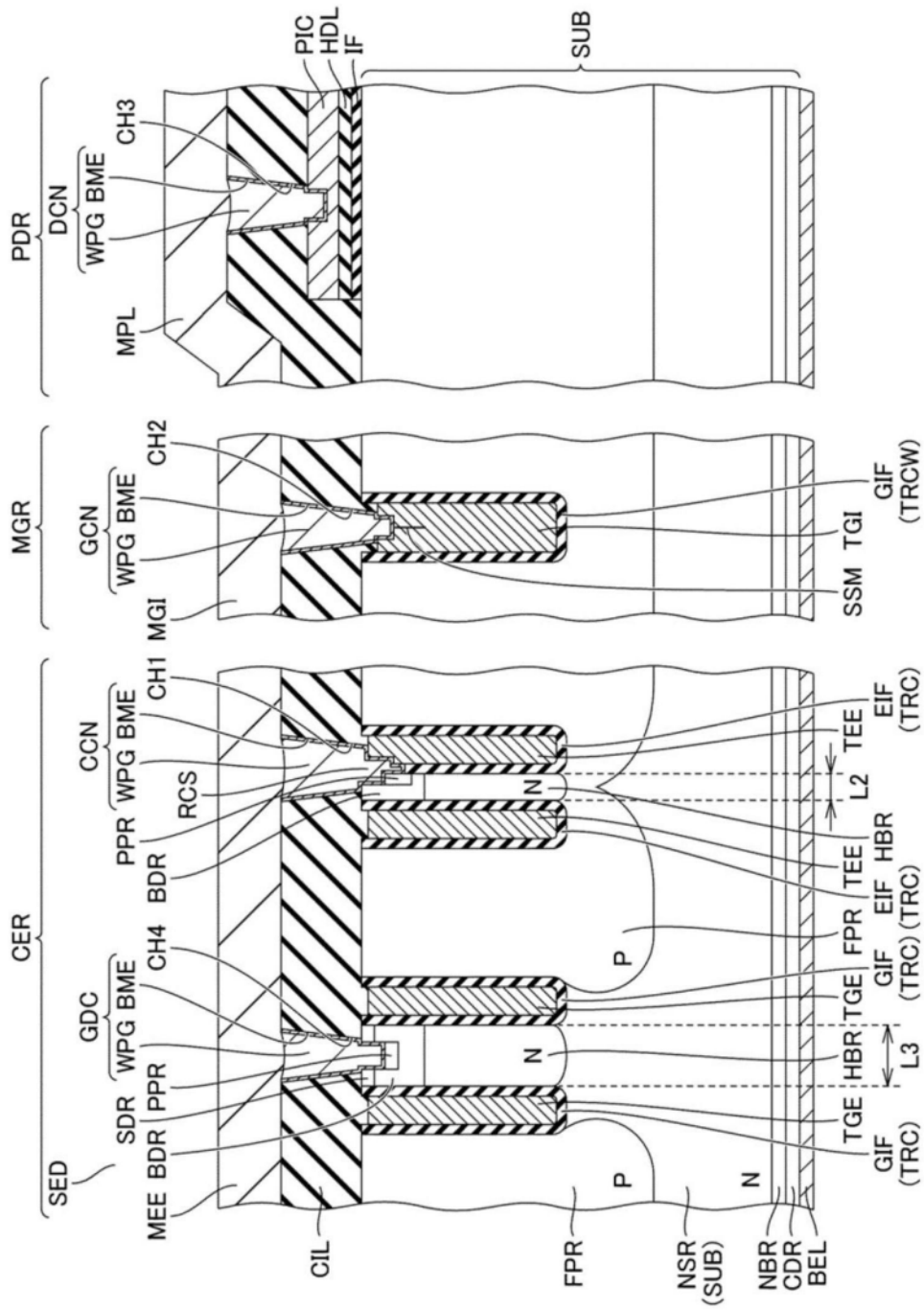


图29

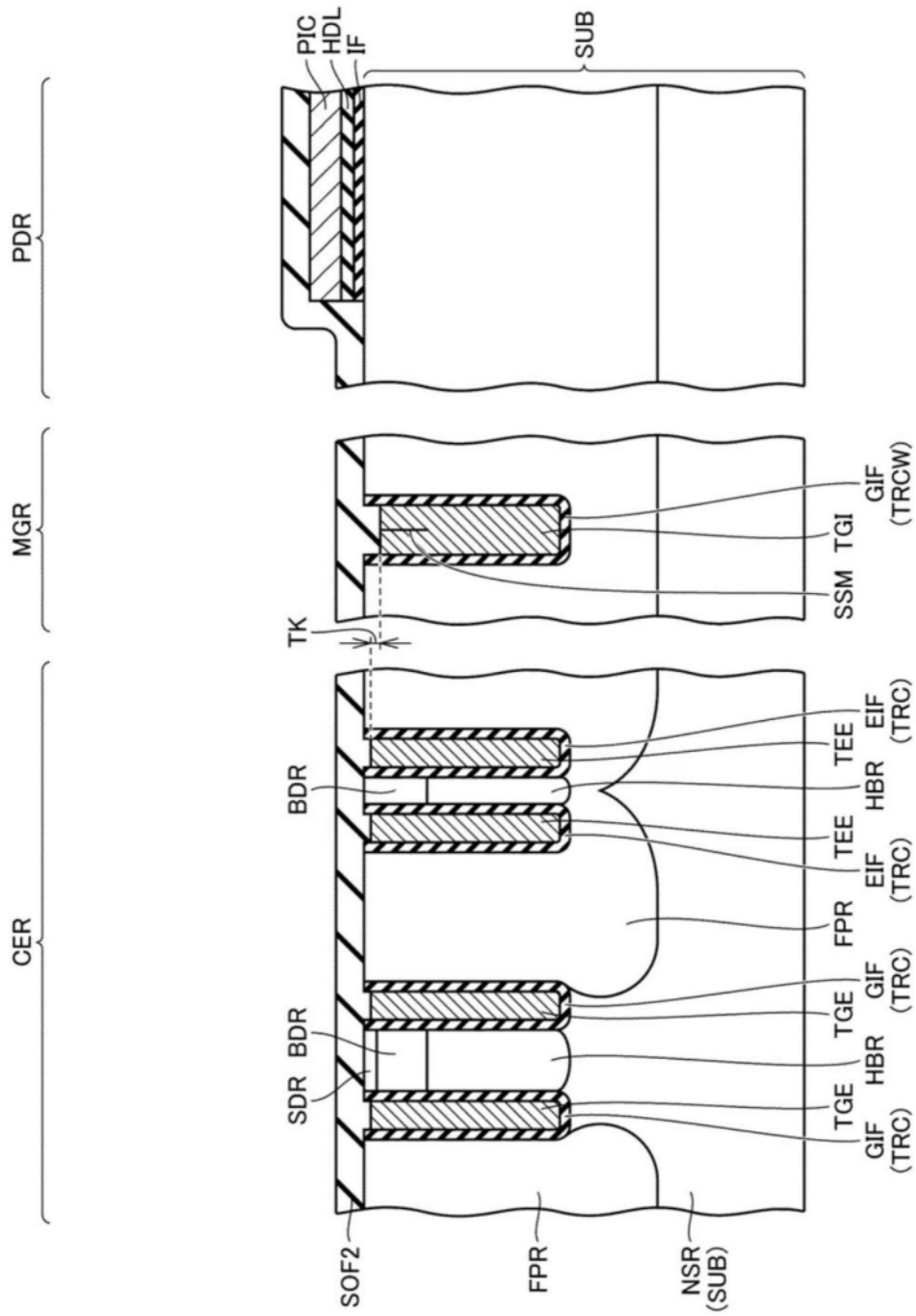


图30

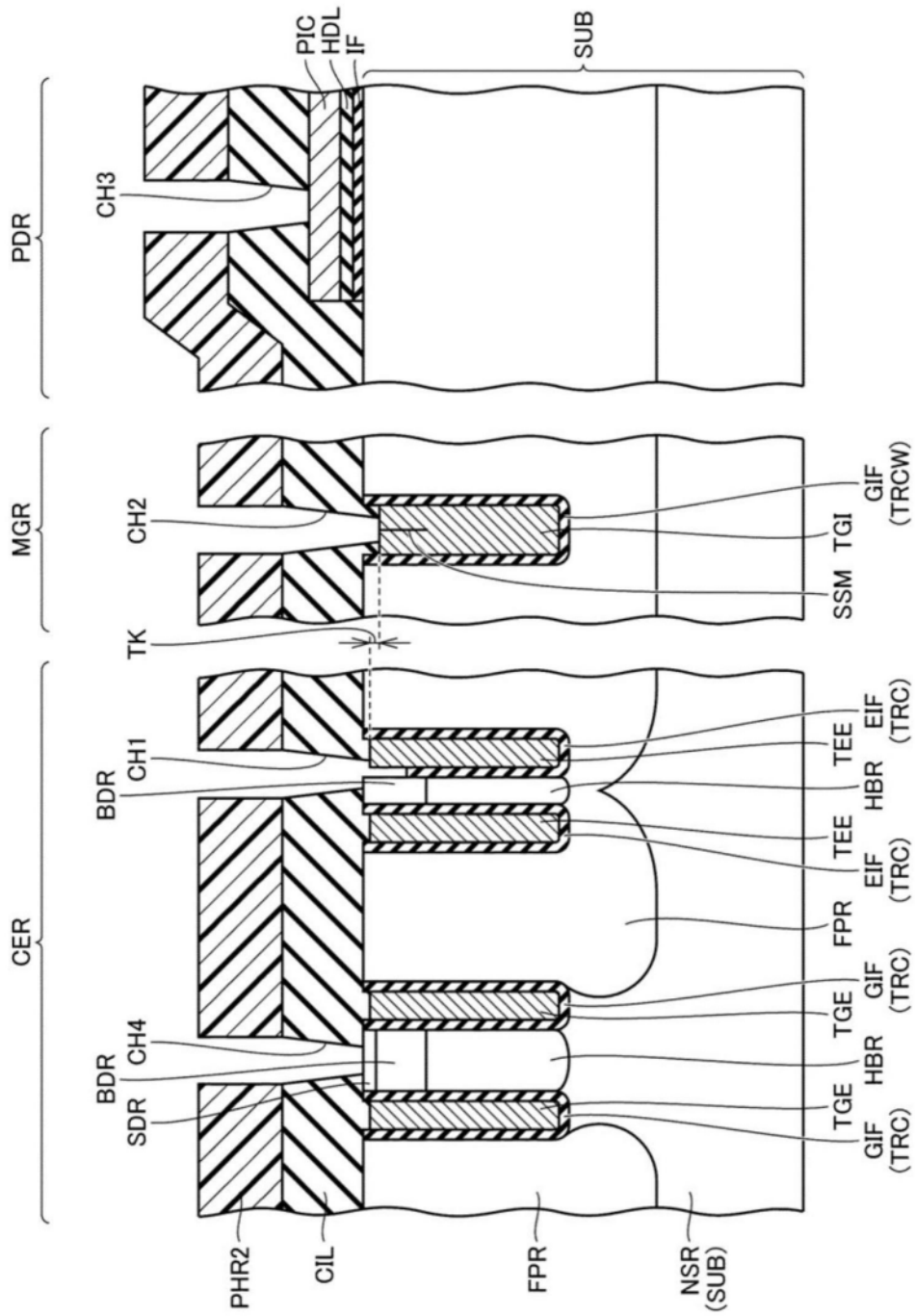


图31

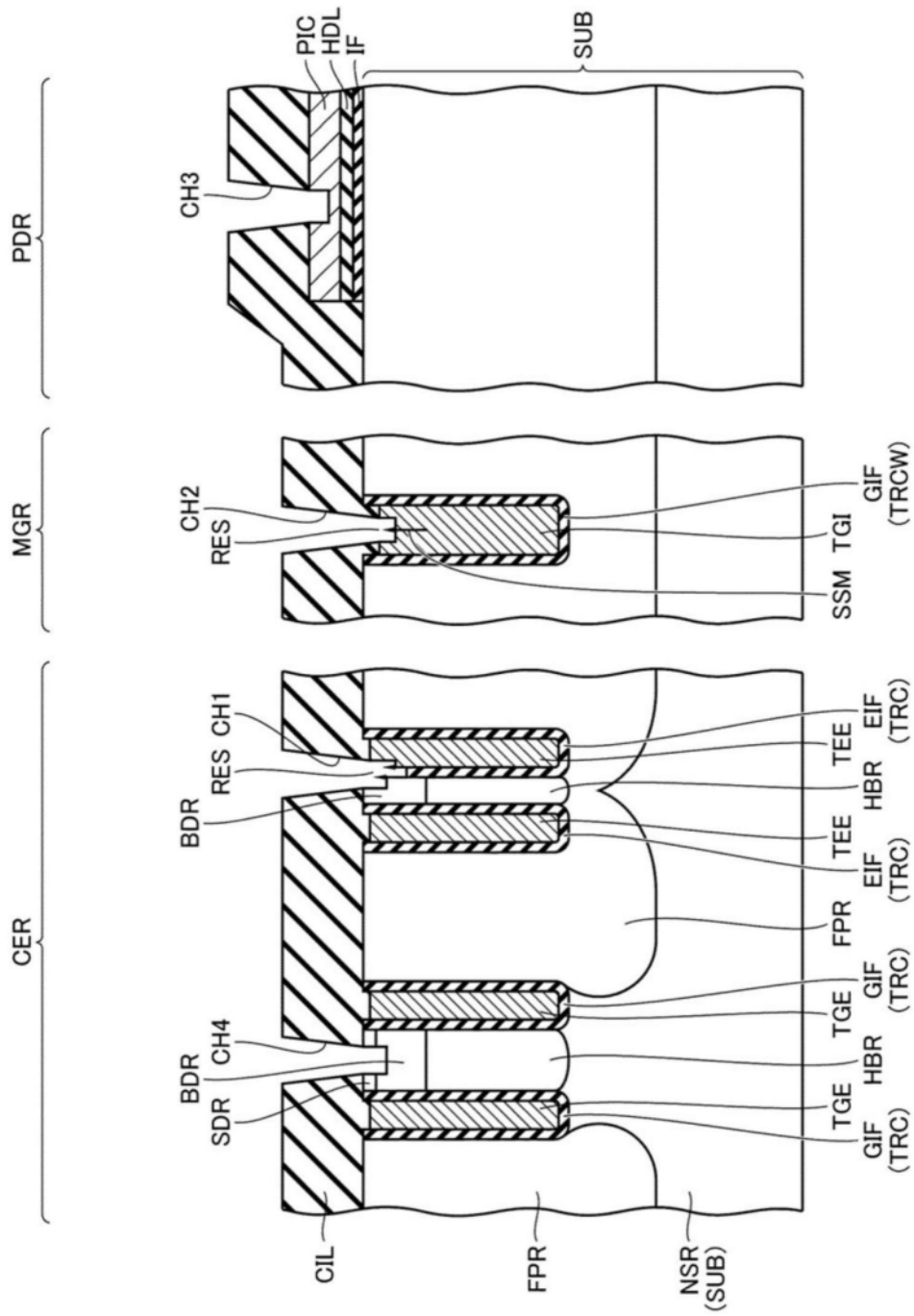


图32

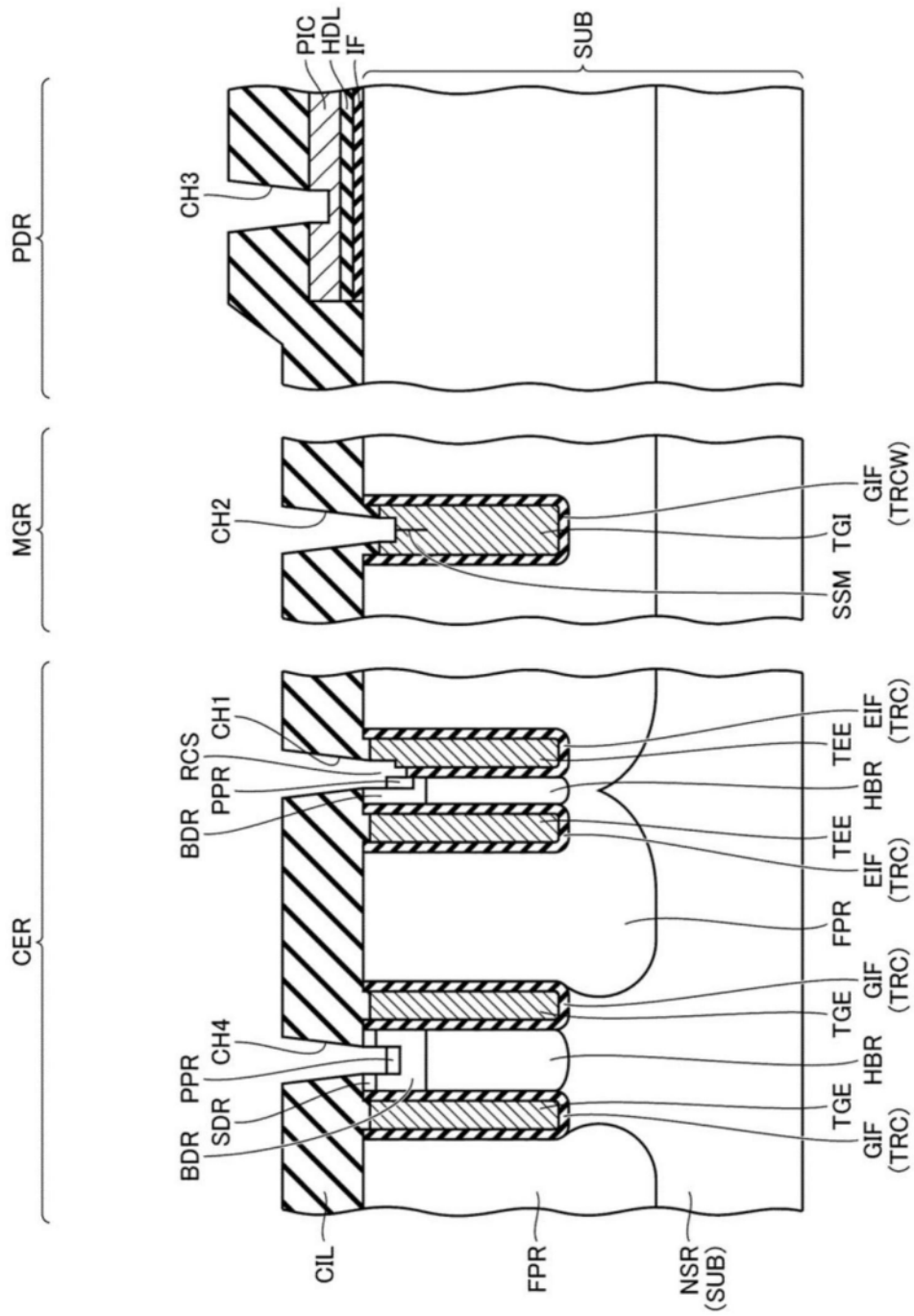


图33

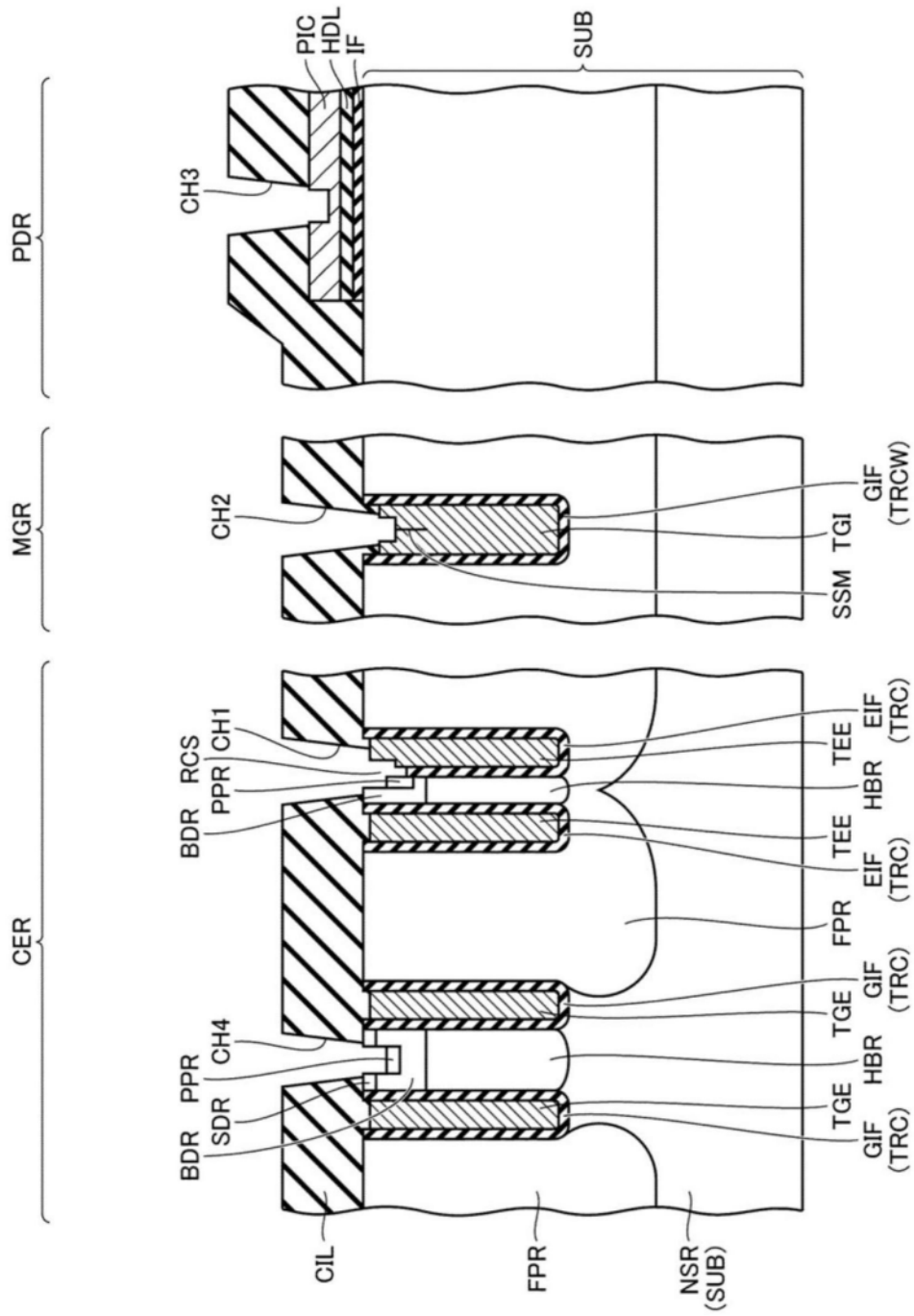


图34



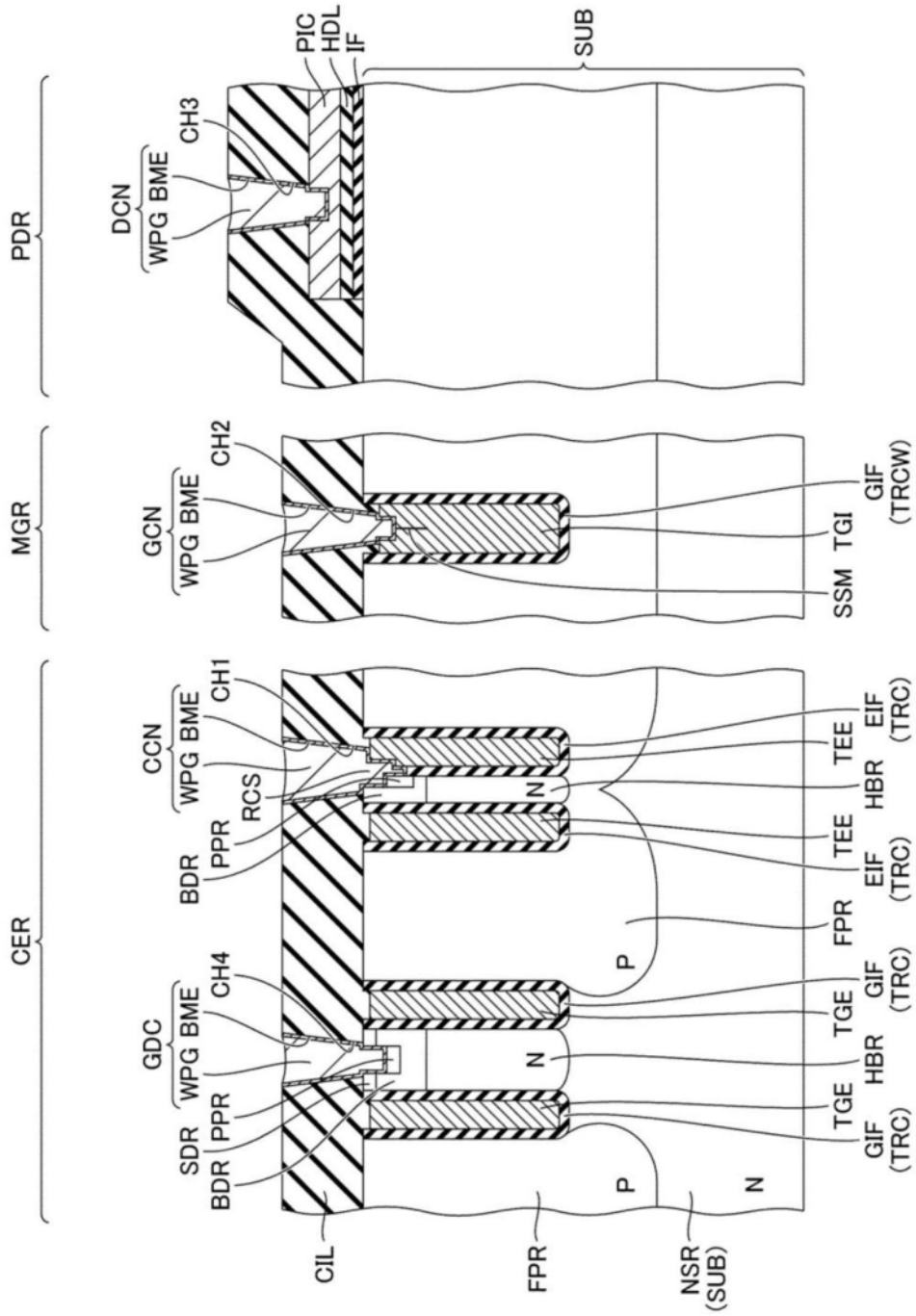


图36

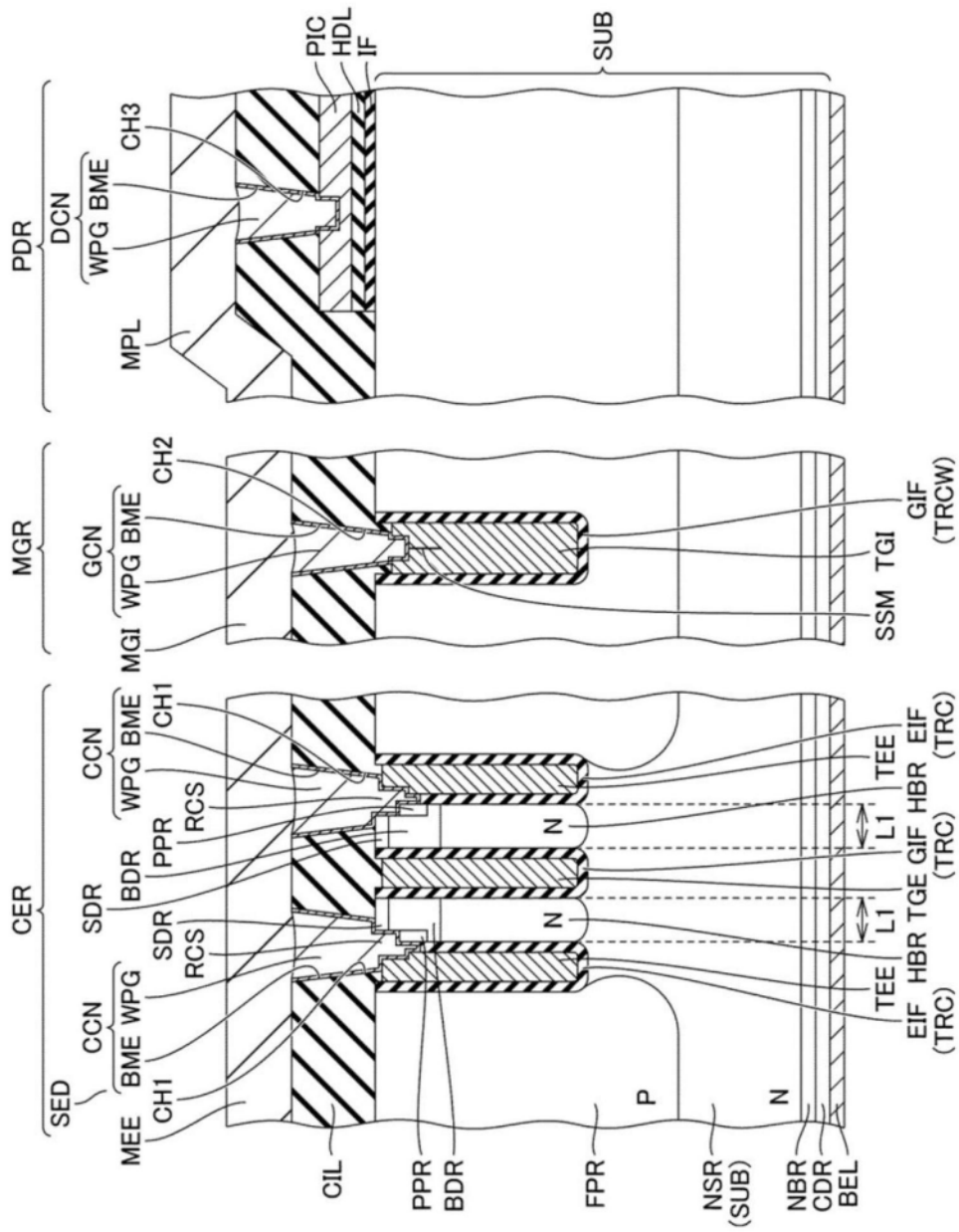


图37