



(12)发明专利

(10)授权公告号 CN 103516945 B

(45)授权公告日 2017.05.17

(21)申请号 201310260744.2

(22)申请日 2013.06.26

(65)同一申请的已公布的文献号

申请公布号 CN 103516945 A

(43)申请公布日 2014.01.15

(30)优先权数据

2012-145659 2012.06.28 JP

(73)专利权人 佳能株式会社

地址 日本东京大田区下丸子3-30-2

(72)发明人 伊藤広树

(74)专利代理机构 北京怡丰知识产权代理有限公司

公司 11293

代理人 迟军

(51)Int.Cl.

H04N 1/00(2006.01)

G06F 3/12(2006.01)

(56)对比文件

CN 1991611 A,2007.07.04,

CN 1991611 A,2007.07.04,

US 2011/0109931 A1,2011.05.12,

审查员 章婧

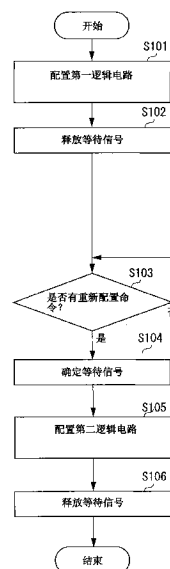
权利要求书2页 说明书5页 附图6页

(54)发明名称

信息处理装置及其控制方法

(57)摘要

本发明公开了一种信息处理装置及其控制方法。信息处理装置包括：控制单元；处理单元，其能够动态地改变所述信息处理装置的电路配置；以及存储单元，用于存储表明将被读取到所述处理单元的电路配置的电路信息，其中所述处理单元从作为用于存储程序的存储介质的所述存储单元读取第一电路信息，以及其中所述控制单元从所述处理单元读取所述程序以便执行所述程序。



1. 一种信息处理装置,包括:

与存储器单元连接的处理单元;

可编程逻辑器件,其能够根据电路信息配置逻辑电路;以及

存储单元,用于在第一地址中存储第一电路信息以及在第二地址中存储第二电路信息,所述第一电路信息使所述可编程逻辑器件配置用于存储所述处理单元的启动程序的第一逻辑电路,所述第二电路信息使所述可编程逻辑器件配置用于对图像数据执行图像处理的第二逻辑电路,

其中,所述可编程逻辑器件从所述存储单元中的所述第一地址读取所述第一电路信息而无需经由所述处理单元告知所述第一地址,以便于根据读取的所述第一电路信息来配置所述第一逻辑电路,

其中,所述处理单元将来自配置的第一逻辑电路的启动程序读取到所述存储器单元中并执行读取到所述存储器单元中的启动程序,以便于发送用于重新配置所述可编程逻辑器件的、关于所述第二地址的信息;以及

其中,所述可编程逻辑器件基于由所述处理单元发送的关于所述第二地址的信息来获取存储在所述存储单元中的所述第二地址中的所述第二电路信息,以便于根据获取的所述第二电路信息来配置所述第二逻辑电路。

2. 根据权利要求1所述的信息处理装置,其中当所述信息处理装置被启动时,所述可编程逻辑器件从所述存储单元中的第一地址读取所述第一电路信息而无需经由所述处理单元告知所述第一地址。

3. 根据权利要求2所述的信息处理装置,其中当所述处理单元将所述启动程序执行完毕后,所述可编程逻辑器件通过从所述存储单元中的所述第二地址读取所述第二电路信息来获取所述第二电路信息。

4. 根据权利要求1所述的信息处理装置,其中,当所述可编程逻辑器件配置逻辑电路时,所述可编程逻辑器件阻止所述处理单元执行处理。

5. 根据权利要求1所述的信息处理装置,进一步包括:图像形成单元,其用于基于已经被所述可编程逻辑器件执行过图像处理的图像数据形成图像。

6. 一种用于控制信息处理装置的方法,所述信息处理装置包括:与存储器单元连接的处理单元;可编程逻辑器件,其能够根据电路信息配置逻辑电路;以及存储单元,用于在第一地址中存储第一电路信息以及在第二地址中存储第二电路信息,所述第一电路信息使所述可编程逻辑器件配置用于存储所述处理单元的启动程序的第一逻辑电路,所述第二电路信息使所述可编程逻辑器件配置用于对图像数据执行图像处理的第二逻辑电路,所述方法包括:

使所述可编程逻辑器件从所述存储单元中的所述第一地址读取所述第一电路信息而无需经由所述处理单元告知所述第一地址,以便于根据读取的所述第一电路信息来配置所述第一逻辑电路,

使所述处理单元将来自配置的第一逻辑电路的启动程序读取到所述存储器单元中并执行读取到所述存储器单元中的启动程序,以便于发送用于重新配置所述可编程逻辑器件的、关于所述第二地址的信息;以及

基于由所述处理单元发送的关于所述第二地址的信息来获取存储在所述存储单元中

的所述第二地址中的所述第二电路信息,以便于根据获取的所述第二电路信息来配置所述第二逻辑电路。

信息处理装置及其控制方法

技术领域

[0001] 本发明涉及一种信息处理装置及其控制方法。

背景技术

[0002] 近年来,作为专用集成电路(ASIC)的替代,可编程逻辑器件(PLD)也经常用于信息处理装置。ASIC是为了特定用途而定制的集成电路,既定器件的作用也是固定的。另一方面,利用PLD,逻辑电路可以通过改变加载到其中的程序而根据期望被配置,因此既定器件的作用可以动态地改变。经常使用的PLD的一个例子就是现场可编程门阵列(FPGA)。

[0003] 在包括中央处理单元(CPU)和FPGA的装置中,通常用于为CPU存储启动程序的只读存储器(ROM)和用于存储将在FPGA中使用的电路信息的闪存ROM是独立设置的(例如,参考日本专利申请JP特开2004-210506)。

[0004] 但是,不利的是,为CPU和FPGA准备不同的存储介质则导致部件成本的增加或电路规模的增大。特别是为CPU存储启动程序的ROM的容量越来越小,且一般只在启动时使用,因此为CPU提供独立的ROM是不理想的。

发明内容

[0005] 本发明旨在提供一种包括CPU和FPGA的信息处理装置,该装置能够避免为CPU提供独立的用于存储启动程序的ROM。

[0006] 根据下述示例性实施方式的描述并结合附图,本发明的其他特征将显而易见。

附图说明

[0007] 图1是框图,展示了图像形成装置的配置。

[0008] 图2是框图,展示了控制器单元的配置。

[0009] 图3展示了本发明第一示例性实施方式的闪存ROM的数据结构。

[0010] 图4A、4B分别展示了第一示例性实施方式的FPGA中配置的逻辑电路。

[0011] 图5A、5B是流程图,展示了当启动第一示例性实施方式的图像形成装置时控制器单元的操作。

[0012] 图6展示了本发明第二示例性实施方式的闪存ROM的数据结构。

[0013] 图7展示了第二示例性实施方式的FPGA中配置的逻辑电路。

[0014] 图8A、8B是流程图,展示了当启动第二示例性实施方式的图像形成装置时控制器单元的操作。

具体实施方式

[0015] 下面将结合附图详细描述本发明的示例性实施方式。

[0016] 在下文中,图像形成装置(例如打印机)将作为信息处理装置的例子来描述,但是发明的示例性实施方式也适用于各种信息处理装置,例如个人计算机(PC)。另外,具有扫描

仪功能、打印机功能及传真机 (FAX) 功能的多功能外围设备将作为图像形成装置来描述,但是发明的示例性实施方式也适用于具有至少一种上述功能的装置。

[0017] 根据第一示例性实施方式,在包括FPGA的图像形成装置中,在启动时FPGA的作用相当于存储启动程序的ROM,以及在启动后的作用相当于用于处理图像数据的电路。

[0018] 图1是框图,展示了图像形成装置的配置。

[0019] 图像形成装置1经由局域网 (LAN) 400与PC3、PC4连接。

[0020] 图像形成装置1包括读取单元2、打印机单元6、操作单元7、硬盘8、FAX单元90及控制器单元110。

[0021] 读取单元2读取原稿以便输入图像数据。读取单元2包括原稿进给单元10及扫描仪单元11。原稿进给单元10输送原稿。扫描仪单元11光读取输送的原稿,并将读取结果转换成电信号形式的图像数据。

[0022] 打印机单元6基于图像数据在纸张上执行打印。具体地,打印机单元6基于由FPGA102 (下文描述) 执行过图像处理的数据执行打印。打印机单元6包括进纸单元12、标记单元13及排纸单元14。进纸单元12包括多个用于存储记录纸张的纸盒。标记单元13将图像数据转印并定影在记录纸张上。排纸单元14对打印后的记录纸张执行整理处理和装订处理,然后将记录纸张排到打印机单元6外部。

[0023] 操作单元7经由按键接收各种用户指令。另外,操作单元7经由面板通知用户各种信息。

[0024] 硬盘8存储控制程序和图像数据等。

[0025] FAX单元90执行传真输入/输出处理。

[0026] 控制器单元110与读取单元2、打印机单元6、操作单元7、硬盘8、FAX单元90等组成部件相连接并控制所述组成部件。

[0027] 图2是框图,示出了控制器单元110的配置。图2选择性地展示了控制器单元110的配置中的和本发明的示例性实施方式密切相关的部件,以及控制器单元11还包括除了图2所示的部件以外的各种部件。

[0028] CPU101控制图像形成装置1的整体。

[0029] FPGA102属于PLD的类型,其中逻辑电路可以器件中根据需要被配置和改变。尽管本示例性实施方式以FPGA作为PLD的例子,但也可使用其他类型的PLD。

[0030] 动态随机存取存储器 (DRAM) 103用作CPU101执行程序的区域。

[0031] 闪存ROM104存储各种在FPGA102中使用的电路配置。尽管本示例性实施方式以闪存ROM作为ROM的例子,但也可使用其他类型的ROM,例如电可擦除可编程ROM (EEPROM)。

[0032] CPU总线105将CPU101和FPGA102连接。

[0033] DRAM接口 (I/F) 106将CPU101和DRAM103连接。

[0034] 串行外设接口 (SPI) 总线107将FPGA102和闪存ROM104以下列状态连接:在该状态中,FPGA102作为主设备,闪存ROM104作为从设备。

[0035] FPGA102将等待信号108发送给CPU101。等待信号108处于断言状态 (asserted state),以便使CPU101处于等待状态作为默认值。

[0036] 图3展示了第一示例性实施方式的闪存ROM104的数据结构。

[0037] 第一电路信息201是用于配置FPGA102中如图4A所示的第一逻辑电路的数据。第一

电路信息201在地址“0000”处被写入闪存ROM104中。

[0038] 第二电路信息202是用于配置FPGA102中如图4B所示的第二逻辑电路的数据。第二电路信息202在地址“XXXX” (即不同于“0000”的地址) 处被写入闪存ROM104中。

[0039] 图4A、4B分别展示了第一示例性实施方式的在FPGA102中配置的逻辑电路。

[0040] 图4A展示了通过将第一电路信息201加载到FPGA102中而在FPGA102中配置的第一逻辑电路。当启动图像形成装置1时, 第一逻辑电路就在FPGA102中被配置, 并促使FPGA102产生用于存储CPU101将使用的启动程序的存储介质的作用。在图4A、4B中, 电路重新配置控制单元303是静态的配置。换句话说, 电路重新配置控制单元303被事先装好, 且不能通过加载下文将描述的程序而将其改变。另一方面, 电路重新配置控制单元303以外的部件是动态配置。换句话说, 这些部件没有被事先装好, 且能通过加载下文将描述的程序而将其改变。

[0041] 启动程序存储单元301存储在启动时由CPU101执行的启动程序。

[0042] 等待信号控制单元302控制由FPGA102发送至CPU101的等待信号108。

[0043] 电路重新配置控制单元303根据CPU101通知的电路信息 (即写入闪存ROM104中的电路信息) 在FPGA102中重新配置逻辑电路。即使在启动图像形成装置1时电路重新配置控制单元303没有收到来自CPU101的命令, 电路重新配置控制单元303仍然将写在闪存ROM104中的“0000”地址处的电路信息自动加载到FPGA102中。另外, 电路重新配置控制单元303可以控制连接至SPI总线107的端口, 以便从FPGA102和CPU101输出的信号不会彼此发生冲突。

[0044] 图4B展示了通过将第二电路信息202加载到FPGA102中而在FPGA102中配置的第二逻辑电路。在启动图像形成装置1之后, 图4B所示的逻辑电路在FPGA102中被配置, 并促使FPGA102产生图像处理电路的作用, 用于处理各种图像数据。

[0045] 在图4B中, 和图4A中相同的部分的附图标记也相同, 因此不再赘述。图4B中的配置和图4A中的配置不同的地方在于启动程序存储单元301被改变为图像数据处理单元304。

[0046] 图像数据处理单元304对图像数据执行各种图像处理, 例如阴影矫正、半色调处理以及平滑处理。图像数据处理单元304也可以对图像数据以外的数据执行处理。另外, 作为图像数据处理单元304的替代, 也可以设置另一处理单元, 用于执行图像处理以外的处理。进一步, 处理单元的数目可以多于1。

[0047] 图5A、5B是流程图, 展示了当启动本示例性实施方式的图像形成装置1时控制器单元110的操作。

[0048] 当图像形成装置1的电源开关 (未示出) 被打开时, 就开始图5A、5B所示的操作。

[0049] 图5A是流程图, 展示了当图像形成装置1启动时FPGA102的操作。

[0050] 通过FPGA102从闪存ROM104加载程序并执行程序, 实现图5A所示的操作。

[0051] 在步骤S101中, FPGA102通过电路重新配置控制单元303从闪存ROM104的“0000”位置处读取第一电路信息201, 并配置如图4A所示的第一逻辑电路。

[0052] 在步骤S102中, FPGA102通过等待信号控制单元302向CPU101释放等待信号108, 并通知CPU101开始启动处理。

[0053] 在步骤S103中, 在CPU101完成启动处理后 (在步骤S103中为“否”), FPGA102等待由CPU101发送的重新配置命令。这里, 重新配置命令包括用于重新配置的命令以及用于重新配置的关于第二电路信息202的地址“XXXX”的信息。在收到重新配置命令后 (在步骤S103中为“是”), 处理推进至步骤S104。

[0054] 在步骤S104中,FPGA102通过等待信号控制单元302断言CPU101的等待信号108,使CPU108进入等待状态(即操作被限制或被禁止的状态)。

[0055] 在步骤S105中,FPGA102通过电路重新配置控制单元303从闪存ROM104的“XXXX”位置处读取第二电路信息202,并配置如图4B所示的第二逻辑电路。此时,在FPGA102中也可以执行端口设置。通过这种方式,电路配置就从第一逻辑电路被重新配置为第二逻辑电路,因为一旦启动完成后,就不再需要启动程序存储单元301,相反,则需要图像数据处理单元304,以便执行后续的图像处理。

[0056] 在步骤S106中,FPGA102通过等待信号控制单元302向CPU101释放等待信号108,然后通知CPU101启动处理已结束。

[0057] 图5B是流程图,展示了当启动图像形成装置1时CPU101的操作。

[0058] 通过CPU101从图4A中所示的电路配置中的硬盘8或FPGA102加载程序并执行所述程序即可实现图5B中的操作。

[0059] 在步骤S201中,CPU101等待即将从FPGA102中释放(在步骤S201中为“否”)并输出的等待信号108。如果等待信号108被释放(在步骤S201中为“是”),那么处理推进至步骤S202。

[0060] 在步骤S202中,CPU101从FPGA102的启动程序存储单元301读取启动程序。

[0061] 在步骤S203中,CPU101将在步骤S202中读取的程序加载到DRAM103中,并执行加载的程序,从而执行启动处理。

[0062] 在步骤S204中,CPU101通知FPGA102逻辑电路的重新配置命令。

[0063] 在步骤S205中,CPU101等待即将从FPGA102中释放(在步骤S205中为“否”)并输出的等待信号108。如果等待信号108被释放(在步骤S205中为“是”),那么CPU101就终止启动处理。此时,也可以执行CPU101中的端口设置。

[0064] 在图5A、5B中所示的操作完成后,CPU101和FPGA102中的图像数据处理单元304互相协作以便执行各种处理,例如复印、打印、扫描和传真。

[0065] 根据第一示例性实施方式,在包括CPU101和FPGA102中的图像形成装置1中,CPU101的ROM可以省略。这样,图像形成装置1中的部件的成本和电路的规模都可以降低或减小。

[0066] 根据第二示例性实施方式,在包括FPGA中的图像形成装置中,FPGA可作为用于存储启动程序的ROM以及在启动时和启动后用于处理图像数据的处理电路。

[0067] 图像形成装置1的配置和图1所示的配置相似,因此不再赘述。

[0068] 另外,控制器单元110的配置和图2所示的配置相似,因此不再赘述。

[0069] 图6展示了本示例性实施方式的闪存ROM104的数据结构。

[0070] 第三电路信息401是用于在FPGA102中配置如图7所示逻辑电路的数据。第三电路信息401被写入闪存ROM104的地址“0000”。

[0071] 图7展示了本示例性实施方式的FPGA102中配置的逻辑电路。

[0072] 图7展示了通过将第三电路信息401加载到FPGA102中在FPGA102中配置的第三逻辑电路。当启动图像形成装置1时,就在FPGA102中配置图7所示的逻辑电路。

[0073] 在图7中,电路重新配置控制单元303是静态的配置。换句话说,电路重新配置控制单元303是装好的,不能通过加载下文将描述的程序而被改变。另一方面,电路重新配置控

制单元303以外的部件是动态配置。换句话说,这些部件没有被事先装好,且能通过加载下文将描述的程序而被改变。

[0074] 在图7中,和图4A、4B中相似的部分具有相同的附图标记,因此不再描述这些部分。图7中的配置和图4A、4B中的配置不同的地方在于启动程序存储单元301和图像数据处理单元304设置在相同的电路中。

[0075] 图8A、8B是流程图,展示了当启动第二示例性实施方式的图像形成装置1时控制器单元110的操作。

[0076] 在图8A、8B中,和图5A、5B中相似的处理具有相同的附图标记,因此不再描述这些处理。图8A、8B所示的操作和图5A、5B中的处理不同的地方在于步骤S101被改变为步骤S301以及步骤S103、S104、S105、S106、S204、S205被省略了。

[0077] 图8A所示的操作时通过FPGA102从闪存ROM104加载程序并执行所述程序而实现的。通过CPU101从图7中所示的电路配置中的硬盘8或FPGA102加载程序并执行所述程序即可实现图8B中的操作。

[0078] 在步骤S301中,FPGA102通过电路重新配置控制单元303从闪存ROM104的地址“0000”读取第三电路信息401,并配置如图7所示的第三逻辑电路。

[0079] 在图8A、8B中所示的操作完成后,CPU101和FPGA102中的图像数据处理单元304互相协作以便执行各种处理,例如复印、打印、扫描和传真。

[0080] 根据第二示例性实施方式,在包括CPU101和FPGA102中的图像形成装置1中,不需要单独设置CPU101的ROM。这样,图像形成装置1中的部件的成本和电路的规模都可以降低或减小。另外,和第一示例性实施方式相比,尽管在启动时在FPGA102中配置的逻辑电路的规模增大了,但是在启动后FPGA102和CPU101的处理可以被简化。

[0081] 本发明的实施方式还可以通过系统或装置的、用于读出并执行记录在存储介质(例如,非临时性计算机可读存储介质)上的计算机可执行指令以执行本发明中一个或多个实施方式功能的计算机来实现;所述发明的实施方式也可以通过方法来实现,该方法的各步骤由系统或装置的计算机、通过如从存储介质读出并执行计算机可执行指令以执行本发明一个或多个实施方式功能来执行。计算机可以包括中央处理单元(CPU)、微处理单元(MPU)及其他电路中的一个或多个,也可以包括独立计算机网络或独立计算机处理器网络。计算机可执行指令可以从例如网络或存储介质提供给计算机。存储介质可以包括例如硬盘、随机存取存储器(RAM)、只读存储器(ROM)及分布式计算系统存储器、光盘(例如激光唱片(CD)、数字化通用光盘(DVD)或蓝光光盘(BD)TM)、闪存装置、存储卡等中的一个或多个。

[0082] 虽然已经结合示例性实施方式描述了本发明,应当认识到,本发明并不局限于公开的示例性实施方式。下列权利要求的范围应当适合最广泛的解释,以便囊括所有改动、等同结构和功能。

[0083] 本申请要求2012年6月28日提交的日本专利申请JP2012-145659的优先权,该申请在此已被全文引用。

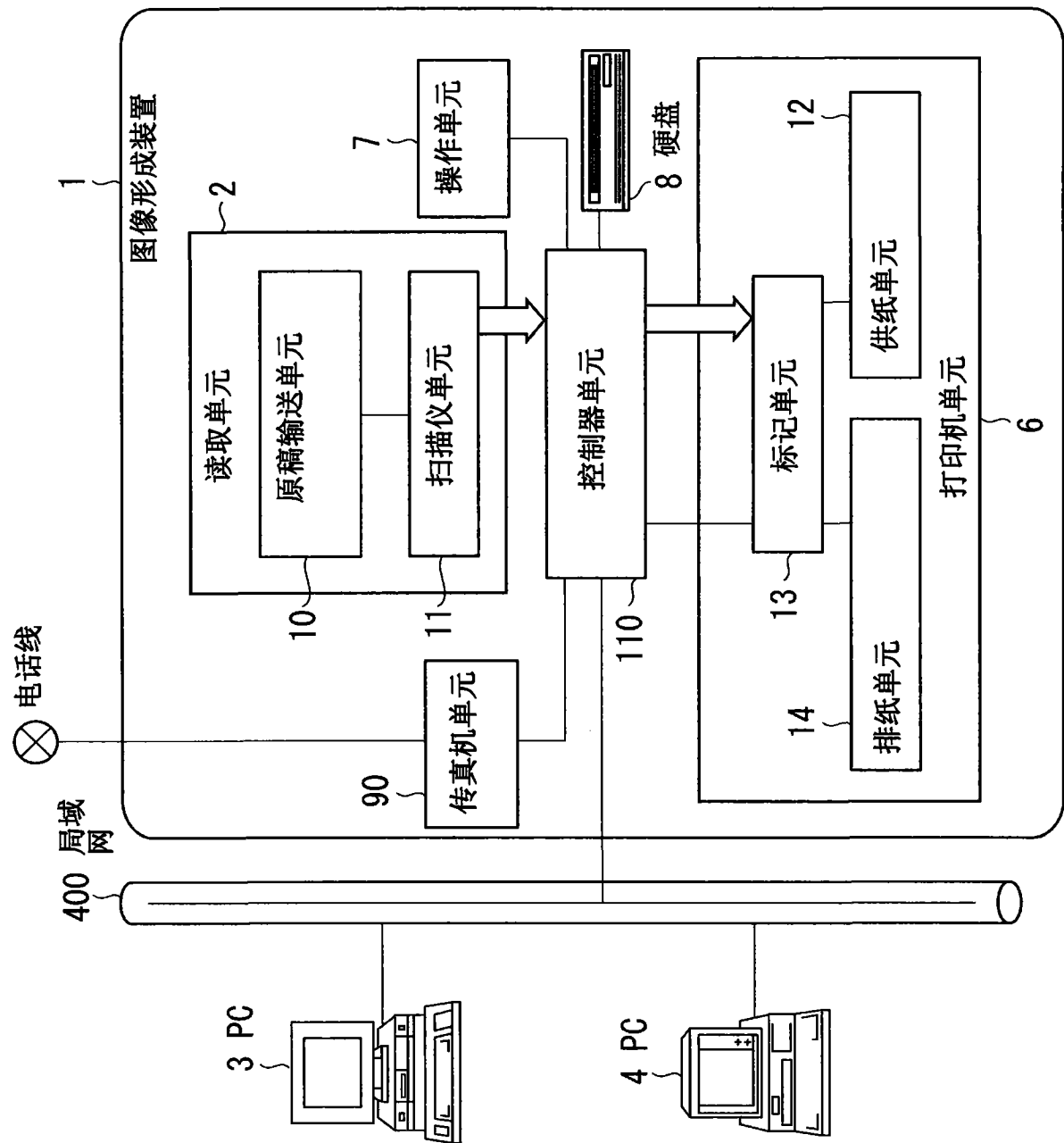


图1

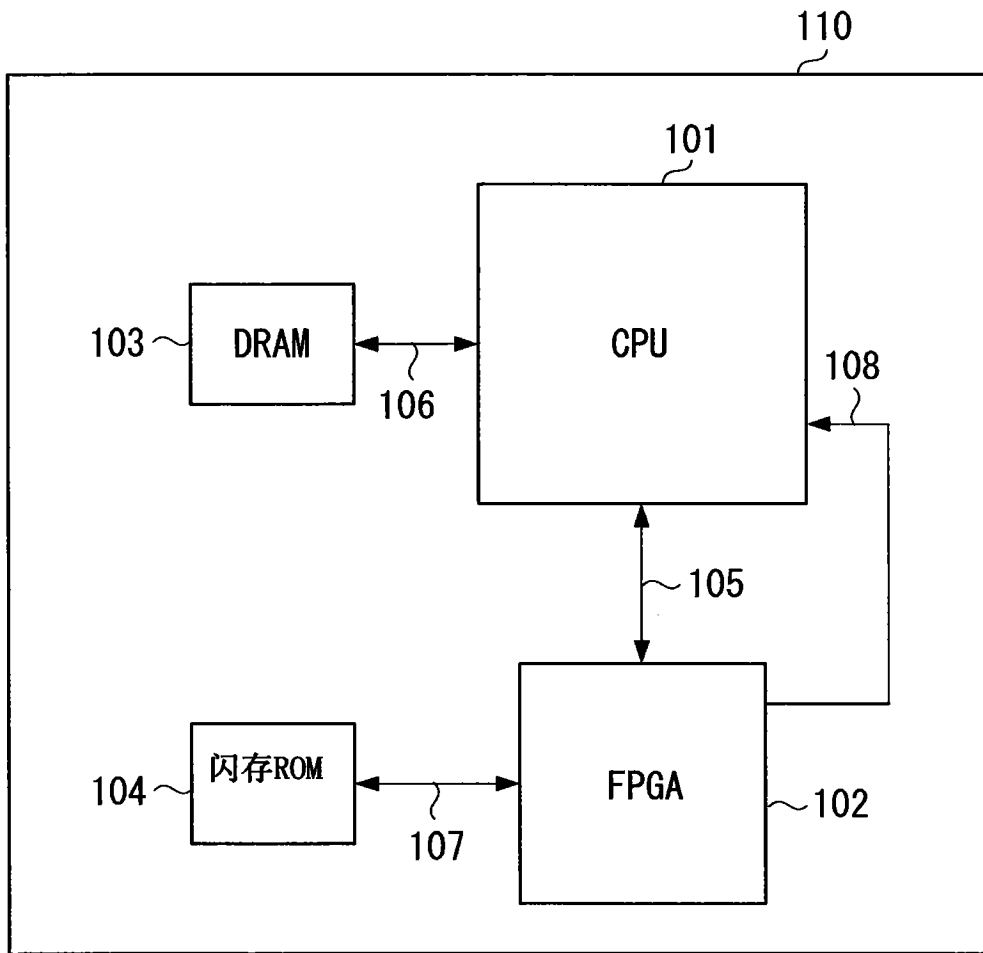


图2

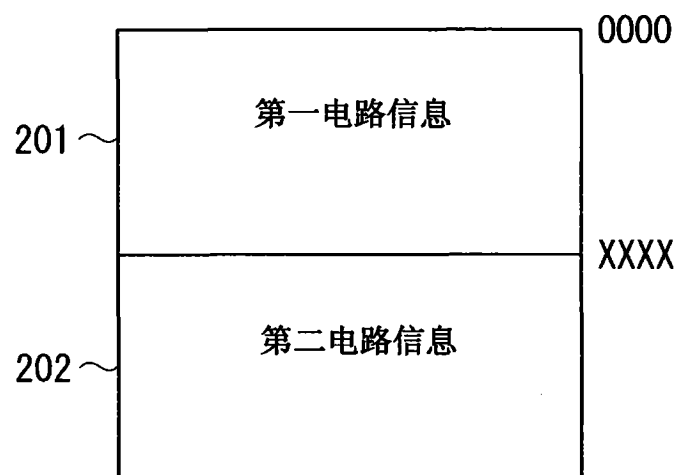


图3

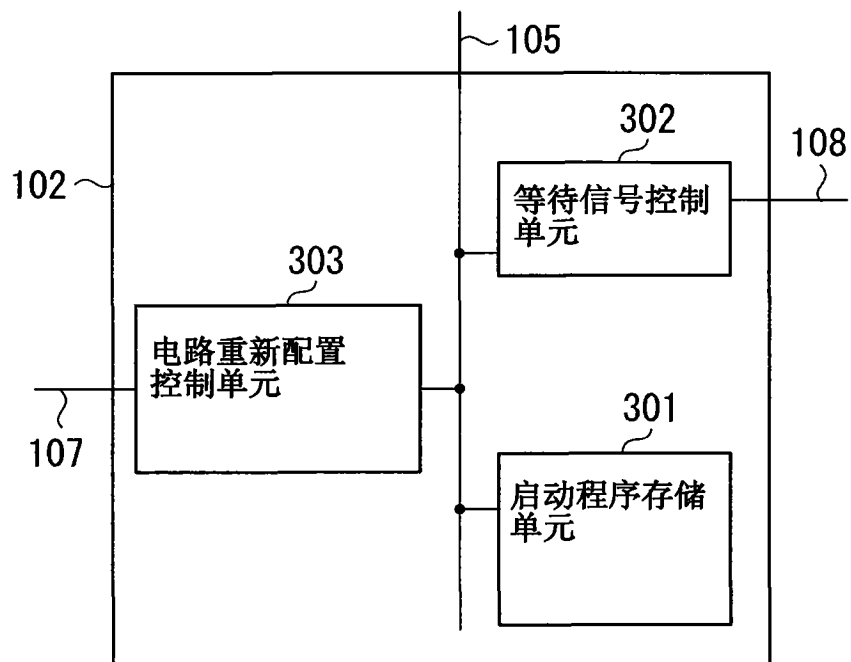


图4A

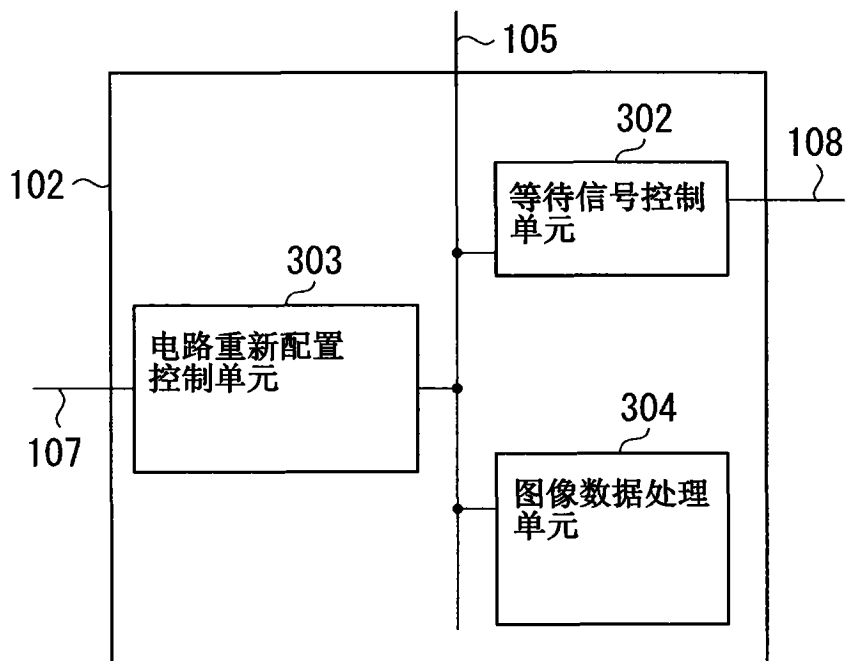


图4B

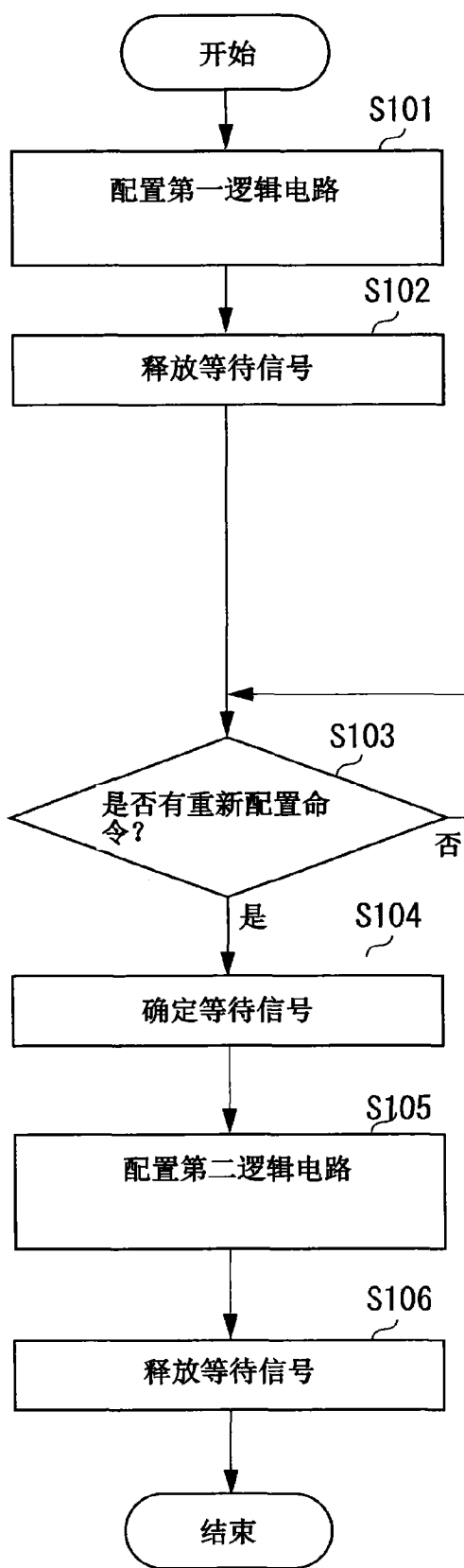


图 5A

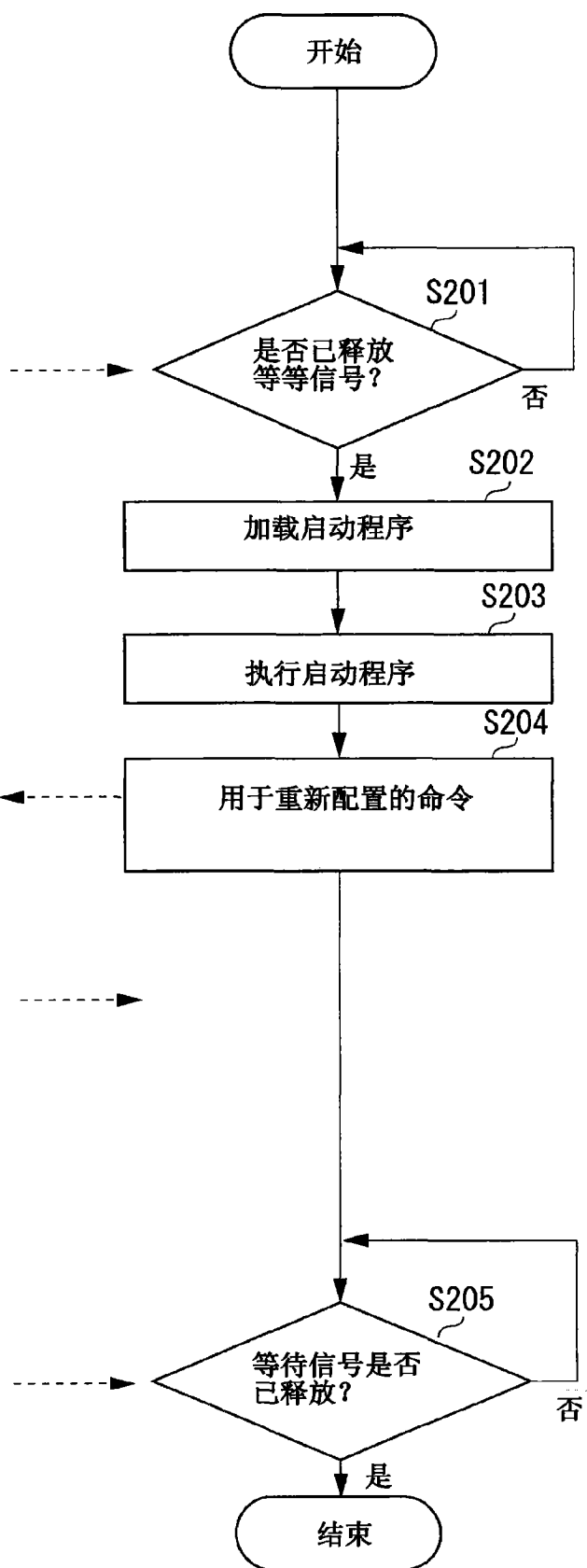


图 5B

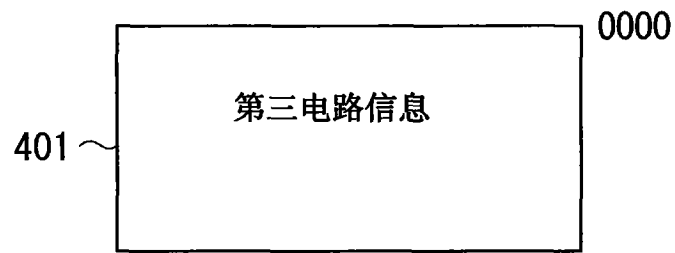


图6

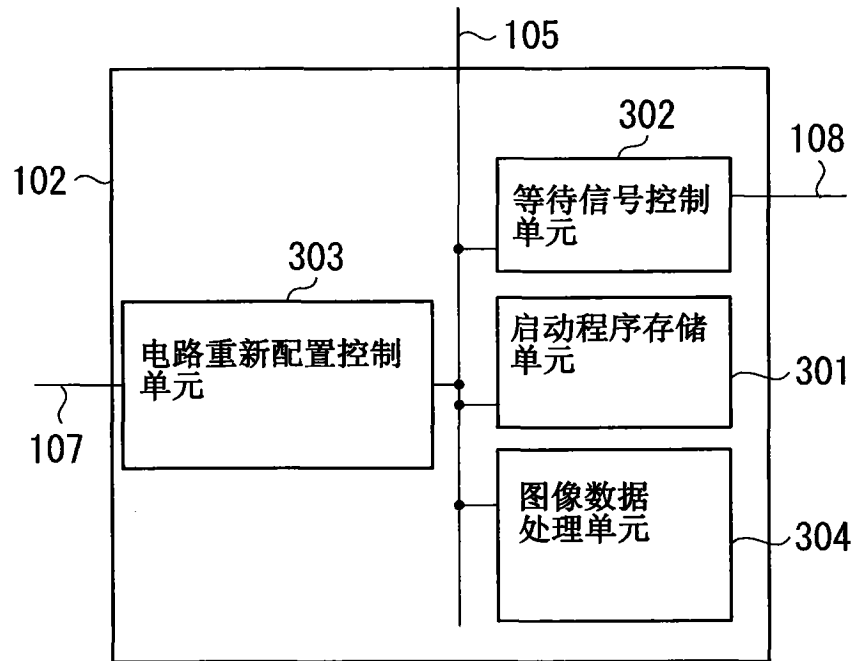


图7

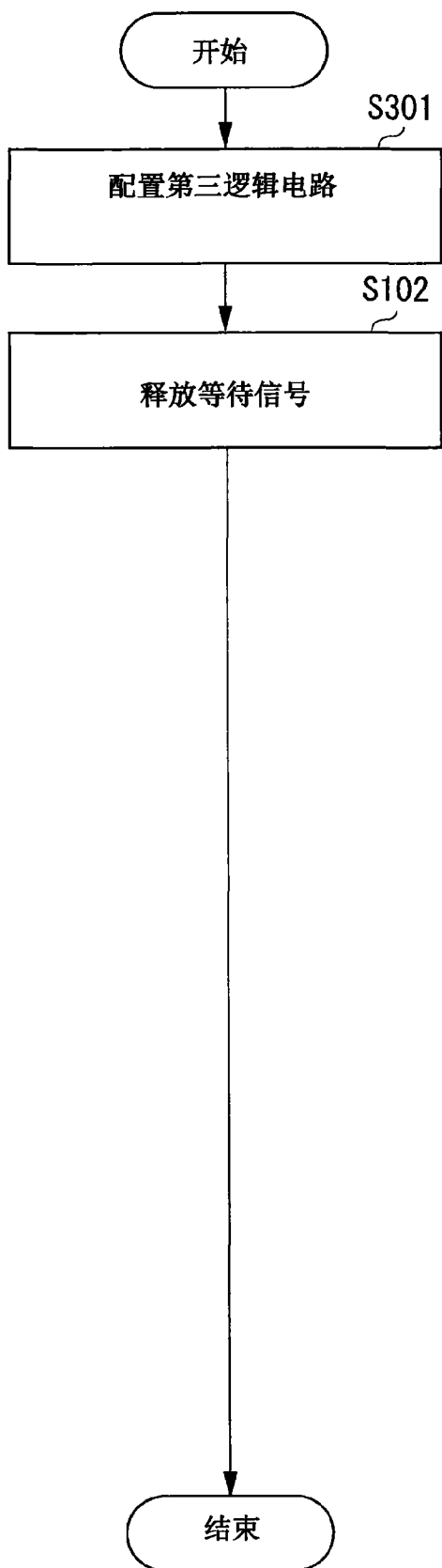


图 8A

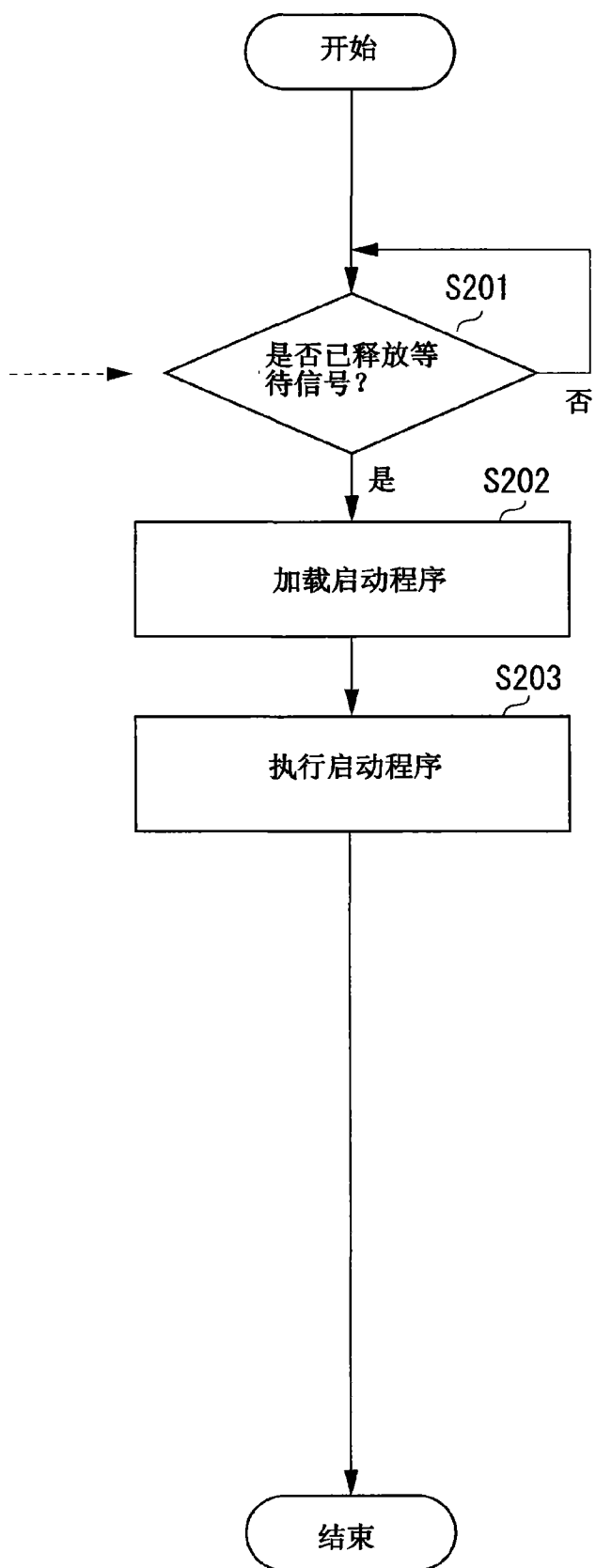


图 8B