(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4599993号
(P4599993)
(45)発行日　平成22年12月15日(2010.12.15)　(24)登録日　平成22年10月8日(2010.10.8)

(51)Int.Cl.　F I
H04N 5/335 (2006.01)　H04N 5/335 410
H01L 27/146 (2006.01)　H04N 5/335 740
H04N 5/335 780
H01L 27/14 A

請求項の数 14　(全 28 頁)

(21)出願番号　特願2004-320264 (P2004-320264)
(22)出願日　平成16年11月4日 (2004.11.4)
(65)公開番号　特開2006-135480 (P2006-135480A)
(43)公開日　平成18年5月25日 (2006.5.25)
審査請求日　平成19年8月29日 (2007.8.29)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　西　孝文
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　紅林　久
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　阿比留　隆浩
福岡県福岡市早良区百道浜　２－３－２　ＴＮＣ　放送会館　１０Ｆ　ソニー・エルエスアイ・デザイン株式会社内
最終頁に続く

(54)【発明の名称】物理情報取得方法および物理情報取得装置

(57)【特許請求の範囲】
【請求項１】
入射光量に応じた信号を出力する複数の単位画素を有する撮像部と、
前記撮像部内の第１方向の単位画素を選択する第１選択回路と、
前記撮像部内の前記第１方向と異なる第２方向の単位画素を選択する複数のスイッチを有する第２選択回路と、
前記複数の第２選択回路にそれぞれ接続された複数の信号線と、
前記複数の信号線にそれぞれ接続された複数の出力回路と、
オンまたはオフに応答して前記信号線から前記出力回路へ信号を転送する信号転送期間またはリセット期間を規定する駆動パルス、および、オンまたはオフに応答してサンプリング期間またはホールド期間を規定するタイミングパルスを出力する、制御信号出力部と、
を具備し、
前記複数の出力回路の各々は、
前記複数の信号線のうちの対応する信号線に接続され、前記信号転送期間において前記信号線から転送される信号を増幅する増幅回路と、
一端が当該対応する増幅回路に接続され、前記サンプリング期間またはホールド期間を規定する前記タイミングパルスのオンまたはオフに応答してオンまたはオフ動作するサンプルスイッチと、
当該サンプルスイッチの他端に接続されたホールドキャパシタと

を有する、
サンプルホールド回路を有し、
前記制御信号出力部は、
前記複数の信号線に出力される前記単位画素の信号の信号列の出力タイミングが異なるように、前記第２選択回路内の前記複数のスイッチのオン・オフ動作を規定する制御パルスを出力し、
前記複数の増幅回路の信号転送期間と複数の増幅回路に対応する複数のサンプルホールド回路のホールド期間とが時間的に異なるように、前記複数の増幅回路に印加する前記駆動パルスおよび前記複数のサンプルスイッチに印加する前記タイミングパルスを生成する、
固体撮像装置。
【請求項２】
前記制御信号出力部は、前記信号転送期間と前記リセット期間が等しい前記駆動パルス、および、前記サンプル期間と前記ホールド期間が等しい前記タイミングパルスを生成する、
請求項１に記載の固体撮像装置。
【請求項３】
前記制御信号出力部は、前記複数のサンプル回路に印加する、１のタイミングパルスの立ち上がり期間と、他のタイミングパルスの立ち下がり期間が重複し、この重複期間において、１のタイミングパルスの立ち上がり、他のタイミングパルスの立ち下がるように、前記タイミングパルスを生成する、
請求項１または２に記載の固体撮像装置。
【請求項４】
前記出力回路の各々は、前記ホールドキャパシタに接続された、バッファ回路として機能する出力回路を有する、
請求項１～３のいずれかに記載の固体撮像装置。
【請求項５】
前記第２選択回路は、
前記撮像部内の前記第１方向と異なる第２方向の単位画素に接続された複数の第１信号線と、
前記複数の第１信号線にそれぞれ接続された複数の信号処理回路と、
前記複数の信号処理回路に接続され、前記制御信号生成回路からの駆動パルスに応答してオン・オフ動作する前記複数のスイッチを有する選択回路と
を有する、
請求項１～４のいずれかに記載の固体撮像装置。
【請求項６】
前記複数の信号処理回路は各々、
対応する第１信号線に接続された、結合キャパシタと、
当該結合キャパシタに接続され、選択クロックに応じてオン・オフする、スイッチ素子と、
当該スイッチ素子の出力側に接続され、前記対応する第１信号線の信号電荷を蓄積する、蓄積キャパシタと
を有する、
請求項５に記載の固体撮像装置。
【請求項７】
前記複数の信号処理回路は各々、相関二重サンプリング処理回路を有する、
請求項６に記載の固体撮像装置。
【請求項８】
前記撮像部の入射光量に応じた信号を出力する複数の単位画素はＣＭＯＳセンサを有する、

請求項１～７のいずれかに記載の固体撮像装置。
【請求項９】
前記撮像部内の第１方向の単位画素を選択する第１選択回路と、前記撮像部内の前記第１方向と異なる第２方向の単位画素を選択する複数のスイッチを有する第２選択回路と、前記複数の第２選択回路にそれぞれ接続された複数の信号線と、前記複数の信号線にそれぞれ接続された前記複数の出力回路は、同一半導体基板に形成されている、
請求項１～８のいずれかに記載の固体撮像装置。
【請求項１０】
前記複数の出力回路に、当該出力回路の数と同じ数、または、少ない数のアナログ／デジタル変換器が接続可能であり、
前記複数の出力回路に当該出力回路の数より少ない数のアナログ／デジタル変換器が接続された場合、前記複数の出力回路と前記アナログ／デジタル変換器との間に複数の出力回路の出力信号を選択する選択回路が接続可能であり、
前記選択回路および前記アナログ／デジタル変換器には、前記制御信号出力部と連動する制御回路からサンプリングクロックが印加される、
請求項１～９のいずれかに記載の固体撮像装置。
【請求項１１】
前記アナログ／デジタル変換器の動作は、前記出力回路内のサンプル回路より高速である、
請求項１０に記載の固体撮像装置。
【請求項１２】
前記制御信号生成回路は、前記サンプル回路におけるリセット信号が、前記アナログ／デジタル変換器のサンプリング期間を侵さないタイミングに前記駆動パルスを生成する、
請求項１１に記載の固体撮像装置。
【請求項１３】
入射光量に応じた信号を出力する複数の単位画素を有する撮像部と、
前記撮像部内の第１方向の単位画素を選択する第１選択手段と、
前記撮像部内の前記第１方向と異なる第２方向の単位画素を選択する複数のスイッチを有する第２選択手段と、
前記複数の第２選択手段にそれぞれ接続された複数の信号線と、
前記複数の信号線にそれぞれ接続された複数の出力回路と、
オンまたはオフに応答して前記信号線から前記出力回路へ信号を転送する信号転送期間またはリセット期間を規定する駆動パルス、および、オンまたはオフに応答してサンプリング期間またはホールド期間を規定するタイミングパルスを出力する、制御信号出力手段と、
を具備し、
前記複数の出力回路の各々は、
前記複数の信号線のうちの対応する信号線に接続され、前記信号転送期間において前記信号線から転送される信号を増幅する増幅回路と、
一端が当該対応する増幅回路に接続され、前記サンプリング期間またはホールド期間を規定する前記タイミングパルスのオンまたはオフに応答してオンまたはオフ動作するサンプルスイッチと、
当該サンプルスイッチの他端に接続されたホールドキャパシタと
を有する、サンプルホールド回路を有し、
前記制御信号出力手段は、
前記複数の信号線に出力される前記単位画素の信号の信号列の出力タイミングが異なるように、前記第２選択手段内の前記複数のスイッチのオン・オフ動作を規定する制御パルスを出力し、
前記複数の増幅回路の信号転送期間と複数の増幅回路に対応する複数のサンプルホールド回路のホールド期間とが時間的に異なるように、前記複数の増幅回路に印加する前記

駆動パルスおよび前記複数のサンプルスイッチに印加する前記タイミングパルスを生成する、
固体撮像装置。
【請求項１４】
固体撮像装置の駆動制御方法であって、
当該固体撮像装置は、入射光量に応じた信号を出力する複数の単位画素を有する撮像部と、前記撮像部内の第１方向の単位画素を選択する第１選択手段と、前記撮像部内の前記第１方向と異なる第２方向の単位画素を選択する複数のスイッチを有する第２選択手段と、前記複数の第２選択手段にそれぞれ接続された複数の信号線と、前記複数の信号線にそれぞれ接続された複数の出力回路と、オンまたはオフに応答して前記信号線から前記出力回路へ信号を転送する信号転送期間またはリセット期間を規定する駆動パルス、および、オンまたはオフに応答してサンプリング期間またはホールド期間を規定するタイミングパルスを出力する、制御信号出力手段とを具備し、前記複数の出力回路の各々は、前記複数の信号線のうちの対応する信号線に接続され、前記信号転送期間において前記信号線から転送される信号を増幅する増幅回路と、一端が当該対応する増幅回路に接続され、前記サンプリング期間またはホールド期間を規定する前記タイミングパルスのオンまたはオフに応答してオンまたはオフ動作するサンプルスイッチと、当該サンプルスイッチの他端に接続されたホールドキャパシタとを有する、サンプルホールド回路を有し、前記制御信号出力手段は、前記複数の信号線に出力される前記単位画素の信号の信号列の出力タイミングが異なるように、前記第２選択手段内の前記複数のスイッチのオン・オフ動作を規定する制御パルスを出力し、前記複数の増幅回路の信号転送期間と複数の増幅回路に対応する複数のサンプルホールド回路のホールド期間とが時間的に異なるように、前記複数の増幅回路に印加する前記駆動パルスおよび前記複数のサンプルスイッチに印加する前記タイミングパルスを生成する、
固体撮像装置の駆動制御方法であって、
前記複数の信号線に出力される前記単位画素の信号の信号列の出力タイミングが異なるように、前記第２選択手段内の前記複数のスイッチのオン・オフ動作を規定する制御パルスを出力する処理と、
前記複数の増幅回路の信号転送期間および複数の増幅回路に対応する複数のサンプルホールド回路のホールド期間が時間的に異なるように、前記複数の増幅回路に印加する前記駆動パルスおよび前記複数のサンプルスイッチに印加する前記タイミングパルスを生成する処理と
を行う、固体撮像装置の駆動制御方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、物理情報取得方法および物理情報取得装置に関する。たとえば、物理量分布検知の半導体装置の一例である撮像装置を利用した撮像技術に関する。
【０００２】
より詳細には、たとえば光や放射線などの外部から入力される電磁波に対して感応性をする複数の単位構成要素が配列されてなり、単位構成要素によって電気信号に変換された物理量分布を電気信号として読み出す際の、信号干渉の低減技術に関する。
【背景技術】
【０００３】
光や放射線などの外部から入力される電磁波あるいは圧力（接触など）などの物理量変化に対して感応性をする単位構成要素（たとえば画素）をライン状もしくはマトリクス状に複数個配列してなる物理量分布検知半導体装置が様々な分野で使われている。
【０００４】
たとえば、映像機器の分野では、物理量の一例である光（電磁波の一例）の変化を検知するＣＣＤ（Charge Coupled Device ）型あるいはＭＯＳ（Metal Oxide Semiconductor

）やＣＭＯＳ（Complementary Metal-oxide Semiconductor ）型の撮像素子（撮像デバイス）を用いた固体撮像装置が使われている。ここで“固体”とは半導体製であることを意味している。

【０００５】

たとえばＣＣＤやＣＭＯＳイメージセンサに代表される固体撮像素子の小型化、低価格化により、これらを利用した各種映像機器、たとえば静止画を撮影するデジタルスチルカメラやカメラ付き携帯電話あるいは動画を撮影するビデオカメラなどが急激に普及しつつある。なかでもＣＭＯＳイメージセンサは、ＣＣＤに比べて低消費電力、低コストで製造可能であることから、将来ＣＣＤを置き換えるものとして注目を集めている。

【０００６】

また、近年、半導体技術の進歩により、固体撮像素子の高画素化が急速に進んでおり、たとえば数１００万画素の固体撮像素子が開発され、高解像度が要求されるデジタルスチルカメラや映画用のビデオカメラなどに利用されている。その中でもＣＭＯＳセンサは各画素に光電変換素子と読出回路が設けられた固体撮像装置であり、各画素をランダムにアクセスすることや、高速に読み出すことができることから、将来を有望視されているセンサである。

【０００７】

また、コンピュータ機器の分野では、指紋に関する情報を圧力に基づく電気的特性の変化や光学的特性の変化に基づき指紋の像を検知する指紋認証装置などが使われている。これらは、単位構成要素（固体撮像装置にあっては画素）によって電気信号に変換された物理量分布を電気信号として読み出す。

【０００８】

一方、固体撮像装置の中には、電荷生成部で生成された信号電荷に応じた画素信号を生成する画素信号生成部に静電誘導トランジスタやＭＯＳトランジスタなどの増幅用の駆動トランジスタを有する増幅型固体撮像素子（ＡＰＳ；Active Pixel Sensor ／ゲインセルともいわれる）構成の画素を備えた増幅型固体撮像装置がある。たとえば、ＣＭＯＳ型固体撮像装置の多くはそのような構成をなしている。

【０００９】

このような増幅型固体撮像装置において画素信号を外部に読み出すには、複数の単位画素が配列されている画素部に対してアドレス制御をし、個々の単位画素からの信号を任意に選択して読み出すようにしている。つまり、増幅型固体撮像装置は、アドレス制御型の固体撮像装置の一例である。

【００１０】

たとえば、単位画素がマトリクス状に配されたＸ－Ｙアドレス型固体撮像素子の一種である増幅型固体撮像素子は、画素そのものに増幅機能を持たせるために、ＭＯＳ構造などの能動素子（ＭＯＳトランジスタ）を用いて画素を構成している。すなわち、光電変換素子であるフォトダイオードに蓄積された信号電荷（光電子）を前記能動素子で増幅し、画像情報として読み出す。

【００１１】

この種のＸ－Ｙアドレス型固体撮像素子では、たとえば、画素トランジスタが２次元行列状に多数配列されて画素部が構成され、ライン（行）ごとあるいは画素ごとに入射光に対応する信号電荷の蓄積が開始され、その蓄積された信号電荷に基づく電流または電圧の信号がアドレス指定によって各画素から所定順に読み出される。ここで、ＭＯＳ（ＣＭＯＳを含む）型においては、アドレス制御の一例として、１行分を同時にアクセスして行単位で画素信号を画素部から読み出し、その後に、その１行分の画素信号を順次出力側に読み出す方式が多く用いられている。たとえばマトリクス状に配置された画素の信号出力が、行ごとに順次垂直信号線に送られ、垂直信号線からさらに水平方向に順次水平読出線に接続されて出力される（たとえば特許文献１参照）。

【００１２】

【特許文献１】特開平１１－１６４２０４号公報

【００１３】
図１２は、従来の固体撮像装置の一構成例を示すブロック図である。図１２に示すように、増幅型の固体撮像装置９０１は、図示しないフォトダイオードやフォトゲート（何れも光電変換素子の一例）などでなる電荷生成部を少なくとも１つと能動素子とを有した増幅型の光電変換画素（以下単位画素９０３という）が行方向および列方向に配列された撮像部（画素マトリクス）９１０を備える。
【００１４】
また、固体撮像装置９０１は、撮像部９１０やその他の機能部を駆動する制御パルスを生成する駆動信号操作部９１６と出力回路９８８とが、撮像部９１０と同一の半導体基板上に設けられて構成されている。
【００１５】
出力回路９８８の後段である撮像チップ外部の外部回路９９７には、出力回路９８８から出力されたアナログの撮像信号Ｓ３（個々の画素信号Ｓ１＿１～ｎの纏まり）をデジタルの撮像データに変換する機能部や、デジタル化された撮像データに基づいてデジタル信号処理を施す機能部が設けられる。
【００１６】
たとえば図１２（Ｂ）に示すように、撮像チップ内部の出力回路９８８は、出力アンプ９９０と、サンプルホールド部９９２と、出力バッファ９９３とをこの順に有し、出力バッファ９９３と撮像チップ外部の図示しないデジタル信号処理回路の間には、外部回路９９７の一部をなすＡＤ変換部９９９が設けられる。
【００１７】
サンプルホールド部９９２は、垂直列ごとに水平信号線９８６を基準レベルにリセットしてから信号レベルを読み出すべく出力アンプ９９０が信号転送状態とリセット状態とを交互に繰り返しながら動作するものであることに対応して設けられており、サンプルスイッチ９９４とホールドコンデンサ９９６とを備え、実際に画像として必要な信号転送状態の信号を抽出する機能を持つ。
【００１８】
ＡＤ変換部９９９は、サンプルホールド部９９２から出力バッファ９９３を介して固体撮像装置９０１の外部に出力されたアナログの撮像信号Ｓ３をデジタルの撮像データＤ３に変換して、後段の図示しないデジタル信号処理回路に渡す。
【００１９】
駆動信号操作部９１６には、水平走査部９１２と、垂直走査部９１４とが設けられている。垂直走査部９１４からは、読出行を選択し、その選択した単位画素３にて取得される画素信号を読出回路であるカラム処理部９２０に読み出すために、複数の垂直制御線９１５（＿１，２，…）が単位画素３に供給される。
【００２０】
撮像部９１０の単位画素９０３から画素信号が出力される垂直信号線９１８は、それぞれ撮像部９１０内における列方向の単位画素９０３に共通接続され、読出回路としてのカラム処理部９２０内の各列に対応するカラム回路９２２にそれぞれ接続されている。
【００２１】
それぞれのカラム回路９２２には、一例として、結合容量９２３と、信号転送スイッチ９２４と、蓄積容量９２６とが設けられている。信号転送スイッチ部９２４ＱＴの各制御ゲート端には、クロックφＴが共通入力される。各列の結合容量９２３を纏めて結合容量群９２３Ｃといい、各列の信号転送スイッチ９２４を纏めて信号転送スイッチ部９２４ＱＴといい、各列の蓄積容量９２６を纏めて蓄積容量群９２６Ｃという。
【００２２】
カラム処理部９２０内において、カラム出力線９２８には、他端が接地された蓄積容量９２６が接続され、各蓄積容量９２６は、行方向の蓄積容量群９２６Ｃを構成する。画素から出力された電気信号は、垂直信号線９１８を通り、各々の垂直信号線９１８に接続されている蓄積容量９２６に保持される。

【００２３】
カラム処理部９２０からの出力信号は、水平読出用のスイッチ９８４を備えた水平読出スイッチ部９８４Ｑｈに入力される。カラム処理部９２０の各カラム回路９２２の出力は、カラム出力線９２８を介して、蓄積容量９２６に保持されている電荷を順次読み出すための各列に対応する水平読出用のスイッチ９８４にそれぞれ接続されている。
【００２４】
水平読出スイッチ部９８４Ｑｈの出力端側は、行方向の信号電荷を順次転送出力する水平信号線９８６が共通接続される。一方、水平読出スイッチ部９８４Ｑｈの各制御ゲート端は、水平シフトレジスタやデコーダなどで構成され水平方向の読出アドレスを制御する水平アドレス設定部９１２ａおよび水平読出スイッチ部９８４Ｑｈのスイッチ９８４を駆動する水平駆動部９１２ｂを備えた水平走査回路９１２に接続される。
【００２５】
水平駆動部９１２ｂには、図示しないゲート回路が設けられており、水平アドレス設定部９１２ａから、読出列に対応するゲート回路には、ゲートクロックφＧＨが共通入力されるとともに、読出列に対応する制御出力（水平転送クロックφＨｋ）が入力される。
【００２６】
垂直制御線９１５によって選択された行の単位画素９０３から出力された画素信号は、単位画素９０３に対して平行に配置されるカラム処理部９２０内の対応列のカラム回路９２２に入力され、蓄積容量９２６に信号電荷として蓄積される。この信号の蓄積動作は、１行同時に行なわれる。
【００２７】
たとえば、この固体撮像装置９０１では、まずクロックφＴを各信号転送スイッチ９２４の制御ゲート端に入力して、信号転送スイッチ部９２４ＱＴの各信号転送スイッチ９２４をオン状態にし、垂直信号線９１８から、撮像部９１０において選択された行の単位画素９０３からの信号電荷出力を、カラム出力線９２８を介して対応する列の蓄積容量９２６に蓄積する。この間、水平読出スイッチ部９８４Ｑｈの各水平読出スイッチ９８４は、全てオフ状態に保持されている。
【００２８】
その後、水平走査部９１２により読出列のスイッチ９８４が選択され、蓄積容量９２６に蓄積された信号電荷は、その選択順に従って水平信号線９２８に読み出される。たとえば、クロックφＴのオフによって信号転送スイッチ部９２４ＱＴをオフ状態に保持し、水平アドレス設定部９１２ａからの制御出力である水平転送クロックφＨによって、それぞれの蓄積容量９２６に蓄積された信号電荷を順次、水平信号線９８６および出力回路９８８に渡す。出力回路９８８は、単位画素９０３の画素信号の集合である撮像信号Ｓ３を、出力端子９８９から外部回路９９７に向けて出力する。
【００２９】
たとえば、まず水平アドレス設定部９１２ａは、行方向に沿って左端から順番に列を選択し、順次ハイレベルの水平転送クロックφＨ１～φＨ８を出力する。水平駆動部９１２ｂは、水平アドレス設定部９１２ａの制御出力φＨ１～φＨｈとゲートクロックφＧＨとの論理積（φｇ１～φｇｈ）を、それぞれ水平読出スイッチ９８４＿１～ｈの制御ゲート端に出力する。この結果、水平読出しスイッチ９８４＿１～ｈが順次オン状態となり、蓄積容量９２６＿１～ｈに蓄積されていた信号電荷が順次水平信号線９８６に出力され、出力回路９８８から撮像信号Ｓ３が出力される。
【００３０】
つまり、水平走査部９１２で、列選択トランジスタであるスイッチ９８４を順番に選択していくことで、各単位画素３の信号が順番に読み出される。出力回路９８８は、水平信号線９８６に順次読み出された画素信号を増幅して電圧モードで撮像チップ外部に出力する。
【発明の開示】
【発明が解決しようとする課題】

【００３１】
ところで、図１２に示す増幅型の固体撮像装置１では、各単位画素３で取得される画素信号が１本の水平信号線９８６に集められ、１個の出力回路９８８からアナログ信号で出力される。高性能、高画質を求められて固体撮像素子が多画素化してくると、出力回路９８８の動作速度が変わらなければ、全ての単位画素９０３の画素信号を出力するのに要する時間が伸びてしまう。
【００３２】
それに対して、単位画素９０３の画素信号の集合である撮像信号Ｓ３を最終的に処理する出力回路９８８の後段に設けられるデジタル処理回路部分は、通常、十分な演算速度を持っている。このため、出力回路９８８がシステム全体の処理速度を規定することになる。出力回路９８８の処理速度をアップすれば全体処理の高速化が可能であるが、実際には、アナログ回路である出力回路９８８を高速化するのは難しい。
【００３３】
この処理速度の問題を解決する一手法として、たとえば特許文献１の図１２には、水平信号線９８６と出力回路９８８とを複数設け、複数列の画素信号を同時に読み出すことで、読出処理の高速化を図る仕組みが開示されている。一例として２つの処理系統（チャネル）に分ける場合、２本の水平信号線で、カラム処理部９２０の蓄積容量９２６を半分ずつ受け持つ。
【００３４】
このような構成にすると、それぞれの出力回路が処理しなければならない画素信号の量は、図１２に示した１本の水平信号線９８６でカラム処理部２０の全ての蓄積容量９２６を受け持つ構成の場合に比べて、処理系統の数に応じて減少し、たとえば２つの処理系統に分ける場合には半分に減少する。
【００３５】
また、各処理系統の各出力回路の速度が同一であって、それぞれが同時に動作するならば、全ての単位画素３の画素信号を出力するのに要する時間も、処理系統の数に応じて減少し、たとえば２つの処理系統に分ける場合には半減することになり、読出処理の高速化を図ることができる。
【００３６】
しかしながら、各処理系統の処理回路は近接して配置されるため、他方の処理系統において使用されるタイミングパルスの影響で、お互いの信号出力に影響を及ぼし合い、これによって後段の処理回路において適正な信号処理ができなくなる問題が生じる。
【００３７】
たとえば、出力回路として、信号転送状態とリセット状態の２つの状態を切り替えて動作する構成のものを使用した場合には信号転送状態中にタイミングパルスの変化が入ると、クロストークによる影響で信号量が変化する可能性がある。また、出力回路の後段にも処理系統ごとにサンプルホールド部を設ける場合、サンプリング期間中にタイミングパルスの変化が入ると、クロストークによる影響で信号量が変化する可能性がある。そして、これらの影響により、その後段の処理回路、たとえばＡＤ変換部での処理結果が不正確になる。
【００３８】
本発明は、上記事情に鑑みてなされたものであり、複数の処理系統を用いて信号処理を行なう場合に、他方の処理系統において使用されるタイミングパルスが、一方の処理系統における後段の処理結果に悪影響を与えることを防止できる仕組みを提供することを目的とする。
【課題を解決するための手段】
【００３９】
本発明によれば、
入射光量に応じた信号を出力する複数の単位画素を有する撮像部と、前記撮像部内の第１方向の単位画素を選択する第１選択回路と、前記撮像部内の前記第１方向と異なる第２

方向の単位画素を選択する複数のスイッチを有する第２選択回路と、前記複数の第２選択回路にそれぞれ接続された複数の信号線と、前記複数の信号線にそれぞれ接続された複数の出力回路と、オンまたはオフに応答して前記信号線から前記出力回路へ信号を転送する信号転送期間またはリセット期間を規定する駆動パルス、および、オンまたはオフに応答してサンプリング期間またはホールド期間を規定するタイミングパルスを出力する、制御信号出力部と、を具備し、

前記複数の出力回路の各々は、前記複数の信号線のうちの対応する信号線に接続され、前記信号転送期間において前記信号線から転送される信号を増幅する増幅回路と、

一端が当該対応する増幅回路に接続され、前記サンプリング期間またはホールド期間を規定する前記タイミングパルスのオンまたはオフに応答してオンまたはオフ動作するサンプルスイッチと、当該サンプルスイッチの他端に接続されたホールドキャパシタとを有する、サンプルホールド回路を有し、

前記制御信号出力部は、

前記複数の信号線に出力される前記単位画素の信号の信号列の出力タイミングが異なるように、前記第２選択回路内の前記複数のスイッチのオン・オフ動作を規定する制御パルスを出力し、

前記複数の増幅回路の信号転送期間と複数の増幅回路に対応する複数のサンプルホールド回路のホールド期間とが時間的に異なるように、前記複数の増幅回路に印加する前記駆動パルスおよび前記複数のサンプルスイッチに印加する前記タイミングパルスを生成する、

固体撮像装置が提供される。

【００４０】

好ましくは、前記制御信号出力部は、前記信号転送期間と前記リセット期間が等しく、前記サンプル期間と前記ホールド期間が等しい、前記駆動パルスおよび前記タイミングパルスを生成する。

また好ましくは、前記制御信号出力部は、前記複数のサンプル回路に印加する、１のタイミングパルスの立ち上がり期間と、他のタイミングパルスの立ち下がり期間が重複し、この重複期間において、１のタイミングパルスの立ち上がり、他のタイミングパルスの立ち下がるように、前記タイミングパルスを生成する。

【００４１】

好ましくは、前記出力回路の各々は、前記ホールドキャパシタに接続された、バッファ回路として機能する出力回路を有する。

【００４２】

好ましくは、前記第２選択回路は、前記撮像部内の前記第１方向と異なる第２方向の単位画素に接続された複数の第１信号線と、前記複数の第１信号線にそれぞれ接続された複数の信号処理回路と、前記複数の信号処理回路に接続され、前記制御信号生成回路からの駆動パルスに応答してオン・オフ動作する前記複数のスイッチを有する選択回路とを有する。

また好ましくは、前記複数の信号処理回路は各々、対応する第１信号線に接続された、結合キャパシタと、当該結合キャパシタに接続され、選択クロックに応じてオン・オフする、スイッチ素子と、当該スイッチ素子の出力側に接続され、前記対応する第１信号線の信号電荷を蓄積する、蓄積キャパシタとを有する。

好ましくは、前記複数の信号処理回路は各々、相関二重サンプリング処理回路を有する。

【００４３】

好ましくは、前記撮像部の入射光量に応じた信号を出力する複数の単位画素はＣＭＯＳセンサを有する。

また好ましくは、前記撮像部内の第１方向の単位画素を選択する第１選択回路と、前記撮像部内の前記第１方向と異なる第２方向の単位画素を選択する複数のスイッチを有する第２選択回路と、前記複数の第２選択回路にそれぞれ接続された複数の信号線と、前記複

数の信号線にそれぞれ接続された前記複数の出力回路は、同一半導体基板に形成されている。

【００４４】

好ましくは、前記複数の出力回路に当該出力回路の数と同じ数、または、少ない数のアナログ／デジタル変換器が接続可能であり、前記複数の出力回路に当該出力回路の数より少ない数のアナログ／デジタル変換器が接続された場合、前記複数の出力回路と前記アナログ／デジタル変換器との間に複数の出力回路の出力信号を選択する選択回路が接続可能であり、前記選択回路および前記アナログ／デジタル変換器には、前記制御信号出力部と連動する制御回路からサンプリングクロックが印加される。

また好ましくは、前記アナログ／デジタル変換器の動作は、前記出力回路内のサンプル回路より高速である。

好ましくは、前記制御信号生成回路は、前記サンプル回路におけるリセット信号が、前記アナログ／デジタル変換器のサンプリング期間を侵さないタイミングに前記駆動パルスを生成する。

【００４５】

また本発明によれば、

入射光量に応じた信号を出力する複数の単位画素を有する撮像部と、前記撮像部内の第１方向の単位画素を選択する第１選択手段と、前記撮像部内の前記第１方向と異なる第２方向の単位画素を選択する複数のスイッチを有する第２選択手段と、前記複数の第２選択手段にそれぞれ接続された複数の信号線と、前記複数の信号線にそれぞれ接続された複数の出力回路と、オンまたはオフに応答して前記信号線から前記出力回路へ信号を転送する信号転送期間またはリセット期間を規定する駆動パルス、および、オンまたはオフに応答してサンプリング期間またはホールド期間を規定するタイミングパルスを出力する、制御信号出力手段と、を具備し、

前記複数の出力回路の各々は、前記複数の信号線のうちの対応する信号線に接続され、前記信号転送期間において前記信号線から転送される信号を増幅する増幅回路と、一端が当該対応する増幅回路に接続され、前記サンプリング期間またはホールド期間を規定する前記タイミングパルスのオンまたはオフに応答してオンまたはオフ動作するサンプルスイッチと、当該サンプルスイッチの他端に接続されたホールドキャパシタとを有する、サンプルホールド回路を有し、

前記制御信号出力手段は、

前記複数の信号線に出力される前記単位画素の信号の信号列の出力タイミングが異なるように、前記第２選択手段内の前記複数のスイッチのオン・オフ動作を規定する制御パルスを出力し、

前記複数の増幅回路の信号転送期間と複数の増幅回路に対応する複数のサンプルホールド回路のホールド期間とが時間的に異なるように、前記複数の増幅回路に印加する前記駆動パルスおよび前記複数のサンプルスイッチに印加する前記タイミングパルスを生成する、

固体撮像装置が提供される。

【００４６】

さらに本発明によれば、

上記固体撮像装置の駆動制御方法であって、

前記複数の信号線に出力される前記単位画素の信号の信号列の出力タイミングが異なるように、前記第２選択手段内の前記複数のスイッチのオン・オフ動作を規定する制御パルスを出力する処理と、

前記複数の増幅回路の信号転送期間および複数の増幅回路に対応する複数のサンプルホールド回路のホールド期間が時間的に異なるように、前記複数の増幅回路に印加する前記駆動パルスおよび前記複数のサンプルスイッチに印加する前記タイミングパルスを生成する処理と

を行う、固体撮像装置の駆動制御方法が提供される。

【発明の効果】
【００４７】
本発明によれば、複数の単位信号生成部のそれぞれから出力される単位信号を、伝送線の配列方向に読み出す際に、複数の信号処理部を使うようにするとともに、複数の信号処理部が信号処理に使用するタイミングパルスの位相関係を、他方の信号処理部の信号出力に影響を与え難いように設定するようにした。
【００４８】
伝送線の配列方向に読み出す際に、複数の信号処理部を並列に使用することで、高速な読出し動作が実現できる。加えて、複数の信号処理部が信号処理に使用するタイミングパルスの位相関係を、他方の信号処理部の信号出力に影響を与え難いように設定するので、それぞれが使用するタイミングパルスが、お互いに干渉し難いように調整される。この結果、信号処理部の後段の処理回路、たとえばＡＤ変換部での処理結果が不正確になると言うことを防止できる。
【発明を実施するための最良の形態】
【００４９】
以下、図面を参照して本発明の実施形態について詳細に説明する。なお、以下においては、Ｘ－Ｙアドレス型の固体撮像装置の一例である、ＣＭＯＳ撮像素子をデバイスとして使用した場合を例に説明する。
【００５０】
ただしこれは一例であって、対象となるデバイスはＭＯＳ型の撮像デバイスに限らない。光や放射線などの外部から入力される電磁波に対して感応性をする単位構成要素をライン状もしくはマトリクス状に複数個配列してなる物理量分布検知用の半導体装置の全てに、後述する実施形態が同様に適用できる。
【００５１】
＜撮像装置の概略構成＞
図１は、本発明に係る物理情報取得装置の一実施形態であるＣＭＯＳ固体撮像装置の概略構成図である。この固体撮像装置１は、たとえばカラー画像を撮像し得る電子スチルカメラやＦＡ（Factory Automation）カメラとして適用されるようになっている。
【００５２】
固体撮像装置１は、入射光量に応じた信号を出力する図示しない検知部としての受光素子を含む単位画素が行および列の正方格子状に配列された（すなわち２次元マトリクス状の）撮像部を有し、各単位画素からの信号出力が電圧信号であって、ＣＤＳ(Correlated Double Sampling ；相関２重サンプリング）処理機能部やその他の機能部が垂直列ごとに設けられたカラム型のものである。
【００５３】
すなわち、図１に示すように、固体撮像装置１は、複数の単位画素３（単位構成要素の一例）が行および列に（２次元行列状に）多数配列された撮像部（画素部）１０いわゆるエリアセンサ部と、撮像部１０の外側に設けられた駆動制御部７と、各垂直列に配されたカラム信号処理部（図ではカラム回路と記す）２２を有するカラム処理部２０と、水平選択スイッチ部６０とを備えている。
【００５４】
駆動制御部７としては、たとえば水平走査部１２と垂直走査部１４とを備える。また、駆動制御部７の他の構成要素として、水平走査部１２、垂直走査部１４、あるいはカラム処理部２０などの固体撮像装置１の各機能部に所定タイミングの制御パルスを供給する駆動信号操作部（読出アドレス制御装置の一例）１６が設けられている。
【００５５】
これらの駆動制御部７の各要素は、撮像部１０とともに、半導体集積回路製造技術と同様の技術を用いて単結晶シリコンなどの半導体領域に一体的に形成され、半導体システムの一例である固体撮像素子（撮像デバイス）として構成される。
【００５６】

図１では、簡単のため行および列の一部を省略して示しているが、現実には、撮像部１０の各行や各列には、数十から数千の単位画素３が配置される。なお、図示を割愛するが、撮像部１０には、各画素に所定のカラーコーディングを持つ色分離フィルタが形成される。もちろん、モノクロ撮像用など、構成によっては、色分離フィルタは必須とはならない。また図示を割愛するが、撮像部１０の各単位画素３は、フォトダイオードやフォトゲートなどの光電変換素子およびトランジスタ回路によって構成されている。

【００５７】

単位画素３は、垂直列選択のための垂直制御線１５を介して垂直走査部１４と、また複数の検知部で検知され増幅素子を有する単位信号生成部で増幅された後に単位画素３から出力される画素信号Ｓ０（＿１～ｈ；１行中の画素番号）をそれぞれ伝送する伝送線としての垂直信号線１８を介してカラム処理部２０と、それぞれ接続されている。

【００５８】

水平走査部１２や垂直走査部１４は、駆動信号操作部１６から与えられる駆動パルスに応答してシフト動作（走査）を開始するようになっている。垂直制御線１５には、単位画素３を駆動するための種々のパルス信号が含まれる。

【００５９】

水平走査部１２は、水平方向の読出列（水平方向のアドレス）を規定する（カラム処理部２０内の個々のカラム信号処理部２２を選択する）水平アドレス設定部１２ａと、水平アドレス設定部１２ａにて規定された読出アドレスに従ってカラム処理部２０の各信号を水平信号線８６に導く水平駆動部１２ｂとを有する。

【００６０】

水平アドレス設定部１２ａは、図示を割愛するが、シフトレジスタあるいはデコーダを有して構成されており、カラム信号処理部２２からの画素情報を所定の順に選択し、その選択した画素情報を水平信号線８６に出力する選択手段としての機能を持つ。

【００６１】

垂直走査部１４は、垂直方向の読出行（垂直方向のアドレス）や水平方向の読出列（水平方向のアドレス）を規定する（撮像部１０の行を選択する）垂直アドレス設定部１４ａと、垂直アドレス設定部１４ａにて規定された読出アドレス上（水平行方向）の単位画素３に対する制御線にパルスを供給して駆動する垂直駆動部１４ｂとを有する。

【００６２】

垂直アドレス設定部１４ａは、図示を割愛するが、信号を読み出す行の基本的な制御を行なう垂直シフトレジスタあるいはデコーダの他に、電子シャッタ用の行の制御を行なうシャッタシフトレジスタも有する。

【００６３】

垂直シフトレジスタは、撮像部１０から画素情報を読み出すに当たって各画素を行単位で選択するためのものであり、各行の垂直駆動部１４ｂとともに信号出力行選択手段を構成する。シャッタシフトレジスタは、電子シャッタ動作を行なうに当たって各画素を行単位で選択するためのものであり、各行の垂直駆動部１４ｂとともに電子シャッタ行選択手段を構成する。

【００６４】

駆動信号操作部１６は、図示しないが、各部の動作に必要なクロックや所定タイミングのパルス信号を供給するタイミングジェネレータＴＧ（読出アドレス制御装置の一例）の機能ブロックと、端子１ａを介して入力クロックCLK0や動作モードなどを指令するデータを受け取り、また端子１ｂを介して固体撮像装置１の情報を含むデータDATAを出力する通信インタフェースの機能ブロックとを備える。また、水平アドレス信号を水平アドレス設定部１２ａへ、また垂直アドレス信号を垂直アドレス設定部１４ａへ出力し、各アドレス設定部１２ａ，１４ａは、それを受けて対応する行もしくは列を選択する。

【００６５】

なお、駆動信号操作部１６は、撮像部１０や水平走査部１２など、他の機能要素とは独立して、別の半導体集積回路として提供されてもよい。この場合、撮像部１０や水平走査

部１２などから成る撮像デバイスと駆動信号操作部１６とにより、半導体システムの一例である撮像装置が構築される。この撮像装置は、周辺の信号処理回路や電源回路なども組み込まれた撮像モジュールとして提供されてもよい。

【００６６】

カラム処理部２０は、垂直列（カラム）ごとにカラム信号処理部２２を有して構成されており、１行分の画素の信号を受けて、各カラム信号処理部２２が対応列の画素信号Ｓ０（＿１～ｈ；１行中の画素番号）を処理して、処理済みの画素信号Ｓ１（＿１～ｈ；１行中の画素番号）を出力する。たとえば、カラム信号処理部２２は、図示を割愛するが、図１２に示したと同様に、結合容量９２３、信号転送スイッチ９２４、および蓄積容量９２６を持ち、垂直信号線１８からの信号に基づき信号電荷を蓄積する機能を備えるようにすることができる。また、ＣＤＳ(Correlated Double Sampling ；相関２重サンプリング）処理を利用したノイズ除去手段の機能を備えるようにしてもよい。

【００６７】

ＣＤＳ処理を行なう場合、駆動信号操作部１６から与えられるサンプルパルスＳＨＰとサンプルパルスＳＨＤといった２つのサンプルパルスに基づいて、垂直信号線１８を介して入力された電圧モードの画素情報に対して、画素リセット直後の信号レベル（ノイズレベル；０レベル）と真の信号レベルとの差分をとる処理を行なうことで、画素ごとの固定ばらつきによる固定パターンノイズ（ＦＰＮ；Fixed Pattern Noise ）やリセットノイズといわれるノイズ信号成分を取り除く。

【００６８】

なお、カラム信号処理部２２には、ＣＤＳ処理機能部などの後段に、必要に応じて信号増幅機能を持つＡＧＣ(Auto Gain Control) 回路やその他の処理機能回路などを設けることも可能である。

【００６９】

カラム処理部２０の後段には、図１２に示したと同様に、図示しない水平読出用のスイッチ（選択スイッチ）を備えた水平選択スイッチ部６０が設けられており、各垂直列のカラム信号処理部２２の出力端は、カラム信号処理部２２から信号を順次読み出すための各垂直列に対応する選択スイッチの入力端ｉにそれぞれ接続されている。

【００７０】

水平選択スイッチ部６０の各垂直列の制御ゲート端ｃは、水平方向の読出アドレスを制御・駆動する水平走査部１２の水平駆動部１２ｂに接続される。一方、水平選択スイッチ部６０の各垂直列の選択スイッチの出力端ｏは、行方向に画素信号を順次転送出力する水平信号線８６が共通接続されている。水平信号線８６の後端には出力回路８８が設けられている。

【００７１】

ここで、本実施形態の特徴として、撮像部１０からの画素信号の高速な読出動作が可能なように、水平信号線８６と出力回路８８とを、複数の処理系統に分けている。具体的には、垂直信号線１８を奇数列と偶数列の２つのグループに対応するように２つの処理系統に分けており、それぞれ水平信号線８６＿１，２（纏めて水平信号線８６ともいう）、出力回路８８＿１，２（纏めて出力回路８８ともいう）が設けられ、カラム処理部２０の蓄積容量９２６を半分ずつ受け持つようになっている。高速読み出しを追求すると、１つの信号処理回路に頼るよりは、複数の信号処理回路を並列に使用することが望ましいと考えられるからである。たとえば、水平信号線８６＿１および出力回路８８＿１の第１系統は奇数列を担当し、水平信号線８６＿２および出力回路８８＿２の第２系統は偶数列を担当するようにする。

【００７２】

水平信号線８６は、単位画素３のそれぞれから垂直信号線１８を介して伝送される個々の画素信号Ｓ０を、垂直信号線１８の配列方向である水平方向に所定順に出力するため読出線として機能するものであり、カラム信号処理部２２から、垂直列ごとに存在する図示しない選択スイッチによって選択された信号を取り出して出力回路８８に渡す。

【００７３】
すなわち、カラム信号処理部２２により処理された画素情報を表わす信号電荷に応じた各垂直列の電圧信号は、水平走査部１２からの水平選択信号φＨ１～φＨｈに応じた駆動パルスφｇ１～φｇｈにより駆動される垂直列ごとに設けられた選択スイッチにより所定のタイミングで選択され水平信号線８６に読み出される。そして、水平信号線８６の後端に設けられた出力回路８８に入力される。
【００７４】
出力回路８８は、信号転送状態とリセット状態の２つの状態を切り替えて動作することができるようになっている。これに対応して、信号転送状態とリセット状態の２つの状態を切り替えて動作させるパルスや信号転送状態の信号をサンプルするためのパルスなど種々の駆動パルスＣＮ１（＿１，２）が、駆動信号操作部１６から供給される。出力回路８８は、撮像部１０から水平信号線８６を通して出力される各単位画素３の画素信号Ｓ１＿１～ｈ（ｈ＝ｎ）を適当なゲインで増幅した後、駆動パルスＣＮ１の制御の元で、撮像信号Ｓ３として図示しない外部回路（後述する図２参照）に出力端子８８ａ（＿１，２）を介して供給する。この出力回路８８は、たとえば、バッファリングだけする場合もあるし、その前に黒レベル調整、列ばらつき補正、色関係処理などを行なうこともある。
【００７５】
つまり、本実施形態のカラム型の固体撮像装置１においては、単位画素３からの出力信号（電圧信号）が、垂直信号線１８→カラム処理部２０（カラム信号処理部２２）→水平信号線８６→出力回路８８の順で伝送される。その駆動は、１行分の画素出力信号は垂直信号線１８を介してパラレルにカラム処理部２０に送り、処理後の信号は水平信号線８６を介してシリアルに出力するようにする。
【００７６】
なお、垂直列や水平列ごとの駆動が可能である限り、それぞれのパルス信号を単位画素３に対して水平行方向および垂直列方向の何れから供給するか、すなわちパルス信号を印加するための駆動クロック線の物理的な配線方法は自由である。
【００７７】
このような構成の固体撮像装置１において、水平走査部１２や垂直走査部１４およびそれらを制御する駆動信号操作部１６により、撮像部１０の各画素を水平行単位で順に選択し、その選択した１つの水平行分の画素の情報を同時に読み出すタイプのＣＭＯＳイメージセンサが構成される。
【００７８】
出力回路８８の後段に設けられる図示しない外部回路は、撮像部１０や駆動制御部７などが同一の半導体領域に一体的に形成された固体撮像素子とは別の基板（プリント基板もしくは半導体基板）上に構成されており、各撮影モードに対応した回路構成が採られるようになっている。
【００７９】
撮像部１０や駆動制御部７などからなる固体撮像素子（本発明に係る半導体装置や物理情報取得装置の一例）と外部回路とによって、固体撮像装置１が構成されている。駆動制御部７を撮像部１０やカラム処理部２０と別体にして、撮像部１０やカラム処理部２０で固体撮像素子（半導体装置の一例）を構成し、この固体撮像素子と別体の駆動制御部７とで、撮像装置（本発明に係る物理情報取得装置の一例）として構成してもよい。
【００８０】
なおここでは、固体撮像素子の後段の信号処理を担当する外部回路を固体撮像素子（撮像チップ）外で行なう例を示したが、外部回路の全てもしくは一部（たとえばＡ／Ｄ変換部やデジタルアンプ部など）の機能要素を、固体撮像素子のチップに内蔵するように構成してもよい。つまり、撮像部１０や駆動制御部７などが同一の半導体領域に一体的に形成された固体撮像素子と同一の半導体基板上に外部回路を構成して、実質的に、固体撮像装置１と物理情報取得装置とが同一のものとして構成してもよい。
【００８１】

また、図では、水平選択スイッチ部６０や駆動制御部７を撮像部１０とともに備えて固体撮像装置１を構成し、実質的に、固体撮像装置１が物理情報取得装置としても機能するように構成しているが、物理情報取得装置は、必ずしもこのような構成に限定されない。水平選択スイッチ部６０や駆動制御部７の全体もしくは前記一機能部分が撮像部１０と同一の半導体領域に一体的に形成されたものであることは要件ではない。水平選択スイッチ部６０および駆動制御部７を、撮像部１０とは異なる回路基板（別の半導体基板に限らず一般的な回路基板をも意味する）、たとえば外部回路が設けられる回路基板に形成してもよい。

【００８２】

＜出力回路と外部回路の詳細＞

図２は、出力回路８８と、この出力回路８８の後段に設けられる外部回路９７の構成例を示すブロック図である。

撮像チップ内部の出力回路８８は、適度なゲインで入力信号を増幅するなどの機能を持った出力部の一例である出力アンプ９０と、出力アンプ９０から出力されたアナログの撮像信号Ｓ２における必要な部分を抽出するサンプルホールド部９２と出力バッファ９３とをこの順に有する。

【００８３】

また、撮像チップ外部の外部回路９７は、切替スイッチ部９８と、切替スイッチ部９８にて選択された信号であって、サンプルホールド部９２から出力されたアナログの撮像信号Ｓ３をデジタルの撮像データＤ３に変換する後段信号処理部の一例であるＡＤ（Analog to Digital ）変換部９９とを、この順に備えている。

【００８４】

ＡＤ変換部９９は、サンプルホールド部９２から出力バッファ９３を介して固体撮像装置１の外部に出力されたアナログの撮像信号Ｓ３をデジタルの撮像データＤ３に変換して、後段の図示しないデジタル信号処理回路に渡す。

【００８５】

アナログ信号（画素信号Ｓ３）をデジタルの撮像データＤ３に変換するＡＤ変換部９９は、アナログ信号Ｓ２を出力する出力アンプ９０やアナログ信号Ｓ３を出力するサンプルホールド部９２よりも、高速動作に十分対応可能であるものとする。なお、速度の面で回路動作を規定するものは、サンプルホールド部９２よりも出力アンプ９０の方である。

【００８６】

出力アンプ９０は、図示しない駆動信号操作部１６からの駆動パルスＣＮ１＿１，２に含まれているリセットパルスＲＳＴ（＿１，２）に従って、信号転送状態とリセット状態の２つの状態を切り替えて動作することができるようになっている。具体的には、出力アンプ９０は、リセットパルスＲＳＴ（＿１，２）がアクティブ期間（後述する図５のｔ１４～ｔ１６）に当該回路をリセットし、インアクティブ期間（後述する図５のｔ１０～ｔ１４）に読出列に対応する制御出力（水平転送クロックφＨｋ）がアクティブにされることで当該読出列の画素信号を取り出し、全体として撮像信号Ｓ２を取得する。

【００８７】

ここで本実施形態では、各出力アンプ９０＿１，２の後段に、処理系統ごとにサンプルホールド部９２＿１，２（纏めてサンプルホールド部９２という）を設けている。サンプルホールド部９２は、サンプルスイッチ９４とホールドコンデンサ９６とを有している。

【００８８】

このサンプルホールド部９２は、垂直列ごとに水平信号線８６を基準レベルにリセットしてから信号レベルを読み出すべく出力アンプ９０が信号転送状態とリセット状態の２つの状態を持ち、これら２つの状態をリセットパルスＲＳＴ（＿１，２）の制御に従って切り替えて動作する、すなわち交互に繰り返しながら動作するものであることに対応して設けられている。

【００８９】

サンプルスイッチ９４は、図示しない駆動信号操作部１６からの駆動パルスＣＮ１＿１

，２に含まれている、サンプリング期間とホールド期間の２つの状態を切り替えるためのタイミングパルスであるサンプルパルスＳＰ（＿１，２）が入力されるようになっており、サンプルパルスＳＰ（＿１，２）に基づいて、サンプリング期間とホールド期間を切り替えて動作するようになっている。

【００９０】

具体的には、サンプルスイッチ９４は、サンプルパルスＳＰ（＿１，２）がアクティブ（後述する図５のｔ１０～ｔ１２）のときに、撮像信号Ｓ２のうちの実際に画像として必要な信号転送状態のみをサンプルして、画素信号Ｓ３を取り出す。こうすることで、後段のＡＤ変換部９９におけるＡＤ変換時に、画素信号Ｓ２のリセット状態がＡＤ変換のサンプリング期間を侵さないようにすることができる。

【００９１】

また、ＡＤ変換部９９としては、サンプルホールド部９２の処理系統数よりも少ない１つの処理系統を設けるようにしている。このため、２つの処理系統に対応する２つのサンプルホールド部９２から出力される画素信号Ｓ３＿１，２の何れかを選択してＡＤ変換部９９に供給する選択部の一例として切替スイッチ部９８を、サンプルホールド部９２とＡＤ変換部９９との間に設けている。

【００９２】

切替スイッチ部９８とＡＤ変換部９９には、図示しない駆動信号操作部１６（図１を参照）から、処理系統を切り替える切替クロックCLK_０が供給される。また、ＡＤ変換部９９には、各処理系統の画素信号Ｓ３＿１，２の所定位置（時間的な位置；タイミング）をサンプリングするために、対応するサンプリングクロックCLK_１，２が図示しない駆動信号操作部１６から切替スイッチ部９８を介して供給される。

【００９３】

切替スイッチ部９８とＡＤ変換部９９とは、駆動信号操作部１６と連動して動作する図示しない外部回路９７用の制御部から供給される切替クロックCLK_０の制御の元で、連動して動作をする。たとえば奇数列の処理時には、切替スイッチ部９８は画素信号Ｓ３＿１を選択して画素信号Ｓ３とし、またサンプリングクロックCLK_１を選択してＡＤ変換部９９に供給し、ＡＤ変換部９９は、サンプリングクロックCLK_１を用いて画素信号Ｓ３（＿１）の所定位置をサンプルしてデジタル化する。同様に、偶数列の処理時には、切替スイッチ部９８は画素信号Ｓ３＿２を選択して画素信号Ｓ３とし、またサンプリングクロックCLK_２を選択してＡＤ変換部９９に供給し、ＡＤ変換部９９は、サンプリングクロックCLK_２を用いて画素信号Ｓ３（＿２）の所定位置をサンプルしてデジタル化する。

【００９４】

図示しない駆動信号操作部１６（図＠１参照）や外部回路９７用の制御部は、駆動パルスＣＮ１（＿１，２）、サンプルパルスＳＰ（＿１，２）、およびサンプリングクロックCLK（_１，２）のオン／オフタイミング（各アクティブ期間の幅を含む）が、信号成分の取得やノイズ抑制の観点で最適状態となるように、たとえば０．５～数nsec単位など、基準クロック周期よりも短い単位で微調整する機能を持っている。たとえば、サンプルパルスＳＰ（＿１，２）のサンプリング状態に対応するアクティブ期間の幅を０．５nsec単位で調整可能に構成する。

【００９５】

このような、タイミングパルスのオン／オフタイミング（各アクティブ期間の幅を含む）を基準クロック周期よりも短い単位で微調整する機能を持たせる回路構成は、図示を割愛するが、たとえばゲート回路の縦続接続を介してタイミングパルスを出力するように構成し、縦続段数を切替可能な（いわゆるタップ切替可能な）構成にするなど、公知の回路構成を任意に採用することができる。

【００９６】

なお図示しないが、ＡＤ変換部９９の後段には、ＡＤ変換部９９によりデジタル化された撮像データＤ３に基づいてデジタル信号処理を施すデジタル信号処理部（ＤＳＰ；Digital Signal Processor）を備える。

【００９７】
デジタル信号処理部は、たとえば、ＡＤ変換部９９から出力されるデジタル信号を適当に増幅して出力するデジタルアンプ部の機能を持つ。また、たとえば色分離処理を施してＲ（赤），Ｇ（緑），Ｂ（青）の各画像を表す画像データＲＧＢを生成し、この画像データＲＧＢに対してその他の信号処理を施してモニタ出力用の画像データＤ３を生成する。また、デジタル信号処理部には、記録メディアに撮像データを保存するための信号圧縮処理などを行なう機能部が備えられる。
【００９８】
また外部回路９７は、デジタル信号処理部にてデジタル処理された画像データＤ３をアナログの画像信号に変換するＤ／Ａ（Digital to Analog ）変換部を備える。Ｄ／Ａ変換部から出力された画像信号は、液晶モニタなどの表示デバイスに送られる。操作者は、この表示デバイスに表示されるメニューや画像を見ながら、撮像モードを切り替えるなどの各種の操作を行なうことが可能になる。
【００９９】
＜各処理系統が取り扱う画素信号量＞
図３は、図１に示した固体撮像装置１の水平信号線８６＿１，２や出力回路８８＿１，２が担当する画素信号量すなわち各処理系統が取り扱う画素信号量を説明する図である。出力回路８８として、図１のように、出力回路８８＿１，２の２系統を使う場合、２個の出力回路８８＿１，２に入る水平信号線８６も２本に分け、この２本でカラム処理部２０の蓄積容量２６を半分ずつ受け持つ。
【０１００】
このような構成にすると、図３（Ａ）に示すように、出力回路８８＿１が処理しなければならない画素信号はＳ１_α（αは、１，３，５，…，ｎ－１の奇数）、出力回路８８＿２が処理しなければならない画素信号はＳ１_β（βは、２，４，６，…，ｎの偶数）となる。つまり、各出力回路８８＿１，２が処理しなければならない画素信号量は、１系統で処理する場合（図３（Ｂ）のｎ個；ｎは偶数）の半分ｎ／２個に減少する。
【０１０１】
＜読出処理の高速化対応＞
図４は、カラム処理部２０の後段に配される信号処理回路を複数系統に分けることによる読出処理の高速化対応を説明する図である。各処理系統の各出力回路の処理速度が同一であって、それぞれが同時に動作する場合、全ての単位画素３の画素信号を出力するのに要する時間は、処理系統の数に応じて減少する。たとえば２つの処理系統に分け、出力回路８８＿１，２から独立に出力する場合には、１系統で処理する場合の読出時間ｔ（図４（Ｂ））に対して、図４（Ａ）に示すように、読出時間ｔ／２となり半減し、読出処理の高速化を図ることができる。
【０１０２】
＜出力アンプとサンプルホールド部の動作＞
図５は、出力回路８８の出力アンプ９０とサンプルホールド部９２の動作を説明する図である。各出力出力アンプ９０（＿１，２）は、図５（Ａ）に示すように、リセットパルスＲＳＴの制御に従って信号転送状態とリセット状態とを交互に繰り返しながら動作する。具体的には、出力アンプ９０（＿１，２）は、リセットパルスＲＳＴ（＿１，２）がアクティブ期間（ｔ１４～ｔ１６）に当該回路をリセットする。この後、インアクティブ期間（ｔ１０～ｔ１４）に、水平走査部１２により読出列に対応する制御出力（水平転送クロックφＨｋ）をアクティブにすることで、出力アンプ９０は、当該読出列の画素信号を取り出し、全体として撮像信号Ｓ２を取得する。
【０１０３】
ここで、実際に画像として必要なのは信号転送状態だけであるので、図２に示したように、各出力アンプ９０＿１，２の後段にサンプルホールド部９２＿１，２を設ける。そして、図５（Ｂ）に示すように、各サンプルホールド部９２＿１，２にて、サンプルパルスＳＰのアクティブ期間（ｔ１０～ｔ１２）に、撮像信号Ｓ２（＿１，２）における信号転

送状態のみを取り出し、アナログの画素信号Ｓ３（＿１，２）を得、これを出力バッファ９３（＿１，２）を介して外部回路９７に出力する。

【０１０４】

＜出力回路以降の動作＞

図６および図７は、出力回路８８より後段の信号処理回路における処理タイミングを説明する図である。ここで、図６は、サンプルホールド部９２から出力される画素信号Ｓ３＿１，２が同相である場合を示し、図７は、サンプルホールド部９２から出力される画素信号Ｓ３＿１，２が異相、すなわち個々の画素信号の出力タイミングが異なる位相関係（位相ずれの状態）にある場合を示す。

【０１０５】

図２に示した外部回路９７の構成において、出力アンプ９０とサンプルホールド部９２がどのようなタイミングで信号を送り込むのが最も効率的なのかについて考える。

【０１０６】

たとえば、図６（Ａ）に示すように、奇数列を担当する出力アンプ９０＿１およびサンプルホールド部９２＿１と偶数列を担当する出力アンプ９０＿２およびサンプルホールド部９２＿２が全く同じタイミング（すなわち同相で）で動作すると、それぞれの処理系統のアナログ出力である画素信号Ｓ３＿１，２が安定した時点でＡＤ変換部９９が動作するためには、図６（Ｂ）に示すＡＤ変換のサンプリングポイントから分かるように、ＡＤ変換部９９も殆ど同じタイミングで２つの画素信号Ｓ３＿１，２をサンプリングする必要がある。

【０１０７】

しかしながら、実際には、一方のサンプルホールド部９２（たとえば＿１）の出力である画素信号Ｓ３（＿１）をサンプリングしてから、他方のサンプルホールド部９２（たとえば＿２）の出力である画素信号Ｓ３（＿２）をサンプリングする間には殆ど時間がなく、ＡＤ変換部９９が安定することも難しい。

【０１０８】

これを回避するためには、アナログ出力である画素信号Ｓ３＿１，２が安定した時点でアナログ値を一旦記憶させておいて、それをＡＤ変換部９９により、異なるタイミング関係（すなわち異相）で、交互にサンプリングすることが考えられる。

【０１０９】

このためには、固体撮像装置１（撮像チップ）から出力される信号が位相がずれていなければ、撮像チップ内部に設けられているサンプルホールド部９２の他に、撮像チップ外部のＡＤ変換部９９の前段にサンプルホールド部を別途設ける必要が生じる。仮に、より安定した　Ａ／Ｄ変換を目指して半相ずらしの場合でも、撮像チップ外部にサンプルホールド部を付けるとしても、同相より半相ずらしの方が外部サンプルホールドの動きを２系統でまったく同じにできる分、自然となる。

【０１１０】

ここで、最終的に、サンプルホールド部９２＿１，２から出力バッファ９３＿１，２を介して出力される画素信号Ｓ３＿１，２をＡＤ変換部９９で異相かつ交互にサンプリングするのであれば、図７（Ａ）に示すように、最初から画素信号Ｓ３＿１，２そのものを異相で（たとえば半相（１８０度）ずらして）出力することが考えられる。このとき、ＡＤ変換部９９は、図７（Ｂ）に示すように、交互に２つの画素信号Ｓ３＿１，２をサンプリングすればよく、自然である。

【０１１１】

なお、画素信号Ｓ３＿１，２そのものを異相で（たとえば半相（１８０度）ずらして）出力するには、水平転送クロックφＨ＿１，２を異相で駆動することにより、画素信号Ｓ２＿１，２も異相で（たとえば半相（１８０度）ずらして）出力する必要がある。

【０１１２】

図２に示した外部回路９７の構成では、外部回路９７に切替スイッチ部９８が設けられており、切替スイッチ部９８が２つの画素信号Ｓ３＿１，２およびサンプリングクロック

CLK_１，２を交互に選択してＡＤ変換部９９に供給するので、ＡＤ変換部９９は、対応するサンプリングクロックCLK_１，２を用いて、交互に２つの画素信号Ｓ３＿１，２の所定位置をサンプリングすることが簡単に実現できる。

【０１１３】

なお、サンプリングクロックCLK_１，２の各立上りエッジを表わす１つのサンプリングクロックCLK_３（図示せず）をサンプリングクロックCLK_１，２に代えて直接にＡＤ変換部９９に供給してもよい。この場合にも、ＡＤ変換部９９は、切替クロックCLK_０に基づき、切替スイッチ部９８による画素信号Ｓ３＿１，２の選択と連動して、画素信号Ｓ３（＿１，２）の所定位置をサンプルしてデジタル化することが簡単に実現できる。

【０１１４】

＜タイミングパルスの設定例＞

図８～図１０は、タイミングパルスの好適な設定例を説明する図である。実際には、カラム処理部２０から水平信号線８６への接続のための選択スイッチに対する水平走査部１２による駆動、そして出力回路８８の駆動、あるいは、サンプルホールド部９２の駆動に多くのタイミングパルス（制御信号）が用いられる。これら各タイミングパルスが、なるべくお互いの信号出力に影響を及ぼさないように慎重にタイミングを組み合わせることが望まれる。

【０１１５】

このためには、図１における水平選択スイッチ部６０の図示しない選択スイッチ、水平信号線８６＿１，２、出力回路８８＿１，２、およびサンプルホールド部９２＿１，２からなる各処理系統の信号処理回路に対する制御パルスの全てのスイッチング動作に関して、お互いに干渉し難いように調整するのがよい。

【０１１６】

たとえば本実施形態の出力回路８８のように、信号転送状態とリセット状態の２つの状態を切り替えて動作する構成のものを使用した場合には、図５（Ａ）における信号転送期間（ｔ１０～ｔ１４）中にタイミングパルスの変化が入るとクロストークによる影響で信号量が変化する可能性があり、その危険性はリセット状態（ｔ１４～ｔ１６）より高い。

【０１１７】

これを避けるためには、クロストークによる影響の問題を生じ得るタイミングパルスに関しては、互いに他方の出力回路８８における信号転送状態の信号出力に影響を与え難いように、それらの位相関係を設定するのがよい。もちろん、この位相関係の設定は、駆動制御部７（水平走査部１２や駆動信号操作部１６）が行なう。

【０１１８】

たとえば、各垂直列からの画素信号Ｓ１を順次水平信号線８６に読み出す信号転送状態中には極力スイッチングせず、リセット期間中にのみスイッチングするように設定するのがよい。つまり、クロストークによる影響の問題を生じ得るタイミングパルスに関しては、そのスイッチング（変化タイミング）を、他方の出力回路８８の信号転送状態を侵さないように、他方の出力回路８８のリセット期間中に設定するのがよい。

【０１１９】

このためには、クロストークによる影響の問題を生じ得る同種類のタイミングパルスである、出力回路８８に供給するリセットパルスＲＳＴおよび垂直列を選択する水平転送クロックφＨの位相関係を、異相、特に略１８０度の位相差を持って駆動するようにする。

【０１２０】

具体的には、図８に示すように、出力アンプ９０＿１の信号転送期間ｔ１０＿１～ｔ１４＿１および垂直列選択期間が出力アンプ９０＿２のリセット期間ｔ１４＿２～ｔ１６＿２（つまり次のサイクルのｔ１０＿２）の範囲内となり、出力アンプ９０＿２の信号転送期間ｔ１０＿２～ｔ１４＿２および垂直列選択期間が出力アンプ９０＿１のリセット期間ｔ１４＿１～ｔ１６＿１（つまり次のサイクルのｔ１０＿１）の範囲内となる、つまり、お互いの垂直列選択期間および信号転送状態が、他方のリセット状態の範囲内に収まるようにリセットパルスＲＳＴおよび水平転送クロックφＨの位相関係を設定するのがよい。

【０１２１】
また、２つの信号処理系統の撮像信号Ｓ２＿１，２をＡＤ変換部９９にてデジタルデータに変換する際にＡＤ変換部９９にて使用するサンプリングクロックCLK_１，２の変化点を、２つの信号処理系統の信号転送状態の隙間に設定するのがよい。
【０１２２】
こうすることで、サンプリングクロックCLK_１，２が、２つの出力回路８８＿１，２における信号転送状態の信号出力に影響を与えないようにすることができる。これによって、信号が安定している間にＡＤ変換することができ、タイミングパルスの変化によるクロストークでＡＤ変換部９９の処理結果が不正確になると言うことを防止できる。
【０１２３】
なお、信号転送期間とリセット期間が等しく信号転送状態のデューティが５０％である場合には、駆動パルスＣＮ１＿１，２を逆相関係に設定すればよい（図８に示す状態がその状態である）。そのときには、信号転送状態の隙間は実質的にゼロとなるので、サンプリングクロックCLK_１，２の変化点が、駆動パルスＣＮ１＿１，２の変化点の近傍となるように設定すればよい。
【０１２４】
また、出力回路８８＿１，２の後段にも処理系統ごとにサンプルホールド部９２＿１，２を設ける場合、図５（Ｂ）におけるサンプリング期間（ｔ１０～ｔ１２）中にタイミングパルスの変化が入ると、クロストークによる影響で信号量が変化する可能性があり、その危険性はホールド期間（ｔ１２～ｔ１６）より高い。
【０１２５】
これを避けるためには、クロストークによる影響の問題を生じ得るタイミングパルスに関しては、互いに他方のサンプルホールド部９２におけるサンプリング期間の信号出力に影響を与え難いように、それらの位相関係を設定するのがよい。もちろん、この位相関係の設定は、駆動制御部７（特に駆動信号操作部１６）が行なう。
【０１２６】
たとえば、サンプリング期間中には極力スイッチングせず、ホールド期間中にのみスイッチングするように設定するのがよい。つまり、クロストークによる影響の問題を生じ得るタイミングパルスに関しては、そのスイッチング（変化タイミング）を、他方のサンプルホールド部９２のサンプリング期間を侵さないように、他方のサンプルホールド部９２のホールド期間中に設定するのがよい。
【０１２７】
このためには、クロストークによる影響の問題を生じ得る同種類のタイミングパルスである、サンプルホールド部９２＿１，２に供給するサンプルパルスＳＰ＿１，２の位相関係を、お互いのサンプリング期間に隙間が生じるように設定するのがよい。換言すれば、お互いのホールド期間（　サンプル期間の隙間）にオーバーラップ部分が存在するようにサンプルパルスＳＰ＿１，２の位相関係を設定するのがよい。
【０１２８】
後述にても総括するが、出力回路８８の出力アンプ９０のリセットが解除された瞬間からサンプルホールド部９２がサンプリングを終了しホールドを開始する瞬間を、他方のスイッチングに侵されないようにタイミングを決める。そうすると、必然的に出力アンプ９０のリセット期間は５０％以上に設定する必要がでてくる。
【０１２９】
具体的には、図９に示すように、第１系統および第２系統のサンプルパルスＳＰ＿１，２の変化が、それぞれ他方のサンプリング期間ｔ１０＿１～ｔ１２＿１，ｔ１０＿２～ｔ１２＿２を避けて、それぞれのサンプリング期間の隙間ｔ１２＿１～ｔ１６＿１（＝次のサイクルのｔ１０＿１），ｔ１２＿２～ｔ１６＿２（＝次のサイクルのｔ１０＿２）で起きるように、タイミングパルスを設定するのがよい。
【０１３０】
このことは、サンプルホールド部９２＿１のサンプリング期間ｔ１０＿１～ｔ１２＿１

がサンプルホールド部９２＿２のホールド期間ｔ１２＿２～ｔ１６＿２（つまり次のサイクルのｔ１０＿２）の範囲内となり、サンプルホールド部９２＿２のサンプリング期間ｔ１０＿２～ｔ１２＿２がサンプルホールド部９２＿１のホールド期間ｔ１２＿１～ｔ１６＿１（つまり次のサイクルのｔ１０＿１）の範囲内となる、つまり、お互いのサンプリング期間が、他方のホールド期間の範囲内に収まるようにサンプルパルスＳＰ＿１，２の位相関係を設定するということと等価である。

【０１３１】

前述の垂直列選択期間および信号転送状態も含めると、水平選択スイッチ部６０、水平信号線８６、出力アンプ９０、およびサンプルホールド部９２を備えた信号処理系統（これらを纏めてアナログ信号処理回路ＡＦＥ（Analog Front Endという）を複数統（本例では２系統）設ける場合には、図１０に示すように、アナログ信号処理回路ＡＦＥを駆動するためのお互いの全タイミングパルスのうち、クロストークによる影響の問題を生じ得る同種類のタイミングパルス（本例では水平転送クロックφＨ，リセットパルスＲＳＴ、およびサンプルパルスＳＰ）に関しては、このお互いの同種類の全タイミングパルスのスイッチングが、他方のアナログ信号処理回路ＡＦＥの信号転送期間やサンプリング期間を侵さないように、他方のアナログ信号処理回路ＡＦＥのリセット期間やホールド期間内に設定されるようにするのがよいということになる。

【０１３２】

また、２つの信号処理系統の撮像信号Ｓ２＿１，２をＡＤ変換部９９にてデジタルデータに変換する際にＡＤ変換部９９にて使用するサンプリングクロックCLK_１，２の変化点を、前述のお互いのサンプル期間の隙間のオーバーラップ期間に設定するのがよい。

【０１３３】

こうすることで、ＡＤ変換用のサンプリングクロックCLK_１，２が、２つのサンプルホールド部９２＿１，２におけるサンプリング期間の信号出力に影響を与えないようにすることができる。これによって、信号が安定している間にＡＤ変換することができ、タイミングパルスの変化によるクロストークでＡＤ変換部９９の処理結果が不正確になると言うことを防止できる。

【０１３４】

＜タイミングの微調整＞

なお、実際には、線抵抗や負荷容量、その他のバラツキなどの影響を考慮して、駆動制御部７（ときに水平走査部１２や駆動信号操作部１６）をタイミングパルスの変化点（立上りや立下りのスイッチングポイント）を任意に調整可能な構成としておき、クロストークによる影響の問題を生じ得る同種類の各タイミングパルスのオン（立上り）／オフ（立下り）タイミング（各アクティブ期間の幅を含む）の位相関係を実際の使用状態に応じて微調整するのが好ましい。

【０１３５】

図１１は、タイミングパルスの位相関係を微調整することの効果を説明する図である。図１１（Ａ）は、水平転送クロックφＨ、リセットパルスＲＳＴ、およびサンプルパルスＳＰの立上りおよび立下りタイミングを調整することによる撮像信号Ｓ３の信号レベルとノイズ（ここでは相互干渉分を含む全ランダムノイズＲＮとする）との関係を示している。特に、サンプルパルスＳＰ（＿１，２）のアクティブ期間の幅（すなわちサンプルホールド期間）を調整することによる影響を示している。

【０１３６】

ここで、“ＱＳ”は出力回路８８の出力である出力バッファ９３の出力における信号成分（撮像信号Ｓ３）である。デフォルト（Default ）値は、図１１（Ｂ）に示すように、対象となる水平転送クロックφＨ、リセットパルスＲＳＴ、およびサンプルパルスＳＰの立上りおよび立下りを図示のように同じにしたときのもので（もちろん各チャネルでは半相ずれにする）、信号レベルＱＳは１．００４Vpp、ランダムノイズＲＮは０．８０９mVrms であった。

【０１３７】

一方、図１１（Ｃ）に示すように、水平転送クロックφＨに対してリセットパルスＲＳＴおよびサンプルパルスＳＰの各立上りおよび立下りに、差Δ（ここでは纏めてディレイ（Delay ）という）としてそれぞれ１nsecを持つように位相関係をずらすと、信号レベルＱＳは１．０７２Vppとなりデフォルト値よりも６８ｍVpp増加するが、ランダムノイズＲＮは０．８１６ｍVrms となり、デフォルト値とほぼ同じであった。

【０１３８】

このような状態で、さらにサンプルパルスＳＰの立下りタイミング（↓）の差Δを大きくする（ディレイさせる）と、２０ｍＶ程度の信号レベルＱＳの増加が見込めるが、半相ずらしのため逆チャネル（ｃｈ）側のスイッチングノイズが見えてくるため、ランダムノイズＲＮが、１．０３２～１．４７ｍＶｒｍｓとなり、悪化するようになった。

【０１３９】

これらの結果から、水平転送クロックφＨに対してのリセットパルスＲＳＴの立上り（↑）および立下り（↓）、並びにサンプルパルスＳＰ（↑）および立下り（↓）の最適なタイミングは、図１１（Ｃ）に示すように、ＲＳＴ↑＝１nsec、ＲＳＴ↓＝１nsec、ＳＰ↓＝１nsec、ＳＰ↑＝１nsecと考えてよい。

【０１４０】

以上説明したように、本実施形態によれば、２次元状に単位画素３が配された撮像部１０から１行分の画素信号を行方向（水平方向）に読み出す際に、信号処理系統（上記例では水平信号線８６、出力回路８８、サンプルホールド部９２）を複数に分けて並列動作をさせるようにしたので、多画素の大量のデータを短い時間で出力することができ、高速な読出し動作が実現できる。また、これによって、各処理系統の信号処理回路が取り扱う画素信号量を低減でき、信号処理回路の負担を軽減することもできる。

【０１４１】

また複数に分けた信号処理系統間で、駆動パルスのタイミング関係を異相（位相ずれの状態）に設定するようにしたので、複数の信号処理系における信号が同相で処理されないようになり、駆動パルスに起因する相互干渉による不具合を抑える、すなわち複数の信号処理回路間の相互干渉による影響によって生じ得る信号量変化を最小限に抑えることができる。複数に分けた信号処理系統の後段に設けられる、より少ない数の後段回路としてのＡＤ変換部における処理において、処理結果が不正確になると言うことを防止できる。

【０１４２】

以上、本発明を実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【０１４３】

また、上記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

【０１４４】

たとえば、上記実施形態では、水平信号線８６、出力回路８８、およびサンプルホールド部９２の信号処理系統を２つに分ける事例を説明したが、そのグループ分けは２つに限らない。信号処理系統の数が増えても、複数に分けた信号処理系統間で、駆動パルスのタイミング関係を異相に設定することで、複数の信号処理回路間の相互干渉による影響を抑えるという考え方は同じである。

【０１４５】

また、上記実施形態では、複数に分けた信号処理系統の後段に、切替スイッチ部９８を介して、信号処理系統の数よりもより少ない数（具体的には１つ）のＡＤ変換部９９を後

段回路として設けていたが、ＡＤ変換部９９に関しても、複数に分けた信号処理系統のそれに対応して個別に設けてもよい。切替スイッチ部９８と１つのＡＤ変換部９９で構成する場合と、切替スイッチ部９８を備えずに複数に分けた信号処理系統のそれに対応して個別にＡＤ変換部９９を設ける場合とで、回路面積や消費電力あるいはコスト上の観点から、有利な方を選択すればよい。

【０１４６】

また、上記実施形態では、単位画素が正方格子状かつ２次元マトリクス状に配されたエリアセンサからの画素信号の読出しにおける適用事例について説明したが、２次元状に配置されているものである限り、正方格子状や斜行格子状など、具体的な配置形態は問わない。

【０１４７】

また、撮像部１０は、複数の単位信号生成部（撮像部１０）が２次元状に配置されているものに限らず、長尺状に配置されているものであってもよい。たとえば、撮像部１０をラインセンサに置き換えても、ライン方向の読出しに関わる信号処理系統を複数に分け、その複数に分けた信号処理系統間で、駆動パルスのタイミング関係を異相に設定するという上記実施形態の技術を同様に適用でき、これによって、複数の信号処理回路間の相互干渉による影響を抑えるという同様の効果を享受できる。

【０１４８】

ラインセンサの場合、その長さにもよるが、一般的には、単位画素３の配列方向における素子数が膨大になるので、個々の単位画素３から画素信号を読み出す伝送線の配列方向に所定順に出力する時間がエリアセンサに比べて長くなる傾向にあり、読出スピードの低下の問題がより大きくなる。この点では、伝送線の配列方向への画素信号の読出しに関わる信号処理系統を複数に分ける上記実施形態の仕組みの果たす効果は高い。

【０１４９】

なお、“長尺状に配置されている”とは、短辺と長辺とを十分に認識できるように配置されている形態を意味し、１列で長く配置した典型的なラインセンサに限らず、たとえば複数列で長く配置した形態や千鳥状に配置した形態なども含む意味である。

【０１５０】

また、たとえば、上記実施形態では、光や放射線などの外部から入力される電磁波に対して感応性をするＣＭＯＳ型の固体撮像素子を使用した撮像装置についての適用事例を示したが、物理量の変化を検知するあらゆるものに、上記実施形態で説明した仕組みを適用でき、光などに限らず、たとえば、指紋に関する情報を圧力に基づく電気的特性の変化や光学的特性の変化に基づき指紋の像を検知する指紋認証装置（特開２００２－７９８４や特開２００１－１２５７３４などを参照）など、その他の物理的な変化を検知する仕組みにも同様に適用できる。

【図面の簡単な説明】

【０１５１】

【図１】本発明に係る物理情報取得装置の一実施形態であるＣＭＯＳ固体撮像装置の概略構成図である。

【図２】出力回路の後段に設けられる外部回路の構成例を示すブロック図である。

【図３】各処理系統が取り扱う画素信号量を説明する図である。

【図４】カラム処理部の信号処理回路を複数系統に分けることによる読出処理の高速化対応を説明する図である。

【図５】出力回路とサンプルホールド部の動作を説明する図である。

【図６】出力回路より後段の信号処理回路における処理タイミングを説明する図である（画素信号Ｓ３＿１，２が同相の場合）。

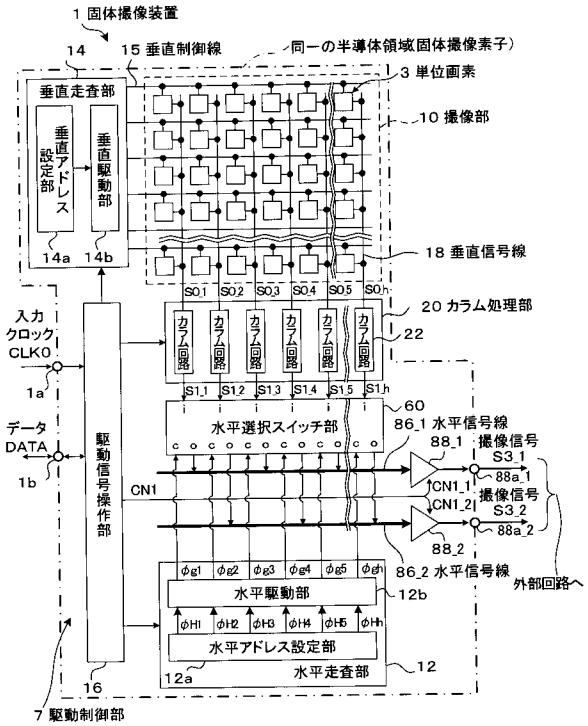
【図７】出力回路より後段の信号処理回路における処理タイミングを説明する図である（画素信号Ｓ３＿１，２が異相の場合）。

【図８】タイミングパルスの好適な設定例を説明する図である（その１）。

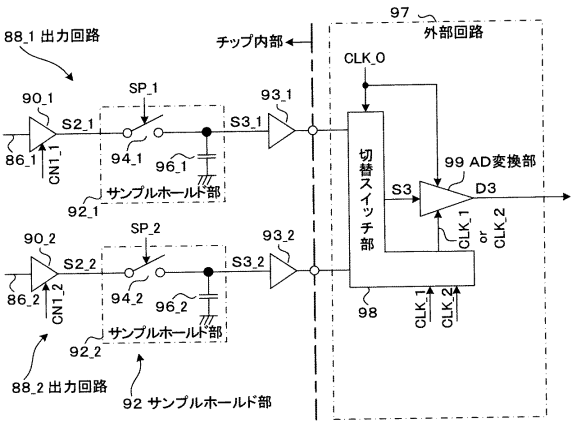
【図９】タイミングパルスの好適な設定例を説明する図である（その２）。

【図１０】タイミングパルスの好適な設定例を説明する図である（その３）。
【図１１】タイミングパルスの位相関係を微調整することの効果を説明する図である。
【図１２】従来の固体撮像装置の一構成例を示すブロック図である。
【符号の説明】
【０１５２】
１…固体撮像装置、３…単位画素、７…駆動制御部、１０…撮像部、１２…水平走査部、１４…垂直走査部、１５…垂直制御線、１６…駆動信号操作部、１８…垂直信号線、２０…カラム処理部、２２…カラム信号処理部（カラム回路）、６０…水平選択スイッチ部、８６…水平信号線、８８…出力回路、９０…出力アンプ、９２…サンプルホールド部、９３…出力バッファ、９４…サンプルスイッチ、９６…ホールドコンデンサ、９７…外部回路、９８…切替スイッチ部、９９…ＡＤ変換部

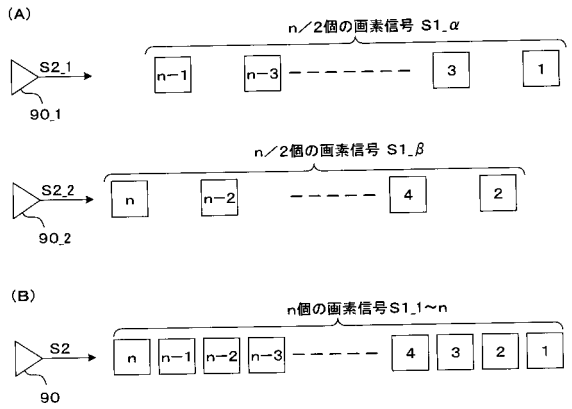
【図１】



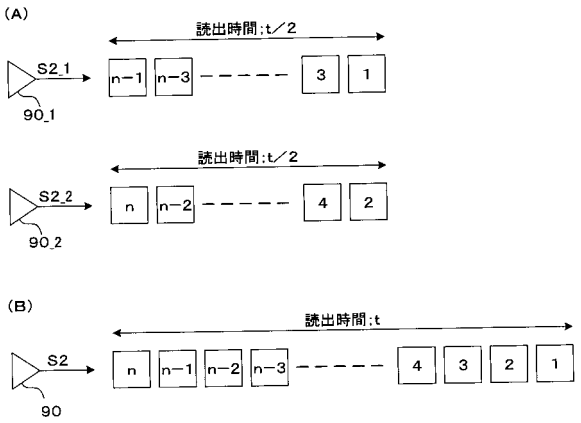
【図２】



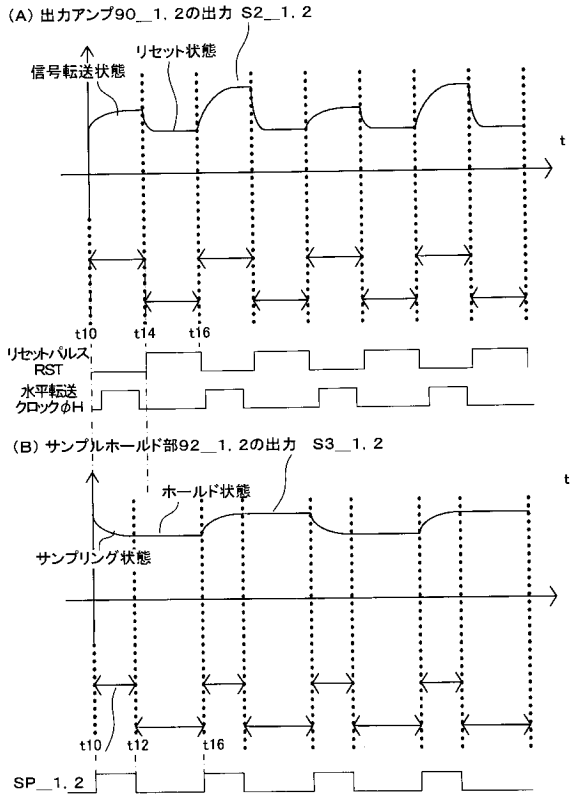
【図３】


(A)
n／2個の画素信号 S1_α
S2_1
90_1
n−1
n−3
3
1
n／2個の画素信号 S1_β
S2_2
90_2
n
n−2
4
2
(B)
n個の画素信号S1_1〜n
S2
90
n
n−1
n−2
n−3
4
3
2
1

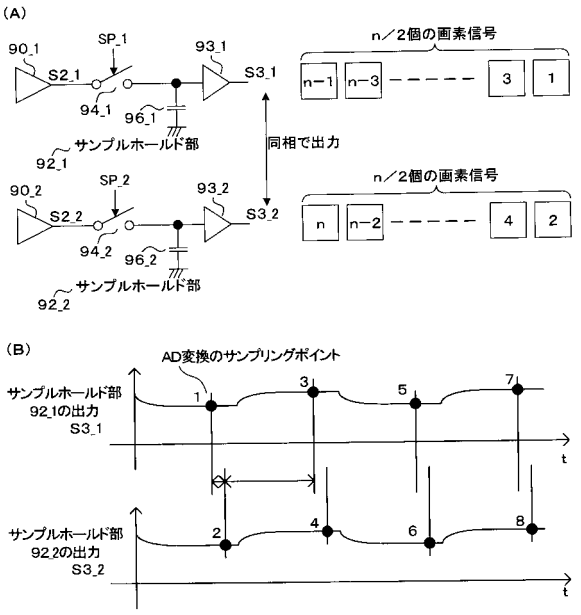
【図４】


(A)
読出時間;t／2
S2_1
90_1
n−1
n−3
3
1
読出時間;t／2
S2_2
90_2
n
n−2
4
2
(B)
読出時間;t
S2
90
n
n−1
n−2
n−3
4
3
2
1

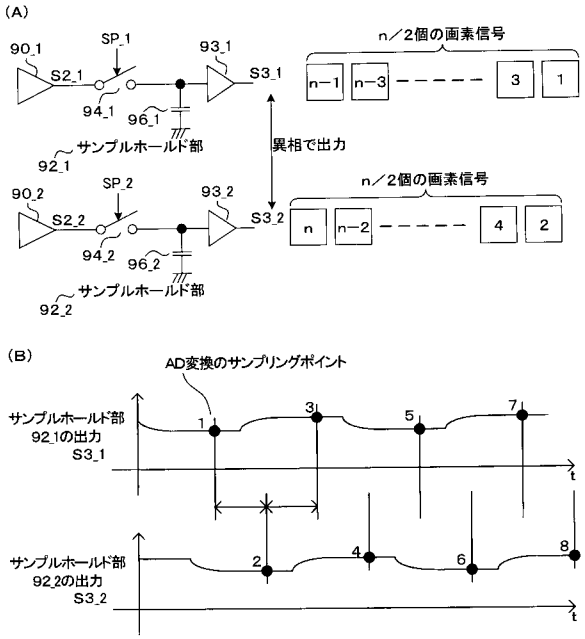
【図５】


(A) 出力アンプ90_1, 2の出力 S2_1, 2
信号転送状態
リセット状態
t
t10
t14
t16
リセットパルス
RST
水平転送
クロックφH
(B) サンプルホールド部92_1, 2の出力 S3_1, 2
ホールド状態
サンプリング状態
t
t10
t12
t16
SP_1, 2

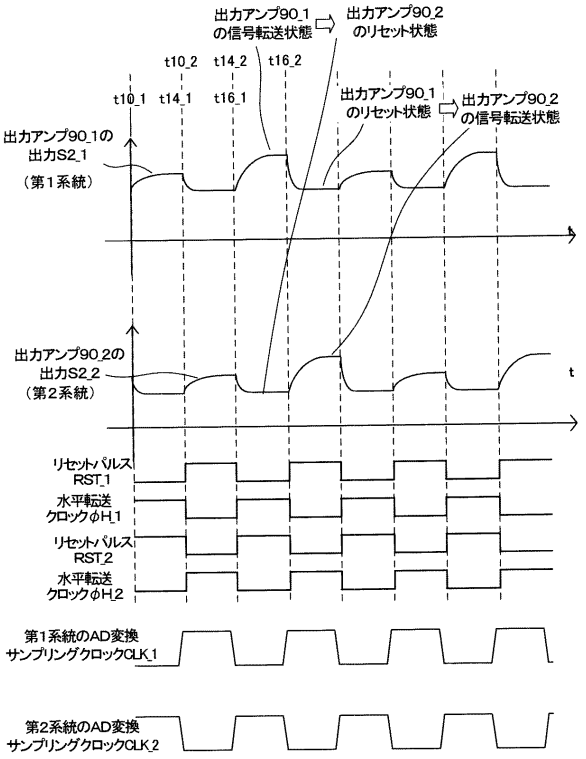
【図６】


(A)
90_1
SP_1
93_1
S2_1
S3_1
n／2個の画素信号
n−1
n−3
3
1
94_1
96_1
サンプルホールド部
92_1
同相で出力
90_2
SP_2
93_2
S2_2
S3_2
n／2個の画素信号
n
n−2
4
2
94_2
96_2
サンプルホールド部
92_2
(B)
AD変換のサンプリングポイント
サンプルホールド部
92_1の出力
S3_1
1
3
5
7
t
サンプルホールド部
92_2の出力
S3_2
2
4
6
8
t

【図７】



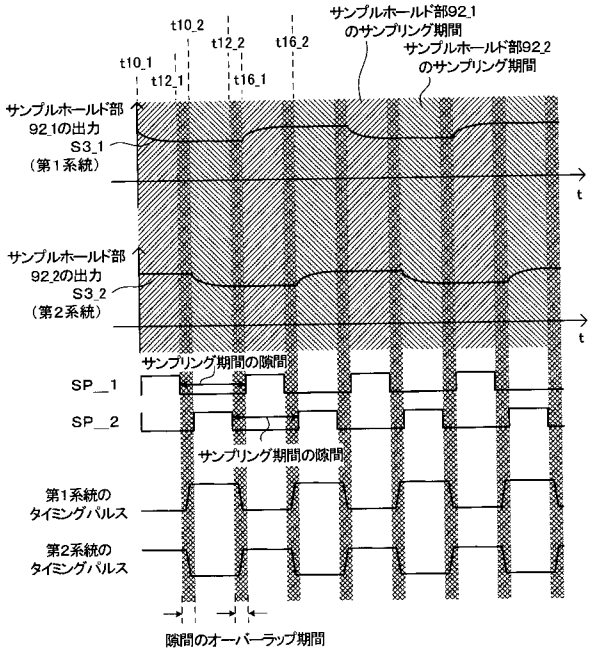
【図８】



AD変換にて使用するサンプリングクロックCLK_1，2の変化点を、2つの信号処理系統の信号転送状態の隙間に設定する

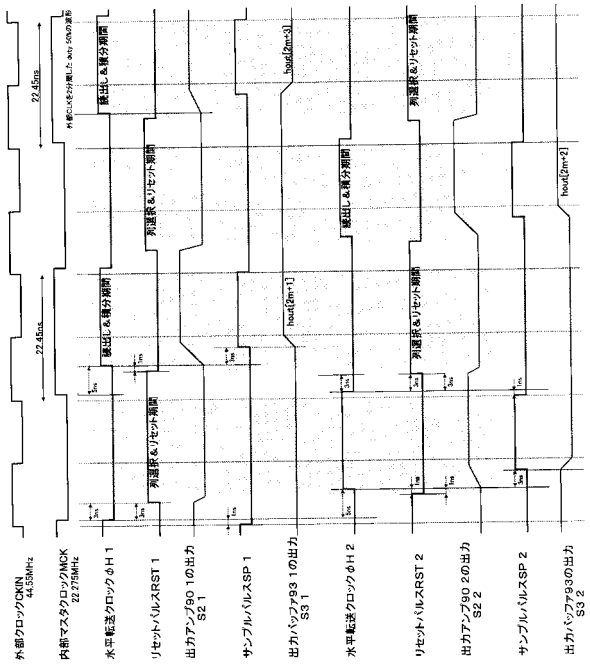
信号転送状態のデューティが50%の場合、
第１系統および第2系統のAD変換用サンプリングクロックCLK_1,2の変化が、
それぞれの駆動パルスCN1の変化点近傍で起きるように設定する

【図９】

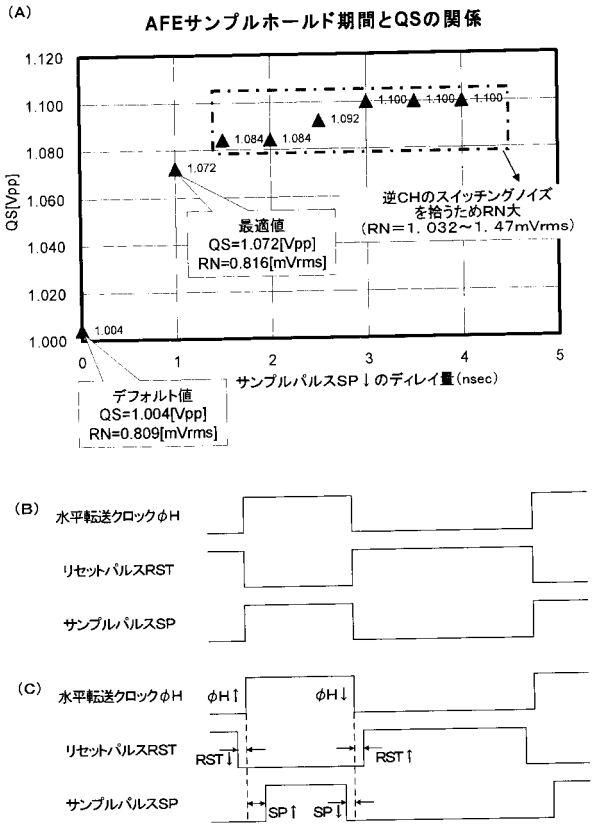


第１系統および第2系統のタイミングパルスの変化が、
それぞれのサンプリング期間の隙間で起きるように
調整する

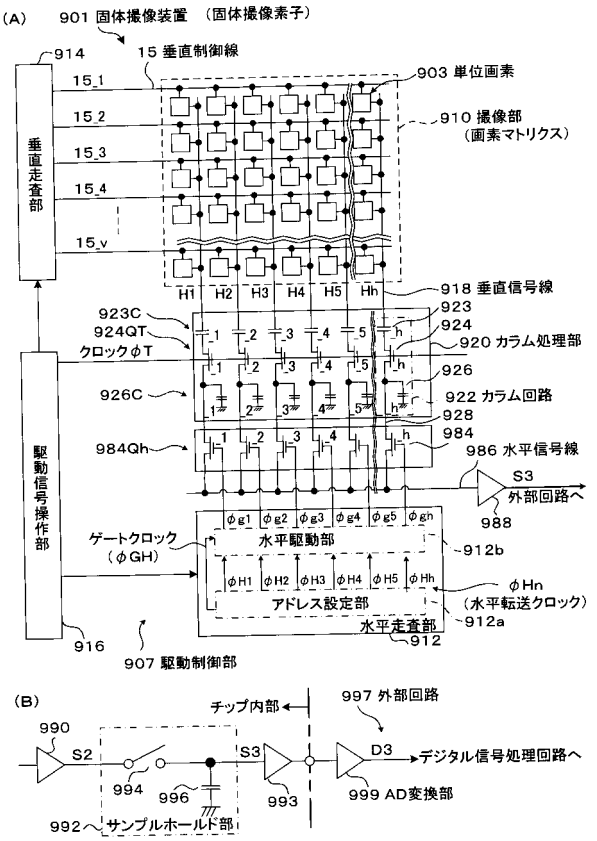
【図１０】



【図１１】


(A)
AFEサンプルホールド期間とQSの関係
QS[Vpp]
1.120
1.100
1.080
1.060
1.040
1.020
1.000
0
1
2
3
4
5
1.004
1.072
1.084
1.084
1.092
1.100
1.100
1.100
最適値
QS=1.072[Vpp]
RN=0.816[mVrms]
逆CHのスイッチングノイズ
を拾うためRN大
(RN＝1．032～1．47mVrms)
デフォルト値
QS=1.004[Vpp]
RN=0.809[mVrms]
サンプルパルスSP↓のディレイ量(nsec)
(B)
水平転送クロックφH
リセットパルスRST
サンプルパルスSP
(C)
水平転送クロックφH
φH↑
φH↓
リセットパルスRST
RST↓
RST↑
サンプルパルスSP
SP↑
SP↓

【図１２】


(A)
901 固体撮像装置 (固体撮像素子)
914
15 垂直制御線
903 単位画素
910 撮像部
(画素マトリクス)
垂直走査部
15_1
15_2
15_3
15_4
15_v
H1
H2
H3
H4
H5
Hh
918 垂直信号線
923C
924QT
クロックφT
923
924
920 カラム処理部
926
926C
922 カラム回路
928
984
984Qh
986 水平信号線
S3
外部回路へ
988
駆動信号操作部
ゲートクロック
(φGH)
φg1
φg2
φg3
φg4
φg5
φgh
水平駆動部
912b
φH1
φH2
φH3
φH4
φH5
φHh
φHn
(水平転送クロック)
アドレス設定部
912a
水平走査部
912
916
907 駆動制御部
(B)
チップ内部
997 外部回路
990
S2
S3
D3
デジタル信号処理回路へ
994
996
993
999 AD変換部
992
サンプルホールド部

フロントページの続き

審査官　鈴木　肇

(56)参考文献　特開平１１－０９８４１４（ＪＰ，Ａ）
特開２０００－２８７１３０（ＪＰ，Ａ）
特開２００１－０１６５０２（ＪＰ，Ａ）
特開平０２－０６９０８２（ＪＰ，Ａ）
特開平０４－１０４６６１（ＪＰ，Ａ）
特開２００１－２９８５８０（ＪＰ，Ａ）
特開平０４－０１６０８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　　５／３０　－　５／３３５
Ｈ０１Ｌ　２１／３３９
Ｈ０１Ｌ　２７／１４
Ｈ０１Ｌ　２７／１４６－２７／１４８
Ｈ０１Ｌ　２９／７６２