

(12) 发明专利申请

(10) 申请公布号 CN 102243619 A

(43) 申请公布日 2011. 11. 16

(21) 申请号 201110171251. 2

(22) 申请日 2011. 06. 23

(71) 申请人 天津光电通信技术有限公司
地址 300211 天津市河西区泰山路六号

(72) 发明人 王东锋 杨林 朱力 陈伟峰
张睿 钱瑞杰 张天晶

(74) 专利代理机构 天津中环专利商标代理有限
公司 12105

代理人 莫琪

(51) Int. Cl.

G06F 13/38(2006. 01)

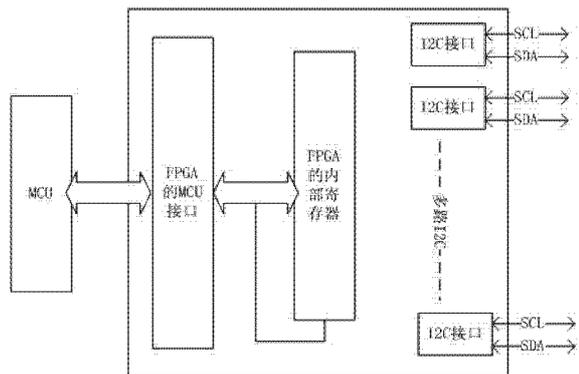
权利要求书 1 页 说明书 3 页 附图 4 页

(54) 发明名称

一种基于 FPGA 实现多路 I2C 总线端口扩展的方法

(57) 摘要

本发明涉及一种基于 FPGA 实现多路 I2C 总线端口扩展的方法,用于通信系统的主设备和从设备之间通信,将主设备的主控 MCU 通过高速并口连接一个 FPGA,经编程构成 FPGA 内部电路,FPGA 内部电路包括 MCU 接口模块和多路 I2C 接口模块;由 FPGA 扩展出来的 I2C 端口完全符合 I2C 总线协议,在以 I2C 总线通信的系统中,通过在主设备中使用本发明的通信端口扩展的方法,可以极大的提高主设备和从设备或者从器件的通信速度。



1. 一种基于FPGA实现多路I2C总线端口扩展的方法,用于通信系统的主设备和从设备之间通信,其特征在于,将主设备的主控MCU通过高速并口连接一个FPGA,经编程构成FPGA内部电路,FPGA内部电路包括MCU接口模块和多路I2C接口模块;

所述MCU接口模块用于FPGA和主控MCU外围总线的通信,主控MCU和FPGA之间采用高速并口进行通信,每次通信传输一个Byte的数据;

主控MCU和FPGA之间的并口通信采用如下定义:

ADDR_BUS[15:0]:地址总线,表示FPGA中寄存器的地址;

DATA_BUS[7:0]:双向的数据总线;

WRB:写控制信号,低电平有效;

RDB:读控制信号,低电平有效;

RD_IRQ:读中断信号,低电平有效;

所述多路I2C接口模块包括多路I2C接口;每路I2C接口用于连接外部I2C控制器和外部I2C总线;I2C接口主要由Start/Stop及SCL发生器的状态机和主状态机组成;Start/Stop及SCL发生器的状态机用于产生开始,停止信号,以及SCL信号;主状态机用于执行发送和接收操作。

一种基于 FPGA 实现多路 I2C 总线端口扩展的方法

技术领域

[0001] 本发明涉及通信、测控的设备,特别涉及一种基于 FPGA 实现多路 I2C 总线端口扩展的方法。

背景技术

[0002] 目前,随着通信技术的发展,通信、测控设备电路的各电路板之间、器件之间的通信越来越多,因而对板级通信速度要求也越来越高。但现有技术还存在不足之处:首先,因为一般通信设备的主控 MCU 仅有一个 I2C 总线端口,当该通信设备需要同时与系统间多个 I2C 总线的从设备进行通信时,主控制设备要通过单一的 I2C 总线端口与所有从设备或从器件连接,只有一个 I2C 总线端口的主设备只能依次和从设备或从器件进行通信,当主设备和一个从设备或从器件进行通信时,其他从设备则处于等待状态,不仅浪费了大量的时间,同时由于 I2C 的通信的标准频率只有 100KHz 和 400KHz (快速),因此主设备和从设备或从器件之间通信速度就会降低。

[0003] 其次,由于 I2C 总线协议规定的总线电容不能超过 400pF,一个 I2C 总线上所能挂载的 I2C 器件是有限的,当系统中存在大量的 I2C 总线设备和器件时,一路 I2C 总线已不能满足设备间通信的要求。

发明内容

[0004] 鉴于现在技术存在的问题,本发明提供一种基于 FPGA 的多路 I2C 总线端口扩展技术方案,由 FPGA 扩展出 I2C 端口,并使扩展的端口完全符合 I2C 总线通信协议。

[0005] 本发明是通过这样的技术方案实现的:一种基于 FPGA 实现多路 I2C 总线端口扩展的方法,用于通信系统的主设备和从设备之间通信,其特征在于,将主设备的主控 MCU 通过高速并口连接一个 FPGA,经编程构成 FPGA 内部电路, FPGA 内部电路包括 MCU 接口模块和多路 I2C 接口模块;

所述 MCU 接口模块用于 FPGA 和主控 MCU 外围总线的通信,主控 MCU 和 FPGA 之间采用高速并口进行通信,每次通信传输一个 Byte 的数据;

主控 MCU 和 FPGA 之间的并口通信采用如下定义:

ADDR_BUS[15:0]:地址总线,表示 FPGA 中寄存器的地址;

DATA_BUS[7:0]:双向的数据总线;

WRB:写控制信号,低电平有效;

RDB:读控制信号,低电平有效;

RD_IRQ:读中断信号,低电平有效;

所述多路 I2C 接口模块包括多路 I2C 接口;每路 I2C 接口用于连接外部 I2C 控制器和外部 I2C 总线;I2C 接口主要由 Start/Stop 及 SCL 发生器的状态机和主状态机组成;Start/Stop 及 SCL 发生器的状态机用于产生开始,停止信号,以及 SCL 信号;主状态机用于执行发送和接收操作。

[0006] 本发明的优点是,通信系统中的所有的从设备或者从器件的 I2C 通信端口和主设备电路中由 FPGA 扩展出来的 I2C 端口依次连接,既可以仅有一个设备连接到一个 FPGA 扩展出来的某个 I2C 端口,也可以有多个设备或器件分别连接到 FPGA 扩展的 I2C 端口,由 FPGA 扩展出来的 I2C 端口完全符合 I2C 总线协议。在以 I2C 总线通信的系统中,通过在主设备中使用本发明的通信端口扩展的方法,可以极大的提高主设备和从设备或者从器件的通信速度。

[0007]

附图说明

[0008] 图 1. FPGA 总体示意图;

图 2. I2C 接口设计示意图;

图 3. Start/Stop 及 SCL 发生器的状态机的状态转移图;

图 4. I2C 接口主状态机的状态转移图。

具体实施方式

[0009] 为了更清楚的理解本发明,结合附图和实施例详细描述本发明:

FPGA 扩展的 I2C 端口在 FPGA 端口配置时需要把相应的管脚的电平选择为 I2C 电平模式。MCU 和 FPGA 之间采用高速并口进行通信,每次可以传输一个 Byte 的数据。传输速率取决于 MCU 的系统时钟。

[0010] MCU 和 FPGA 的并口采用如下定义:

ADDR_BUS[15:0] :地址总线(表示 FPGA 中寄存器的地址)

DATA_BUS[7:0] :双向的数据总线

WRB :写控制信号,低电平有效

RDB :读控制信号,低电平有效

RD_IRQ :读中断信号,低电平有效

在 FPGA 中设置两大类寄存器来实现 MCU 和 FPGA 之间交互。

[0011] A) 设置 FPGA 和 MCU 之间交互的寄存器:控制寄存器,状态寄存器和中断寄存器。

[0012] B) 在 FPGA 中为每个 I2C 的扩展端口设置 4 类寄存器,即控制寄存器,数据寄存器,地址寄存器,状态寄存器。通过并口读 / 写这些寄存器来实现和挂接在该扩展端口上的 I2C 从设备和器件的通信。

[0013] RD_IRQ 接在 MCU 的外部中断,当 MCU 发出一系列的读取 I2C 从设备或器件指令后, FPGA 在完成了各扩展端口上挂接的从设备或器件数据读取后,在 RD_IRQ 管脚上产生一个低脉冲信号来在 MCU 中产生一个中断通知 MCU 已经完成读取数据的操作。这时 MCU 就可以从数据寄存器中读取需要的数据了。

[0014] 如图 1 所示,FPGA 单元是该技术的核心部分,分为 MCU 接口模块和多路 I2C 接口模块两大部分:

MCU 接口模块用于实现 FPGA 和 MCU 外围总线的通信。

[0015] 如图 2 所示,多路 I2C 接口模块是 FPGA 的设计核心, I2C 接口用于连接 I2C 控制器和 I2C 总线,由两个状态机构成:

1)一个是名为 Start/Stop 及 SCL 发生器的状态机,用于产生开始,停止信号,以及 SCL 信号,其状态转移图如图 3 所示。

[0016] 2)一个是 I2C 接口的主状态机,用于执行发送和接收操作,其状态转移图如图 4 所示。

[0017] 根据上述说明,结合本领域技术可实现本发明的方案。

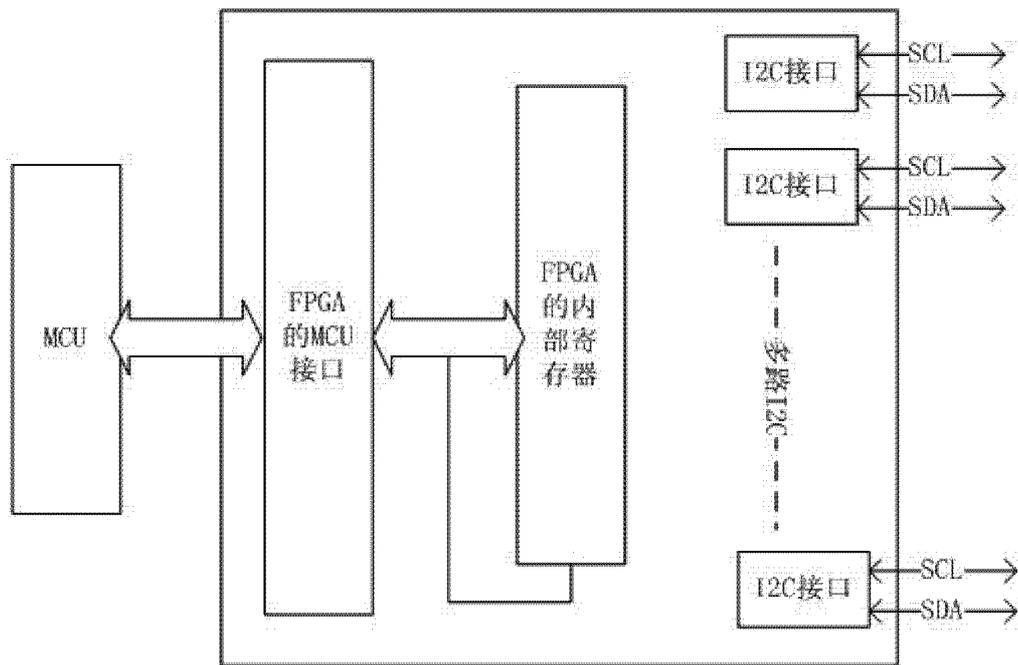


图 1

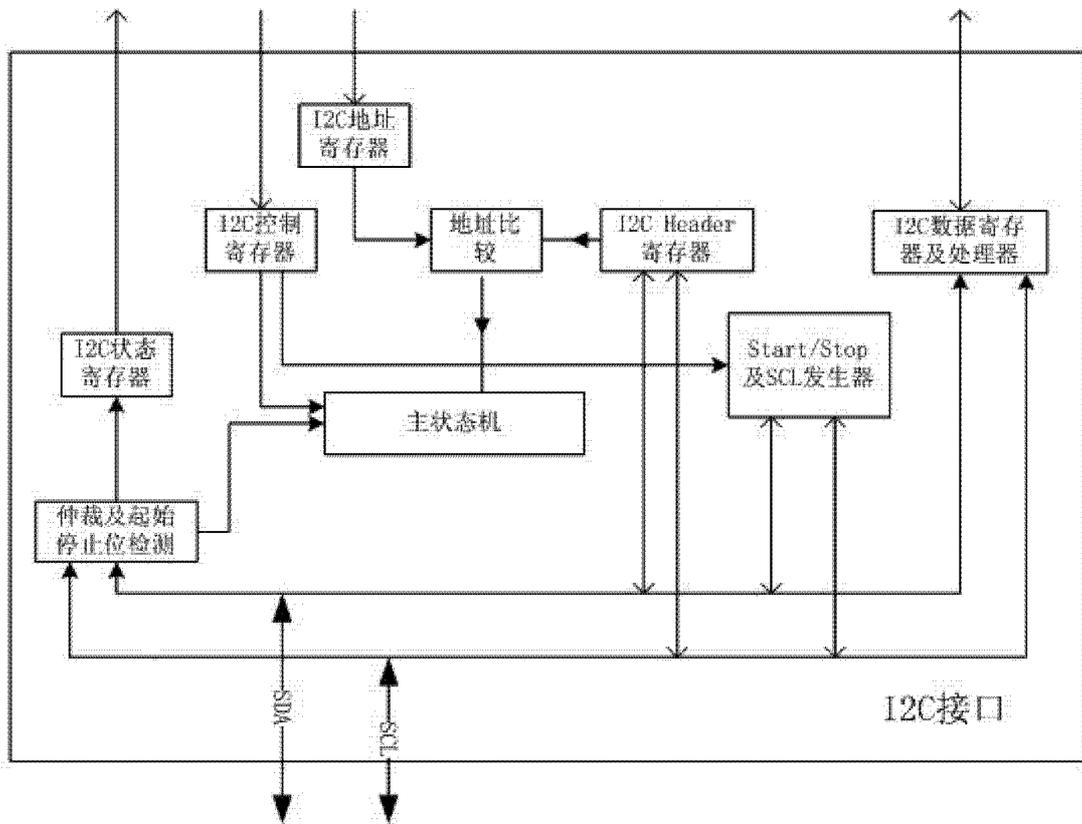


图 2

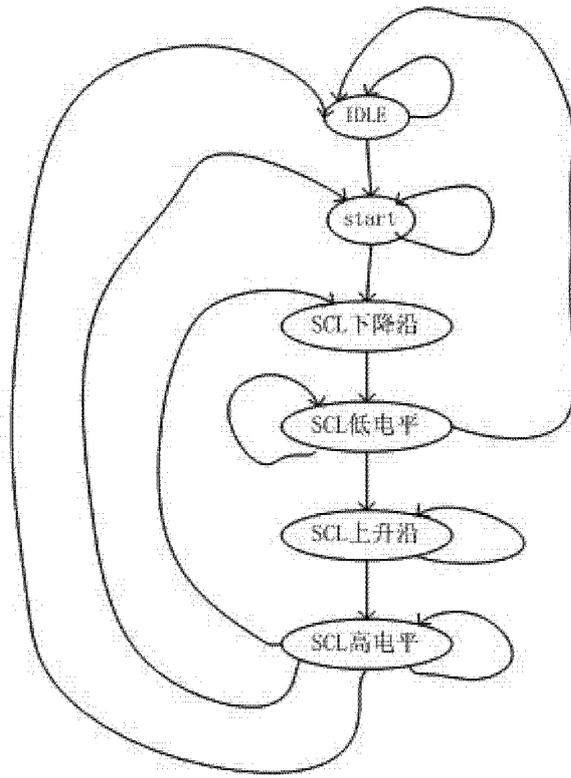


图 3

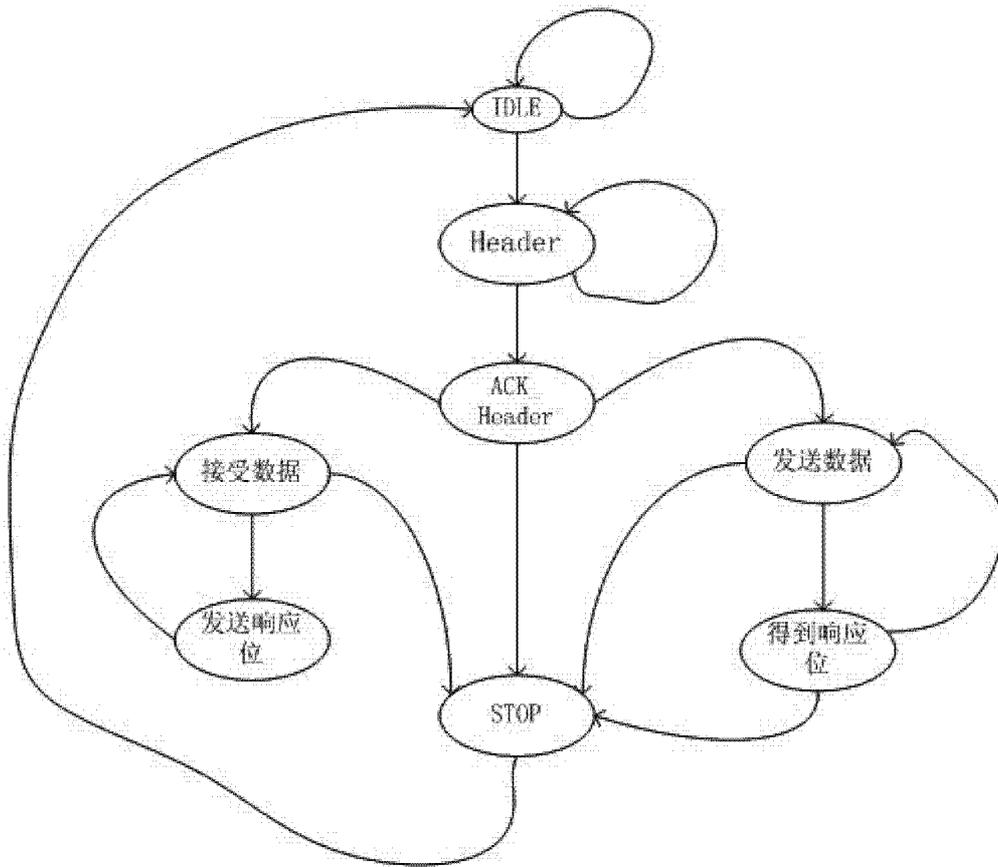


图 4