



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년10월27일
(11) 등록번호 10-1791267
(24) 등록일자 2017년10월23일

- (51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
- (21) 출원번호 10-2011-0078048
- (22) 출원일자 2011년08월05일
심사청구일자 2016년08월02일
- (65) 공개번호 10-2012-0022612
- (43) 공개일자 2012년03월12일
- (30) 우선권주장
JP-P-2010-177874 2010년08월06일 일본(JP)
JP-P-2011-108422 2011년05월13일 일본(JP)
- (56) 선행기술조사문헌
US06314017 B1
US20050169039 A1
KR100303061 B1

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
오누끼 다즈야
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 11 항

심사관 : 김종호

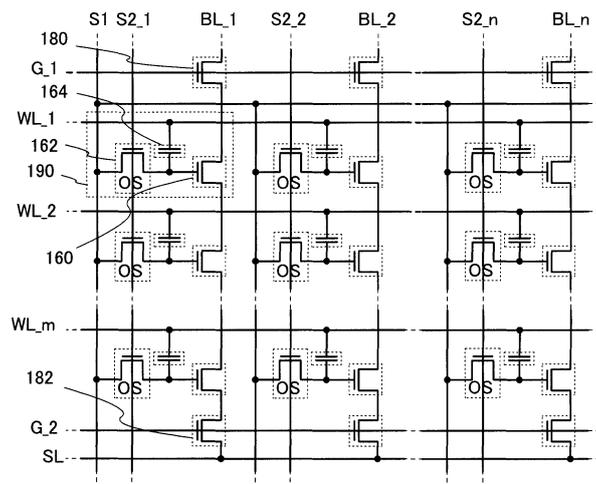
(54) 발명의 명칭 반도체 장치

(57) 요약

전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또한, 새로운 구조의 반도체 장치의 고집적화를 도모하고, 단위 면적당의 기억 용량을 증가시키는 것을 목적 중 하나로 한다.

다치 기입을 행하는 반도체 장치 및 반도체 장치의 구동 방법에 있어서, 산화물 반도체층을 포함하는 트랜지스터를 사용한 메모리 셀에 기입을 행하는 기입 트랜지스터의 온 오프를 제어하는 신호선을, 비트선을 따르도록 배치하고, 판독 동작 시에 용량 소자에 부여하는 전압을 기입 시에도 이용하여, 다치 기입을 행한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 와이드 갭 반도체인 산화물 반도체 재료를 사용함으로써, 장기간에 걸쳐 정보를 유지하는 것이 가능하다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치로서, 상기 반도체 장치는,

비트선과 소스선 사이에 직렬로 전기적으로 접속된, 선택 트랜지스터, 제1 메모리 셀 및 제2 메모리 셀로서, 상기 제1 메모리 셀 및 상기 제2 메모리 셀 각각은,

제1 게이트, 제1 소스 및 제1 드레인을 포함하는 제1 트랜지스터;

제2 게이트, 제2 소스 및 제2 드레인을 포함하는 제2 트랜지스터; 및

상기 제1 게이트와 상기 제2 소스에 전기적으로 접속된 하나의 단자를 갖는 캐패시터

를 포함하는, 상기 선택 트랜지스터, 상기 제1 메모리 셀 및 상기 제2 메모리 셀;

상기 제1 메모리 셀의 상기 제2 드레인 및 상기 제2 메모리 셀의 상기 제2 드레인에 전기적으로 접속된 제1 신호선;

상기 제1 메모리 셀의 상기 제2 게이트 및 상기 제2 메모리 셀의 상기 제2 게이트에 전기적으로 접속된 제2 신호선;

상기 제1 메모리 셀의 상기 캐패시터의 나머지 하나의 단자에 전기적으로 접속된 제1 워드선;

상기 제2 메모리 셀의 상기 캐패시터의 나머지 하나의 단자에 전기적으로 접속된 제2 워드선; 및

상기 선택 트랜지스터의 게이트에 전기적으로 접속된 선택선을 포함하고,

상기 비트선은 상기 선택 트랜지스터를 통해 상기 제1 메모리 셀의 상기 제1 드레인에 전기적으로 접속되고,

상기 제1 메모리 셀의 상기 제1 소스 및 상기 제2 메모리 셀의 상기 제1 드레인은 서로 전기적으로 접속되고,

상기 소스선은 상기 제2 메모리 셀의 상기 제1 소스에 전기적으로 접속되고,

상기 제2 트랜지스터는 산화물 반도체층을 포함하는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 제1 메모리 셀의 상기 제1 트랜지스터는,

반도체 재료를 포함하는 기판에 제공된 채널 형성 영역;

상기 채널 형성 영역이 사이에 개재된 불순물 영역;

상기 채널 형성 영역 위의 제1 게이트 절연층; 및

상기 채널 형성 영역과 겹치며 상기 제1 게이트 절연층 위에 있는 제1 게이트 전극을 포함하는, 반도체 장치.

청구항 3

반도체 장치로서,

소스선;

비트선;

제1 내지 제 m (m 은 2 이상의 자연수) 워드선;

제1 신호선;

제2 신호선;

제1 선택선;

제2 선택선;

상기 소스선과 상기 비트선 사이에 직렬로 접속된 제1 내지 제 m 메모리 셀로서, 상기 제1 내지 제 m 메모리 셀 각각은,

제1 게이트, 제1 소스 및 제1 드레인을 포함하는 제1 트랜지스터;

제2 게이트, 제2 소스 및 제2 드레인을 포함하는 제2 트랜지스터; 및

캐패시터

를 포함하는, 상기 제1 내지 제 m 메모리 셀;

상기 제1 선택선에 전기적으로 접속된 게이트를 갖는 제1 선택 트랜지스터; 및

상기 제2 선택선에 전기적으로 접속된 게이트를 갖는 제2 선택 트랜지스터를 포함하고,

상기 제2 트랜지스터는 산화물 반도체층을 포함하고,

상기 소스선은 상기 제2 선택 트랜지스터를 통해 상기 제 m 메모리 셀의 상기 제1 소스에 전기적으로 접속되고,

상기 비트선은 상기 제1 선택 트랜지스터를 통해 상기 제1 메모리 셀의 상기 제1 드레인에 전기적으로 접속되고,

상기 제1 신호선은 상기 제1 내지 제 m 메모리 셀의 상기 제2 드레인에 전기적으로 접속되고,

상기 제2 신호선은 상기 제1 내지 제 m 메모리 셀의 상기 제2 게이트에 전기적으로 접속되고,

제1 (1은 2 내지 m 의 자연수) 메모리 셀의 상기 제1 드레인은 제(1-1) 메모리 셀의 상기 제1 소스에 전기적으로 접속되고,

제 k (k 는 1 내지 m 의 자연수) 워드선은 제 k 메모리 셀의 상기 캐패시터의 하나의 단자에 전기적으로 접속되고,

상기 제 k 메모리 셀의 상기 제2 소스는 상기 제 k 메모리 셀의 상기 제1 게이트 및 상기 제 k 메모리 셀의 상기 캐패시터의 나머지 하나의 단자에 전기적으로 접속되는, 반도체 장치.

청구항 4

제3항에 있어서,

상기 제1 트랜지스터는,

반도체 재료를 포함하는 기판에 제공된 채널 형성 영역;

상기 채널 형성 영역이 사이에 개재된 불순물 영역;

상기 채널 형성 영역 위의 제1 게이트 절연층; 및

상기 채널 형성 영역과 겹치며 상기 제1 게이트 절연층 위에 있는 제1 게이트 전극을 포함하는, 반도체 장치.

청구항 5

반도체 장치로서,

소스선;

비트선;

제1 내지 제 m (m 은 2 이상의 자연수) 워드선;

제1 신호선;

제2 신호선;

선택선;

상기 소스선과 상기 비트선 사이에 직렬로 접속된 제1 내지 제 m 메모리 셀; 및
상기 선택선에 전기적으로 접속된 게이트를 갖는 선택 트랜지스터를 포함하고,
상기 제1 내지 제 m 메모리 셀 각각은,

제1 게이트, 제1 소스 및 제1 드레인을 포함하는 제1 트랜지스터;

제2 게이트, 제2 소스 및 제2 드레인을 포함하는 제2 트랜지스터; 및

캐패시터를 포함하고,

상기 제2 트랜지스터는 산화물 반도체층을 포함하고,

상기 소스선은 상기 선택 트랜지스터를 통해 상기 제 m 메모리 셀의 상기 제1 소스에 전기적으로 접속되고,

상기 비트선은 상기 제1 메모리 셀의 상기 제1 드레인에 전기적으로 접속되고,

상기 제1 신호선은 상기 제1 내지 제 m 메모리 셀의 상기 제2 드레인에 전기적으로 접속되고,

상기 제2 신호선은 상기 제1 내지 제 m 메모리 셀의 상기 제2 게이트에 전기적으로 접속되고,

제1 (1은 2 내지 m 의 자연수) 메모리 셀의 상기 제1 드레인은 제(1-1) 메모리 셀의 상기 제1 소스에 전기적으로 접속되고,

제 k (k 는 1 내지 m 의 자연수) 워드선은 제 k 메모리 셀의 상기 캐패시터의 하나의 단자에 전기적으로 접속되고,

상기 제1 메모리 셀의 상기 제2 드레인은, 상기 제(1-1) 메모리 셀의 상기 제1 게이트, 상기 제(1-1) 메모리 셀의 상기 제2 소스 및 상기 제(1-1) 메모리 셀의 상기 캐패시터의 나머지 하나의 단자에 전기적으로 접속되는, 반도체 장치.

청구항 6

제5항에 있어서,

상기 제1 트랜지스터는,

반도체 재료를 포함하는 기판에 제공된 채널 형성 영역;

상기 채널 형성 영역이 사이에 개재된 불순물 영역;

상기 채널 형성 영역 위의 제1 게이트 절연층; 및

상기 채널 형성 영역과 겹치며 상기 제1 게이트 절연층 위에 있는 제1 게이트 전극을 포함하는, 반도체 장치.

청구항 7

반도체 장치로서, 상기 반도체 장치는,

비트선과 소스선 사이에 직렬로 전기적으로 접속된, 제1 선택 트랜지스터, 제2 선택 트랜지스터, 제1 메모리 셀 및 제2 메모리 셀로서, 상기 제1 메모리 셀 및 상기 제2 메모리 셀 각각은,

제1 게이트, 제1 소스 및 제1 드레인을 포함하는 제1 트랜지스터;

제2 게이트, 제2 소스 및 제2 드레인을 포함하는 제2 트랜지스터; 및

상기 제1 게이트와 상기 제2 소스에 전기적으로 접속된 하나의 단자를 갖는 캐패시터

를 포함하는, 상기 제1 선택 트랜지스터, 상기 제2 선택 트랜지스터, 상기 제1 메모리 셀 및 상기 제2 메모리 셀;

상기 제1 메모리 셀의 상기 제2 드레인 및 상기 제2 메모리 셀의 상기 제2 드레인에 전기적으로 접속된 제1 신호선;

상기 제1 메모리 셀의 상기 제2 게이트 및 상기 제2 메모리 셀의 상기 제2 게이트에 전기적으로 접속된 제2 신

호선;

상기 제1 메모리 셀의 상기 캐패시터의 나머지 하나의 단자에 전기적으로 접속된 제1 워드선;

상기 제2 메모리 셀의 상기 캐패시터의 나머지 하나의 단자에 전기적으로 접속된 제2 워드선;

상기 제1 선택 트랜지스터의 게이트에 전기적으로 접속된 제1 선택선; 및

상기 제2 선택 트랜지스터의 게이트에 전기적으로 접속된 제2 선택선을 포함하고,

상기 비트선은 상기 제1 선택 트랜지스터를 통해 상기 제1 메모리 셀의 상기 제1 드레인에 전기적으로 접속되고,

상기 제1 메모리 셀의 상기 제1 소스 및 상기 제2 메모리 셀의 상기 제1 드레인은 서로 전기적으로 접속되고,

상기 소스선은 상기 제2 선택 트랜지스터를 통해 상기 제2 메모리 셀의 제1 소스에 전기적으로 접속되고,

상기 제2 트랜지스터는 산화물 반도체층을 포함하는, 반도체 장치.

청구항 8

제7항에 있어서,

상기 제1 메모리 셀의 상기 제1 트랜지스터는,

반도체 재료를 포함하는 기판에 제공된 채널 형성 영역;

상기 채널 형성 영역이 사이에 개재된 불순물 영역;

상기 채널 형성 영역 위의 제1 게이트 절연층; 및

상기 채널 형성 영역과 겹치며 상기 제1 게이트 절연층 위에 있는 제1 게이트 전극을 포함하는, 반도체 장치.

청구항 9

제2항, 제4항, 제6항, 및 제8항 중 어느 한 항에 있어서,

상기 기판은 단결정 반도체 기판 또는 SOI 기판인, 반도체 장치.

청구항 10

제2항, 제4항, 제6항, 및 제8항 중 어느 한 항에 있어서,

상기 반도체 재료는 실리콘인, 반도체 장치.

청구항 11

제1항, 제3항, 제5항, 및 제7항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 In, Ga 및 Zn을 포함하는, 반도체 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001] 게시하는 발명은 반도체 소자를 이용한 반도체 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 기억 장치는, 전력의 공급이 없어지면 기억 내용이 상실되는 휘발성의 것과, 전력의 공급이 없어져도 기억 내용은 유지되는 불휘발성의 것으로 크게 구별된다.

[0003] 휘발성 기억 장치가 대표적인 예로서는, DRAM(Dynamic Random Access Memory)이 있다. DRAM은, 기억 소자를 구성하는 트랜지스터를 선택하여 캐패시터에 전하를 축적함으로써, 정보를 기억한다.

[0004] 상술한 원리로부터, DRAM에서는, 정보를 관독하면 캐패시터의 전하는 상실되기 때문에, 정보의 관독할 때마다, 다시 기입 동작이 필요해진다. 또한, 기억 소자를 구성하는 트랜지스터에 있어서는 오프 상태에서의 소스와 드레인간의 누설 전류(오프 전류) 등에 의해, 트랜지스터가 선택되어 있지 않은 상황에서도 전하가 유출 또는 유입되기 때문에, 데이터의 유지 기간이 짧다. 이로 인해, 소정의 주기로 다시 기입 동작(리프레시 동작)이 필요해서, 소비 전력을 충분히 저감하는 것은 곤란하다. 또한, 전력의 공급이 없어지면 기억 내용이 상실되기 때문에, 장치간의 기억의 유지에는, 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요해진다.

[0005] 휘발성 기억 장치의 다른 예로서는 SRAM(Static Random Access Memory)이 있다. SRAM은, 플립플롭 등의 회로를 사용하여 기억 내용을 유지하기 때문에, 리프레시 동작이 불필요해서, 이 점에 있어서는 DRAM보다 유리하다. 그러나 플립플롭 등의 회로를 사용하고 있기 때문에, 기억 용량당의 단가가 높아진다는 문제가 있다. 또한, 전력의 공급이 없어지면 기억 내용이 상실된다는 점에 대해서는, DRAM과 다를 바가 없다.

[0006] 불휘발성 기억 장치의 대표예로서는, 플래시 메모리가 있다. 플래시 메모리는, 트랜지스터의 게이트 전극과 채널 형성 영역 사이에 플로팅 게이트를 갖고, 그 플로팅 게이트에 전하를 유지시킴으로써 기억을 행하기 때문에, 데이터의 유지 기간이 매우 길어(반 영구적), 휘발성 기억 장치에서 필요한 리프레시 동작이 불필요하다고 하는 이점을 갖고 있다(예를 들어, 특허문헌 1 참조).

[0007] 그러나, 기입 시에 생기는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화되기 때문에, 소정 횟수의 기입에 의해 기억 소자가 기능하지 않게 된다고 하는 문제가 발생한다. 이 문제의 영향을 완화하기 위해서, 예를 들어 각 기억 소자의 기입 횟수를 균일화하는 방법이 채용되지만, 이것을 실현하기 위해서는, 복잡한 주변 회로가 필요하게 되어 버린다. 그리고, 이러한 방법을 채용해도, 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는, 정보의 재기입 빈도가 높은 용도에는 부적합하다.

[0008] 또한, 플로팅 게이트에 전하를 주입시키기 위하여 또는, 그 전하를 제거하기 위해서는, 높은 전압이 필요하고, 또한 그를 위한 회로도 필요하다. 따라서, 소비 전력이 크다는 문제가 있다. 또한, 전하의 주입 또는 제거를 위해서는 비교적 오랜 시간을 필요로 하고, 기입, 소거의 고속화가 용이하지 않다는 문제도 있다.

[0009] 또한 상기 플래시 메모리에 있어서는, 기억 용량을 증대시키기 위해서, 1개의 메모리 셀 중에 2단계보다 큰 데이터를 기억시키는, 「다치」의 플래시 메모리가 제안되어 있다(예를 들어, 특허문헌 2 참조).

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 일본 특허 공개 소57-105889호 공보
- (특허문헌 0002) 일본 특허 공개 평11-25682호 공보

발명의 내용

해결하려는 과제

[0011] 다치 메모리에서는, 기억의 대용량화에 수반하여, 다종의 다른 전압값을 사용하기 때문에, 필요로 하는 회로도

증가하고, 반도체 장치의 대형화나 고비용을 초래한다는 문제가 있다.

[0012] 상술의 문제를 감안하여, 개시하는 발명의 일 형태에서는, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또한, 새로운 구조에 의해 반도체 장치의 간략화를 도모하고, 단위 면적당의 기억 용량을 증가시키는 것도 목적의 하나로 한다.

과제의 해결 수단

[0013] 본 명세서에 개시하는 다치 기입을 행하는 반도체 장치는, 산화물 반도체층을 포함하는 트랜지스터를 사용한 메모리 셀의 비트선을 따르도록, 기입을 행하는 기입 트랜지스터의 온 오프를 제어하는 신호선을 배치한다. 또한, 그 반도체 장치의 구동 방법은, 판독 동작 시에 용량 소자에 부여하는 전압을 기입 시에도 이용하여, 다치 기입을 행한다.

[0014] 산화물 반도체층을 포함하는 트랜지스터를 사용한 다치 메모리에 있어서, 기입하려는 데이터에 맞추어, 적절한 전위를 메모리의 용량 소자에 부여하면서 기입을 행함으로써, 기입 전압을 변화시키지 않고, 기입 데이터에 대응한 전위를 플로팅 노드에 부여할 수 있다. 즉, 기입 데이터에 대응한 기입 전압을 준비하지 않아도, 메모리의 용량 소자에 부여하는 전압을 제어함으로써, 다치 기입을 행할 수 있다. 따라서, 기입 전압을 제어하는 회로를 생략할 수 있기 때문에, 회로 구성을 간략화할 수 있다.

[0015] 메모리 셀에 사용하는 트랜지스터는, 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들어 와이드 갭 재료(보다 구체적으로는, 예를 들어 에너지 갭(Eg)이 3eV보다 큰 반도체 재료)를 반도체층으로서 갖는 트랜지스터를 사용한다. 산화물 반도체 재료는 와이드 갭 반도체이므로, 산화물 반도체층을 포함하는 트랜지스터를 갖는 반도체 장치를 구성할 수 있다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 사용함으로써, 장기간에 걸쳐 정보를 유지하는 것이 가능하다.

[0016] 본 명세서에 개시하는 반도체 장치의 일 형태는, 소스선과, 비트선과, m개의 워드선과, 제1 신호선과, 제2 신호선과, 제1 선택선과, 제2 선택선과, 소스선과 비트선 사이에, 직렬로 접속된 제1 내지 제m 메모리 셀과, 게이트 단자가 제1 선택선과 전기적으로 접속된 제1 선택 트랜지스터와, 게이트 단자가 제2 선택선과 전기적으로 접속된 제2 선택 트랜지스터를 갖고, 제1 내지 제m 메모리 셀은 각각, 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 갖는 제1 트랜지스터와, 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 갖는 제2 트랜지스터와, 용량 소자를 갖고, 제1 트랜지스터는 반도체 재료를 포함하는 기관에 설치되고, 제2 트랜지스터는 산화물 반도체층을 포함하여 구성되고, 소스선은, 제2 선택 트랜지스터를 통하여, 제m 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 비트선은, 제1 선택 트랜지스터를 통하여, 제1 메모리 셀의 제1 드레인 단자와 전기적으로 접속되고, 제1 신호선은, 제2 드레인 단자와 전기적으로 접속되고, 제2 신호선은, 제2 게이트 단자와 전기적으로 접속되고, 제1(1은 2 이상 m 이하의 자연수) 메모리 셀의 제1 드레인 단자는, 제(1-1) 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 제k(k는 1 이상 m 이하의 자연수) 워드선은, 제k 메모리 셀의 용량 소자의 단자의 한쪽과 전기적으로 접속되고, 제k 메모리 셀의 제2 소스 단자는, 제k 메모리 셀의 제1 게이트 단자와, 제k 메모리 셀의 용량 소자의 단자의 다른 쪽과 전기적으로 접속된다.

[0017] 본 명세서에 개시하는 반도체 장치의 일 형태는, 소스선과, 비트선과, m개의 워드선과, 제1 신호선과, 제2 신호선과, 선택선과, 소스선과 비트선 사이에, 직렬로 접속된 제1 내지 제m 메모리 셀과, 게이트 단자가 선택선과 전기적으로 접속된 선택 트랜지스터를 갖고, 제1 내지 제m 메모리 셀은 각각, 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 갖는 제1 트랜지스터와, 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 갖는 제2 트랜지스터와, 용량 소자를 갖고, 제1 트랜지스터는 반도체 재료를 포함하는 기관에 설치되고, 제2 트랜지스터는 산화물 반도체층을 포함하여 구성되고, 소스선은, 선택 트랜지스터를 통하여, 제m 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 비트선은, 제1 메모리 셀의 제1 드레인 단자와 전기적으로 접속되고, 제1 신호선은, 제2 드레인 단자와 전기적으로 접속되고, 제2 신호선은, 제2 게이트 단자와 전기적으로 접속되고, 제1(1은 2 이상 m 이하의 자연수) 메모리 셀의 제1 드레인 단자는, 제(1-1) 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 제k(k는 1 이상 m 이하의 자연수) 워드선은, 제k 메모리 셀의 용량 소자의 단자의 한쪽과 전기적으로 접속되고, 제1 메모리 셀의 제2 드레인 단자는, 제(1-1) 메모리 셀의 제1 게이트 단자와, 제(1-1) 메모리 셀의 제2 소스 단자와, 제(1-1) 메모리 셀의 용량 소자의 단자의 다른 쪽과 전기적으로 접속된다.

[0018] 상기 구성에 있어서, 제1 트랜지스터는, 반도체 재료를 포함하는 기관에 형성된 채널 형성 영역과, 채널 형성 영역을 사이에 두도록 형성된 불순물 영역과, 채널 형성 영역 위의 제1 게이트 절연층과, 채널 형성 영역과 중

첩하고, 제1 게이트 절연층 위에 설치된 제1 게이트 전극을 갖는 구성으로 해도 좋다.

[0019] 또한, 본 명세서 등에 있어서 「전극」이나 「배선」의 용어는, 이들의 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, 「전극」은 「배선」의 일부로서 사용되는 경우가 있고, 그 역도 또한 마찬가지이다. 또한, 「전극」이나 「배선」의 용어는, 복수의 「전극」이나 「배선」이 일체로 되어 형성되어 있는 경우 등도 포함한다.

[0020] 또한, 「소스」나 「드레인」의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 교체되는 경우가 있다. 이로 인해, 본 명세서에 있어서는, 「소스」나 「드레인」의 용어는, 교체하여 사용할 수 있는 것으로 한다.

[0021] 또한, 본 명세서 등에 있어서, 「전기적으로 접속」은, 「어떠한 전기적 작용을 갖는 것」을 통하여 접속되어 있는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 갖는 것」은, 접속 대상 사이에서의 전기 신호의 수신을 가능하게 하는 것이면, 특별히 제한되지 않는다. 예를 들어, 「무엇인가의 전기적 작용을 갖는 것」은, 전극이나 배선을 비롯하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 캐패시터, 그 밖의 각종 기능을 갖는 소자 등이 포함된다.

발명의 효과

[0022] 산화물 반도체층을 포함하는 트랜지스터를 사용한 다치 메모리에 있어서, 기입하려는 데이터에 맞추어, 적절한 전위를 메모리의 용량 소자에 부여하면서 기입을 행함으로써, 기입 전압을 변화시키지 않고, 기입 데이터에 대응한 전위를 플로팅 노드에 부여할 수 있다. 따라서, 기입 전압을 제어하는 회로를 생략할 수 있기 때문에, 회로 구성을 간략화할 수 있다.

[0023] 산화물 반도체를 사용한 트랜지스터는 오프 전류가 매우 작기 때문에, 이것을 사용함으로써 매우 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프्रेस리 동작이 불필요하게 되거나 또는 리프्रेस리 동작의 빈도를 매우 낮게 하는 것이 가능하게 되기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직하다)에도 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다.

[0024] 또한, 개시하는 발명에 관한 반도체 장치에서는, 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트에의 전자의 주입이나, 플로팅 게이트로부터의 전자의 방출을 행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 문제가 전혀 발생하지 않는다. 즉, 개시하는 발명에 관한 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제가 되고 있는 재기입 가능 횟수에 제한이 없고, 신뢰성이 비약적으로 향상한다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라, 정보의 기입이 행해지기 때문에, 고속의 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요하다고 하는 장점도 있다.

[0025] 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 충분한 고속 동작이 가능하기 때문에, 이것을, 산화물 반도체를 사용한 트랜지스터와 조합하여 사용함으로써, 반도체 장치의 동작(예를 들어, 정보의 판독 동작)의 고속성을 충분히 확보할 수 있다. 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의해, 고속 동작을 요구받는 각종 회로(논리 회로, 구동 회로 등)를 적절하게 실현하는 것이 가능하다.

[0026] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(보다 광의로는, 충분한 고속 동작이 가능한 트랜지스터)와, 산화물 반도체를 사용한 트랜지스터(보다 광의로는, 충분히 오프 전류가 작은 트랜지스터)를 일체로 구비함으로써, 지금까지 없는 특징을 갖는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 반도체 장치의 회로도.
- 도 2는 반도체 장치의 회로도.
- 도 3은 반도체 장치의 회로도.
- 도 4는 반도체 장치의 회로도.
- 도 5는 반도체 장치의 회로도.
- 도 6은 타이밍차트도.

- 도 7은 타이밍차트도.
- 도 8은 타이밍차트도.
- 도 9는 반도체 장치의 단면도 및 평면도.
- 도 10은 반도체 장치의 제작 공정에 관한 단면도.
- 도 11은 반도체 장치의 제작 공정에 관한 단면도.
- 도 12는 반도체 장치의 제작 공정에 관한 단면도.
- 도 13은 반도체 장치의 제작 공정에 관한 단면도.
- 도 14는 반도체 장치를 사용한 전자 기기를 설명하기 위한 도면.
- 도 15는 반도체 장치의 단면도.
- 도 16은 반도체 장치의 단면도.
- 도 17은 반도체 장치의 제작 공정에 관한 단면도.
- 도 18은 트랜지스터에 적용할 수 있는 산화물 재료의 결정 구조를 설명하는 도면.
- 도 19는 트랜지스터에 적용할 수 있는 산화물 재료의 결정 구조를 설명하는 도면.
- 도 20은 트랜지스터에 적용할 수 있는 산화물 재료의 결정 구조를 설명하는 도면.
- 도 21은 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 22는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 23은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 24는 계산 따라서 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 25는 계산에 사용한 트랜지스터의 단면 구조를 설명하는 도면.
- 도 26은 산화물 반도체층을 사용한 트랜지스터 특성을 도시하는 도면.
- 도 27은 시료 1의 트랜지스터의 BT 시험 후의 V_g-I_d 특성을 도시하는 도면.
- 도 28은 시료 2의 트랜지스터의 BT 시험 후의 V_g-I_d 특성을 도시하는 도면.
- 도 29는 시료 A 및 시료 B의 XRD 스펙트럼을 도시하는 도면.
- 도 30은 트랜지스터의 오프 전류와 측정 시 기판 온도의 관계를 도시하는 도면.
- 도 31은 I_d 및 전계 효과 이동도의 V_g 의존성을 도시하는 도면.
- 도 32는 기판 온도와 임계값 전압의 관계 및 기판 온도와 전계 효과 이동도의 관계를 도시하는 도면.
- 도 33은 반도체 장치의 상면도 및 단면도.
- 도 34는 반도체 장치의 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

[0028] 개시하는 발명의 실시 형태의 일례에 대해서, 도면을 사용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 기재하는 실시 형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0029] 또한, 도면 등에 있어서 나타내는 각 구성의, 위치, 크기, 범위 등은, 이해의 간단화를 위하여, 실제의 위치, 크기, 범위 등을 나타내고 있지 않은 경우가 있다. 이로 인해, 개시하는 발명은, 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

- [0030] 또한, 본 명세서 등에 있어서의 「제1」, 「제2」, 「제3」 등의 서수사는, 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것이 아님을 부기한다.
- [0031] (실시 형태 1)
- [0032] 본 실시 형태에서는, 개시하는 발명의 일 형태에 관한 반도체 장치의 회로 구성 및 동작에 대해서, 도 1 내지 도 8을 참조하여 설명한다. 또한, 회로도에 있어서는, 산화물 반도체를 사용한 트랜지스터인 것을 나타내기 위해서, OS의 부호를 함께 붙이는 경우가 있다.
- [0033] 본 실시 형태의 반도체 장치는, 메모리 셀에 기입을 행하는 기입 트랜지스터의 온 오프를 제어하는 신호선을, 비트선을 따르도록 배치한다. 또한, 그 반도체 장치의 구동 방법은, 판독 동작 시에 용량 소자에 부여하는 전압을 기입 시에도 이용하여, 다치 기입을 행한다.
- [0034] <기본 회로>
- [0035] 처음에, 기본적인 회로 구성 및 그 동작에 대해서, 도 2를 참조하여 설명한다. 도 2aa에 도시한 반도체 장치에 있어서, 제1 배선(1st Line)과 트랜지스터(160)의 소스 전극(또는 드레인 전극)은, 전기적으로 접속되고, 제2 배선(2nd Line)과 트랜지스터(160)의 드레인 전극(또는 소스 전극)은, 전기적으로 접속되어 있다. 또한, 제3 배선(3rd Line)과 트랜지스터(162)의 소스 전극(또는 드레인 전극)은, 전기적으로 접속되고, 제4 배선(4th Line)과, 트랜지스터(162)의 게이트 전극은, 전기적으로 접속되어 있다. 그리고, 트랜지스터(160)의 게이트 전극과, 트랜지스터(162)의 드레인 전극(또는 소스 전극)은, 용량 소자(164)의 전극의 한쪽과 전기적으로 접속되고, 제5 배선(5th Line)과, 용량 소자(164)의 전극의 다른 쪽은 전기적으로 접속되어 있다.
- [0036] 여기서, 트랜지스터(162)에는, 예를 들어 산화물 반도체를 사용한 트랜지스터가 적용된다. 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 매우 작다고 하는 특징을 갖고 있다. 이로 인해, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 매우 장시간에 걸쳐 유지하는 것이 가능하다. 그리고, 용량 소자(164)을 가짐으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하의 유지가 용이해지고, 또한, 유지된 정보의 판독이 용이해진다. 또한, 트랜지스터(160)에 대해서는 특별히 한정되지 않는다. 정보의 판독 속도를 향상시킨다는 관점에서는, 예를 들어 단결정 실리콘을 사용한 트랜지스터 등, 스위칭 속도가 높은 트랜지스터를 적용하는 것이 적합하다.
- [0037] 또한, 도 2b에 도시한 바와 같이, 용량 소자(164)을 설치하지 않는 구성으로 하는 것도 가능하다.
- [0038] 도 2aa에 도시한 반도체 장치에서는, 트랜지스터(160)의 게이트 전극의 전위가 유지 가능하다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 유지, 판독이 가능하다.
- [0039] 우선, 정보의 기입 및 유지에 대하여 설명한다. 우선, 제4 배선의 전위를, 트랜지스터(162)가 온 상태로 되는 전위로 하여, 트랜지스터(162)를 온 상태로 한다. 이에 의해, 제3 배선의 전위가, 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 부여된다. 즉, 트랜지스터(160)의 게이트 전극에는, 소정의 전하가 부여된다(기입). 여기에서는, 다른 둘의 전위를 부여하는 전하(이하, 저전위를 부여하는 전하를 전하(Q_L), 고전위를 부여하는 전하를 전하(Q_H)라고 한다) 중 어느 하나가 부여되는 것으로 한다. 또한, 다른 3개 또는 그 이상의 전위를 부여하는 전하를 적용하여, 기억 용량을 향상시켜도 좋다. 그 후, 제4 배선의 전위를, 트랜지스터(162)가 오프 상태로 되는 전위로 하여, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하가 유지된다(유지).
- [0040] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.
- [0041] 이어서, 정보의 판독에 대하여 설명한다. 제1 배선에 소정의 전위(정전위)를 부여한 상태에서, 제5 배선에 적절한 전위(판독 전위)를 부여하면, 트랜지스터(160)의 게이트 전극에 유지된 전하량에 따라, 제2 배선은 다른 전위를 취한다. 일반적으로, 트랜지스터(160)를 n 채널형으로 하면, 트랜지스터(160)의 게이트 전극에 Q_H가 부여되어 있는 경우의 켈보기의 임계값(V_{th,H})은, 트랜지스터(160)의 게이트 전극에 Q_L이 부여되어 있는 경우의 켈보기의 임계값(V_{th,L})보다 낮아지기 때문이다. 여기서, 켈보기의 임계값이란, 트랜지스터(160)를 「온 상태」로 하기 위하여 필요한 제5 배선의 전위를 의미하는 것으로 한다. 따라서, 제5 배선의 전위를 V_{th,H}와 V_{th,L}의 중간인 전위 V₀으로 함으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하를 판별할 수 있다. 예를 들어, 기입

에 있어서 Q_H 가 부여된 경우에는, 제5 배선의 전위가 $V_0(>V_{th,H})$ 이 되면, 트랜지스터(160)는 「온 상태」가 된다. Q_L 이 부여된 경우에는, 제5 배선의 전위가 $V_0(<V_{th,L})$ 이 되어도, 트랜지스터(160)는 「오프 상태」인 채이다. 이로 인해, 제2 배선의 전위를 판별함으로써, 유지되어 있는 정보를 판독할 수 있다.

[0042] 또한, 메모리 셀을 어레이 형상으로 배치하여 사용하는 경우에는, 원하는 메모리 셀의 정보만을 판독해야 할 때 필요하게 된다. 이와 같이, 소정의 메모리 셀의 정보를 판독하고, 그 이외의 메모리 셀의 정보를 판독하지 않기 위해서는, 트랜지스터(160)가 병렬로 접속되어 있는 경우에는, 판독의 대상이 아닌 메모리 셀의 제5 배선에 대하여, 게이트 전극의 상태에 관계 없이 트랜지스터(160)가 「오프 상태」가 되는 전위, 즉 $V_{th,H}$ 보다 작은 전위를 부여하면 된다. 또한 트랜지스터(160)가 직렬로 접속되어 있는 경우에는, 게이트 전극의 상태에 관계 없이 트랜지스터(160)가 「온 상태」로 되는 전위, 즉, $V_{th,L}$ 보다 큰 전위를 제5 배선에 부여하면 된다.

[0043] 이어서, 정보의 재기입에 대하여 설명한다. 정보의 재기입은, 상기 정보의 기입 및 유지와 마찬가지로 행해진다. 즉, 제4 배선의 전위를, 트랜지스터(162)가 온 상태로 되는 전위로 하여, 트랜지스터(162)를 온 상태로 한다. 이에 의해, 제3 배선의 전위(새로운 정보에 관한 전위)가, 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 부여된다. 그 후, 제4 배선의 전위를, 트랜지스터(162)가 오프 상태로 되는 전위로 하여, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극은, 새로운 정보에 관한 전하가 부여된 상태로 된다.

[0044] 이와 같이, 개시하는 발명에 관한 반도체 장치는, 다시 정보의 기입에 의해 직접 정보를 재기입하는 것이 가능하다. 이 때문에 플래시 메모리 등에 있어서 필요하게 되는 고전압을 사용한 플로팅 게이트로부터의 전하의 방출이 불필요해서, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.

[0045] 또한, 트랜지스터(162)의 드레인 전극(또는 소스 전극)은, 트랜지스터(160)의 게이트 전극과 전기적으로 접속됨으로써, 불휘발성 기억 소자로서 사용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 발휘한다. 본 명세서에 있어서, 트랜지스터(162)의 드레인 전극(또는 소스 전극)과 트랜지스터(160)의 게이트 전극이 전기적으로 접속되는 부위를 플로팅 노드(노드 FG)라고 칭한다. 트랜지스터(162)가 오프인 경우, 그 노드 FG는 절연체 중에 매설되었다고 볼 수 있고, 노드 FG에는 전하가 유지된다. 산화물 반도체를 사용한 트랜지스터(162)의 오프 전류는, 실리콘 반도체 등에서 형성되는 트랜지스터의 10만분의 1 이하이기 때문에, 트랜지스터(162)의 누설에 의한, 노드 FG에 축적된 전하의 소실을 무시하는 것이 가능하다. 즉, 산화물 반도체를 사용한 트랜지스터(162)에 의해, 전력의 공급이 없어도 정보의 유지가 가능한 불휘발성의 기억 장치를 실현하는 것이 가능하다.

[0046] 예를 들어, 트랜지스터(162)의 실온(25℃)에서의 오프 전류가 10zA(1zA(zepto 암페어)은 1×10^{-21} A) 이하이고, 용량 소자(164)의 용량값이 10fF 정도일 경우에는, 적어도 10^4 초 이상의 데이터의 유지가 가능하다. 또한, 그 유지 시간이, 트랜지스터 특성이나 용량값에 의해 변동하는 것은 말할 필요도 없다.

[0047] 또한, 개시하는 발명의 반도체 장치에 있어서는, 종래의 플로팅 게이트형 트랜지스터에 있어서 지적되어 있는 게이트 절연층(터널 절연막)의 열화라고 하는 문제가 존재하지 않는다. 즉, 종래 문제가 되었던, 전자를 플로팅 게이트에 주입할 때의 게이트 절연층의 열화라는 문제를 해소할 수 있다. 이것은, 원리적인 기입 횟수의 제한이 존재하지 않는 것을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에 있어서 기입이나 소거시에 필요했던 고전압도 불필요하다.

[0048] 도 2a에 도시한 반도체 장치는, 그 반도체 장치를 구성하는 트랜지스터 등의 요소가 저항 및 용량을 포함하는 것으로서, 도 2ab와 같이 생각하는 것이 가능하다. 즉, 도 2ab에서는, 트랜지스터(160) 및 용량 소자(164)이, 각각, 저항 및 용량을 포함하여 구성된다고 생각하고 있는 것으로 된다. R1 및 C1은, 각각, 용량 소자(164)의 저항값 및 용량값이며, 저항값 R1은, 용량 소자(164)을 구성하는 절연층에 의한 저항값에 상당한다. 또한, R2 및 C2은, 각각, 트랜지스터(160)의 저항값 및 용량값이며, 저항값 R2는 트랜지스터(160)가 온 상태일 때의 게이트 절연층에 의한 저항값에 상당하고, 용량값 C2는 소위 게이트 용량(게이트 전극과, 소스 전극 또는 드레인 전극 사이에 형성되는 용량, 및 게이트 전극과 채널 형성 영역 사이에 형성되는 용량)의 용량값에 상당한다.

[0049] 트랜지스터(162)가 오프 상태에 있는 경우의 소스 전극과 드레인 전극의 사이의 저항값(실효 저항이라고도 칭한다)을 ROS로 하면, 트랜지스터(162)의 게이트 누설 전류가 충분히 작은 조건에 있어서, R1 및 R2이, $R1 \geq ROS$ (R1은 ROS 이상), $R2 \geq ROS$ (R2는 ROS 이상)을 만족시키는 경우에는, 전하의 유지 기간(정보의 유지 기간이라고도 할

수 있다)은, 주로 트랜지스터(162)의 오프 전류에 의해 결정되게 된다.

- [0050] 역으로, 그 조건을 만족하지 않는 경우에는, 트랜지스터(162)의 오프 전류가 충분히 작다해도, 유지 기간을 충분히 확보하는 것이 곤란해진다. 트랜지스터(162)의 오프 전류이외의 누설 전류(예를 들어, 트랜지스터(160)에 있어서의 소스 전극과 게이트 전극의 사이에 있어서 발생하는 누설 전류 등)가 크기 때문이다. 이것으로부터, 본 실시 형태에 있어서 개시하는 반도체 장치는, $R1 \geq ROS$ 및 $R2 \geq ROS$ 의 관계를 만족시키는 것인 것이 바람직하다고 말할 수 있다.
- [0051] 한편, C1과 C2은, $C1 \geq C2$ (C1은 C2 이상)의 관계를 만족시키는 것이 바람직하다. C1을 크게 함으로써, 제5 배선에 의해 노드 FG의 전위를 제어 할 때에 제5 배선의 전위를 효율적으로 노드 FG에 부여할 수 있게 되고, 제5 배선에 부여하는 전위간(예를 들어, 판독의 전위와, 비 판독의 전위)의 전위차를 낮게 억제할 수 있기 때문이다.
- [0052] 이와 같이, 상술한 관계를 만족시킴으로써, 보다 적합한 반도체 장치를 실현하는 것이 가능하다. 또한, R1 및 R2은, 트랜지스터(160)의 게이트 절연층이나 용량 소자(164)의 절연층에 의해 제어된다. C1 및 C2에 대해서도 마찬가지이다. 따라서, 게이트 절연층의 재료나 두께 등을 적절히 설정하고, 상술한 관계를 만족시키도록 하는 것이 바람직하다.
- [0053] 본 실시 형태에서 나타내는 반도체 장치에 있어서는, 노드 FG이, 플래시 메모리 등의 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 하지만, 본 실시 형태의 노드 FG는, 플래시 메모리 등의 플로팅 게이트와 본질적으로 다른 특징을 갖고 있다.
- [0054] 플래시 메모리에서는, 컨트롤 게이트에 인가되는 전위가 높기 때문에, 그 전위가, 인접하는 셀의 플로팅 게이트에 영향을 주지 않도록, 셀과 셀과의 간격을 어느 정도 유지할 필요가 생긴다. 이것은, 반도체 장치의 고집적화를 저해하는 요인 중 하나이다. 그리고, 그 요인은, 고전계를 가하여 터널 전류를 발생시킨다는 플래시 메모리의 근본적인 원리에 기인하는 것이다.
- [0055] 한편, 본 실시 형태에 관한 반도체 장치는, 산화물 반도체를 사용한 트랜지스터의 스위칭에 의해 동작하고, 상술한 바와 같은 터널 전류에 의한 전하 주입의 원리를 사용하지 않는다. 즉, 플래시 메모리와 같은, 전하를 주입하기 위한 고전계가 불필요하다. 이에 의해, 인접 셀에 대한, 컨트롤 게이트에 의한 고전계의 영향을 고려하는 필요가 없기 때문에, 고집적화가 용이해진다.
- [0056] 또한, 고전계가 불필요해서, 대형의 주변 회로(승압 회로 등)이 불필요한 점도, 플래시 메모리에 대한 장점이다. 예를 들어, 본 실시 형태에 관한 메모리 셀에 인가되는 전압(메모리 셀의 각 단자에 동시에 인가되는 전위의 최대의 것과 최소의 것의 차)의 최대값은, 2단계(1비트)의 정보를 기입하는 경우, 하나의 메모리 셀에 있어서, 5V 이하, 바람직하게는 3V 이하로 할 수 있다.
- [0057] 또한, 용량 소자(164)을 구성하는 절연층의 비유전율 $\epsilon r1$ 과, 트랜지스터(160)를 구성하는 절연층의 비유전율 $\epsilon r2$ 를 상이하게 할 경우에는, 용량 소자(164)을 구성하는 절연층의 면적 S1과, 트랜지스터(160)에 있어서 게이트 용량을 구성하는 절연층의 면적 S2가, $2 \cdot S2 \geq S1$ ($2 \cdot S2$ 은 S1 이상)(바람직하게는 $S2 \geq S1$ (S2은 S1 이상))을 만족시키면서, $C1 \geq C2$ (C1은 C2 이상)을 실현하는 것이 용이하다. 즉, 용량 소자(164)을 구성하는 절연층의 면적을 작게 하면서, $C1 \geq C2$ 를 실현하는 것이 용이하다. 구체적으로는, 예를 들어 용량 소자(164)를 구성하는 절연층에 있어서는, 산화하프늄 등의 high-k 재료로 이루어지는 막 또는 산화하프늄 등의 high-k 재료로 이루어지는 막과 산화물 반도체로 이루어지는 막의 적층 구조를 채용하여 $\epsilon r1$ 을 10 이상, 바람직하게는 15 이상으로 하고, 게이트 용량을 구성하는 절연층에 있어서는, 산화 실리콘을 채용하여, $\epsilon r2=3$ 내지 4로 할 수 있다.
- [0058] 이와 같은 구성을 함께 사용함으로써, 개시하는 발명에 관한 반도체 장치의, 한층 더한 고집적화가 가능하다.
- [0059] 또한, 반도체 장치의 기억 용량을 크게 하기 위해서는, 고집적화이외에, 다식화의 방법을 채용할 수도 있다. 예를 들어, 메모리 셀의 1개에 3단계 이상의 정보를 기입하는 구성으로 함으로써, 2단계(1비트)의 정보를 기입하는 경우와 비교하여 기억 용량을 증대시킬 수 있다. 예를 들어, 상술한 바와 같은, 저전위를 부여하는 전하(Q_L), 고전위를 부여하는 전하(Q_H) 외에, 다른 전위를 부여하는 전하(Q)를 제1 트랜지스터의 게이트 전극에 부여함으로써, 다식화를 실현할 수 있다. 이 경우, 비교적 규모가 큰 회로 구성을 채용해도 충분한 기억 용량을 확보할 수 있다.
- [0060] 이어서, 도 2에 도시하는 회로를 응용한 보다 구체적인 회로 구성 및 동작에 대해서, 도 1, 도 3 내지 도 8을 참조하여 설명한다.

- [0061] 도 1은, 세로 m개(행)×가로 n개(열)의 메모리 셀(190)을 갖는 반도체 장치의 회로도의 일례이다. 도 1중의 메모리 셀(190)의 구성은, 도 2aa과 마찬가지로이다. 즉, 도 2aa에 있어서의 제1 배선이 도 1에 있어서의 비트선(BL)에 상당하고, 도 2aa에 있어서의 제2 배선이 도 1에 있어서의 소스선(SL)에 상당하고, 도 2aa에 있어서의 제3 배선이 도 1에 있어서의 제1 신호선(S1)에 상당하고, 도 2aa에 있어서의 제4 배선이 도 1에 있어서의 제2 신호선(S2)에 상당하고, 도 2aa에 있어서의 제5 배선이 도 1에 있어서의 워드선(WL)에 상당한다. 단, 도 1에서는, 메모리 셀(190)이 트랜지스터(160)에 있어서 열방향으로 직렬로 접속되므로, 제1 행째의 메모리 셀(190)만이 다른 메모리 셀(190)을 통하지 않고 비트선(BL)과 접속되고, 제m 행째의 메모리 셀(190)만이 다른 메모리 셀(190)을 통하지 않고 소스선(SL)과 접속된다. 다른 행의 메모리 셀(190)은, 동일한 열의 다른 메모리 셀(190)을 통하여 비트선(BL) 및 소스선(SL)과 전기적으로 접속된다. 다른 행의 메모리 셀(190)은, 동일한 열의 다른 메모리 셀(190)을 통하여 비트선(BL) 및 소스선(SL)과 전기적으로 접속된다.
- [0062] 도 1에 도시한 반도체 장치는, m개(m은 2 이상의 자연수)의 워드선(WL)과, n개(n은 2 이상의 자연수)의 비트선(BL)과, 제1 신호선(S1)과, n개의 제2 신호선(S2)과, 메모리 셀(190)이 세로 m개(행)×가로 n개(열)의 매트릭스 형상으로 배치된 메모리 셀 어레이와, 소스선(SL)과, 선택선(G₁) 및 선택선(G₂)과, 선택선(G₁)에 따라 비트선(BL)과 제1 행째의 메모리 셀(190) 사이에 배치되고, 선택선(G₁)과 게이트 전극에 있어서 전기적으로 접속된 n개의 선택 트랜지스터(180)와, 선택선(G₂)을 따라 제m 행째의 메모리 셀(190)과 소스선(SL) 사이에 배치되고, 선택선(G₂)과 게이트 전극에 있어서 전기적으로 접속된 n개의 선택 트랜지스터(182)를 갖는다.
- [0063] 즉, 비트선(BL)은, 선택 트랜지스터(180)을 통하여, 제1 행째의 메모리 셀(190)의 트랜지스터(160)의 드레인 전극과 전기적으로 접속된다. 또한, 소스선(SL)은, 선택 트랜지스터(182)를 통하여, 제m 행째의 메모리 셀(190)의 트랜지스터(160)의 소스 전극과 전기적으로 접속된다. 또한, 제1 신호선(S1)은, 모든 트랜지스터(162)의 드레인 전극과 전기적으로 접속되고, 제k열째(k는 1 이상 n 이하의 자연수)의 신호선(S2_k)은, 제k열째의 메모리 셀(190)의 트랜지스터(162)의 게이트 전극과 전기적으로 접속되고, 제k행째의 워드선(WL)은, 제k행째의 메모리 셀(190)의 용량 소자(164)의 전극의 한쪽과 전기적으로 접속된다.
- [0064] 또한, 제2 신호선(S2)은 비트선과 평행하고, 인접하는 메모리 셀(190)의 트랜지스터(162)과 전기적으로 접속하고 있다.
- [0065] 도 1에 도시한 반도체 장치의 제k행째의 메모리 셀(190)의 노드 FG는, 도 2aa에 도시한 구성과 동등하다. 여기서, 제k행째에 있어서, 산화물 반도체를 사용한 트랜지스터(162)는, 오프 전류가 매우 작으므로, 도 1에 도시한 반도체 장치의 메모리 셀(190)에 있어서도, 도 2aa에 도시한 반도체 장치와 마찬가지로, 트랜지스터(162)를 오프 상태로 함으로써, 노드 FG의 전위를 매우 장시간에 걸쳐 유지하는 것이 가능하다.
- [0066] 또한, 메모리 셀(190)의 트랜지스터(162)의 게이트 전극을, 비트선과 평행한 제2 신호선(S2)과 전기적으로 접속함으로써, 용량 소자(164)에 부여하는 전압을 이용하여 기입 동작을 행하는 것이 가능하게 된다. 따라서, 메모리 셀(190)에 다치의 정보를 기입하는 경우에도, 기입 데이터에 대응시켜서 트랜지스터(162)의 드레인 전극에 인가하는 전압을 바꿀 필요가 없어지기 때문에, 기입 전압을 제어하는 회로 등, 주변 회로를 생략할 수 있다.
- [0067] 또한, 선택선(G₁), 선택선(G₂), 선택 트랜지스터(180) 및 선택 트랜지스터(182)는 반드시 설치하지 않아도 좋고, 선택선(G₁) 및 선택 트랜지스터(180) 또는, 선택선(G₂) 및 선택 트랜지스터(182) 중 어느 1조를 생략하는 것이 가능하다. 예를 들어, 도 3에 도시한 바와 같이, 상기 선택선(G₂)에 상당하는 선택선(G)과, 선택 트랜지스터(182)만을 설치하는 구성으로 할 수도 있다.
- [0068] 또한, 도 4에 도시한 바와 같이, 인접하는 메모리 셀(190)의 트랜지스터(162)의 소스 전극과 드레인 전극을 직렬로 접속시켜도 좋다. 이 경우도, 선택선(G₁), 선택선(G₂), 선택 트랜지스터(180) 및 선택 트랜지스터(182)는 반드시 설치하지 않아도 좋고, 선택선(G₁) 및 선택 트랜지스터(180) 또는, 선택선(G₂) 및 선택 트랜지스터(182) 중 어느 1조를 생략하는 것이 가능하다. 예를 들어 도 5에 도시한 바와 같이, 상기 선택선(G₂)에 상당하는 선택선(G)과, 선택 트랜지스터(182)만을 설치하는 구성으로 할 수도 있다.
- [0069] 도 5에 도시한 반도체 장치에 있어서, 데이터의 기입, 유지 및 판독은, 기본적으로 도 2의 경우와 마찬가지로이다. 단, 데이터의 기입은 열마다 행해진다. 어떤 메모리 셀(190)의 트랜지스터(162)의 게이트 전극은, 제2 신호선(S2)을 개재하여 인접하는 메모리 셀(190)의 트랜지스터(162)의 게이트 전극과 접속되어 있기 때문에, 메모리 셀(190)마다의 기입 동작이 어려워지고 있기 때문이다. 구체적인 기입의 동작의 일례로서, 노드 FG에 전위 V1, V2, V3 또는 기준 전위(GND)(VDD>V3>V2>V1>GND=0V) 중 어느 하나를 부여하는 경우에 대하여 설명하지만, 노드 FG에 부여하는 전위의 관계는 이것에 한정되지 않는다. 또한, 노드 FG에 전위 V1, V2, V3을

부여한 경우에 유지되는 데이터를 각각 데이터 "1", "2", "3", 노드 FG에 기준 전위(GND)를 부여한 경우에 유지되는 데이터를 데이터 "0"으로 한다.

- [0070] 우선, 데이터를 기입하려는 열의 각 메모리 셀(190)의 용량 소자(164)에, 기입하는 데이터에 맞추어, 전위를 부여한다. 동일한 열의 제2 신호선(S2)에 V4(충분히 높은 전위, 예를 들어 VDD)를 부여하고, 데이터를 기입하려는 메모리 셀(190)의 트랜지스터(162)를 온시켜 기입을 행한다. 또한, 신호선(S1)으로부터, 트랜지스터(162)를 통하여 노드 FG에 전하를 주입하기 위하여 사용하는 기입 전압은 Von으로 한다. 여기서 Von은, 비트선에 연결되어 있는 선택 트랜지스터(182)의 임계값 전압보다 충분히 높은 전압으로 한다.
- [0071] 메모리 셀(190)에 데이터 "0"을 기입하는 경우에는, 용량 소자(164)에 Von을 부여하고, 메모리 셀(190)에 데이터 "1"을 기입하는 경우에는, 용량 소자(164)에 $-(V1-Von)$ 을 부여하고, 메모리 셀(190)에 데이터 "2"를 기입하는 경우에는, 용량 소자(164)에 $-(V2-Von)$ 을 부여하고, 메모리 셀(190)에 데이터 "3"을 기입하는 경우에는, 용량 소자(164)에 $-(V3-Von)$ 을 부여한다. 이때, 용량 소자(164)에 어떤 전압이 가해지고 있어도, 기입 시의 노드 FG에는 전압 Von이 부여된다.
- [0072] 이때, 데이터 "1"을 기입하는 경우에, 용량 소자(164)에 GND를 부여하여 기입을 행하도록 하면, 더 주변 회로를 간략화할 수 있다. 바꿔 말하면, $V1=Von$ 으로 함으로써, 조정해야 하는 전압을 1개 저감시킬 수 있어, 주변 회로를 간략화할 수 있다.
- [0073] 데이터의 유지는, 유지 대상의 메모리 셀(190)에 접속되는 제2 신호선(S2)의 전위를 GND와 함으로써 행해진다. 신호선(S2)의 전위를 GND에 고정하면, 노드 FG의 전위는 기입 시의 전위로 고정된다. 즉, 기입이 행해진 메모리 셀(190)에서는, 용량 소자(164)에 각 기입 데이터에 대응하는 전위가 부여되어 있는 상태에서, 노드 FG의 전위는 Von으로 되어 있다. 따라서, 노드 FG에 전위 Von을 부여하고, 플로팅으로 한 후에 용량 소자(164)의 전위를 GND로 하면, "1" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 V1이 되고, "2" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 V2로 되고, "3" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 V3으로 되고, "0" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 기준 전위(GND)로 된다.
- [0074] 또한, 신호선(S2)에는 GND가 부여되어 있기 때문에, 데이터 "0 내지 3" 중 어느 하나가 기입된 경우에도 트랜지스터(162)는 오프 상태로 된다. 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다. 이상과 같이, 임의의 열의 기입이 완료된다.
- [0075] 데이터의 판독은, 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 GND, $-(V1-Von)$, $-(V2-Von)$ 로부터 선택하고, 또한, 판독 대상이 아닌 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 Von으로 하고, 또한 선택선(G₁) 및 선택선(G₂)의 전위를 V4로 함으로써 행해진다.
- [0076] 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 GND로 하면, 판독 대상의 메모리 셀(190)의 노드 FG에, 데이터 "1", "2", "3"이 부여되어 있는 경우, 트랜지스터(160)는 온 상태로 된다. 한편, 노드 FG에 데이터 "0"인 GND가 부여되어 있으면, 트랜지스터(160)는 오프 상태로 된다.
- [0077] 마찬가지로, 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 $-(V1-Von)$ 로 하면, 판독 대상의 메모리 셀(190)의 노드 FG에, 데이터 "2" 또는 "3"이 부여되어 있는 경우, 트랜지스터(160)는 온 상태로 되고, 데이터 "0" 또는 "1"이 부여되어 있는 경우, 트랜지스터(160)는 오프 상태로 된다. 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 $-(V2-Von)$ 로 하면, 판독 대상의 메모리 셀(190)의 노드 FG에, 데이터 "3"이 부여되어 있는 경우만 트랜지스터(160)는 온 상태로 되고, 데이터 "0" 또는 "1" 또는 "2"가 부여되어 있는 경우, 트랜지스터(160)는 오프 상태로 된다.
- [0078] 또한, 판독 대상이 아닌 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 Von으로 하면, 판독 대상이 아닌 메모리 셀(190)에 데이터 "0"이 기입되어 있는 경우 및 데이터 "1", "2", "3"이 기입되어 있을 경우 중 어느 경우에 있어도, 트랜지스터(160)는 온 상태로 된다.
- [0079] 또한, 도 1에 따른 구성에서는, 임의의 메모리 셀(190) 마다 기입을 행할 수 없어, 열 단위의 재기입이 필요해진다. 그 이유는, 기입이 열 단위로 행해지는 이유와 같다. 즉, 어떤 메모리 셀(190)의 트랜지스터(162)의 게이트 전극이, 제2 신호선(S2)에 의해 인접하는 메모리 셀(190)의 트랜지스터(162)의 게이트 전극과 접속되어 있고, 메모리 셀(190)마다의 재기입이 어려워지고 있기 때문이다.
- [0080] 도 6 및 도 7에는, 도 1에 관한 반도체 장치의 보다 상세한 동작에 관한 타이밍 차트의 예를 나타낸다. 타이밍 차트 중의 S, BL 등의 명칭은, 타이밍 차트에 나타내는 전위가 부여되는 배선을 나타내고 있고, 마찬가지로의 기

능을 갖는 배선이 복수인 경우에는, 배선의 명칭의 말미에 $_1$, $_2$ 등을 붙임으로써 구별하고 있다.

- [0081] 도 6에 도시되는 타이밍 차트는, 임의의 메모리 셀 열(k열제)의 1행째에 데이터 "1"을, 2행째에 데이터 "2"를, 3행째에 데이터 "3"을 기입함과 함께, k열의 4행째부터 m행째까지 데이터 "0"을 기입하는 경우의 각 배선의 전위의 관계를 나타내는 것이며, 도 7에 도시한 타이밍 차트는, 기입 후, 임의의 i행째(i는 1 이상 m 이하의 자연수)에 기입된 데이터를 판독하는 경우의 각 배선의 전위의 관계를 나타내는 것이다. 또한, 도 7에 있어서, V5는 판독 시에 BL에 인가하는 전위이다.
- [0082] 기입에 있어서는, 기입하려는 메모리 셀 열의 각 메모리 셀(190)에 기입하는 데이터에 맞추어, 용량 소자(164)에 WL로부터 기입 데이터에 대응하는 전위를 부여하고, S2에 V4를 부여함으로써 기입하려는 메모리 셀 열의 모든 트랜지스터(162)를 온 상태로 함과 함께, S1에 Von을 부여함으로써 기입을 행하는 모든 메모리 셀(190)의 노드 FG의 전위를 Von으로 한다.
- [0083] 그 후, WL로부터 용량 소자(164)에 부여하고 있던 전위를 GND로 함으로써, 각 노드 FG의 전위가 조정된다. 이때의 각 배선의 전위의 관계는, 도 8에 나타나 있다. 즉, 기입 후에 용량 소자(164)에 GND를 부여하면, 제k열 제1행의 전위는 V1로 변화하여, 데이터 "1"이 기입된 것으로 된다. 마찬가지로, 제k열 제2행의 전위는 V2로 변화하여, 데이터 "2"이 기입된 것으로 되고, 제k열 제3행의 전위는 V3으로 변화하여, 데이터 "3"이 기입된 것으로 되고, 제k열 제4 내지 m행의 노드 FG는 GND로 변화하여, 데이터 "0"이 기입된 것으로 된다.
- [0084] 또한, 본 실시 형태에 기재하는 반도체 장치에 있어서, 제k행(k는 1 이상 m 이하의 자연수)째의 메모리 셀(190)에 기입을 행하는 경우, 동렬의 모든 트랜지스터(162)를 온 상태로 할 필요가 있기 때문에, 메모리 셀 어레이에의 기입은 열마다 행해야 한다.
- [0085] 판독에 있어서는, 기입 시에 용량 소자(164)에 부여한 전압만을 이용하여, 판독을 완료할 수 있다.
- [0086] i행째 판독에 있어서는, S2_1 내지 S2_m을 GND로 하여 모든 트랜지스터(162)를 오프 상태로 함과 함께, 선택선(G_1) 및 선택선(G_2)에 전위 V4를 부여하여 선택 트랜지스터(180) 및 선택 트랜지스터(182)를 온 상태로 한다. 또한, 판독 대상의 제i행째의 메모리 셀(190)에 접속되는 WL_i에는, GND, $-(V1-Von)$, $-(V2-Von)$ 을 순차 부여하고, 각각의 전위에서의 BL의 도통, 비도통으로부터, 노드 FG의 전위, 즉 기입되어 있는 데이터가 무엇인지를 판단한다. 또한, 판독 대상이 아닌 메모리 셀(190)에 접속되는 WL에는 전위 Von을 부여한다.
- [0087] 또한, 선택선(G_1) 및 선택 트랜지스터(180), 또는 선택선(G_2) 및 선택 트랜지스터(182)의 1조를 생략하고, 도 3, 도 5에 도시한 바와 같이, 상기 선택선(G_2)에 상당하는 선택선(G)과, 선택 트랜지스터(182)만을 설치하는 구성으로 하는 경우도, 데이터의 기입, 유지, 판독 및 일괄 소거는, 기본적으로 상술한 동작과 마찬가지로 행할 수 있다.
- [0088] 본 실시 형태에 기재하는 반도체 장치에서는, 산화물 반도체를 사용한 트랜지스터는 오프 전류가 매우 작기 때문에, 이것을 사용함으로써 매우 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프래시 동작이 불필요하게 되거나 또는, 리프래시 동작의 빈도를 매우 낮게 하는 것이 가능하게 되기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직하다)에도 장기간에 걸쳐 기억 내용을 유지하는 것이 가능하다.
- [0089] 또한, 본 실시 형태에 기재하는 반도체 장치에서는, 정보의 기입에 높은 전압을 필요로 하지 않아, 소자의 열화의 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트에의 전자의 주입이나, 플로팅 게이트로부터의 전자의 방출을 행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 문제가 전혀 발생하지 않는다. 즉, 개시하는 발명에 관한 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제가 되고 있는 재기입 가능 횟수에 제한은 없어, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라, 정보의 기입이 행해지기 때문에, 고속의 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요하다는 장점도 있다.
- [0090] 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 충분한 고속 동작이 가능하기 때문에, 이것을, 산화물 반도체를 사용한 트랜지스터와 조합하여 사용함으로써, 반도체 장치의 동작(예를 들어, 정보의 판독 동작)의 고속성을 충분히 확보할 수 있다. 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적절하게 실현하는 것이 가능하다.
- [0091] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(보다 광의로는, 충분한 고속 동작이 가능한 트랜지스터)와, 산화물 반도체를 사용한 트랜지스터(보다 광의로는, 충분히 오프 전류가 작은 트랜지스터)를 일체로

구비함으로써, 지금까지 없는 특징을 갖는 반도체 장치를 실현할 수 있다.

- [0092] 또한, 본 실시 형태에 기재하는 반도체 장치에서는, 기입 트랜지스터의 온 오프를 제어하는 신호선을 비트선과 평행하게 배치한다. 2단계보다 큰 데이터(다치)를 기억시키는 기입의 경우, 기입 데이터에 따라서 메모리 셀의 용량부의 전위를 바꿈으로써(워드선(WL)의 전위를 바꿈으로써), 기입하는 데이터의 전위는 하나로 노드 FG에 다치를 기입할 수 있다. 종래는 다치를 기입하기 위해서는 각 단계의 전위를 준비할 필요가 있었지만, 본 실시 형태에서는 기입하는 전위는 하나로 족하다. 따라서, 종래와 같은 각 전위를 생성하는 회로는 불필요하게 되어, 주변 회로를 간략화할 수 있어, 메모리 자체를 축소화할 수 있다.
- [0093] 이상, 본 실시 형태에 기재하는 구성, 방법 등은, 다른 실시 형태에 기재하는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0094] (실시 형태 2)
- [0095] 본 실시 형태에서는, 개시하는 발명의 일 형태에 관한 반도체 장치의 구성 및 그 제작 방법에 대해서, 도 5 및 도 9 내지 도 13을 참조하여 설명한다.
- [0096] 도 9a 및 도 9b는, 도 5의 회로도에 도시한 반도체 장치의 메모리 셀(190)의 구성의 일례이다. 도 9a에는, 반도체 장치의 단면을, 도 9b에는, 반도체 장치의 평면을, 각각 나타낸다. 또한, 도 9b의 평면도에 있어서는, 절연층(154), 절연층(172), 배선(171) 및 배선(158)은 생략하고 있어, 도면을 간략화하고 있다. 여기서 도 9a는 도 9b의 A1-A2에 평행한 방향이 도 5의 회로도에 있어서의 열방향이며, A1-A2에 수직인 방향이 도 5의 회로도에 있어서의 행방향이다. 도 9a 및 도 9b에 나타내어지는 반도체 장치는, 하부에 제1 반도체 재료를 사용한 트랜지스터(160)를 갖고, 상부에 제2 반도체 재료를 사용한 트랜지스터(162)를 갖는 것이다. 또한, 도 9a 및 도 9b에서는, 제1 행째의 트랜지스터(160) 및 트랜지스터(162)를 표시하고 있지만, 도 5의 회로도에 도시한 바와 같이, 제1 행째부터 제m 행째까지 트랜지스터(160)와 트랜지스터(162)는, 소스 전극(소스 영역)과 드레인 전극(드레인 영역)이 직렬로 접속되어 있다.
- [0097] 여기서, 제1 반도체 재료와 제2 반도체 재료와는 상이한 재료로 하는 것이 바람직하다. 예를 들어, 제1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다.
- [0098] 또한, 상기 트랜지스터는, 모두 n 채널형 트랜지스터인 것으로서 설명하지만, p 채널형 트랜지스터를 사용할 수 있는 것은 말할 필요도 없다. 또한, 개시하는 발명이 기술적인 본질은, 정보를 유지하기 위하여 산화물 반도체와 같은 오프 전류를 충분히 저감하는 것이 가능한 반도체 재료를 트랜지스터(162)에 사용하는 점에 있기 때문에, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기에서 나타내는 것으로 한정할 필요는 없다.
- [0099] 도 9a 및 도 9b에 있어서의 트랜지스터(160)는, 반도체 재료(예를 들어, 실리콘 등)를 포함하는 기판(100)에 형성된 채널 형성 영역(116a)와, 채널 형성 영역(116a)를 사이에 두도록 형성된 불순물 영역(120a) 및 불순물 영역(120b)과, 불순물 영역(120a) 및 불순물 영역(120b)에 접하는 금속 화합물 영역(124a) 및 금속 화합물 영역(124b)과, 채널 형성 영역(116a) 위에 형성된 게이트 절연층(108a)과, 게이트 절연층(108a) 위에 설치된 게이트 전극(110a)을 갖는다. 또한, 도면에 있어서, 명시적으로는 소스 전극이나 드레인 전극을 갖지 않는 경우가 있지만, 편의상, 이러한 상태를 포함하여 트랜지스터라고 칭하는 경우가 있다. 또한, 이 경우, 트랜지스터의 접속 관계를 설명하기 위해서, 소스 영역이나 드레인 영역을 포함하여 소스 전극이나 드레인 전극으로 표현하는 경우가 있다. 즉, 본 명세서에 있어서, 소스 전극과의 기재에는, 소스 영역이, 드레인 전극과의 기재에는 드레인 영역이 포함될 수 있다.
- [0100] 여기서, 트랜지스터(160)는, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(120) 및 금속 화합물 영역(124)을 공유하고, 제1 행째부터 제m 행째까지 직렬로 접속된다. 즉, 제1-1(1은 2 이상 m 이하의 자연수)행째의 트랜지스터(160)의 소스 영역으로서 기능하는 불순물 영역(120) 및 금속 화합물 영역(124)은, 제1행째의 트랜지스터(160)의 드레인 영역으로서 기능하게 된다. 이와 같이, 메모리 셀(190)의 트랜지스터(160)를 직렬로 접속함으로써, 각 메모리 셀(190)사이에서 트랜지스터(160)의 소스 영역 및 드레인 영역을 공유할 수 있다. 이에 의해, 트랜지스터(160)의 평면 레이아웃은, 후술하는 트랜지스터(162)의 평면 레이아웃과 용이하게 겹칠 수 있어, 메모리 셀(190)의 점유 면적의 저감을 도모할 수 있다.
- [0101] 또한, 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있고, 트랜지스터

(160)를 덮도록 절연층(128)이 형성되어 있다. 또한, 고집적화를 실현하기 위해서는, 도 9a 및 도 9b에 도시한 바와 같이 트랜지스터(160)가 사이드 월 절연층을 갖지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160)의 특성을 증시하는 경우에는, 게이트 전극(110)의 측면에 사이드 월 절연층을 형성하고, 불순물 농도가 다른 영역을 포함하는 불순물 영역(120)을 형성해도 좋다.

[0102] 여기서, 절연층(128)은, 평탄성이 양호한 표면을 갖고 있는 것이 바람직하고, 예를 들어 절연층(128)의 표면은, 제곱 평균 평방근(RMS) 거칠기를 1nm 이하로 하는 것이 바람직하다.

[0103] 도 9a 및 도 9b에 있어서의 트랜지스터(162)는, 절연층(128) 위에 형성된 절연층(140)에 매립된 소스 전극(142a) 및 드레인 전극(142b)과, 절연층(140), 소스 전극(142a) 및 드레인 전극(142b)의 일부와 접하는 산화물 반도체층(144)과, 산화물 반도체층(144)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하게 설치된 게이트 전극(148)을 갖는다. 게이트 전극(148)의 측면에 사이드 월 절연층을 형성해도 좋다. 또한, 게이트 전극(148)은, 도 5에 도시하는 회로도에 있어서의, 신호선(S2)으로서 기능한다.

[0104] 여기서, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거된 것인 것이 바람직하다. 구체적으로는, 예를 들어 산화물 반도체층(144)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상술한 산화물 반도체층(144) 중의 수소 농도는, 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectroscopy)으로 측정되는 것이다.

[0105] 또한, 절연층(140)의 표면으로서 산화물 반도체층(144)과 접하는 영역은, 그 제곱 평균 평방근(RMS) 거칠기를 1nm 이하로 하는 것이 바람직하다. 이와 같이, 제곱 평균 평방근(RMS) 거칠기가 1nm 이하라고 하는 매우 평탄한 영역에 트랜지스터(162)의 채널 형성 영역을 형성함으로써, 트랜지스터(162)가 미세화되는 상황에 있어서도, 단 채널 효과 등의 문제를 방지하고, 양호한 특성을 갖는 트랜지스터(162)를 제공하는 것이 가능하다.

[0106] 또한, 트랜지스터(162)는, 소스 전극(142a) 및 드레인 전극(142b)을 서로 공유하고, 제1 행째부터 제m 행째까지 직렬로 접속된다. 즉, 제1-1(1은 2 이상 m 이하의 자연수)행째의 트랜지스터(162)의 소스 전극(142a)와, 제1 행째의 트랜지스터(162)의 드레인 전극(142b)은, 동일한 도전층으로 형성되게 된다.

[0107] 이와 같이, 메모리 셀(190)의 트랜지스터(162)를 직렬로 접속함으로써, 각 메모리 셀(190)사이에서 트랜지스터(162)의 소스 전극(142a) 및 드레인 전극(142b)을 공유할 수 있다. 이에 의해, 메모리 셀(190)의 평면 레이아웃에는, 트랜지스터(162)의 소스 전극(142a) 또는 드레인 전극(142b)의 한쪽만이 포함되게 된다. 즉, 메모리 셀(190)의 평면 레이아웃의 열방향의 길이를, 게이트 전극(148) 및 소스 전극(142a)의 열방향의 길이 정도로 할 수 있다.

[0108] 그것에 대하고, 메모리 셀(190)의 트랜지스터(162)를 병렬로 접속하고, 각 메모리 셀(190)에 있어서 트랜지스터(162)의 소스 전극(142a) 및 드레인 전극(142b)을 개별로 설치하는 경우는, 메모리 셀(190)의 평면 레이아웃에는, 트랜지스터(162)의 소스 전극(142a) 및 드레인 전극(142b) 양쪽이 포함되게 된다.

[0109] 따라서, 메모리 셀(190)의 평면 레이아웃을 도 9a 및 도 9b에 도시한 바와 같은 구성으로 함으로써, 메모리 셀(190)의 점유 면적을 저감할 수 있다. 예를 들어, 최소 가공 치수를 F로 하여, 메모리 셀(190)의 점유 면적을 $4F^2$ 내지 $12F^2$ (F는 최소 가공 치수)로 하는 것이 가능하다. 이상에서, 반도체 장치의 고집적화를 도모하고, 단위 면적당의 기억 용량을 증가시킬 수 있다.

[0110] 도 9a 및 도 9b에 있어서의 용량 소자(164)은, 소스 전극(142a), 산화물 반도체층(144), 게이트 절연층(146), 게이트 절연층(146) 위의 절연층(150) 및 전극(152)으로 구성된다. 즉, 소스 전극(142a)는, 용량 소자(164)의 한쪽의 전극으로서 기능하고, 전극(152)은, 용량 소자(164)의 다른 쪽의 전극으로서 기능하게 된다. 여기서, 제1-1(1은 2 이상 m 이하의 자연수)행째의 용량 소자(164)의 한쪽의 전극은, 제1-1(1은 2 이상 m 이하의 자연수)행째의 트랜지스터(162)의 소스 전극(142a)이므로, 용량 소자(164)의 평면 레이아웃은, 트랜지스터(162)의 평면 레이아웃과 용이하게 겹칠 수 있어, 메모리 셀(190)의 점유 면적의 저감을 도모할 수 있다. 또한, 전극(152)을 절연층(150) 위에 형성함으로써, 전극(152)과 게이트 전극(148)을 같은 층에 형성하는 것보다, 트랜지스터(162)의 평면 레이아웃과 겹치는 범위 내에서, 전극(152)의 면적을 용이하게 크게 할 수 있다. 또한, 전극(152)은, 도 5에 도시하는 회로도에 있어서의, 워드선(WL)로서 기능한다.

[0111] 트랜지스터(162)의 위에는, 절연층(150)이 형성되어 있고, 절연층(150) 및 용량 소자(164)의 전극(152) 위에는 절연층(154)이 형성되어 있다. 절연층(150) 및 절연층(154)에는 게이트 전극(148)에 도달하는 개구가 형성되고, 그 개구에는 전극(170)이 형성되어 있다. 절연층(154) 위에, 절연층(154)에 매립되도록 형성된 전극

(170)에 접하여 배선(171)을 형성함으로써, 게이트 전극(148)과 배선(171)이 전기적으로 접속하고 있다. 절연층(154) 및 배선(171) 위에는 절연층(172)이 형성되어 있다.

- [0112] 게이트 절연층(146), 절연층(150), 절연층(154) 및 절연층(172)에 형성된 개구에는, 전극(156)이 설치되고, 절연층(154) 위에는 전극(156)과 접속하는 배선(158)이 형성된다. 게이트 절연층(146), 절연층(150), 절연층(154) 및 절연층(172)에 형성된 개구에 설치된 전극(156)과, 절연층(140)에 매립된 드레인 전극(142b)과, 절연층(128)에 매립된 전극(126)을 통하여 배선(158)과 트랜지스터(160)의 드레인 영역으로서 기능하는 금속 화합물 영역(124b)이 전기적으로 접속된다. 여기서, 배선(158)은, 도 5에 도시한 회로에 있어서의, 비트선(BL)으로서 기능한다.
- [0113] 이상과 같은 구성으로 함으로써, 트랜지스터(160), 트랜지스터(162) 및 용량 소자(164)로 이루어지는 메모리 셀(190)의 평면 레이아웃의 크기를, 행방향의 길이가 배선(158)의 폭 정도, 열방향의 길이가, 게이트 전극(148) 및 소스 전극(142a)의 열방향의 길이 정도로 할 수 있다. 이러한 평면 레이아웃을 채용함으로써, 도 5에 도시한 회로의 고집적화를 도모할 수 있어, 예를 들어 최소 가공 치수를 F로 하여, 메모리 셀의 점유 면적을 $4F^2$ 내지 $12F^2$ 로 하는 것이 가능하다. 따라서, 반도체 장치의 단위 면적당의 기억 용량을 증가시킬 수 있다.
- [0114] 또한, 개시하는 발명에 관한 반도체 장치의 구성은, 도 9a 및 도 9b에 나타내어지는 것에 한정되지 않는다. 개시하는 발명의 일 형태의 기술적 사상은, 산화물 반도체와, 산화물 반도체 이외의 재료를 사용한 적층 구조를 형성하는 점에 있기 때문에, 전극의 접속 관계 등의 상세에 대해서는, 적절히 변경할 수 있다.
- [0115] 이어서, 상기 반도체 장치의 제작 방법의 일례에 대하여 설명한다. 이하에서는, 처음에 하부의 트랜지스터(160)의 제작 방법에 대하여 도 10 및 도 11을 참조하여 설명하고, 그 후, 상부의 트랜지스터(162) 및 용량 소자(164)의 제작 방법에 대하여 도 12 및 도 13을 참조하여 설명한다.
- [0116] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 10a 참조). 반도체 재료를 포함하는 기판(100)으로서, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기에서는, 반도체 재료를 포함하는 기판(100)으로서, 단결정 실리콘 기판을 사용하는 경우의 일례에 대하여 나타내는 것으로 한다. 또한, 일반적으로 「SOI 기판」은, 절연 표면 위에 실리콘 반도체층이 설치된 구성의 기판을 말하지만, 본 명세서 등에 있어서는, 절연 표면 위에 실리콘 이외의 재료로 이루어지는 반도체층이 설치된 구성의 기판도 포함하는 개념으로서 사용한다. 즉, 「SOI 기판」이 갖는 반도체층은, 실리콘 반도체층으로 한정되지 않는다. 또한, SOI 기판에는, 유리 기판 등의 절연 기판 위에 절연층을 개재하여 반도체층이 형성된 구성의 것이 포함되는 것으로 한다.
- [0117] 반도체 재료를 포함하는 기판(100)으로서, 특히 실리콘 등의 단결정 반도체 기판을 사용하는 경우에는, 반도체 장치의 판독 동작을 고속화할 수 있기 때문에 적합하다.
- [0118] 또한, 트랜지스터의 임계값 전압을 제어하기 위해서, 후에 트랜지스터(160)의 채널 형성 영역(116a) 및 선택 트랜지스터(180)(도 9 내지 도 13에서는 도시하지 않음, 도 5 참조)의 채널 형성 영역(116b)이 되는 영역에, 불순물 원소를 첨가하여도 된다. 여기에서는, 트랜지스터(160) 및 선택 트랜지스터(180)(도 9 내지 도 13에서는 도시하지 않음, 도 5 참조)의 임계값 전압이 플러스가 되도록 도전성을 부여하는 불순물 원소를 첨가한다. 반도체 재료가 실리콘인 경우, 그 도전성을 부여하는 불순물로는, 예를 들어 붕소, 알루미늄, 갈륨 등이 있다. 또한, 불순물 원소의 첨가 후에는, 가열 처리를 행하고, 불순물 원소의 활성화나 불순물 원소의 첨가에 발생하는 결함의 개선 등을 도모하는 것이 바람직하다.
- [0119] 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(102)을 형성한다(도 10a 참조). 보호층(102)으로서, 예를 들어 산화 실리콘이나 질화 실리콘, 산질화 실리콘 등을 재료로 하는 절연층을 사용할 수 있다.
- [0120] 이어서, 상기의 보호층(102)을 마스크로 하여 에칭을 행하고, 보호층(102)으로 덮여 있지 않은 영역(노출되어 있는 영역)의, 기판(100)의 일부를 제거한다. 이에 의해 다른 반도체 영역과 분리된 반도체 영역(104)이 형성된다(도 10b 참조). 그 에칭에는, 건식 에칭을 사용하는 것이 적합하지만, 습식 에칭을 사용해도 된다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라서 적절히 선택할 수 있다.
- [0121] 이어서, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)과 증착하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 10c 참조). 그 절연층은, 산화 실리콘이나 질화 실리콘, 산질화 실리콘 등을 사용하여 형성된다. 절연층의 제거 방법으로서, CMP(화학적 기계적 연마) 처리 등

의 연마 처리나 에칭 처리 등이 있지만, 그 어느 것을 사용해도 된다. 또한, 반도체 영역(104)의 형성 후 또는, 소자 분리 절연층(106)의 형성 후에는, 그 보호층(102)을 제거한다.

- [0122] 이어서, 반도체 영역(104)의 표면에 절연층을 형성하고, 그 절연층 위에 도전 재료를 포함하는 층을 형성한다.
- [0123] 절연층은 후의 게이트 절연층으로 되는 것이며, 예를 들어 반도체 영역(104) 표면의 열처리(열산화 처리나 열 질화 처리 등)에 의해 형성할 수 있다. 열처리 대신에, 고밀도 플라즈마 처리를 적용해도 좋다. 고밀도 플라즈마 처리는, 예를 들어 He, Ar, Kr, Xe 등의 희가스, 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행할 수 있다. 물론, CVD법이나 스퍼터링법 등을 사용하여 절연층을 형성해도 좋다. 그 절연층은, 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화하프늄, 산화알루미늄, 산화탄탈, 산화이트륨, 하프늄 실리케이트(HfSixOy(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트(HfSixOyNz(x>0, y>0, z>0)), 질소가 첨가된 하프늄 알루미늄에이트(HfAlxOyNz(x>0, y>0, z>0)) 등을 포함하는 단층 구조 또는 적층 구조로 하는 것이 바람직하다. 또한, 절연층의 두께는, 예를 들어 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.
- [0124] 도전 재료를 포함하는 층은, 알루미늄이나 구리, 티타늄, 탄탈, 텅스텐 등의 금속 재료를 사용하여 형성할 수 있다. 또한, 다결정 실리콘 등의 반도체 재료를 사용하여, 도전 재료를 포함하는 층을 형성해도 좋다. 형성 방법도 특별히 한정되지 않고 증착법, CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용할 수 있다. 또한, 본 실시 형태에서는, 도전 재료를 포함하는 층을, 금속 재료를 사용하여 형성하는 경우의 일례에 대하여 나타내는 것으로 한다.
- [0125] 그 후, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108) 및 게이트 전극(110)을 형성한다(도 10c 참조).
- [0126] 이어서, 반도체 영역(104)에 인(P)이나 비소(As) 등을 첨가하여, 채널 형성 영역(116) 및 불순물 영역(120)(불순물 영역(120a), 불순물 영역(120b))을 형성한다(도 10d 참조). 또한, 여기에서는 n형 트랜지스터를 형성하기 위하여 인이나 비소를 첨가하고 있지만, p형 트랜지스터를 형성하는 경우에는, 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하면 된다. 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화되는 경우에는, 그 농도를 높게 하는 것이 바람직하다.
- [0127] 또한, 게이트 전극(110)의 주위에 사이드 월 절연층을 형성하고, 불순물 원소가 다른 농도로 첨가된 불순물 영역을 형성해도 좋다.
- [0128] 이어서, 게이트 전극(110), 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 11a 참조). 그 금속층(122)은, 진공 증착법이나 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용하여 형성할 수 있다. 금속층(122)은, 반도체 영역(104)을 구성하는 반도체 재료와 반응함으로써 저저항의 금속 화합물이 되는 금속 재료를 사용하여 형성하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들어 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.
- [0129] 이어서, 열처리를 실시하여, 상기 금속층(122)과 반도체 재료를 반응시킨다. 이에 의해, 불순물 영역(120)(불순물 영역(120a), 불순물 영역(120b))에 접하는 금속 화합물 영역(124)(금속 화합물 영역(124a), 금속 화합물 영역(124b))이 형성된다(도 11a 참조). 또한, 게이트 전극(110)으로서 다결정 실리콘 등을 사용하는 경우에는, 게이트 전극(110)의 금속층(122)과 접촉하는 부분에도, 금속 화합물 영역이 형성되게 된다.
- [0130] 상기 열처리로서는, 예를 들어 플래시 램프의 조사에 의한 열처리를 사용할 수 있다. 물론, 그 밖의 열처리 방법을 사용해도 좋지만, 금속 화합물의 형성에 관한 화학 반응의 제어성을 향상시키기 위해서는, 매우 단시간의 열처리를 실현할 수 있는 방법을 사용하는 것이 바람직하다. 또한, 상기의 금속 화합물 영역은, 금속 재료와 반도체 재료의 반응에 의해 형성되는 것이며, 충분히 높은 도전성을 가진 영역이다. 그 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하여, 소자 특성을 향상시킬 수 있다. 또한, 금속 화합물 영역(124)을 형성한 후에는, 금속층(122)을 제거한다.
- [0131] 이어서, 트랜지스터(160)의 금속 화합물 영역(124b) 위에 접하도록 전극(126)을 형성한다(도 11b 참조). 전극(126)은, 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법등의 CVD법을 사용하여 도전층을 형성한 후, 그 도전층을 원하는 형상으로 에칭 가공함으로써 형성된다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나 또는 이들을 복수 조합한 재료를 사용해도 좋다. 상세한 것은, 후술하는 소스 전극(142a), 드레인 전극(142b) 등과 마찬가지로이다.

- [0132] 이상에 의해, 반도체 재료를 포함하는 기판(100)을 사용한 트랜지스터(160)가 형성된다(도 11c 참조). 이러한 트랜지스터(160)는, 고속 동작이 가능하다고 하는 특징을 갖는다. 이로 인해, 그 트랜지스터를 관독용의 트랜지스터로서 사용함으로써, 정보의 관독을 고속으로 행할 수 있다.
- [0133] 이어서, 상술한 공정에 의해 형성된 각 구성을 덮도록, 절연층(128)을 형성한다(도 11c 참조). 절연층(128)은, 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 특히, 절연층(128)으로 유전율이 낮은 (low-k) 재료를 사용함으로써, 각종 전극이나 배선의 접침에 기인하는 용량을 충분히 저감하는 것이 가능하기 때문에 바람직하다. 또한, 절연층(128)으로는, 이들 재료를 사용한 다공성의 절연층을 적용해도 좋다. 다공성의 절연층에서는, 밀도가 높은 절연층과 비교하여 유전율이 저하하기 때문에, 전극이나 배선에 기인하는 용량을 더 저감하는 것이 가능하다. 또한, 절연층(128)은, 폴리이미드, 아크릴 수지 등의 유기 절연 재료를 사용하여 형성하는 것도 가능하다. 또한, 여기에서는, 절연층(128)을 단층 구조로 하고 있지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다. 절연층(128)을 2층 이상의 적층 구조로 해도 좋다.
- [0134] 그 후, 트랜지스터(162) 및 용량 소자(164)의 형성 전의 처리로서, 절연층(128)에 CMP 처리를 실시하고, 게이트 전극(110) 및 전극(126)의 상면을 노출시킨다(도 11d 참조). 게이트 전극(110)의 상면을 노출시키는 처리로서는, CMP 처리의 이외에 에칭 처리 등을 적용하는 것도 가능하지만, 트랜지스터(162)의 특성을 향상시키기 위해서, 절연층(128)의 표면은 가능한 한 평탄하게 해 두는 것이 바람직하며, 예를 들어 절연층(128)의 표면은, 제곱 평균 평방근(RMS) 거칠기를 1nm 이하로 하는 것이 바람직하다.
- [0135] 또한, 상기의 각 공정 전후에는, 전극이나 배선, 반도체층, 절연층 등을 형성하는 공정을 더 포함하고 있어도 좋다. 예를 들어, 배선의 구조로서, 절연층 및 도전층의 적층 구조로 이루어지는 다층 배선 구조를 채용하여, 고도로 집적화된 반도체 장치를 실현하는 것도 가능하다.
- [0136] <상부의 트랜지스터의 제작 방법>
- [0137] 이어서, 게이트 전극(110), 전극(126), 절연층(128) 등 위에 도전층을 형성하고, 그 도전층을 선택적으로 에칭하여, 소스 전극(142a), 드레인 전극(142b)을 형성한다(도 12a 참조).
- [0138] 도전층은, 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 1개 또는 이들을 복수 조합한 재료를 사용해도 좋다.
- [0139] 도전층은, 단층 구조이어도 좋고, 2층 이상의 적층 구조로 해도 좋다. 예를 들어, 티타늄막이나 질화티타늄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층된 2층 구조, 질화티타늄막 위에 티타늄막이 적층된 2층 구조, 티타늄막과 알루미늄막과 티타늄막이 적층된 3층 구조 등을 들 수 있다. 또한, 도전층을, 티타늄막이나 질화티타늄막의 단층 구조로 할 경우에는, 테이퍼 형상을 갖는 소스 전극(142a) 및 드레인 전극(142b)에 대한 가공이 용이하다고 하는 장점이 있다.
- [0140] 또한, 도전층은, 도전성의 금속 산화물을 사용하여 형성해도 좋다. 도전성의 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐 산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO로 약기하는 경우가 있다), 산화인듐 산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는, 이들의 금속 산화물 재료에 실리콘 혹은 산화 실리콘을 함유시킨 것을 사용할 수 있다.
- [0141] 또한, 도전층의 에칭은, 건식 에칭, 습식 에칭의 어느 것을 사용해도 좋지만, 미세화를 위해서는, 제어성이 좋은 건식 에칭을 사용하는 것이 적합하다. 또한, 형성되는 소스 전극(142a) 및 드레인 전극(142b)이 테이퍼형 형상으로 되도록 행해도 된다. 테이퍼각은, 예를 들어 30° 이상 60° 이하로 할 수 있다.
- [0142] 상부의 트랜지스터(162)의 채널 길이(L)은, 소스 전극(142a) 및 드레인 전극(142b)의 상단부의 간격에 의해 결정된다. 또한, 채널 길이(L)가 25nm 미만의 트랜지스터를 형성하는 경우에 사용하는 마스크 형성의 노광을 행할 때에는, 수nm 내지 수 10nm로 파장이 짧은 초 자외선(Extreme Ultraviolet)을 사용하는 것이 바람직하다. 초자외선에 의한 노광은, 해상도가 높아 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를, $2\mu\text{m}$ 미만, 바람직하게는 10nm 이상 350nm($0.35\mu\text{m}$) 이하로 하는 것도 가능하고, 회로의 동작 속도를 높이는 것이 가능하다. 또한, 미세화에 의해, 반도체 장치의 소비 전력을 저감하는 것도 가능하다.

- [0143] 또한, 절연층(128) 위에는, 베이스(base)로서 기능하는 절연층을 형성해도 좋다. 그 절연층은, PVD법이나 CVD 법 등을 사용하여 형성할 수 있다.
- [0144] 이어서, 소스 전극(142a) 및 드레인 전극(142b)을 덮도록 절연층(140)을 형성한 후, 소스 전극(142a) 및 드레인 전극(142b)이 노출되도록, CMP(화학적 기계적 연마) 처리에 의해 절연층(140)을 평탄화한다(도 12a 참조).
- [0145] 절연층(140)은, 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 절연층(140)에는, 후에 산화물 반도체층(144)이 접하게 되기 때문에, 특히 산화 실리콘을 사용한 것으로 하는 것이 적합하다. 절연층(140)의 형성 방법에 특별히 한정은 없지만, 산화물 반도체층(144)과 접하는 것을 고려하면, 수소가 충분히 저감된 방법에 의해 형성하는 것이 바람직하다. 이러한 방법으로서, 예를 들어, 스퍼터법이 있다. 물론, 플라즈마 CVD법을 비롯한 다른 성막법을 사용해도 된다.
- [0146] 또한 CMP(화학적 기계적 연마) 처리는, 소스 전극(142a) 및 드레인 전극(142b)의 표면 중 적어도 1개부가 노출되는 조건에서 행한다. 또한, 그 CMP 처리는, 절연층(140) 표면의 제곱 평균 평방근(RMS) 거칠기가 1nm 이하(바람직하게는 0.5nm 이하)로 되는 조건에서 행하는 것이 바람직하다. 이러한 조건에서 CMP 처리를 행함으로써, 후에 산화물 반도체층(144)이 형성되는 표면의 평탄성을 향상시켜, 트랜지스터(162)의 특성을 향상시킬 수 있다.
- [0147] 또한, CMP 처리는, 1회만 행해도 좋고, 복수회 행해도 좋다. 복수회로 나누어 CMP 처리를 행하는 경우는, 높은 연마 레이트의 1차 연마를 행한 후, 낮은 연마 레이트로 마무리 연마를 행하는 것이 바람직하다. 이렇게 연마 레이트가 다른 연마를 조합함으로써, 절연층(140)의 표면의 평탄성을 더욱 향상시킬 수 있다.
- [0148] 이어서, 소스 전극(142a)의 상면, 드레인 전극(142b)의 상면 및 절연층(140)의 상면의 일부에 접하도록 산화물 반도체층을 형성한 후, 그 산화물 반도체층을 선택적으로 에칭하여 산화물 반도체층(144)을 형성한다.
- [0149] 산화물 반도체층(144)에 사용하는 산화물 반도체로서는, 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위한 스테빌라이저로서, 그들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.
- [0150] 또한, 다른 스테빌라이저로서, 란타노이드인, 란타(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 일종 혹은 복수종을 가져도 좋다.
- [0151] 예를 들어, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO로도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 사원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0152] 또한, 여기에서, 예를 들어 In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물인 것을 의미하며, In과 Ga와 Zn의 비율은 상관없다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다.
- [0153] 또한, 산화물 반도체로서, $InMO_3(ZnO)_p$ ($p>0$, 또한 p 는 정수가 아니다)로 표기되는 재료를 사용해도 좋다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 1개의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_3SnO_5(ZnO)_q$ ($q>0$, 또한, q 는 정수)로 표기되는 재료를 사용해도 좋다.
- [0154] 예를 들어, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 혹은 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 혹은, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 혹은 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 된다.
- [0155] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라서 적절한 조성의 것

을 사용하면 된다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

- [0156] 예를 들어, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도, 벌크 내 결합 밀도를 저감함으로써 이동도를 올릴 수 있다.
- [0157] 또한, 예를 들어 In, Ga, Zn의 원자수비가 In:Ga:Zn=a:b:c(a+b+c=1)인 산화물의 조성인, 원자수비가 In:Ga:Zn=A:B:C(A+B+C=1)인 산화물의 조성만 근방이라는 것은, a, b, c가, $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 를 만족하는 것을 의미하고, r은 예를 들어 0.05로 하면 된다. 다른 산화물이어도 마찬가지이다.
- [0158] 산화물 반도체는 단결정이어도 좋고, 비단결정이어도 좋다. 후자의 경우, 아몰퍼스이어도 좋고, 다결정이어도 좋다. 또한, 아몰퍼스 중에 결정성을 갖는 부분을 포함하는 구조이어도 좋고, 비아몰퍼스이어도 좋다.
- [0159] 아몰퍼스 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작했을 때의 계면 산란을 저감할 수 있고, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0160] 또한, 결정성을 갖는 산화물 반도체에서는, 보다 벌크 내 결합을 저감할 수 있고, 표면의 평탄성을 높이면 아몰퍼스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는, 평균면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 형성하면 된다.
- [0161] 또한, Ra는, JIS B0601에 의해 정의되어 있는 중심선 평균 거칠기를 면에 대하여 적용 할 수 있도록 3차원으로 확장한 것이며, 「기준면부터 지정면까지의 편차의 절대값을 평균한 값」으로 표현할 수 있고, 이하의 식으로 정의된다.

수학식 1

$$R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X, Y) - Z_0| dXdY$$

- [0162]
- [0163] 또한, 상기에 있어서, S₀은, 측정면(좌표(x₁, y₁)(x₁, y₂)(x₂, y₁)(x₂, y₂))로 표현되는 4점에 의해 둘러싸이는 직사각형의 영역의 면적을 가리키고, Z₀은 측정면의 평균 높이를 가리킨다. Ra는 원자간력 현미경(AFM:Atomic Force Microscope)을 사용하여 평가 가능하다. 또한, 측정면이란, 전 측정 데이터가 나타내는 면이며, 3개의 파라미터(X, Y, Z)로부터 성립되며, Z=F(X, Y)로 표현된다. 또한, X의(및 Y)의 범위는 0 내지 X_{MAX}(및 Y_{MAX})이며, Z의 범위는 Z_{MIN} 내지 Z_{MAX}이다.
- [0164] 본 실시 형태에서는, c축 배향하고, 또한 ab면, 표면 또는 계면의 방향으로부터 보아 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c축에 있어서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있고, ab면에 있어서는 a축 또는 b축의 방향이 다른(c축을 중심으로 회전했다) 결정(CAAC:C Axis Aligned Crystal이라고도 한다)을 포함하는 산화물에 대하여 설명한다.
- [0165] CAAC를 포함하는 산화물이란, 광의로, 비단결정이며, 그 ab면에 수직인 방향으로부터 보아, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 갖고, 또한 c축 방향으로 수직 방향으로부터 보아, 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열된 상을 포함하는 산화물을 의미한다.
- [0166] CAAC는 단결정이 아니며, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 것도 있다.
- [0167] CAAC에 산소가 포함되는 경우, 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC를 구성하는 개개의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다. 또는, CAAC를 구성하는 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들어, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)을 향하고 있어도 좋다.
- [0168] CAAC는, 그 조성 등에 따라 도체이거나, 반도체이거나, 절연체가 될 수 있다. 또한, 그 조성 등에 따라 가시광

에 대하여 투명하거나 불투명할 수 있다.

- [0169] 이러한 CAAC의 예로서, 막 형상으로 형성되며, 막 표면 또는 지지하는 기판면에 수직인 방향으로부터 관찰하면 삼각형 또는 육각형의 원자 배열을 갖고, 또한 그 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자 (또는 질소 원자)의 층상 배열의 결정을 들 수도 있다.
- [0170] CAAC에 포함되는 결정 구조의 일례에 대하여 도 18 내지 도 20을 사용하여 상세하게 설명한다. 또한, 특별히 언급이 없는 한, 도 18 내지 도 20은 상측 방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반부, 하반부로 하는 경우, ab면을 경계로 한 경우의 상반부, 하반부를 의미한다.
- [0171] 도 18a에, 1개의 6배위의 In과, In에 근접하는 6개의 4배위의 산소 원자(이하 4배위의 O)를 갖는 구조를 나타낸다. 여기에서는, 금속 원자가 1개에 대하여, 근접의 산소 원자만 나타낸 구조를 소그룹이라고 칭한다. 도 18a의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위하여 평면 구조로 나타내고 있다. 또한, 도 18a의 상반부 및 하반부에는 각각 3개씩 4배위의 O가 있다. 도 18a에 도시한 소그룹은 전하가 0이다.
- [0172] 도 18b에, 1개의 5배위의 Ga와, Ga에 근접하는 3개의 3배위의 산소 원자(이하 3배위의 O)와, Ga에 근접하는 2개의 4배위의 O를 갖는 구조를 나타낸다. 3배위의 O는, 모두 ab면에 존재한다. 도 18b의 상반부 및 하반부에는 각각 1개씩 4배위의 O가 있다. 또한, In도 5배위를 취하기 때문에, 도 18b에 도시한 구조를 취할 수 있다. 도 18b에 도시한 소그룹은 전하가 0이다.
- [0173] 도 18c에, 1개의 4배위의 Zn과, Zn에 근접하는 4개의 4배위의 O를 갖는 구조를 나타낸다. 도 18c의 상반부에는 1개의 4배위의 O가 있고, 하반부에는 3개의 4배위의 O가 있다. 또는, 도 18c의 상반부에 3개의 4배위의 O가 있고, 하반부에 1개의 4배위의 O가 있어도 된다. 도 18c에 도시한 소그룹은 전하가 0이다.
- [0174] 도 18d에, 1개의 6배위의 Sn과, Sn에 근접하는 6개의 4배위의 O를 갖는 구조를 나타낸다. 도 18d의 상반부에는 3개의 4배위의 O가 있고, 하반부에는 3개의 4배위의 O가 있다. 도 18d에 도시한 소그룹은 전하가 +1이 된다.
- [0175] 도 18e에, 2개의 Zn을 포함하는 소그룹을 나타낸다. 도 18e의 상반부에는 1개의 4배위의 O가 있고, 하반부에는 1개의 4배위의 O가 있다. 도 18e에 도시한 소그룹은 전하가 -1이 된다.
- [0176] 여기에서는, 복수의 소그룹의 집합체를 중간 그룹이라고 칭하고, 복수의 중간 그룹의 집합체를 대그룹(유닛 셀이라고도 한다)이라고 칭한다.
- [0177] 여기서, 이들의 소그룹끼리가 결합하는 규칙에 대하여 설명한다. 도 18a에 도시한 6배위의 In의 상반부의 3개의 O는 하측 방향에 각각 3개의 근접 In을 갖고, 하반부의 3개의 O는 상측 방향에 각각 3개의 근접 In을 갖는다. 5배위의 Ga의 상반부의 1개의 O는 하측 방향에 1개의 근접 Ga를 갖고, 하반부의 1개의 O는 상측 방향에 1개의 근접 Ga를 갖는다. 4배위의 Zn의 상반부의 1개의 O는 하측 방향에 1개의 근접 Zn을 갖고, 하반부의 3개의 O는 상측 방향에 각각 3개의 근접 Zn을 갖는다. 이와 같이, 금속 원자의 상측 방향의 4배위의 O의 수와, 그 O의 하측 방향에 있는 근접 금속 원자의 수는 동등하게, 마찬가지로 금속 원자의 하측 방향의 4배위의 O의 수와, 그 O의 상측 방향에 있는 근접 금속 원자의 수는 동등하다. O는 4배위이므로, 하측 방향에 있는 근접 금속 원자의 수와, 상측 방향에 있는 근접 금속 원자의 수의 합은 4로 된다. 따라서, 금속 원자의 상측 방향에 있는 4배위의 O의 수와, 다른 금속 원자의 하측 방향에 있는 4배위의 O의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가 하반부의 4배위의 O를 통하여 결합하는 경우, 4배위의 O가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In) 또는 4배위의 금속 원자(Zn) 중 어느 하나와 결합하게 된다.
- [0178] 이들의 배위수를 갖는 금속 원자는, c축 방향에 있어서, 4배위의 O를 통하여 결합한다. 또한, 이외에도, 층 구조의 합계의 전하가 0으로 되도록 복수의 소그룹이 결합하여 중간 그룹을 구성한다.
- [0179] 도 19의 (A)에, In-Sn-Zn-O계의 층 구조를 구성하는 중간 그룹의 모델도를 나타낸다. 도 19의 (B)에, 3개의 중간 그룹으로 구성되는 대그룹을 나타낸다. 또한, 도 19의 (C)는, 도 19의 (B)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 나타낸다.
- [0180] 도 19의 (A)에 있어서, 간단하게 하기 위하여, 3배위의 O는 생략하고, 4배위의 O는 개수만 나타내, 예를 들어 Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 O가 있는 것을 동그라미 안의 3으로서 나타내고 있다. 마찬가지로, 도 19의 (A)에 있어서, In의 상반부 및 하반부에는 각각 1개씩 4배위의 O가 있고, 동그라미 안의 1로서 나타내고 있다. 또한, 마찬가지로, 도 19의 (A)에 있어서, 하반부에는 1개의 4배위의 O가 있고, 상반부에는 3개의 4배위의 O가 있는 Zn과, 상반부에는 1개의 4배위의 O가 있고, 하반부에는 3개의 4배위의 O가 있는 Zn을 나

타내고 있다.

- [0181] 도 19의 (A)에 있어서, In-Sn-Zn-O계의 층 구조를 구성하는 중간 그룹은, 위에서부터 순서대로 4배위의 O가 3개씩 상반부 및 하반부에 있는 Sn이, 4배위의 O가 1개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 3개의 4배위의 O가 있는 Zn과 결합하고, 그 Zn의 하반부의 1개의 4배위의 O를 통하여 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 1개의 4배위의 O가 있는 Zn 2개로 이루어지는 소그룹과 결합하고, 이 소그룹의 하반부의 1개의 4배위의 O를 통하여 4배위의 O가 3개씩 상반부 및 하반부에 있는 Sn과 결합하고 있는 구성이다. 이 중간 그룹이 복수 결합하여 대그룹을 구성한다.
- [0182] 여기서, 3배위의 O 및 4배위의 O의 경우, 결합 1개당의 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 전하가 +1이 된다. 그로 인해, Sn을 포함하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요해진다. 전하 -1을 취하는 구조로서, 도 18e에 도시한 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들어, Sn을 포함하는 소그룹이 1개에 대하여, 2개의 Zn을 포함하는 소그룹이 1개 있으면, 전하가 상쇄되기 때문에, 층 구조의 합계의 전하를 0으로 할 수 있다.
- [0183] 구체적으로는, 도 19의 (B)에 나타난 대그룹이 반복됨으로써, In-Sn-Zn-O계의 결정(In₂SnZn₃O₈)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn-O계의 층 구조는, In₂SnZn₂O₇(ZnO)_m(m은 0 또는 자연수)으로 하는 조성식으로 나타낼 수 있다.
- [0184] 또한, 이외에도, 사원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO로도 표기한다), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물 등을 사용한 경우도 마찬가지이다.
- [0185] 예를 들어, 도 20의 (A)에, In-Ga-Zn-O계의 층 구조를 구성하는 중간 그룹의 모델도를 나타낸다.
- [0186] 도 20의 (A)에 있어서, In-Ga-Zn-O계의 층 구조를 구성하는 중간 그룹은, 위에서부터 순서대로 4배위의 O가 3개씩 상반부 및 하반부에 있는 In이, 4배위의 O가 1개 상반부에 있는 Zn과 결합하고, 그 Zn의 하반부의 3개의 4배위의 O를 통하여, 4배위의 O가 1개씩 상반부 및 하반부에 있는 Ga와 결합하고, 그 Ga의 하반부의 1개의 4배위의 O를 통하여, 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합하고 있는 구성이다. 이 중간 그룹이 복수 결합하여 대그룹을 구성한다.
- [0187] 도 20의 (B)에 3개의 중간 그룹으로 구성되는 대그룹을 나타낸다. 또한, 도 20의 (C)는, 도 20의 (B)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 나타내고 있다.
- [0188] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은, 전하가 0이 된다. 그로 인해, 이들의 소그룹의 조합이면 중간 그룹의 합계의 전하는 항상 0이 된다.
- [0189] 또한, In-Ga-Zn-O계의 층 구조를 구성하는 중간 그룹은, 도 20의 (A)에 나타난 중간 그룹에 한정되지 않고, In, Ga, Zn의 배열이 다른 중간 그룹을 조합한 대그룹도 취할 수 있다.
- [0190] 산화물 반도체층(144)을 스퍼터법으로 제작하기 위한 산화물 타깃으로서, In:Ga:Zn=1:x:y(x는 0 이상, y는 0.5 이상 5 이하)의 조성비로 표현되는 것을 사용하는 것이 적합하다. 예를 들어, In:Ga:Zn=1:1:1 [atom비](x=1, y=1), (즉, In₂O₃:Ga₂O₃:ZnO=1:1:2 [mol수비])의 조성비를 갖는 타깃 등을 사용할 수 있다. 또한, In:Ga:Zn=1:1:0.5 [atom비](x=1, y=0.5)의 조성비를 갖는 타깃이나, In:Ga:Zn=1:1:2 [atom비](x=1, y=2)의 조성비를 갖는 타깃이나, In:Ga:Zn=1:0:1 [atom비](x=0, y=1)의 조성비를 갖는 타깃을 사용할 수도 있다.
- [0191] 또한, In-Sn-Zn계 산화물은, ITZO라고 칭할 수 있고, 사용하는 타깃의 조성비는, In:Sn:Zn이 원자수비로, 1:2:2, 2:1:3, 1:1:1 또는 20:45:35 등이 되는 산화물 타깃을 사용한다.
- [0192] 본 실시 형태에서는, 비정질 구조의 산화물 반도체층(144)을, In-Ga-Zn-O계의 금속 산화물 타깃을 사용하는 스퍼터법에 의해 형성하는 것으로 한다. 또한, 그 막 두께는, 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 20nm

이하, 보다 바람직하게는 3nm 이상 15nm 이하로 한다.

- [0193] 금속 산화물 타깃층의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상이다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 치밀한 구조의 산화물 반도체층을 형성하는 것이 가능하다.
- [0194] 산화물 반도체층(144)의 형성 분위기는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기 또는, 희가스(대표적으로는 아르곤)와 산소의 혼합 분위기로 하는 것이 적합하다. 구체적으로는, 예를 들어 수소, 물, 수산기, 수소화물 등의 불순물이, 농도 1ppm 이하(바람직하게는 농도 10ppb 이하)로까지 제거된 고순도 가스 분위기를 사용하는 것이 적합하다.
- [0195] 산화물 반도체층(144)의 형성 시에는, 예를 들어 감압 상태로 유지된 처리실내에 피처리물을 유지하고, 피처리물의 온도가 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 이상 400℃ 이하로 되도록 피처리물을 달군다. 또는, 산화물 반도체층(144)의 형성 시의 피처리물의 온도는, 실온(25℃±10℃)으로 해도 좋다. 그리고, 처리실내의 수분을 제거하면서, 수소나 물 등이 제거된 스퍼터 가스를 도입하고, 상기 타깃을 사용하여 산화물 반도체층(144)을 형성한다. 피처리물을 달구면서 산화물 반도체층(144)을 형성함으로써, 산화물 반도체층(144)에 포함되는 불순물을 저감할 수 있다. 또한, 스퍼터에 의한 손상을 경감할 수 있다. 처리실 내의 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프(cryopump), 이온 펌프, 티타늄 서브리메이션 펌프 등을 사용할 수 있다. 또한, 터보 펌프에 콜드트랩을 구비한 것을 사용해도 좋다. 크라이오 펌프 등을 사용하여 배기함으로써, 처리실로부터 수소나 물 등을 제거할 수 있기 때문에, 산화물 반도체층 중의 불순물 농도를 저감할 수 있다.
- [0196] 산화물 반도체층(144)의 형성 조건으로서, 예를 들어 피처리물과 타깃 사이의 거리가 170mm, 압력이 0.4Pa, 직류(DC) 전력이 0.5kW, 분위기가 산소(산소 100%) 분위기 또는 아르곤(아르곤 100%) 분위기 또는 산소와 아르곤의 혼합 분위기 등의 조건을 적용할 수 있다. 또한, 펄스 직류(DC) 전원을 사용하면, 쓰레기(성막 시에 형성되는 가루 형상의 물질 등)을 저감할 수 있고, 막 두께 분포도 균일해지기 때문에 바람직하다. 산화물 반도체층(144)의 두께는, 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 20nm 이하, 보다 바람직하게는 3nm 이상 15nm 이하로 한다. 개시하는 발명에 이러한 구성을 채용함으로써, 이러한 두께의 산화물 반도체층(144)을 사용하는 경우에서도, 미세화에 수반하는 단채널 효과를 억제하는 것이 가능하다. 단, 적용하는 산화물 반도체나, 반도체 장치의 용도 등에 따라 적절한 두께는 상이하기 때문에, 그 두께는, 사용하는 재료나 용도 등에 따라 선택할 수도 있다. 또한, 상기와 같이 절연층(140)을 형성함으로써, 산화물 반도체층(144)의 채널 형성 영역에 상당하는 부분의 형성 표면을 충분히 평탄화할 수 있으므로, 두께가 작은 산화물 반도체층에서도, 적절하게 형성하는 것이 가능하다. 또한, 도 12b에 도시한 바와 같이, 산화물 반도체층(144)의 채널 형성 영역에 상당하는 부분의 단면 형상을, 평탄한 형상으로 하는 것이 바람직하다. 산화물 반도체층(144)의 채널 형성 영역에 상당하는 부분의 단면 형상을 평탄한 형상으로 함으로써, 산화물 반도체층(144)의 단면 형상이 평탄하지 않은 경우와 비교하여, 누설 전류를 저감할 수 있다.
- [0197] 또한, 산화물 반도체층(144)을 스퍼터법에 의해 형성하기 전에는, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하여, 형성 표면(예를 들어 절연층(140)의 표면)의 부착물을 제거해도 좋다. 여기서, 역스퍼터란, 통상의 스퍼터에 있어서는, 스퍼터링 타겟에 이온을 충돌시키는 것을, 반대로 처리 표면에 이온을 충돌시킴으로써 그 표면을 개질하는 방법을 의미한다. 처리 표면에 이온을 충돌시키는 방법으로서, 아르곤 분위기 하에서 처리 표면에 고주파 전압을 인가하여, 피처리물 부근에 플라즈마를 생성하는 방법 등이 있다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등에 의한 분위기를 적용해도 좋다.
- [0198] 산화물 반도체층(144)의 형성 후에는, 산화물 반도체층(144)에 대하여 열처리(제1 열처리)를 행하는 것이 바람직하다. 이 제1 열처리에 의해 산화물 반도체층(144) 중의, 과잉의 수소(물이나 수산기를 포함한다)를 제거할 수 있다. 제1 열처리의 온도는, 예를 들어 300℃ 이상 550℃ 미만, 바람직하게는 400℃ 이상 500℃ 이하로 한다.
- [0199] 열처리는, 예를 들어 저항 발열체 등을 사용한 전기로에 피처리물을 도입하고, 질소 분위기 하에서, 450℃, 1시간의 조건에서 행할 수 있다. 그 동안, 산화물 반도체층은 대기에 접촉시키지 않고, 물이나 수소의 혼입이 발생하지 않도록 한다.
- [0200] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 사용해도 된다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid

Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크램프, 카본 아크램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.

- [0201] 예를 들어, 제1 열처리로서, 뜨거워져진 불활성 가스 분위기 중에 피처리물을 투입하고, 몇분간 뜨거워진 후, 그 불활성 가스 분위기로부터 피처리물을 꺼내는 GRTA 처리를 행해도 된다. GRTA 처리를 사용하면 단시간의 고온 열처리가 가능하게 된다. 또한, 피처리물의 내열 온도를 초과하는 온도 조건이어도 적용이 가능하게 된다. 또한, 처리 중에, 불활성 가스를, 산소를 포함하는 가스로 전환해도 좋다. 산소를 포함하는 분위기에서 제1 열처리를 행함으로써, 산소 결손에 기인하는 에너지 갭 중의 결함 준위를 저감시킬 수 있기 때문이다.
- [0202] 또한, 불활성 가스 분위기로서는, 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.
- [0203] 그런데, 상술한 열처리(제1 열처리)에는 수소나 물 등을 제거하는 효과가 있기 때문에, 그 열처리를, 탈수화 처리나, 탈수소화 처리 등으로 칭할 수도 있다. 그 탈수화 처리나, 탈수소화 처리는, 산화물 반도체층(144)의 형성 후나 게이트 절연층(146)의 형성 후, 게이트 전극의 형성 후, 등의 타이밍에 있어서 행하는 것도 가능하다. 또한, 이러한 탈수화 처리, 탈수소화 처리는, 1회에 한하지 않고 복수회 행해도 된다.
- [0204] 산화물 반도체층(144)의 에칭은, 그 열 처리 전 또는 그 열처리의 후의 어느 시점에서 행해도 된다. 또한, 소자의 미세화라는 관점에서는 건식 에칭을 사용하는 것이 적합하지만, 습식 에칭을 사용해도 된다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라서 적절히 선택할 수 있다. 또한, 소자에 있어서의 누설 등이 문제가 되지 않는 경우에는 산화물 반도체층을 습 형상으로 가공하지 않고 사용해도 된다.
- [0205] 산화물 반도체층(144)과 소스 전극(142a), 드레인 전극(142b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 형성해도 좋다.
- [0206] 산화물 도전층의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크방전 이온 플레이팅법이나, 스프레이법을 사용한다. 산화물 도전층의 재료로서는, 산화아연, 산화아연 알루미늄, 산질화 아연 알루미늄, 산화아연갈륨 등을 적용할 수 있다. 막 두께는 50nm 이상 300nm 이하의 범위 내에서 적절히 선택한다. 또한, 상기 재료에 산화 규소를 포함시켜도 좋다.
- [0207] 산화물 도전층은 소스 전극(142a), 드레인 전극(142b)과 같은 포토리소그래피 공정에 의해 형상을 가공할 수 있다. 또한, 그 산화물 도전층을, 산화물 반도체층(144)을 형성하기 위한 포토리소그래피 공정에 있어서 또한 동일한 마스크에 의해 형상을 가공해도 좋다.
- [0208] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층(144)과 소스 전극(142a), 드레인 전극(142b) 사이에 설치함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있어, 트랜지스터(162)의 고속 동작을 할 수 있다.
- [0209] 또한, 산화물 반도체층(144), 산화물 도전층, 드레인 전극(142b)의 구성으로 함으로써, 트랜지스터(162)의 내압을 향상시킬 수 있다.
- [0210] 소스 영역 및 드레인 영역으로서 산화물 도전층을 사용하는 것은, 주변 회로(구동 회로)의 주파수 특성을 향상시키기 위해서도 유효하다. 금속 전극(몰리브덴이나 텅스텐 등)과 산화물 반도체층의 접촉에 비해, 금속 전극(몰리브덴이나 텅스텐 등)과 산화물 도전층의 접촉은, 접촉 저항을 내릴 수 있기 때문이다. 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 산화물 도전층을 개재시킴으로써 접촉 저항을 저감할 수 있고, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다.
- [0211] 이어서, 산화물 반도체층(144)을 덮도록 게이트 절연층(146)을 형성한다(도 12b 참조).
- [0212] 게이트 절연층(146)은, CVD법이나 스퍼터법 등을 사용하여 형성할 수 있다. 또한, 게이트 절연층(146)은, 산화실리콘, 질화실리콘, 산질화실리콘, 산화알루미늄, 산화탄탈, 산화하프늄, 산화이트륨, 하프늄 실리케이트(HfSixOy(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트(HfSixOyNz(x>0, y>0, z>0)), 질소가 첨가된 하프늄 알루미늄네이트(HfAlxOyNz(x>0, y>0, z>0)) 등을 포함하도록 형성하는 것이 적합하다. 또한, 게이트

절연층(146)은, 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 또한, 그 두께는 특별히 한정되지 않지만, 반도체 장치를 미세화하는 경우에는, 트랜지스터의 동작을 확보하기 위하여 얇게 하는 것이 바람직하다. 예를 들어, 산화 실리콘을 사용하는 경우에는, 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.

[0213] 상술한 바와 같이, 게이트 절연층을 얇게 하면, 터널 효과 등에 기인하는 게이트 누설이 문제가 된다. 게이트 누설의 문제를 해소하기 위해서는, 게이트 절연층(146)에, 산화하프늄, 산화탄탈, 산화이트륨, 하프늄 실리케이트(HfSi_xO_y ($x>0, y>0$)), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)), 질소가 첨가된 하프늄 알루미늄이트($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)), 등의 고유전율(high-k) 재료를 사용하면 된다. high-k 재료를 게이트 절연층(146)에 사용함으로써, 전기적 특성을 확보하면서, 게이트 누설을 억제하기 위하여 막 두께를 크게 하는 것이 가능하게 된다. 예를 들어, 산화하프늄은 비유전율이 15 정도이고, 산화 실리콘의 비유전율의 3 내지 4와 비교하여 매우 큰 값을 갖고 있다. 이러한 재료를 사용함으로써, 산화 실리콘 환산으로 15nm 미만, 바람직하게는 2nm 이상 10nm 이하의 게이트 절연층을 실현하는 것도 용이해진다. 또한, high-k 재료를 포함하는 막과, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화알루미늄 등 중 어느 하나를 포함하는 막의 적층 구조로 해도 좋다.

[0214] 또한, 게이트 절연층(146)과 같이, 산화물 반도체층(144)과 접하는 막에는, 금속 산화물막을 사용하는 것이 바람직하다. 금속 산화물막은, 예를 들어 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘 등의 재료를 사용하여 형성한다. 또한, 13족 원소 및 산소를 포함하는 재료를 사용하여 형성할 수도 있다. 13족 원소 및 산소를 포함하는 재료로서는, 예를 들어 산화갈륨, 산화알루미늄, 산화알루미늄 갈륨 및 산화갈륨 알루미늄 중 어느 1개 또는 복수를 포함하는 재료 등이 있다. 여기서, 산화알루미늄 갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 것을 나타내고, 산화갈륨 알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상의 것을 나타낸다. 금속 산화물막은, 상술한 재료를 사용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.

[0215] 게이트 절연층(146)의 형성 후에는, 불활성 가스 분위기 하에서 또는 산소 분위기 하에서 제2 열처리를 행하는 것이 바람직하다. 열처리의 온도는, 200°C 이상 450°C 이하, 바람직하게는 250°C 이상 350°C 이하이다. 예를 들어, 질소 분위기 하에서 250°C, 1시간의 열처리를 행하면 된다. 제2 열처리를 행함으로써, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 산화물 반도체층(144)에 산소를 공급하고, 그 산화물 반도체층(144)의 산소 결손을 보충하고, i형(진성 반도체) 또는 i형에 한정되지 않고 근접한 산화물 반도체층을 형성할 수도 있다.

[0216] 또한, 본 실시 형태에서는, 게이트 절연층(146)의 형성 후에 제2 열처리를 행하고 있지만, 제2 열처리의 타이밍은 이것에 한정되지 않는다. 예를 들어, 게이트 전극의 형성 후에 제2 열처리를 행해도 된다. 또한, 제1 열처리에 이어서 제2 열처리를 행해도 좋고, 제1 열처리에 제2 열처리를 겹쳐 하도록 해도 좋고, 제2 열처리에 제1 열처리를 겹쳐도 좋다.

[0217] 상술한 바와 같이, 제1 열처리와 제2 열처리의 적어도 한쪽을 적용함으로써, 산화물 반도체층(144)을, 그 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화할 수 있다.

[0218] 이어서, 게이트 절연층(146) 위에 게이트 전극(148)을 형성한다.

[0219] 게이트 전극(148)은, 게이트 절연층(146) 위에 도전층을 형성한 후에, 그 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148)이 되는 도전층은, 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 상세한 것은, 소스 전극(142a) 또는 드레인 전극(142b) 등의 경우와 마찬가지로이며, 이들의 기재를 참조할 수 있다.

[0220] 이상에 의해, 고순도화된 산화물 반도체층(144)을 사용한 트랜지스터(162)가 완성한다(도 12c 참조). 이러한 트랜지스터(162)는, 오프 전류가 충분히 저감된다고 하는 특징을 갖는다. 이로 인해, 그 트랜지스터를 기입용의 트랜지스터로 하여 사용함으로써, 장시간의 전하 유지를 행할 수 있다.

[0221] 이어서, 게이트 절연층(146) 및 게이트 전극(148) 위에 절연층(150)을 형성한다(도 12d 참조). 절연층(150)은, PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 또한, 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화하프늄, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여, 단층 또는 적층으로 형성할 수 있다.

[0222] 또한, 절연층(150)으로는, 유전율이 낮은 재료나, 유전율이 낮은 구조(다공성의 구조 등)를 사용하는 것이 바람직하다. 절연층(150)의 유전율을 낮게 함으로써, 배선이나 전극 등의 사이에 발생하는 용량을 저감하고, 동작

의 고속화를 도모할 수 있기 위해서다.

- [0223] 이어서, 소스 전극(142a)과 중첩되도록, 절연층(150) 위에 전극(152)을 형성한다(도 13a 참조). 전극(152)은, 게이트 전극(148)과 마찬가지로 방법 및 재료로 형성할 수 있으므로, 상세한 것은, 상기 게이트 전극(148)의 기재를 참조할 수 있다. 이상에 의해, 용량 소자(164)이 완성된다.
- [0224] 이어서, 절연층(150) 및 전극(152) 위에 절연층(154)을 형성한다. 절연층(150), 절연층(154)에, 게이트 전극(148)에까지 도달하는 개구를 형성한 후, 개구에 전극(170)을 형성하고, 절연층(154) 위에 전극(170)에 접하는 배선(171)을 형성한다(도 13b 참조). 그 개구의 형성은, 마스크 등을 사용한 선택적인 에칭에 의해 행해진다.
- [0225] 이어서, 전극(152) 및 배선(171) 위에 절연층(172)을 형성한다. 이어서, 게이트 절연층(146), 절연층(150), 절연층(154) 및 절연층(172)에, 드레인 전극(142b)에까지 도달하는 개구를 형성한 후, 개구에 전극(156)을 형성하고, 절연층(172) 위에 전극(156)에 접하는 배선(158)을 형성한다(도 13c 참조). 그 개구의 형성은, 마스크 등을 사용한 선택적인 에칭에 의해 행해진다.
- [0226] 절연층(154) 및 절연층(172)은, 절연층(150)과 마찬가지로, PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 또한, 산화 실리콘, 산질화 실리콘, 질화 실리콘, 산화하프늄, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여, 단층 또는 적층으로 형성할 수 있다.
- [0227] 또한, 절연층(154) 및 절연층(172)으로는, 유전율이 낮은 재료나, 유전율이 낮은 구조(다공성의 구조 등)를 사용하는 것이 바람직하다. 절연층(154) 및 절연층(172)의 유전율을 낮게 함으로써, 배선이나 전극 등의 사이에 발생하는 용량을 저감하고, 동작의 고속화를 도모할 수 있기 때문이다.
- [0228] 또한, 상기 절연층(154) 및 절연층(172)은, 그 표면이 평탄해지도록 형성하는 것이 바람직하다. 표면이 평탄해지도록 절연층(154) 및 절연층(172)을 형성함으로써, 반도체 장치를 미세화한 경우 등에 있어서도, 절연층(154) 및 절연층(172) 위에 전극이나 배선등을 적절하게 형성할 수 있기 때문이다. 또한, 절연층(154) 및 절연층(172)의 평탄화는, CMP(화학적 기계적 연마) 등의 방법을 사용하여 행할 수 있다.
- [0229] 전극(170) 및 전극(156)은, 예를 들어 개구를 포함하는 영역에 PVD법이나 CVD법 등을 사용하여 도전층을 형성한 후, 에칭 처리나 CMP와 같은 방법을 사용하여, 상기 도전층의 일부를 제거함으로써 형성할 수 있다.
- [0230] 보다 구체적으로는, 예를 들어 개구를 포함하는 영역에 PVD법에 의해 티타늄막을 얇게 형성하고, CVD법에 의해 질화티타늄막을 얇게 형성한 후에, 개구에 매립하게 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티타늄막은, 피형성면의 산화막(자연 산화막 등)을 환원하여, 하부 전극등(여기에서는 드레인 전극(142b))의 접촉 저항을 저감시키는 기능을 갖는다. 또한, 그 후에 형성되는 질화티타늄막은, 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티타늄이나 질화티타늄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.
- [0231] 배선(171) 및 배선(158)은, 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법등의 CVD법을 사용하여 도전층을 형성한 후, 그 도전층을 원하는 형상으로 에칭 가공 함으로써 형성된다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 하나 또는 이들을 복수 조합한 재료를 사용해도 좋다. 상세한 것은, 소스 전극(142a) 등과 마찬가지이다.
- [0232] 또한, 상기 공정 후에, 각종 배선이나 전극 등을 형성해도 좋다. 배선이나 전극은, 소위 다마신법이나, 듀얼 다마신법 등의 방법을 사용하여 형성할 수 있다.
- [0233] 이상의 공정으로부터, 도 5 및 도 9a, b에 도시한 바와 같은 구성의 반도체 장치를 제작할 수 있다.
- [0234] 또한, 본 실시 형태에 기재하는 반도체 장치에서는, 반도체 장치의 각 메모리 셀을 구성하는, 산화물 반도체를 사용한 트랜지스터를 직렬로 접속함으로써, 메모리 셀간에서, 산화물 반도체를 사용한 트랜지스터의 소스 전극 및 드레인 전극을 공유할 수 있다. 이에 의해, 메모리 셀의 점유 면적을 저감할 수 있으므로, 반도체 장치의 고집적화를 도모하여, 단위 면적당의 기억 용량을 증가시킬 수 있다.
- [0235] 이상, 본 실시 형태에 기재하는 구성, 방법 등은, 다른 실시 형태에 기재하는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0236] (실시 형태 3)

- [0237] 본 실시 형태에서는, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터의 예를 나타낸다. 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터의 구조는 특별히 한정되지 않고 예를 들어 톱 게이트 구조, 또는 보텀 게이트 구조의 스테퍼형 및 플래너형 등을 사용할 수 있다. 또한, 트랜지스터는 채널 형성 영역이 1개 형성되는 싱글 게이트 구조에서도, 2개 형성되는 더블 게이트 구조 혹은 3개 형성되는 트리플 게이트 구조이어도 좋다. 또한, 채널 형성 영역의 상하에 게이트 절연층을 개재하여 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트형이라도 좋다.
- [0238] 본 명세서에 개시하는 반도체 장치(예를 들어, 실시 형태 1 및 실시 형태 2에 있어서의 트랜지스터(162))에 적용할 수 있는 트랜지스터의 단면 구조의 예를 도 15a 내지 d에 도시한다. 도 15a 내지 d에 도시한 트랜지스터는 절연층(400) 위에 설치하는 예를 나타내지만, 유리 기판 등의 기판 위에 설치되어도 좋다. 또한, 도 15a 내지 d에 도시하는 트랜지스터를 실시 형태 1 및 실시 형태 2에 있어서의 트랜지스터(162)에 적용하는 경우, 절연층(400)은, 절연층(128)에 상당한다.
- [0239] 도 15a에 도시한 트랜지스터(410)는, 보텀 게이트 구조의 박막 트랜지스터의 하나이며, 역스태퍼형 박막 트랜지스터라고도 한다.
- [0240] 트랜지스터(410)는, 절연층(400) 위에 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a) 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(410)를 덮고, 산화물 반도체층(403)에 적층되는 절연층(407)이 형성되어 있다. 절연층(407) 위에는 절연층(409)이 더 형성되어 있다.
- [0241] 도 15b에 도시한 트랜지스터(420)는, 채널 보호형(채널 스톱형이라고도 한다)이라고 불리는 보텀 게이트 구조의 하나이며 역스태퍼형 박막 트랜지스터라고도 한다.
- [0242] 트랜지스터(420)는, 절연층(400) 위에 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 산화물 반도체층(403)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연층(427), 소스 전극층(405a) 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(420)를 덮고, 절연층(409)이 형성되어 있다.
- [0243] 도 15c에 도시한 트랜지스터(430)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 절연층(400) 위에 게이트 전극층(401), 게이트 절연층(402), 소스 전극층(405a), 드레인 전극층(405b) 및 산화물 반도체층(403)을 포함한다. 또한, 트랜지스터(430)를 덮고, 산화물 반도체층(403)에 접하는 절연층(407)이 형성되어 있다. 절연층(407) 위에는 절연층(409)이 더 형성되어 있다.
- [0244] 트랜지스터(430)에 있어서는, 게이트 절연층(402)은 절연층(400) 및 게이트 전극층(401) 위에 접하여 형성되고, 게이트 절연층(402) 위에 소스 전극층(405a), 드레인 전극층(405b)이 접하여 형성되어 있다. 그리고, 게이트 절연층(402) 및 소스 전극층(405a), 드레인 전극층(405b) 위에 산화물 반도체층(403)이 형성되어 있다.
- [0245] 도 15d에 도시한 트랜지스터(440)는, 톱 게이트 구조의 박막 트랜지스터의 하나이다. 트랜지스터(440)는, 절연층(400) 위에 절연층(437), 산화물 반도체층(403), 소스 전극층(405a) 및 드레인 전극층(405b), 게이트 절연층(402), 게이트 전극층(401)을 포함하고, 소스 전극층(405a), 드레인 전극층(405b)에 각각 배선층(436a), 배선층(436b)이 접하여 형성되어 전기적으로 접속하고 있다.
- [0246] 보텀 게이트 구조의 트랜지스터(410, 420, 430)를 기판 위에 설치하는 경우, 기초막이 되는 절연막을 기판과 게이트 전극층의 사이에 형성해도 좋다. 기초막은, 기판으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산화 질화 실리콘막으로부터 선택된 1개 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0247] 게이트 전극층(401)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층으로 또는 적층하여 형성할 수 있다.
- [0248] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화알루미늄층, 질화 산화알루미늄층, 또는 산화하프늄층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 제1 게이트 절연층으로서 플라즈마 CVD법에 의해 막 두께 50nm 이상 200nm 이하의 질화 실리콘층($\text{SiN}_y(y>0)$)을 형성하고, 제1 게이트 절연층 위에 제2 게이트 절연층으로서 막 두께 5nm 이상 300nm 이하의 산화 실리콘층($\text{SiO}_x(x>0)$)을 적층하고, 합계 막 두께 200nm의 게이트 절연층으로 한다.
- [0249] 소스 전극층(405a), 드레인 전극층(405b)에 사용하는 도전층으로서, 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W로

부터 선택된 원소 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 사용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 또는 상측의 한쪽 또는 양쪽에 Ti, Mo, W 등의 고용점 금속층을 적층시킨 구성으로 해도 좋다. 또한, Al막에 발생하는 힐록이나 위스커의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가되어 있는 Al 재료를 사용함으로써 내열성을 향상시키는 것이 가능하게 된다.

- [0250] 소스 전극층(405a), 드레인 전극층(405b)에 접속되는 배선층(436a), 배선층(436b)과 같은 도전층도, 소스 전극층(405a), 드레인 전극층(405b)과 같은 재료를 사용할 수 있다.
- [0251] 또한, 소스 전극층(405a), 드레인 전극층(405b)(이것과 같은 층으로 형성되는 배선층을 포함한다)으로 되는 도전층으로서의 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐 산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기한다), 산화인듐 산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는 이들의 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 사용할 수 있다.
- [0252] 절연층(407, 427, 437)은, 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화알루미늄막 또는 산화 질화알루미늄막 등의 무기 절연막을 사용할 수 있다.
- [0253] 절연층(409)은, 질화 실리콘막, 질화알루미늄막, 질화 산화 실리콘막, 질화 산화알루미늄막 등의 무기 절연막을 사용할 수 있다.
- [0254] 또한, 절연층(409) 위에 트랜지스터 기인의 표면 요철을 저감하기 위하여 평탄화 절연막을 형성해도 좋다. 평탄화 절연막으로서, 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 등의 유기 재료를 사용할 수 있다. 또한 상기 유기 재료의 이외에, 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층 시킴으로써, 평탄화 절연막을 형성해도 좋다.
- [0255] 또한, 산화물 반도체층(403)과 소스 전극층(405a), 드레인 전극층(405b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 형성해도 좋다. 도 15d의 트랜지스터(440)에 산화물 도전층을 형성한 트랜지스터(441, 442)를 도 16a, b에 나타낸다.
- [0256] 도 16a, b의 트랜지스터(441, 442)는, 산화물 반도체층(403)과 소스 전극층(405a), 드레인 전극층(405b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(404a, 404b)이 형성되어 있다. 도 16a, b의 트랜지스터(441, 442)는 제작 공정에 의해 산화물 도전층(404a, 404b)의 형상이 다른 예이다.
- [0257] 도 16a의 트랜지스터(441)에서는, 산화물 반도체층과 산화물 도전층의 적층을 형성하고, 산화물 반도체층과 산화물 도전층의 적층을 같은 포토리소그래피 공정에 의해 형상을 가공하여 섬 형상의 산화물 반도체층(403)과 산화물 도전층을 형성한다. 산화물 반도체층 및 산화물 도전층 위에 소스 전극층(405a), 드레인 전극층(405b)을 형성한 후, 소스 전극층(405a), 드레인 전극층(405b)을 마스크로 하여, 섬 형상의 산화물 도전층을 에칭하여, 소스 영역 및 드레인 영역이 되는 산화물 도전층(404a, 404b)을 형성한다.
- [0258] 도 16b의 트랜지스터(442)에서는, 산화물 반도체층(403) 위에 산화물 도전층을 형성하고, 그 위에 금속 도전층을 형성하고, 산화물 도전층 및 금속 도전층을 같은 포토리소그래피 공정에 의해 가공하고, 소스 영역 및 드레인 영역이 되는 산화물 도전층(404a, 404b), 소스 전극층(405a), 드레인 전극층(405b)을 형성한다.
- [0259] 또한, 산화물 도전층의 형상을 가공하기 위한 에칭 처리 시, 산화물 반도체층이 과잉으로 에칭되지 않도록, 에칭 조건(에칭재의 종류, 농도, 에칭 시간 등)을 적절히 조정한다.
- [0260] 산화물 도전층(404a, 404b)의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크방전 이온 플레이팅법이나, 스프레이법을 사용한다. 산화물 도전층의 재료로서는, 산화아연, 산화아연 알루미늄, 산질화 아연 알루미늄, 산화아연갈륨 등을 적용할 수 있다. 또한, 상기 재료에 산화 규소를 포함시켜도 좋다.
- [0261] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층(403)과 소스 전극층(405a), 드레인 전극층(405b) 사이에 형성함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있어, 트랜지스터(441, 442)이 고속 동작을 할 수 있다.
- [0262] 또한, 산화물 반도체층(403), 산화물 도전층(404a, 404b), 소스 전극층(405a), 드레인 전극층(405b)의 구성으로 함으로써, 트랜지스터(441, 442)의 내압을 향상시킬 수 있다.
- [0263] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0264] (실시 형태 4)

- [0265] 상기 실시 형태 1 내지 실시 형태 3에 있어서, 트랜지스터의 반도체층에 사용하는 것이 가능한 산화물 반도체층의 일 형태를, 도 17을 사용하여 설명한다.
- [0266] 본 실시 형태의 산화물 반도체층은, 제1 결정성 산화물 반도체층 위에 제1 결정성 산화물 반도체층보다 두꺼운 제2 결정성 산화물 반도체층을 갖는 적층 구조다.
- [0267] 절연층(400) 위에 절연층(437)을 형성한다. 본 실시 형태에서는, 절연층(437)으로서, PCVD법 또는 스퍼터링법을 사용하여, 50nm 이상 600nm 이하의 막 두께의 산화물 절연층을 형성한다. 예를 들어, 산화 실리콘막, 산화 갈륨 막, 산화알루미늄막, 산화 질화 실리콘막, 산화 질화알루미늄막 또는 질화 산화 실리콘막으로부터 선택된 1층 또는 이들의 적층을 사용할 수 있다.
- [0268] 이어서, 절연층(437) 위에 막 두께 1nm 이상 10nm 이하의 제1 산화물 반도체층을 형성한다. 제1 산화물 반도체층의 형성은, 스퍼터링법을 사용하고, 그 스퍼터링법에 의한 성막 시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 한다.
- [0269] 본 실시 형태에서는, 산화물 반도체 성막용 타깃(In-Ga-Zn-O계 산화물 반도체 성막용 타깃(In₂O₃:Ga₂O₃:ZnO=1:1:2 [mol수비]))을 사용하여, 기판과 타깃 사이의 거리를 170mm, 기판 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 막 두께 5nm의 제1 산화물 반도체층을 성막한다.
- [0270] 이어서, 기판을 배치하는 챔버 분위기를 질소 또는 건조 공기로 하여 제1 가열 처리를 행한다. 제1 가열 처리의 온도는, 400℃ 이상 750℃ 이하로 한다. 제1 가열 처리에 의해 제1 결정성 산화물 반도체층(450a)을 형성한다(도 17a 참조).
- [0271] 성막 시의 기판 온도나 제1 가열 처리의 온도에도 의하지만, 성막이나 제1 가열 처리에 의해, 막 표면으로부터 결정화가 일어나고, 막의 표면으로부터 내부를 향하여 결정 성장하여, C축 배향된 결정이 얻어진다. 제1 가열 처리에 의해, 아연과 산소가 막 표면에 많이 모여, 상층 평면이 육각형을 이루는 아연과 산소로 이루어지는 그라핀 타입의 이차원 결정이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장하여 중첩 적층으로 된다. 가열 처리의 온도를 올리면 표면으로부터 내부, 그리고 내부로부터 저부로 결정 성장이 진행된다.
- [0272] 제1 가열 처리에 의해, 산화물 절연층인 절연층(437) 중의 산소를 제1 결정성 산화물 반도체층(450a)와의 계면 또는 그 근방(계면으로부터 플러스 마이너스 5nm)으로 확산시키고, 제1 결정성 산화물 반도체층의 산소 결손을 저장한다. 따라서, 기초 절연막으로서 사용되는 절연층(437)은, 막 중(벌크 중), 제1 결정성 산화물 반도체층(450a)와 절연층(437)의 계면 중 어느 하나에는 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다.
- [0273] 이어서, 제1 결정성 산화물 반도체층(450a) 위에 10nm보다 두꺼운 제2 산화물 반도체층을 형성한다. 제2 산화물 반도체층의 형성은, 스퍼터링법을 사용하고, 그 성막 시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 한다. 성막 시에 있어서의 기판 온도를 200℃ 이상 400℃ 이하로 함으로써, 제1 결정성 산화물 반도체층의 표면 위에 접하여 성막하는 산화물 반도체층에 전구체의 정렬이 일어나고, 소위, 질서성을 갖게 할 수 있다.
- [0274] 본 실시 형태에서는, 산화물 반도체 성막용 타깃(In-Ga-Zn-O계 산화물 반도체 성막용 타깃(In₂O₃:Ga₂O₃:ZnO=1:1:2 [mol수비]))을 사용하여, 기판과 타깃의 사이의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 막 두께 25nm의 제2 산화물 반도체층을 성막한다.
- [0275] 이어서, 기판을 배치하는 챔버 분위기를 질소 또는 산소 분위기 하에서, 혹은 질소와 산소의 혼합 분위기로 하여 제2 가열 처리를 행한다. 제2 가열 처리의 온도는, 400℃ 이상 750℃ 이하로 한다. 제2 가열 처리에 의해 제2 결정성 산화물 반도체층(450b)을 형성한다(도 17b 참조). 제2 가열 처리는, 질소 분위기 하에서, 산소 분위기 하에서, 혹은 질소와 산소의 혼합 분위기 하에서 행함으로써, 제2 결정성 산화물 반도체층의 고밀도화 및 결함수의 감소를 도모한다. 제2 가열 처리에 의해, 제1 결정성 산화물 반도체층(450a)를 핵으로 하여 막 두께 방향, 즉 저부로부터 내부로 결정 성장이 진행되어 제2 결정성 산화물 반도체층(450b)이 형성된다.
- [0276] 또한, 절연층(437)의 형성부터 제2 가열 처리까지의 공정을 대기에 접촉하지 않고 연속적으로 행하는 것이 바람직하다. 절연층(437)의 형성부터 제2 가열 처리까지의 공정은, 수소 및 수분을 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등) 하에서 제어하는 것이 바람직하고, 예를 들어 수분에 대해서

는 노점 -40°C 이하, 바람직하게는 노점 -50°C 이하의 건조 질소 분위기로 한다.

- [0277] 이어서, 제1 결정성 산화물 반도체층(450a)와 제2 결정성 산화물 반도체층(450b)으로 이루어지는 산화물 반도체 적층을 가공하여 섬 형상의 산화물 반도체 적층으로 이루어지는 산화물 반도체층(453)을 형성한다(도 17c 참조). 도면에서는, 제1 결정성 산화물 반도체층(450a)와 제2 결정성 산화물 반도체층(450b)의 계면을 점선으로 나타내고, 산화물 반도체 적층과 설명하고 있지만, 명확한 계면이 존재하고 있는 것이 아니고, 어디까지나 이해하기 쉽게 설명하기 위하여 도시하고 있다.
- [0278] 산화물 반도체 적층의 가공은, 원하는 형상의 마스크를 산화물 반도체 적층 위에 형성한 후, 그 산화물 반도체 적층을 에칭함으로써 행할 수 있다. 상술한 마스크는, 포토리소그래피 등의 방법을 사용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 사용하여 마스크를 형성해도 좋다.
- [0279] 또한, 산화물 반도체 적층의 에칭은, 건식 에칭이어도 좋고, 습식 에칭이어도 좋다. 물론, 이들을 조합하여 사용해도 좋다.
- [0280] 또한, 상기 제작 방법에 의해, 얻어지는 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, C축 배향을 갖고 있는 것을 특징의 하나로 하고 있다. 단, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 단결정 구조가 아니고, 비정질 구조가 아닌 구조이며, C축 배향을 갖은 결정(C Axis Aligned Crystal; CAAC로도 칭한다)을 포함하는 산화물을 갖는다. 또한, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 일부에 결정립계를 갖고 있다.
- [0281] 또한, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 사원계 금속의 산화물인 In-Sn-Ga-Zn-O계의 재료나, 3원계 금속의 산화물인 In-Ga-Zn-O계의 재료(IGZO로도 표기한다), In-Sn-Zn-O계의 재료(ITZO로도 표기한다), In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, In-Hf-Zn-O계의 재료, In-La-Zn-O계의 재료, In-Ce-Zn-O계의 재료, In-Pr-Zn-O계의 재료, In-Nd-Zn-O계의 재료, In-Sm-Zn-O계의 재료, In-Eu-Zn-O계의 재료, In-Gd-Zn-O계의 재료, In-Tb-Zn-O계의 재료, In-Dy-Zn-O계의 재료, In-Ho-Zn-O계의 재료, In-Er-Zn-O계의 재료, In-Tm-Zn-O계의 재료, In-Yb-Zn-O계의 재료, In-Lu-Zn-O계의 재료나, 2원계 금속의 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료나, In-Ga-O계의 재료, 일원계 금속의 산화물인 In-O계의 재료, Sn-O계의 재료, Zn-O계의 재료 등이 있다. 또한, 상기의 재료에 SiO_2 를 포함시켜도 좋다. 여기서, 예를 들어 In-Ga-Zn-O계의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라는 의미이며, 그 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn이외의 원소를 포함하고 있어도 좋다.
- [0282] 또한, 제1 결정성 산화물 반도체층 위에 제2 결정성 산화물 반도체층을 형성하는 2층 구조에 한정되지 않고, 제2 결정성 산화물 반도체층의 형성 후에 제3 결정성 산화물 반도체층을 형성하기 위한 성막과 가열 처리의 프로세스를 반복하여, 3층 이상의 적층 구조로 해도 좋다. 상기 제작 방법으로 형성된 산화물 반도체 적층으로 이루어지는 산화물 반도체층(453)을, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터(예를 들어, 실시 형태 1 및 실시 형태 2에 있어서의 트랜지스터(162), 실시 형태 3에 있어서의 트랜지스터(410, 420, 430, 440, 441, 442)에 적절히 사용할 수 있다.
- [0283] 또한, 산화물 반도체층(403)으로서 본 실시 형태의 산화물 반도체 적층을 사용한 실시 형태 3에 있어서의 트랜지스터(440)에 있어서는, 산화물 반도체층의 한쪽 면으로부터 다른 쪽의 면에 전계가 인가되지 않고, 또한 전류가 산화물 반도체 적층의 두께 방향(한쪽 면으로부터 다른 쪽의 면으로 흐르는 방향, 구체적으로 도 15d에서는 상하 방향)으로 흐르는 구조가 아니다. 전류는, 주로, 산화물 반도체 적층의 계면을 흐르는 트랜지스터 구조이기 때문에, 트랜지스터에 광 조사가 행해지고 또는 BT 스트레스가 인가되어도, 트랜지스터 특성의 열화는 억제되거나 저감된다.
- [0284] 산화물 반도체층(453)과 같은 제1 결정성 산화물 반도체층과 제2 결정성 산화물 반도체층의 적층을 트랜지스터에 사용함으로써, 안정된 전기적 특성을 갖고, 또한, 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0285] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0286] (실시 형태 5)
- [0287] 본 실시 형태에서는, 상술한 실시 형태에서 설명한 반도체 장치를 전자 기기에 적용하는 경우에 대해서, 도 14를 사용하여 설명한다. 본 실시 형태에서는, 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대 정보 단말기(휴대형 게임기, 음향 재생 장치 등도 포함한다), 디지털 카메라, 디지털 비디오 카메라 등의 카

메라, 전자 페이퍼, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 한다) 등의 전자 기기에, 상술한 반도체 장치를 적용하는 경우에 대하여 설명한다.

- [0288] 도 14a는, 노트북형의 퍼스널 컴퓨터이며, 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등에 의해 구성되어 있다. 하우징(701)과 하우징(702)의 적어도 한곳에는, 앞선 실시 형태에서 기재한 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속으로, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 노트북형의 퍼스널 컴퓨터가 실현된다.
- [0289] 도 14b는, 휴대 정보 단말기(PDA)이며, 본체(711)에는, 표시부(713)와, 외부 인터페이스(715)와, 조작 버튼(714) 등이 설치되어 있다. 또한, 휴대 정보 단말기를 조작하는 스타일러스(712) 등을 구비하고 있다. 본체(711) 내에는, 앞선 실시 형태에서 기재한 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속으로, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 정보 단말기가 실현된다.
- [0290] 도 14c는, 전자 페이퍼를 실장한 전자 서적이며, 전자 서적(720)은 하우징(721)과 하우징(723)의 2개의 하우징으로 구성되어 있다. 하우징(721) 및 하우징(723)에는, 각각 표시부(725) 및 표시부(727)가 설치되어 있다. 하우징(721)과 하우징(723)은, 축부(737)에 의해 접속되어 있고, 그 축부(737)를 축으로 하여 개폐 동작을 행할 수 있다. 또한, 하우징(721)은, 전원(731), 조작 키(733), 스피커(735) 등을 구비하고 있다. 하우징(721), 하우징(723)의 적어도 한곳에는, 앞선 실시 형태에서 기재한 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속으로, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 전자 서적이 실현된다.
- [0291] 도 14d는, 휴대 전화기이며, 하우징(740)과 하우징(741)의 2개의 하우징으로 구성되어 있다. 또한, 하우징(740)과 하우징(741)은, 슬라이드하고, 도 14d와 같이 전개되어 있는 상태에서부터 포개진 상태로 할 수 있어, 휴대에 적합한 소형화가 가능하다. 또한, 하우징(741)은, 표시 패널(742), 스피커(743), 마이크로폰(744), 조작 키(745), 포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비하고 있다. 또한, 하우징(740)은, 휴대 전화기의 충전을 행하는 태양 전지 셀(749), 외부 메모리 슬롯(750) 등을 구비하고 있다. 또한, 안테나는, 하우징(741)에 내장되어 있다. 하우징(740)과 하우징(741)의 적어도 한곳에는, 앞선 실시 형태에서 기재한 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속으로, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 전화기가 실현된다.
- [0292] 도 14e는, 디지털 카메라이며, 본체(761), 표시부(767), 접안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등에 의해 구성되어 있다. 본체(761) 내에는, 앞선 실시 형태에서 기재한 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속으로, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.
- [0293] 도 14f는, 텔레비전 장치(770)이며, 하우징(771), 표시부(773), 스탠드(775) 등으로 구성되어 있다. 텔레비전 장치(770)의 조작은, 하우징(771)이 구비하는 스위치나, 리모콘 조작기(780)에 의해 행할 수 있다. 하우징(771) 및 리모콘 조작기(780)에는, 앞선 실시 형태에서 기재한 반도체 장치가 탑재되어 있다. 그로 인해, 정보의 기입 및 판독이 고속으로, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.
- [0294] 이상과 같이, 본 실시 형태에 기재하는 전자 기기에는, 앞선 실시 형태에 관한 반도체 장치가 탑재되어 있다. 이로 인해, 소비 전력을 저감한 전자 기기가 실현된다.
- [0295] (실시 형태 6)
- [0296] 본 실시 형태에서는, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터의 예를 나타낸다. 또한, 상기 트랜지스터의 특성을 계산(시뮬레이션)한 결과를 나타낸다. 본 실시 형태에 기재하는 트랜지스터는 상기 실시 형태에서 나타내는 트랜지스터(162)로서 적절하게 사용할 수 있다.
- [0297] 산화물 반도체에 한하지 않고, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는, 다양한 이유에 의해 본래의 이동도보다 낮아진다. 이동도를 저하시키는 요인으로서 반도체 내부의 결함이나 반도체와 절연막의 계면의 결함이 있지만, Levinson 모델을 사용하면, 반도체 내부에 결함이 없다고 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.
- [0298] 반도체 본래의 이동도를 μ_0 , 측정되는 전계 효과 이동도를 μ 라고 하여 반도체 중에 어떠한 포텐셜 장벽(입계 등)이 존재한다고 가정하면, 이하의 수학적 식 2로 표현할 수 있다.

수학식 2

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0299]

[0300] 여기서, E는 포텐셜 장벽의 높이이며, k가 볼트먼 상수, T는 절대 온도이다. 또한, 포텐셜 장벽이 결함에 유래한다고 가정하면, Levinson 모델에서는, 이하의 수학식 3으로 표현된다.

수학식 3

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0301]

[0302] 여기서, e는 전기 소량, N은 채널 내의 단위 면적당의 평균 결함 밀도, ε은 반도체의 유전율, n은 단위 면적당의 채널에 포함되는 캐리어수, C_{ox}는 단위 면적당의 용량, V_g는 게이트 전압, t는 채널의 두께이다. 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일한 것으로서 간주될 수 있다. 선형 영역에 있어서의 드레인 전류(I_d)는, 이하의 수학식 4로 된다.

수학식 4

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0303]

[0304] 여기서, L은 채널 길이, W는 채널 폭이며, 여기에서는, L=W=10μm이다. 또한, V_d는 드레인 전압이다. 상기 수학식의 양변을 V_g로 나누고, 또한 양변의 대수를 취하면, 이하와 같이 된다.

수학식 5

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0305]

[0306] 수학식 5의 우변은 V_g의 함수이다. 이 식으로부터 알 수 있는 바와 같이, 종축을 ln(I_d/V_g), 횡축을 1/V_g로 하여 실측값을 플롯하여 얻어지는 그래프의 직선의 기울기로부터 결함 밀도(N)가 구해진다. 즉, 트랜지스터의 I_d-V_g 특성으로부터, 결함 밀도를 평가할 수 있다. 산화물 반도체로서는, 인듐(In), 주석(Sn), 아연(Zn)의 비율이, In:Sn:Zn=1:1:1의 것에서는 결함 밀도(N)는 1×10¹²/cm² 정도이다.

[0307]

이와 같이 하여 구한 결함 밀도 등을 기초로 수학식 2 및 수학식 3으로부터 μ₀=120cm²/Vs가 도출된다. 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는 35cm²/Vs 정도이다. 그러나, 반도체 내부 및 반도체와 절연막의 계면의 결함이 없는 산화물 반도체의 이동도 μ₀은 120cm²/Vs가 된다고 예상할 수 있다.

[0308]

단, 반도체 내부에 결함이 없어도, 채널과 게이트 절연층의 계면에서의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다. 즉, 채널과 게이트 절연층의 계면으로부터 x만큼 이격된 장소에 있어서의 이동도 μ₁은, 이하의 수학식 6으로 표현된다.

수학식 6

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

[0309]

[0310] 여기서, D는 게이트 전극 방향의 전계, B, G는 상수이다. B 및 G는, 실제의 측정 결과로부터 구할 수 있고, 상기의 측정 결과로부터는, $B=4.75 \times 10^7$ cm/s, $G=10$ nm(계면 산란이 미치는 깊이)이다. D가 증가하면(즉, 게이트 전압이 높아지면) 수학식 6의 제2항이 증가하기 때문에, 이동도 μ_1 은 저하하는 것을 알았다.

[0311]

반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 사용한 트랜지스터의 이동도 μ_2 를 계산한 결과를 도 21에 나타낸다. 또한, 계산에는 시뮬시스사제 디바이스 시뮬레이션 소프트웨어, Sentaurus Device를 사용하고, 산화물 반도체의 밴드 갭, 전자 친화력, 비유전율, 두께를 각각 2.8 전자 볼트, 4.7 전자 볼트, 15, 15nm로 했다. 이들의 값은, 스퍼터링법에 의해 형성된 박막을 측정하여 얻어진 것이다.

[0312]

또한, 게이트 전극, 소스 전극, 드레인 전극의 일함수를 각각, 5.5 전자 볼트, 4.6 전자 볼트, 4.6 전자 볼트로 했다. 또한, 게이트 절연층의 두께는 100nm, 비유전율은 4.1로 했다. 채널 길이 및 채널 폭은 모두 10 μ m, 드레인 전압(V_d)은 0.1V이다.

[0313]

도 21에 나타낸 바와 같이, 게이트 전압 1V(強)강에서 이동도 100cm²/Vs 이상의 피크를 갖지만, 게이트 전압이 더욱 높아지면, 계면 산란이 커지고, 이동도가 저하한다. 또한, 계면 산란을 저감하기 위해서는, 반도체층 표면을 원자 레벨로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.

[0314]

이러한 이동도를 갖는 산화물 반도체를 사용하여 미세한 트랜지스터를 제작한 경우의 특성을 계산한 결과를 도 22 내지 도 24에 나타낸다. 또한, 계산에 사용한 트랜지스터의 단면 구조를 도 25에 나타낸다. 도 25에 도시한 트랜지스터는 산화물 반도체층에 n⁺의 도전형을 나타내는 반도체 영역(2103a) 및 반도체 영역(2103c)을 갖는다. 반도체 영역(2103a) 및 반도체 영역(2103c)의 저항률은 2×10^{-3} Ω cm로 한다.

[0315]

도 25a에 도시한 트랜지스터는, 절연층(2101)과, 절연층(2101)에 매립되도록 형성된 산화알루미늄으로 이루어지는 매립 절연물(2102) 위에 형성된다. 트랜지스터는 반도체 영역(2103a), 반도체 영역(2103c)과, 그들 사이에 끼워지고, 채널 형성 영역이 되는 진성 반도체 영역(2103b)과, 게이트 전극(2105)을 갖는다. 게이트 전극(2105)의 폭을 33nm로 한다.

[0316]

도 25에 도시한 트랜지스터는, 상기 실시 형태에 있어서의 트랜지스터(162)로서 사용할 수 있다.

[0317]

또한, 도 10에 도시하는 트랜지스터와 마찬가지로, 게이트 전극(2105)과 반도체 영역(2103b)의 사이에, 게이트 절연층(2104)을 갖고, 반도체 영역(2103a) 및 반도체 영역(2103c)에 접하고, 소스 전극(2108a) 및 드레인 전극(2108b)을 갖는다. 또한, 이 트랜지스터에 있어서의 채널 폭을 40nm로 한다.

[0318]

도 25에 도시한 트랜지스터는, 도 10에 도시하는 트랜지스터 외에 게이트 전극(2105)의 양측면에는 사이드 월 절연층(2106a) 및 사이드 월 절연층(2106b), 게이트 전극(2105)의 상부에는, 게이트 전극(2105)과 다른 배선과의 단락을 방지하기 위한 절연물(2107)을 갖는다. 사이드 월 절연층의 폭은 5nm로 한다.

[0319]

도 25b에 도시한 트랜지스터는, 절연층(2101)과, 산화알루미늄으로 이루어진 매립 절연물(2102) 위에 형성되고, 반도체 영역(2103a), 반도체 영역(2103c)과, 그들 사이에 끼워져 있던 진성 반도체 영역(2103b)과, 폭 33nm의 게이트 전극(2105)과 게이트 절연층(2104)과 사이드 월 절연층(2106a) 및 사이드 월 절연층(2106b)과 절연물(2107)과 소스 전극(2108a) 및 드레인 전극(2108b)을 갖는 점에서 도 25a에 도시한 트랜지스터와 같다.

[0320]

도 25a에 도시한 트랜지스터와 도 25b에 도시한 트랜지스터의 차이점은, 사이드 월 절연층(2106a) 및 사이드 월 절연층(2106b)의 아래의 반도체 영역의 도전형이다. 도 25a에 도시한 트랜지스터에서는, 사이드 월 절연층(2106a) 및 사이드 월 절연층(2106b)의 아래의 반도체 영역은 n⁺의 도전형을 나타내는 반도체 영역(2103a) 및 반도체 영역(2103c)이지만, 도 25b에 도시한 트랜지스터에서는, 진성 반도체 영역(2103b)이다. 즉, 반도체 영역(2103a)(반도체 영역(2103c))과 게이트 전극(2105)이 Loff만큼 겹치지 않는 영역이 생겨 있다. 이 영역을 오프셋 영역이라고 하고, 그 폭 Loff를 오프셋 길이이라고 한다. 도면으로부터 명백해진 바와 같이, 오프셋

길이는, 사이드 월 절연층(2106a)(사이드 월 절연층(2106b))의 폭과 같다.

- [0321] 그 밖의 계산에 사용하는 파라미터는 상술한 바와 같다. 계산에는 시뮬레이션용 디바이스 시뮬레이션 소프트웨어, Sentaurus Device를 사용했다. 도 22는, 도 25a에 나타내어지는 구조의 트랜지스터의 드레인 전류(I_d , 실선) 및 이동도(μ , 점선)의 게이트 전압(V_g), 게이트 전극과 소스 전극의 전위차) 의존성을 나타낸다. 드레인 전류(I_d)는, 드레인 전압(드레인 전극과 소스 전극의 전위차)을 +1V로 하고, 이동도 μ 는 드레인 전압을 +0.1V로 하여 계산한 것이다.
- [0322] 도 22a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 22b는 10nm로 한 것이며, 도 22c는 5nm로 한 것이다. 게이트 절연층이 얇아질수록, 특히 오프 상태에서의 드레인 전류(I_d)(오프 전류)가 현저하게 저하한다. 한편, 이동도 μ 의 피크값이나 온 상태에서의 드레인 전류(I_d)(온 전류)에는 두드러진 변화가 없다. 게이트 전압 1V 전후에서, 드레인 전류는 메모리 셀 등에서 필요하게 되는 10 μ A를 초과하는 것이 나타났다.
- [0323] 도 23은, 도 25b에 나타내어지는 구조의 트랜지스터에서, 오프셋 길이(Loff)를 5nm로 한 것의 드레인 전류(I_d) (실선) 및 이동도 μ (점선)의 게이트 전압 V_g 의존성을 나타낸다. 드레인 전류(I_d)는, 드레인 전압을 +1V로 하고, 이동도 μ 은 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 23a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 23b는 10nm로 한 것이며, 도 23c는 5nm로 한 것이다.
- [0324] 또한, 도 24는, 도 25b에 나타내어지는 구조의 트랜지스터에서, 오프셋 길이(Loff)를 15nm로 한 것의 드레인 전류(I_d)(실선) 및 이동도 μ (점선)의 게이트 전압 의존성을 나타낸다. 드레인 전류(I_d)는, 드레인 전압을 +1V로 하고, 이동도 μ 은 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 24a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 24b는 10nm로 한 것이며, 도 24c는 5nm로 한 것이다.
- [0325] 모두 게이트 절연층이 얇아질수록, 오프 전류가 현저하게 저하하는 한편, 이동도 μ 의 피크값이나 온 전류에는 두드러진 변화가 없다.
- [0326] 또한, 이동도 μ 의 피크는, 도 22에서는 80cm²/Vs 정도이지만, 도 23에서는 60cm²/Vs 정도, 도 24에서는 40cm²/Vs 와, 오프셋 길이(Loff)가 증가할수록 저하한다. 또한, 오프 전류도 같은 경향이 있다. 한편, 온 전류도 오프셋 길이(Loff)의 증가에 따라 감소하지만, 오프 전류의 저하에 비교하면 훨씬 완만하다. 또한, 모두 게이트 전압 1V 전후에서, 드레인 전류는 메모리 셀 등에서 필요하게 되는 10 μ A를 초과하는 것으로 나타났다.
- [0327] (실시 형태 7)
- [0328] 본 실시 형태에서는, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터의 예를 나타낸다. 본 실시 형태에 기재하는 트랜지스터는 상기 실시 형태에서 나타내는 트랜지스터(162)로서 적절하게 사용할 수 있다.
- [0329] 본 실시 형태에서는, In-Sn-Zn-O막을 산화물 반도체층에 사용한 트랜지스터의 일례에 대해서, 도 33 등을 사용하여 설명한다.
- [0330] 도 33은, 코플래너형인 톱 게이트 구조의 트랜지스터의 상면도 및 단면도이다. 도 33a에 트랜지스터의 상면도를 나타낸다. 또한, 도 33b에 도 33a의 일점쇄선 B1-B2에 대응하는 단면 B1-B2를 나타낸다.
- [0331] 도 33b에 도시한 트랜지스터는, 기판(3100)과, 기판(3100) 위에 형성된 절연층(3102)과, 절연층(3102)의 주변에 설치된 매립 절연물(3104)과, 절연층(3102) 및 매립 절연물(3104) 위에 형성된 고저항 영역(3106a) 및 저저항 영역(3106b)을 갖는 산화물 반도체층(3106)과, 산화물 반도체층(3106) 위에 형성된 게이트 절연층(3108)과, 게이트 절연층(3108)을 통하여 산화물 반도체층(3106)과 중첩하여 설치된 게이트 전극(3110)과, 게이트 전극(3110)의 측면과 접하여 형성된 사이드 월 절연층(3112)과, 적어도 저저항 영역(3106b)과 접하여 설치된 한 쌍의 전극(3114)과, 적어도 산화물 반도체층(3106), 게이트 전극(3110) 및 한 쌍의 전극(3114)을 덮어서 형성된 층간 절연막(3116)과, 층간 절연막(3116)에 형성된 개구부를 통하여 적어도 한 쌍의 전극(3114)의 한쪽과 접촉하여 설치된 배선(3118)을 갖는다.
- [0332] 또한, 도시하지 않지만, 층간 절연막(3116) 및 배선(3118)을 덮어서 형성된 보호막을 갖고 있어도 상관없다. 상기 보호막을 형성함으로써, 층간 절연막(3116)의 표면 전도에 기인하여 발생하는 미소 누설 전류를 저감할 수 있고, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0333] (실시 형태 8)

- [0334] 본 실시 형태에서는, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터의 예를 나타낸다. 본 실시 형태에 기재하는 트랜지스터는 상기 실시 형태에서 나타내는 트랜지스터(162)로서 적합하게 사용할 수 있다.
- [0335] 본 실시 형태에서는, 상기와는 다른 In-Sn-Zn-O막을 산화물 반도체층에 사용한 트랜지스터의 다른 일례에 대하여 나타낸다.
- [0336] 도 34는, 본 실시 형태에 따라 제작한 트랜지스터의 구조를 도시하는 상면도 및 단면도이다. 도 34a는 트랜지스터의 상면도이다. 또한, 도 34b는 도 34a의 일점쇄선C1-C2에 대응하는 단면도이다.
- [0337] 도 34b에 도시한 트랜지스터는, 기판(3600)과, 기판(3600) 위에 형성된 절연층(3602)과, 절연층(3602) 위에 형성된 산화물 반도체층(3606)과, 산화물 반도체층(3606)과 접하는 한 쌍의 전극(3614)과, 산화물 반도체층(3606) 및 한 쌍의 전극(3614) 위에 형성된 게이트 절연층(3608)과, 게이트 절연층(3608)을 통하여 산화물 반도체층(3606)과 중첩하여 설치된 게이트 전극(3610)과, 게이트 절연층(3608) 및 게이트 전극(3610)을 덮어서 형성된 층간 절연막(3616)과, 층간 절연막(3616)에 형성된 개구부를 통하여 한 쌍의 전극(3614)과 접속하는 배선(3618)과, 층간 절연막(3616) 및 배선(3618)을 덮어서 형성된 보호막(3620)을 갖는다.
- [0338] 기판(3600)으로서는 유리 기판을, 절연층(3602)으로서는 산화 실리콘막을, 산화물 반도체층(3606)으로서는 In-Sn-Zn-O막을, 한 쌍의 전극(3614)으로서는 텅스텐막을, 게이트 절연층(3608)으로서는 산화 실리콘막을, 게이트 전극(3610)으로서는 질화 탄탈막과 텅스텐막의 적층 구조를, 층간 절연막(3616)으로서는 산화 질화 실리콘막과 폴리이미드 막의 적층 구조를, 배선(3618)으로서는 티타늄막, 알루미늄막, 티타늄막이 이 순으로 형성된 적층 구조를, 보호막(3620)으로서는 폴리이미드 막을, 각각 사용했다.
- [0339] 또한, 도 34a에 도시한 구조의 트랜지스터에 있어서, 게이트 전극(3610)과 한 쌍의 전극(3614)의 중첩하는 폭을 Lov라고 칭한다. 마찬가지로, 산화물 반도체층(3606)에 대한 한 쌍의 전극(3614)의 튀어나온 부분을 dW라고 칭한다.
- [0340] [실시에 1]
- [0341] In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는, 그 산화물 반도체를 형성할 때에 기판을 가열하여 성막하는 것, 혹은 산화물 반도체층을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다. 또한, 주성분이란 조성비로 5atomic% 이상 포함되는 원소를 의미한다.
- [0342] In, Sn, Zn을 주성분으로 하는 산화물 반도체층의 성막 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능하게 된다. 또한, 트랜지스터의 임계값 전압을 플러스 시프트시켜, 노멀리 오프화시키는 것이 가능하게 된다.
- [0343] 예를 들어, 도 26a 내지 c는, In, Sn, Zn을 주성분으로 하고, 채널 길이(L)이 3 μ m, 채널 폭(W)이 10 μ m인 산화물 반도체층과, 두께 100nm의 게이트 절연층을 사용한 트랜지스터의 특성이다. 또한, V_d는 10V로 했다.
- [0344] 도 26a는 기판을 의도적으로 가열하지 않고 스퍼터링법으로 In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성했을 때의 트랜지스터 특성이다. 이때 전계 효과 이동도는 18.8cm²/Vsec이 얻어지고 있다. 한편, 기판을 의도적으로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성하면 전계 효과 이동도를 향상시키는 것이 가능하게 된다. 도 26b는 기판을 200℃로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성했을 때의 트랜지스터 특성을 나타내지만, 전계 효과 이동도는 32.2cm²/Vsec이 얻어지고 있다.
- [0345] 전계 효과 이동도는, In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 형성한 후에 열처리를 함으로써, 더 높일 수 있다. 도 26c는, In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 200℃에서 스퍼터링 성막한 후, 650℃에서 열처리를 했을 때의 트랜지스터 특성을 나타낸다. 이때 전계 효과 이동도는 34.5cm²/Vsec이 얻어지고 있다.
- [0346] 기판을 의도적으로 가열함으로써 스퍼터링 성막 중의 수분이 산화물 반도체층 중으로 침투되는 것을 저감하는 효과를 기대할 수 있다. 또한, 성막 후에 열처리를 함으로써, 산화물 반도체층으로부터 수소나 수산기 혹은 수분을 방출시켜 제거할 수 있고, 상기와 같이 전계 효과 이동도를 향상시킬 수 있다. 이러한 전계 효과 이동도의 향상은, 탈수화·탈수소화에 의한 불순물의 제거뿐만 아니라, 고밀도화에 의해 원자간 거리가 짧아지기 때문이라고도 추정된다. 또한, 산화물 반도체로부터 불순물을 제거하여 고순도화함으로써 결정화를 도모할 수 있다. 이렇게량 순도화된 비단결정 산화물 반도체는, 이상적으로는 100cm²/Vsec를 초과하는 전계 효과 이동도를 실현하는 것도 가능하게 된다고 추정된다.

- [0347] In, Sn, Zn을 주성분으로 하는 산화물 반도체에 산소 이온을 주입하고, 열처리에 의해 상기 산화물 반도체에 포함되는 수소나 수산기 혹은 수분을 방출시켜, 그 열처리와 동시에 또는 그 후의 열처리에 의해 산화물 반도체를 결정화시켜도 좋다. 이러한 결정화 혹은 재결정화의 처리에 의해 결정성이 좋은 비단결정 산화물 반도체를 얻을 수 있다.
- [0348] 기판을 의도적으로 가열하여 성막하는 것 및 / 또는 성막 후에 열처리하는 것의 효과는, 전계 효과 이동도의 향상뿐만 아니라, 트랜지스터의 노멀리 오프화를 도모하는 것에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성된 In, Sn, Zn을 주성분으로 하는 산화물 반도체층을 채널 형성 영역으로 한 트랜지스터는, 임계값 전압이 마이너스 시프트하게 되는 경향이 있다. 그러나, 기판을 의도적으로 가열하여 형성된 산화물 반도체층을 사용한 경우, 이 임계값 전압의 마이너스 시프트화는 해소된다. 즉, 임계값 전압은 트랜지스터가 노멀리 오프 상태로 되는 방향으로 작용하고, 이러한 경향은 도 26a과 도 26b의 대비로부터도 확인할 수 있다.
- [0349] 또한, 임계값 전압은 In, Sn 및 Zn의 비율을 바꿈으로써도 제어하는 것이 가능하고, 조성비로서 In:Sn:Zn=2:1:3으로 함으로써 트랜지스터의 노멀리 오프화를 기대할 수 있다. 또한, 타겟의 조성비를 In:Sn:Zn=2:1:3으로 함으로써 결정성이 높은 산화물 반도체층을 얻을 수 있다.
- [0350] 의도적인 기판 가열 온도 혹은 열 처리 온도는, 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이고, 보다 고온에서 성막하거나 혹은 열 처리함으로써 트랜지스터의 노멀리 오프화를 도모하는 것이 가능하게 된다.
- [0351] 또한, 의도적으로 기판을 가열한 성막 및 / 또는 성막 후에 열처리를 함으로써, 게이트 바이어스·스트레스에 대한 안정성을 높일 수 있다. 예를 들어, 2MV/cm, 150℃, 1시간 인가의 조건에 있어서, 드리프트가 각각 ±1.5V 미만, 바람직하게는 1.0V 미만을 얻을 수 있다.
- [0352] 실제로, 산화물 반도체층 성막 후에 가열 처리를 행하지 않은 시료 1과, 650℃의 가열 처리를 행한 시료 2의 트랜지스터에 대하여 BT 시험을 행했다.
- [0353] 우선 기판 온도를 25℃로 하고, V_d 를 10V로 하고, 트랜지스터의 V_g-I_d 특성의 측정을 행했다. 이어서, 기판 온도를 150℃로 하고, V_d 를 0.1V로 했다. 이어서, 게이트 절연층에 인가되는 전계 강도가 2MV/cm로 되도록 V_g 에 20V를 인가하고, 그대로 1시간 유지했다. 이어서, V_g 를 0V로 했다. 이어서, 기판 온도 25℃로 하고, V_d 를 10V로 하고, 트랜지스터의 V_g-I_d 측정을 행했다. 이것을 플러스 BT 시험이라고 칭한다.
- [0354] 마찬가지로, 우선 기판 온도를 25℃로 하고, V_d 를 10V로 하고, 트랜지스터의 V_g-I_d 특성의 측정을 행했다. 이어서, 기판 온도를 150℃로 하고, V_d 를 0.1V로 했다. 이어서, 게이트 절연층에 인가되는 전계 강도가 -2MV/cm로 되도록 V_g 에 -20V를 인가하고, 그대로 1시간 유지했다. 이어서, V_g 를 0V로 했다. 이어서, 기판 온도 25℃로 하고, V_d 를 10V로 하고, 트랜지스터의 V_g-I_d 측정을 행했다. 이것을 마이너스 BT 시험이라고 칭한다.
- [0355] 시료 1의 플러스 BT 시험의 결과를 도 27a에, 마이너스 BT 시험의 결과를 도 27b에 나타낸다. 또한, 시료 2의 플러스 BT 시험의 결과를 도 28a에, 마이너스 BT 시험의 결과를 도 28b에 나타낸다.
- [0356] 시료 1의 플러스 BT 시험 및 마이너스 BT 시험에 의한 임계값 전압의 변동은, 각각 1.80V 및 -0.42V이었다. 또한, 시료 2의 플러스 BT 시험 및 마이너스 BT 시험에 의한 임계값 전압의 변동은, 각각 0.79V 및 0.76V이었다. 시료 1 및 시료 2의 모두, BT 시험 전후에 있어서의 임계값 전압의 변동이 작아, 신뢰성이 높은 것을 알았다.
- [0357] 열처리는 산소 분위기 중에서 행할 수 있지만, 우선 질소 혹은 불활성 가스, 또는 감압 하에서 열처리를 행하고 나서 산소를 포함하는 분위기 중에서 열처리를 행해도 된다. 최초에 탈수화·탈수소화를 행하고 나서 산소를 산화물 반도체에 가함으로써, 열처리의 효과를 보다 높일 수 있다. 또한, 후에 산소를 부가하기 위해서는, 산소 이온을 전계로 가속하여 산화물 반도체층에 주입하는 방법을 적용해도 좋다.
- [0358] 산화물 반도체 중 및 그 산화물 반도체와 접하는 막의 계면에는, 산소 결손에 의한 결함이 생성되기 쉽지만, 이러한 열처리에 의해 산화물 반도체 중에 산소를 과잉으로 포함시킴으로써, 정상적으로 생성되는 산소 결손을 과잉의 산소에 의해 보상하는 것이 가능하게 된다. 과잉 산소는 주로 격자간에 존재하는 산소이며, 그 산소 농도는 $1 \times 10^{16} / \text{cm}^3$ 이상 $2 \times 10^{20} / \text{cm}^3$ 이하로 하면, 결정에 왜곡 등을 주지 않고 산화물 반도체 중에 포함시킬 수 있다.

- [0359] 또한, 열처리에 의해 산화물 반도체에 결정이 적어도 일부에 포함되도록 함으로써, 보다 안정된 산화물 반도체층을 얻을 수 있다. 예를 들어, 조성비In:Sn:Zn=1:1:1의 타깃을 사용하여, 기판을 의도적으로 가열하지 않고 스퍼터링 성막한 산화물 반도체층은, X선 회절(XRD: X-Ray Diffraction)로 헬로(halo) 패턴이 관측된다. 이 성막된 산화물 반도체층을 열처리함으로써 결정화시킬 수 있다. 열 처리 온도는 임의이지만, 예를 들어 650°C의 열처리를 행함으로써, X선 회절에 의해 명확한 회절 피크를 관측할 수 있다.
- [0360] 실제로, In-Sn-Zn-O막의 XRD 분석을 했다. XRD 분석에는, BrukerAXS사제 X선 회절 장치 D8 ADVANCE를 사용하여, Out-of-Plane법으로 측정했다.
- [0361] XRD 분석을 한 시료로 하고, 시료 A 및 시료 B를 준비했다. 이하에 시료 A 및 시료 B의 제작 방법을 설명한다.
- [0362] 탈수소화 처리된 석영 기판 위에 In-Sn-Zn-O막을 100nm의 두께로 성막했다.
- [0363] In-Sn-Zn-O막은, 스퍼터링 장치를 사용하여, 산소 분위기에서 전력을 100W(DC)로서 성막했다. 타깃은, In:Sn:Zn=1:1:1 [원자수비]의 In-Sn-Zn-O 타깃을 사용했다. 또한, 성막 시의 기판 가열 온도는 200°C로 했다. 이와 같이 하여 제작한 시료를 시료 A로 했다.
- [0364] 이어서, 시료 A와 같은 방법으로 제작한 시료에 대하여 가열 처리를 650°C의 온도에서 행했다. 가열 처리는, 처음에 질소 분위기에서 1시간의 가열 처리를 행하고, 온도를 낮추지 않고 산소 분위기에서 1시간의 가열 처리를 더 행하였다. 이와 같이 하여 제작한 시료를 시료 B로 했다.
- [0365] 도 29에 시료 A 및 시료 B의 XRD 스펙트럼을 나타낸다. 시료 A에서는, 결정 유래의 피크가 관측되지 않았지만, 시료 B에서는, 2θ가 35deg 근방 및 37deg 내지 38deg에 결정 유래의 피크가 관측되었다.
- [0366] 이와 같이, In, Sn, Zn을 주성분으로 하는 산화물 반도체는 성막 시에 기판을 의도적으로 가열하는 것 및 / 또는 성막 후에 열처리함으로써 트랜지스터의 특성을 향상시킬 수 있다.
- [0367] 기판 가열이나 열처리는, 산화물 반도체에 있어서 악성의 불순물인 수소나 수산기를 막 중에 포함시키지 않도록 하는 것, 혹은 막 내에서 제거하는 작용이 있다. 즉, 산화물 반도체 중에서 도너 불순물이 되는 수소를 제거함으로써 고순도화를 도모할 수 있고, 그것에 의하여 트랜지스터의 노멀리 오프화를 도모할 수 있고, 산화물 반도체가 고순도화됨으로써 오프 전류를 1aA/μm 이하로 할 수 있다. 여기서, 상기 오프 전류값의 단위는, 채널 폭 1μm당의 전류값을 나타낸다.
- [0368] 구체적으로는, 도 30에 도시한 바와 같이 오프 전류는 기판 온도가 125°C의 경우에는 1aA/μm(1×10⁻¹⁸ A/μm) 이하, 85°C의 경우에는 100zA/μm(1×10⁻¹⁹ A/μm) 이하, 실온(27°C)의 경우에는 1zA/μm(1×10⁻²¹ A/μm) 이하로 할 수 있다. 바람직하게는, 오프 전류는 125°C에서 0.1aA/μm(1×10⁻¹⁹ A/μm) 이하로, 85°C에서 10zA/μm(1×10⁻²⁰ A/μm)이하로, 실온에 있어서 0.1zA/μm(1×10⁻²² A/μm) 이하로 할 수 있다.
- [0369] 무엇보다, 산화물 반도체층의 성막 시에 수소나 수분이 막 중에 혼입되지 않도록, 성막실 외부로부터의 누설이나 성막실 내의 내벽으로부터의 탈가스를 충분히 억제, 스퍼터 가스의 고순도화를 도모하는 것이 바람직하다. 예를 들어, 스퍼터 가스는 수분이 막 중에 포함되지 않도록 노점 -70°C 이하인 가스를 사용하는 것이 바람직하다. 또한, 타깃 그 자체에 수소나 수분 등의 불순물이 포함되지 않도록, 고순도화된 타깃을 사용하는 것이 바람직하다. In, Sn, Zn을 주성분으로 하는 산화물 반도체는 열처리에 의해 막 중의 수분을 제거할 수 있지만, In, Ga, Zn을 주성분으로 하는 산화물 반도체와 비교하여 수분의 방출 온도가 높기 때문에, 바람직하게는 처음부터 수분이 포함되지 않는 막을 형성해 두는 것이 바람직하다.
- [0370] 또한, 산화물 반도체층 성막 후에 650°C의 가열 처리를 행한 시료의 트랜지스터에 있어서, 기판 온도와 전기적 특성의 관계에 대하여 평가했다.
- [0371] 측정에 사용한 트랜지스터는, 채널 길이(L)가 3μm, 채널 폭(W)이 10μm, Lov가 0μm, dW가 0μm이다. 또한, V_{ds}는 10V로 했다. 또한, 기판 온도는 -40°C, -25°C, 25°C, 75°C, 125°C 및 150°C에서 행했다. 여기서, 트랜지스터에 있어서, 게이트 전극과 한 쌍의 전극의 중첩하는 폭을 Lov라고 칭하고, 산화물 반도체층에 대한 한 쌍의 전극의 튀어나움을 dW라고 칭한다.
- [0372] 도 31에, I_d(실선) 및 전계 효과 이동도(점선)의 V_g 의존성을 나타낸다. 또한, 도 32a에 기판 온도와 임계값 전압의 관계를, 도 32b에 기판 온도와 전계 효과 이동도의 관계를 나타낸다.

- [0373] 도 32a로부터, 기판 온도가 높을수록 임계값 전압은 낮아지는 것을 알았다. 또한, 그 범위는 -40℃ 내지 150℃에서 1.09V 내지 -0.23V이었다.
- [0374] 또한, 도 32b로부터, 기판 온도가 높을수록 전계 효과 이동도가 낮아지는 것을 알았다. 또한, 그 범위는 -40℃ 내지 150℃에서 36cm²/Vs 내지 32cm²/Vs이었다. 따라서, 상술한 온도 범위에 있어서 전기적 특성의 변동이 작은 것을 알았다.
- [0375] 상기와 같은 In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터에 의하면, 오프 전류를 1aA/μm 이하로 유지하면서, 전계 효과 이동도를 30cm²/Vsec 이상, 바람직하게는 40cm²/Vsec 이상, 보다 바람직하게는 60cm²/Vsec 이상으로 하고, LSI에서 요구되는 온 전류의 값을 만족시킬 수 있다. 예를 들어, L/W=33nm/40nm의 FET에서, 게이트 전압 2.7V, 드레인 전압 1.0V일 때 12μA 이상의 온 전류를 흘릴 수 있다. 또한 트랜지스터의 동작에 요구되는 온도 범위에서도, 충분한 전기적 특성을 확보할 수 있다. 이러한 특성이면, Si 반도체로 만들어지는 집적 회로 중에 산화물 반도체로 형성되는 트랜지스터를 혼재해도, 동작 속도를 희생으로 하지 않고 새로운 기능을 갖는 집적 회로를 실현할 수 있다.

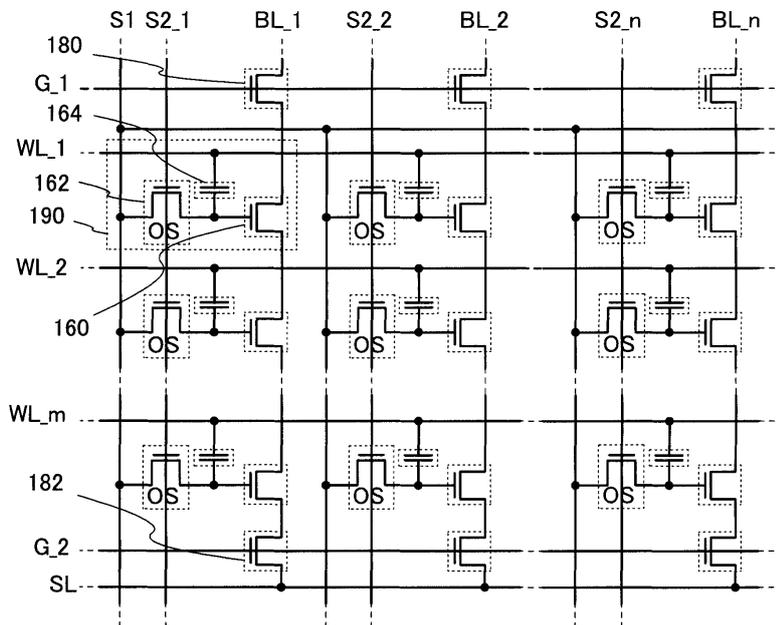
부호의 설명

- [0376] 100, 3100, 3600: 기판
- 102: 보호층
- 104, 2103a, 2103b, 2103c: 반도체 영역
- 106: 소자 분리 절연층
- 108, 108a, 146, 402, 608, 2104, 3108, 3608: 게이트 절연층
- 110, 110a, 148, 2105, 3110, 3610: 게이트 전극
- 116, 116a, 116b: 채널 형성 영역
- 120, 120a, 120b: 불순물 영역
- 122: 금속층
- 124, 124a, 124b: 금속 화합물 영역
- 126, 152, 156, 170, 3114, 3614: 전극
- 128, 140, 150, 154, 172, 400, 407, 409, 427, 437, 2101, 3102, 3602: 절연층
- 142a, 2108a: 소스 전극
- 142b, 2108b: 드레인 전극
- 144, 403, 453, 3106, 3606: 산화물 반도체층
- 158, 171, 3118, 3618: 배선
- 160, 162, 410, 420, 430, 440, 441, 442: 트랜지스터
- 164: 용량 소자
- 180, 182: 선택 트랜지스터
- 190: 메모리 셀
- 250: 기판 온도
- 401: 게이트 전극층
- 404a, 404b: 산화물 도전층
- 405a: 소스 전극층
- 405b: 드레인 전극층

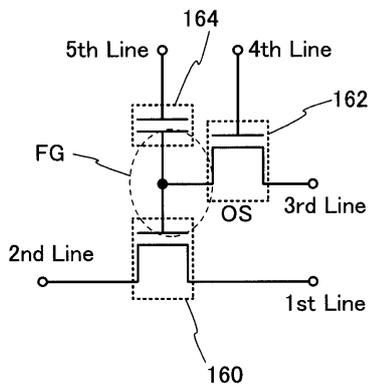
436a, 436b: 배선층
450a, 450b: 결정성 산화물 반도체층
701, 702, 721, 723, 740, 741, 771: 하우스징
703, 713, 725, 727, 765, 767, 773: 표시부
704: 키보드
711, 761: 본체
712: 스타일러스
714: 조작 버튼
715: 외부 인터페이스
720: 전자 서적
731: 전원
733, 745: 조작 키
735, 743: 스피커
737: 축부
742: 표시 패널
744: 마이크روف론
746: 포인팅 디바이스
747: 카메라용 렌즈
748: 외부 접속 단자
749: 태양 전지 셀
750: 외부 메모리 슬롯
763: 접안부
764: 조작 스위치
766: 배터리
770: 텔레비전 장치
775: 스탠드
780: 리모콘 조작기
2102, 3104: 매립 절연물
2106a, 2106b, 3112: 사이드 월 절연층
2107: 절연물
3106a: 고저항 영역
3106b: 저저항 영역
3116, 3616: 층간 절연막
3620: 보호막

도면

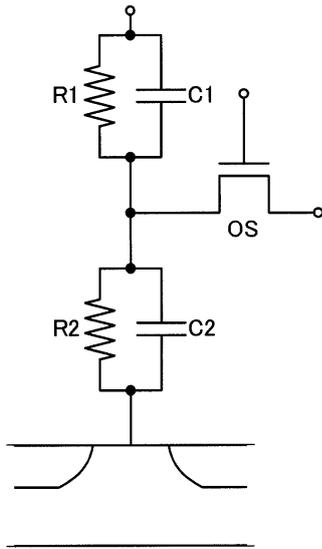
도면1



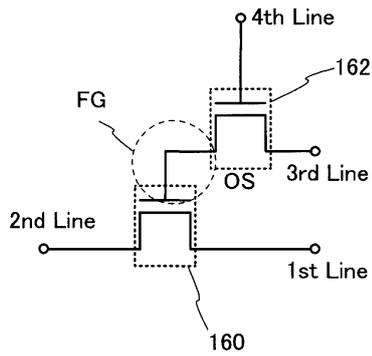
도면2aa



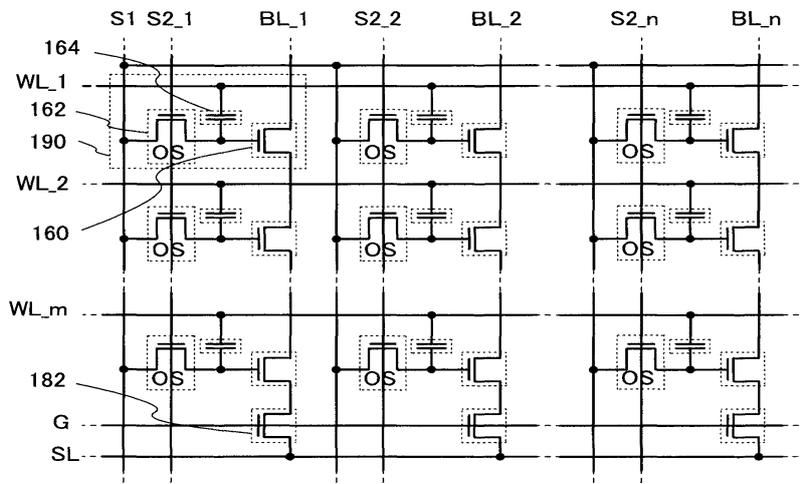
도면2ab



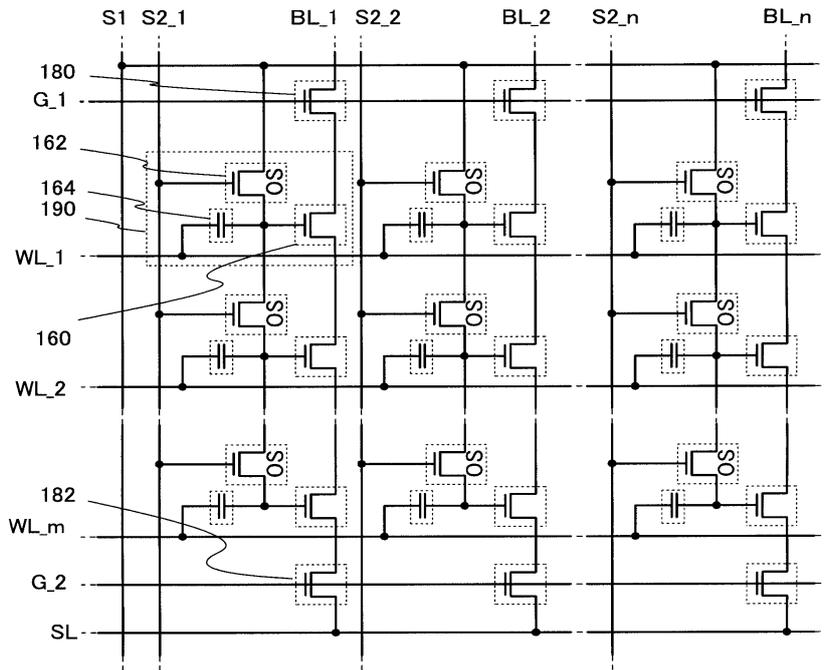
도면2b



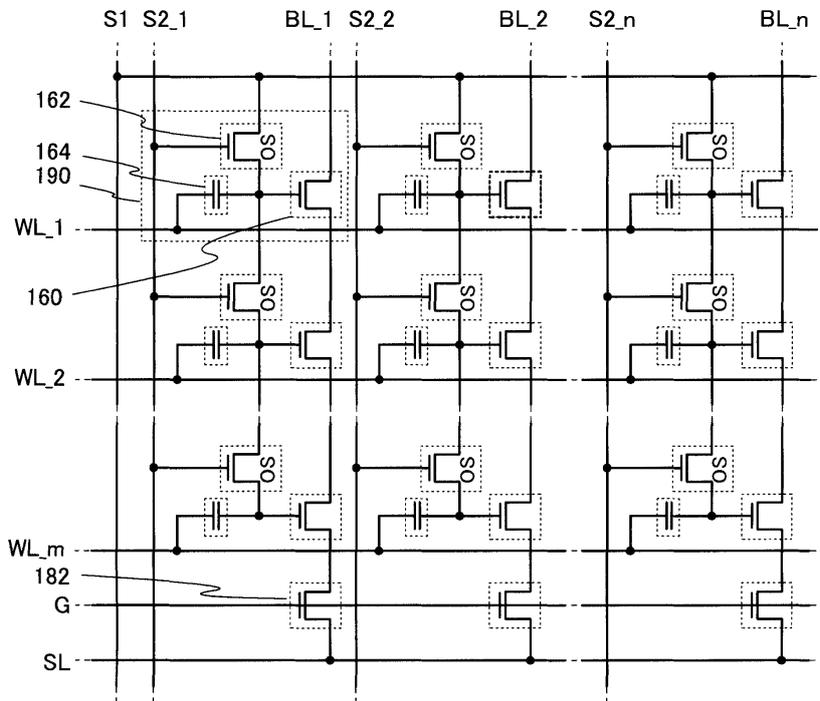
도면3



도면4



도면5



도면6

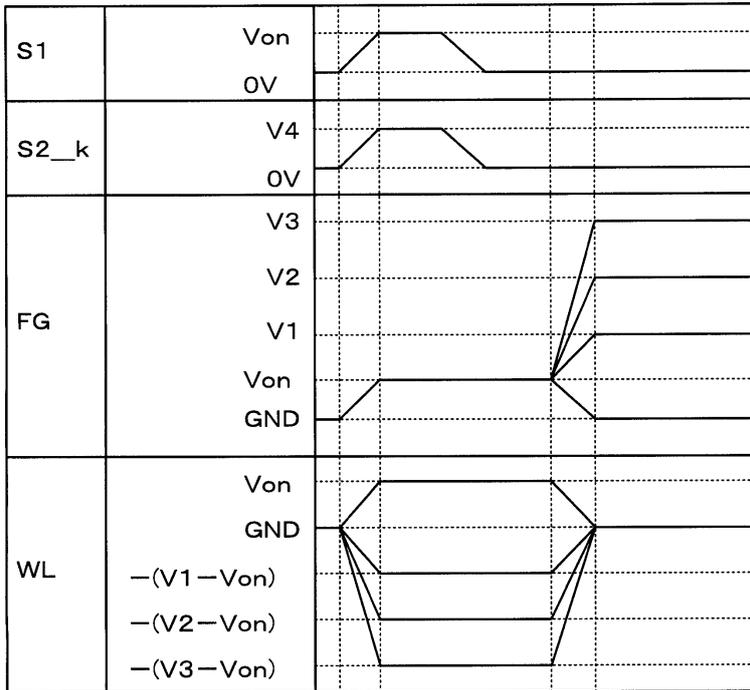
제k 열 기입
 제k 열 제1 행 "1"
 제k 열 제2 행 "2"
 제k 열 제3 행 "3"
 제k 열 제4 내지 제m 행 "0"

S1	Von 0V	
S2_k	V4 0V	
WL_1	0V $-(V1-Von)$	
WL_2	0V $-(V2-Von)$	
WL_3	0V $-(V3-Von)$	
WL_4~m	Von 0V	
G_1	V4 0V	
G_2	V4 0V	

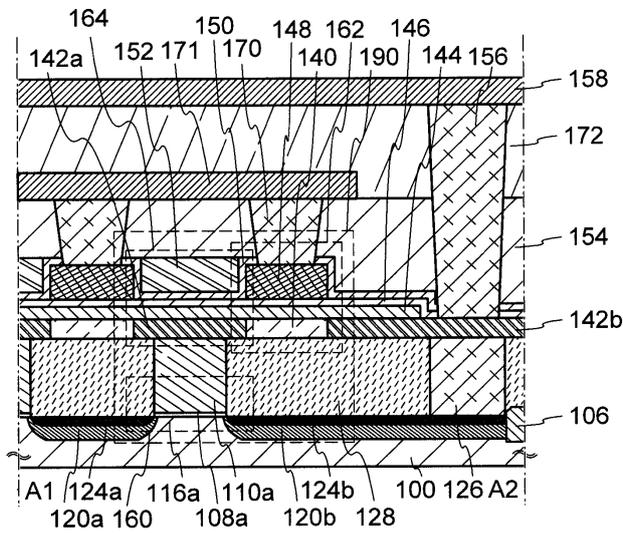
도면7

S1	Von 0V	제k 열 제l 행 "1" 제k 열 제2 행 "2" 제k 열 제3 행 "3" 제k 열 제4 내지 제m 행 "0"
S2_1~m	V4 0V	
WL_i	Von GND -(V1-Von) -(V2-Von)	
관독	V5 0V	
WL (제i 행이 아님)	Von 0V	
G_1	V4 0V	데이터 "0" 데이터 "1" 데이터 "2" 데이터 "3"
G_2	V4 0V	

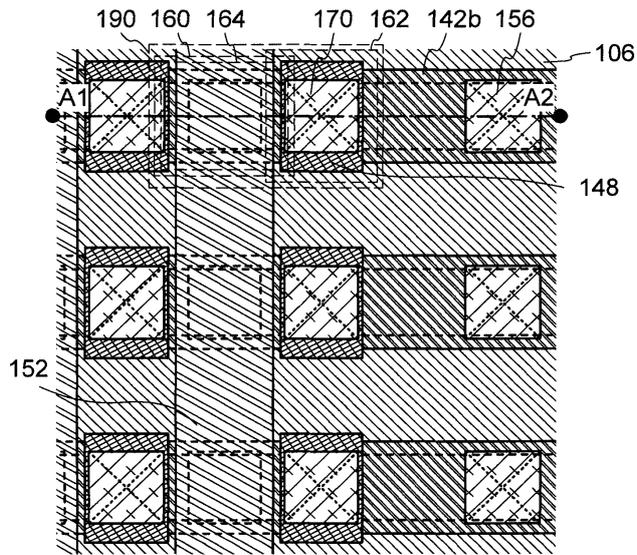
도면8



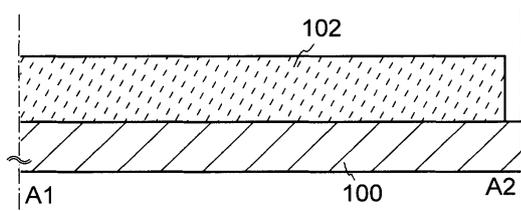
도면9a



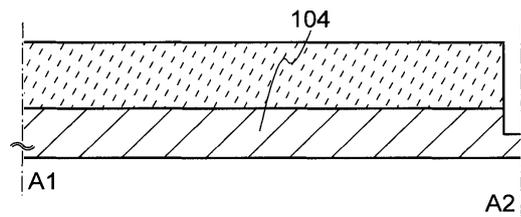
도면9b



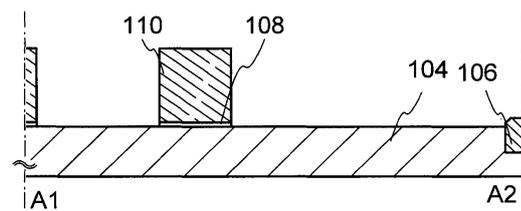
도면10a



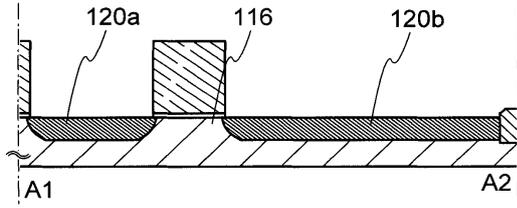
도면10b



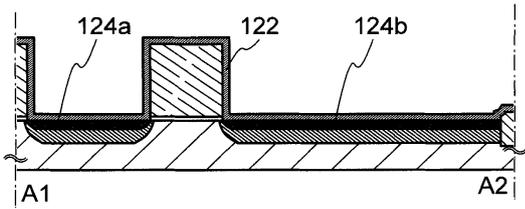
도면10c



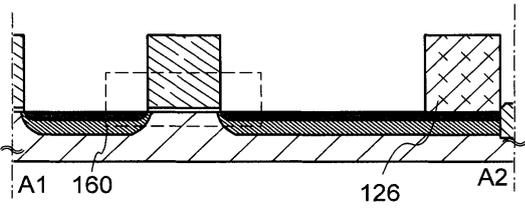
도면10d



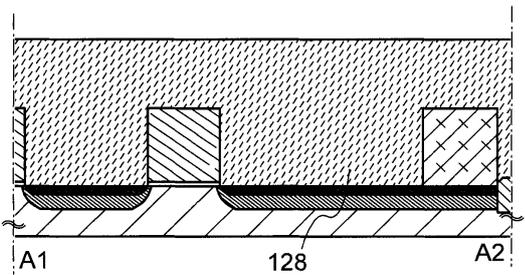
도면11a



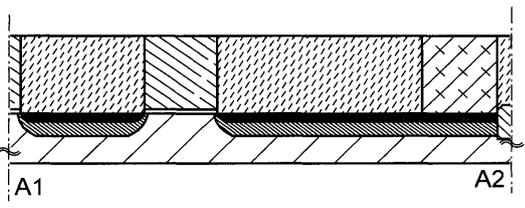
도면11b



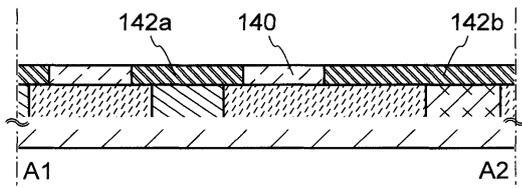
도면11c



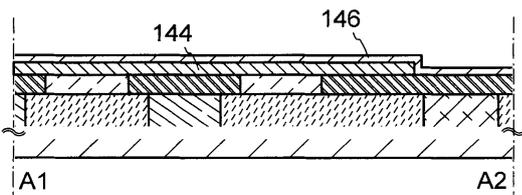
도면11d



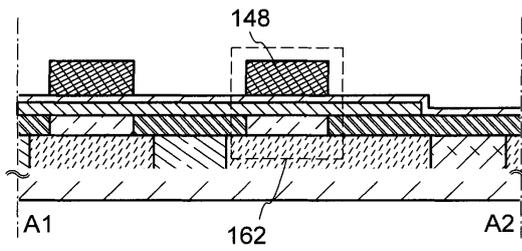
도면12a



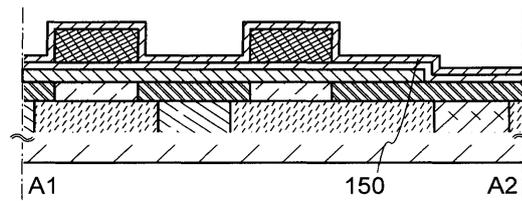
도면12b



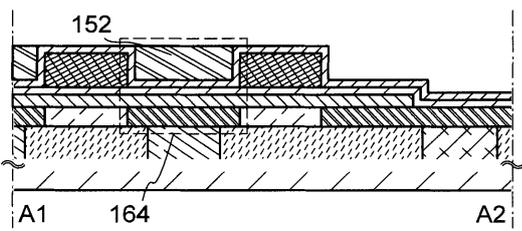
도면12c



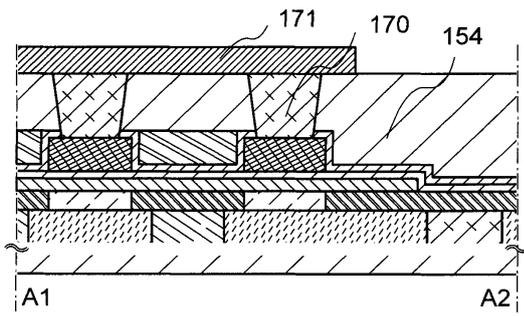
도면12d



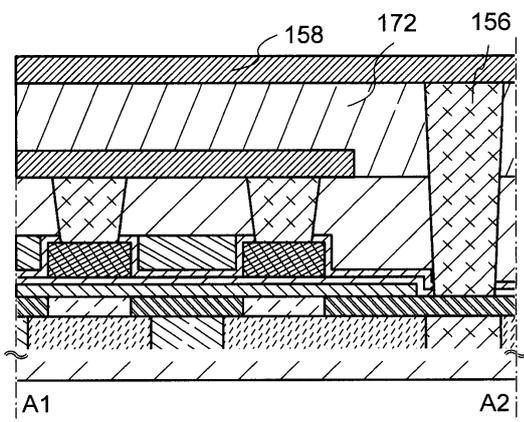
도면13a



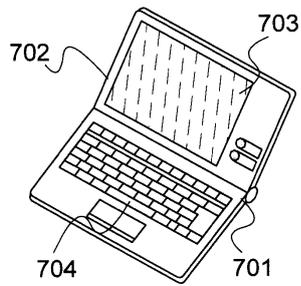
도면13b



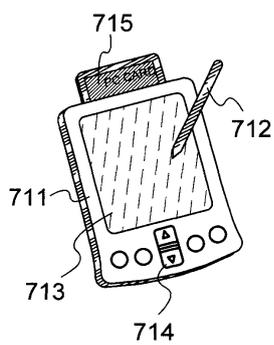
도면13c



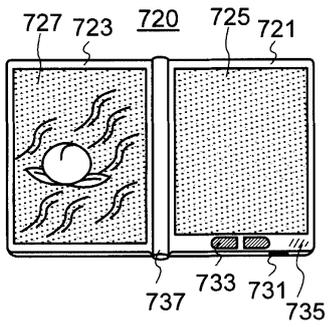
도면14a



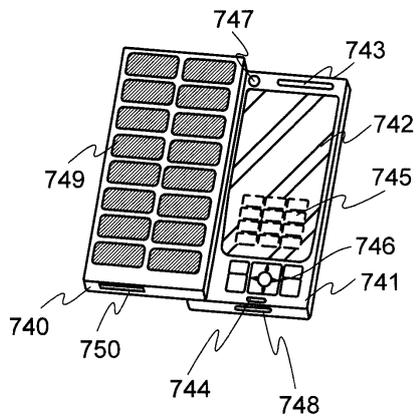
도면14b



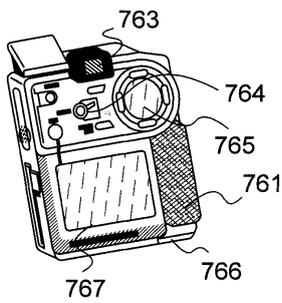
도면14c



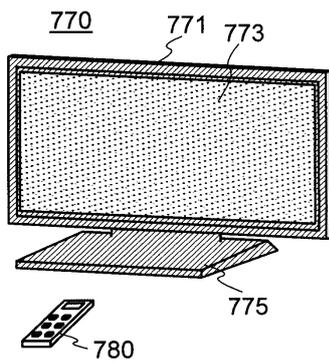
도면14d



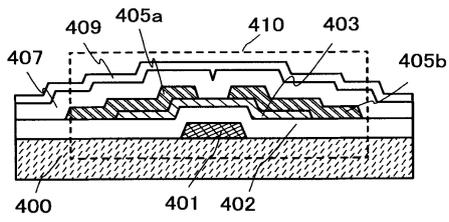
도면14e



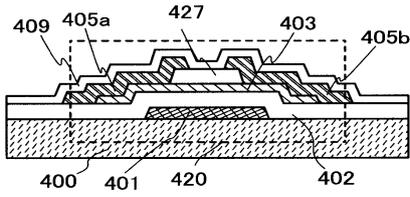
도면14f



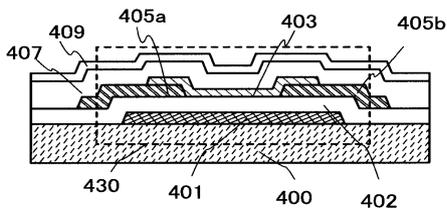
도면15a



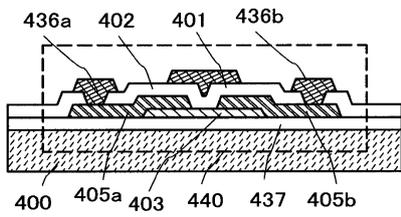
도면15b



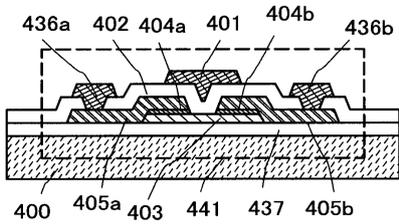
도면15c



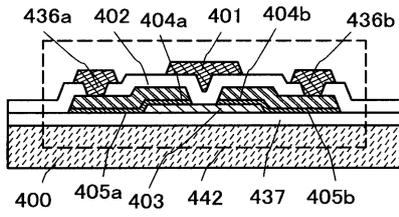
도면15d



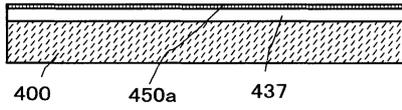
도면16a



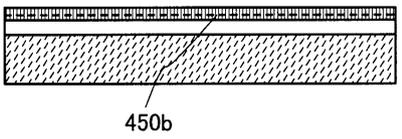
도면16b



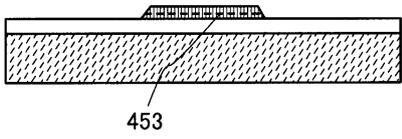
도면17a



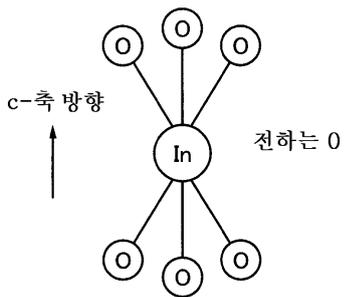
도면17b



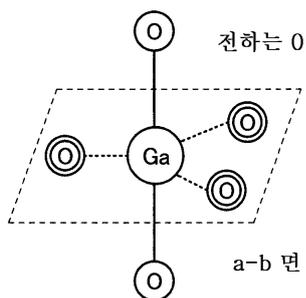
도면17c



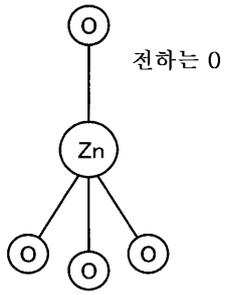
도면18a



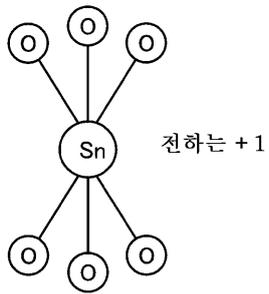
도면18b



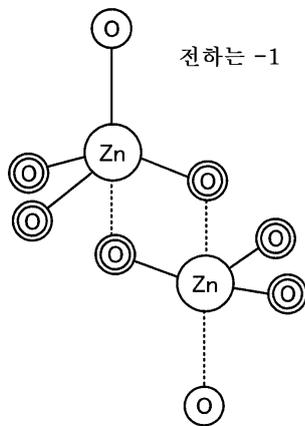
도면18c



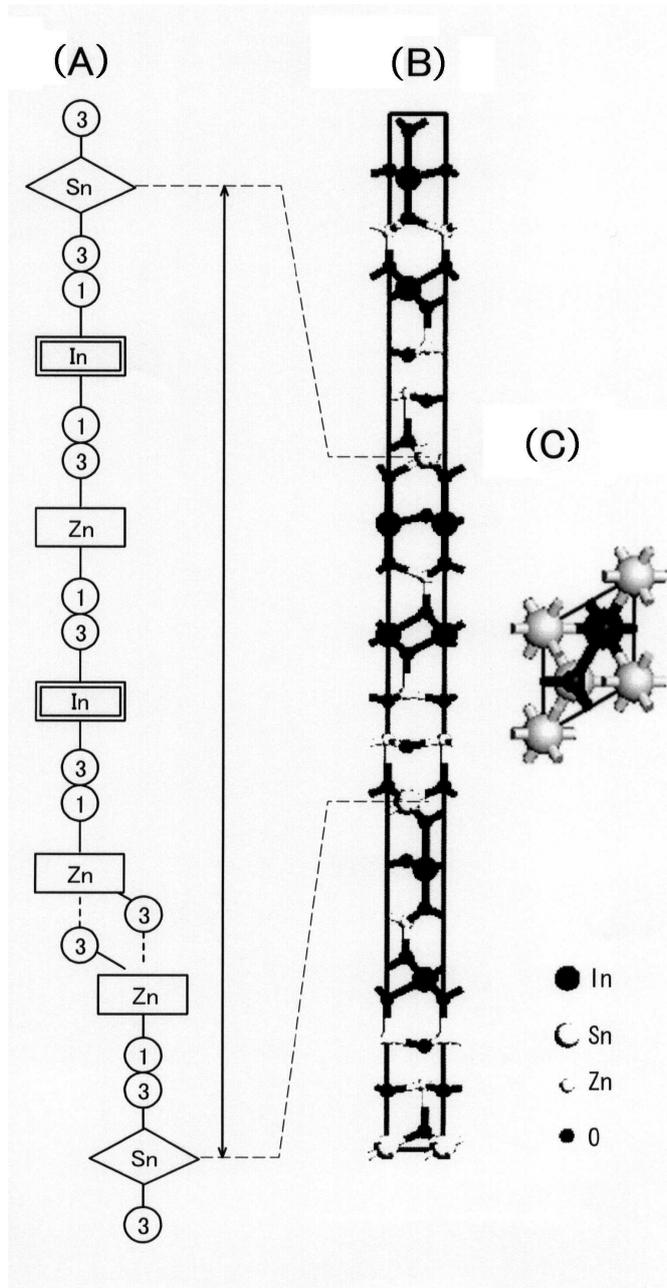
도면18d



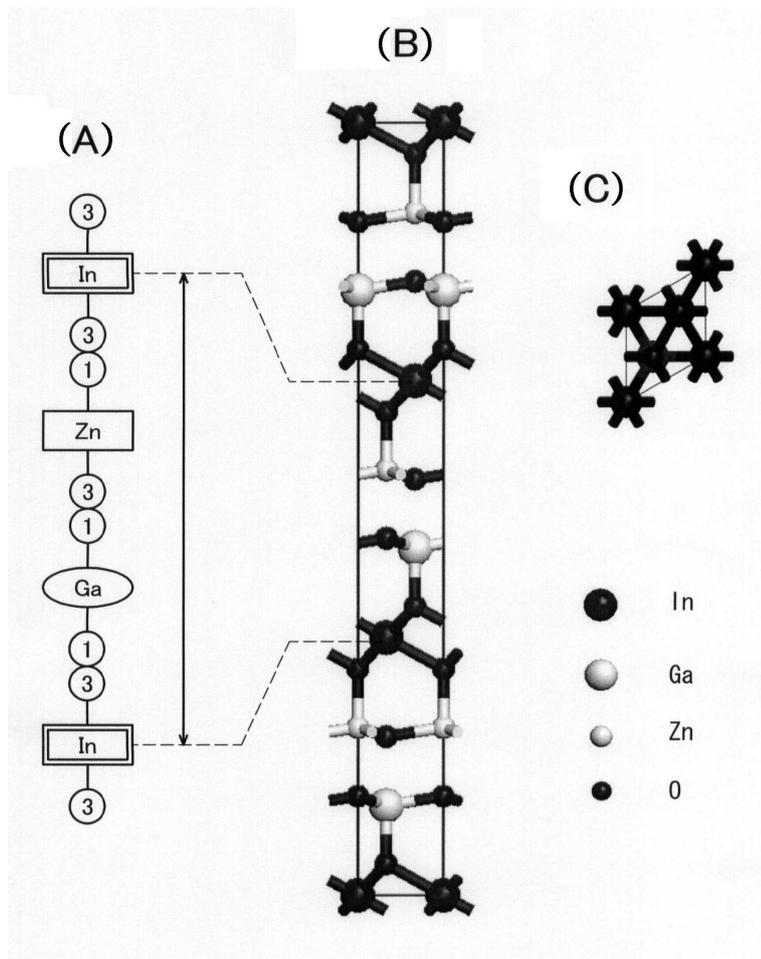
도면18e



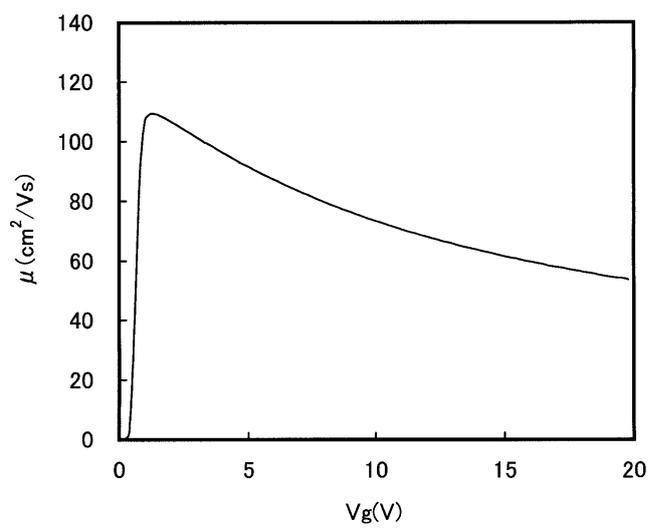
도면19



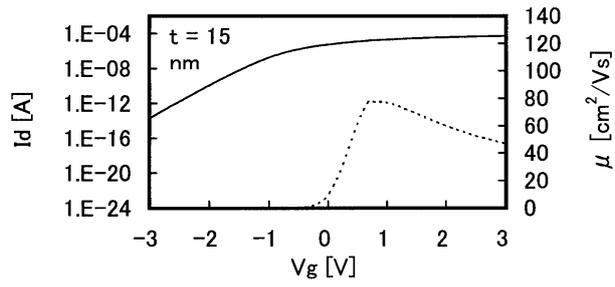
도면20



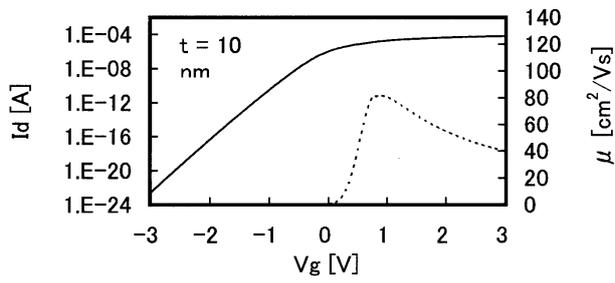
도면21



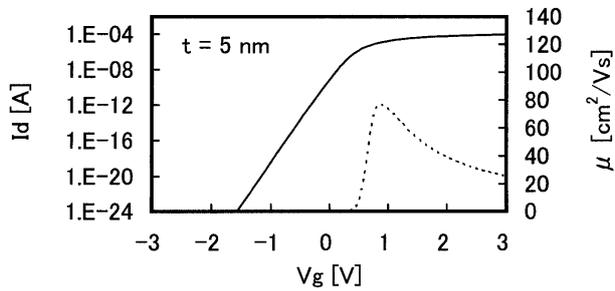
도면22a



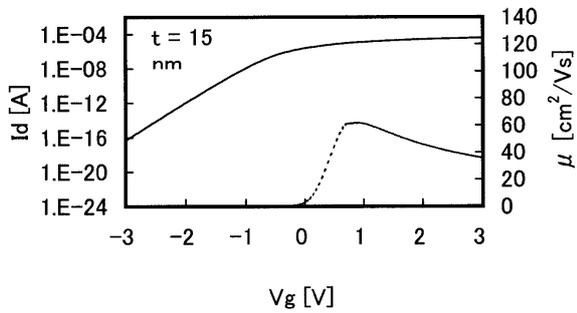
도면22b



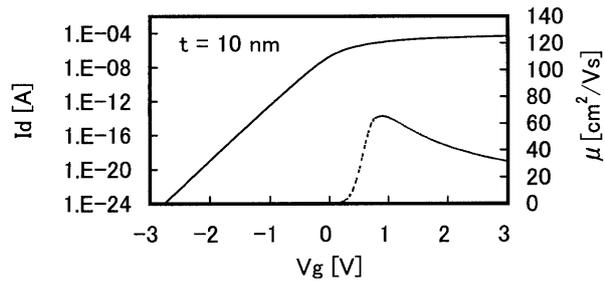
도면22c



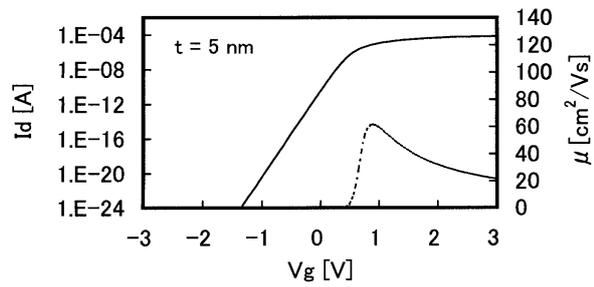
도면23a



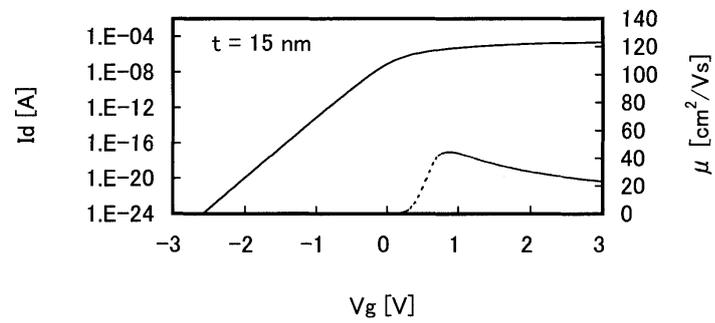
도면23b



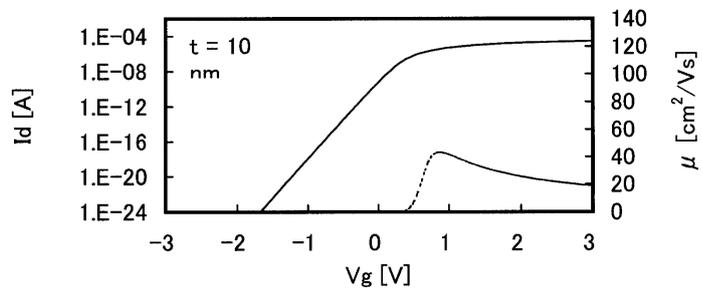
도면23c



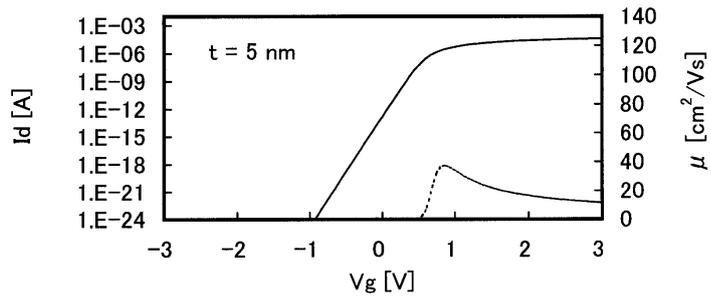
도면24a



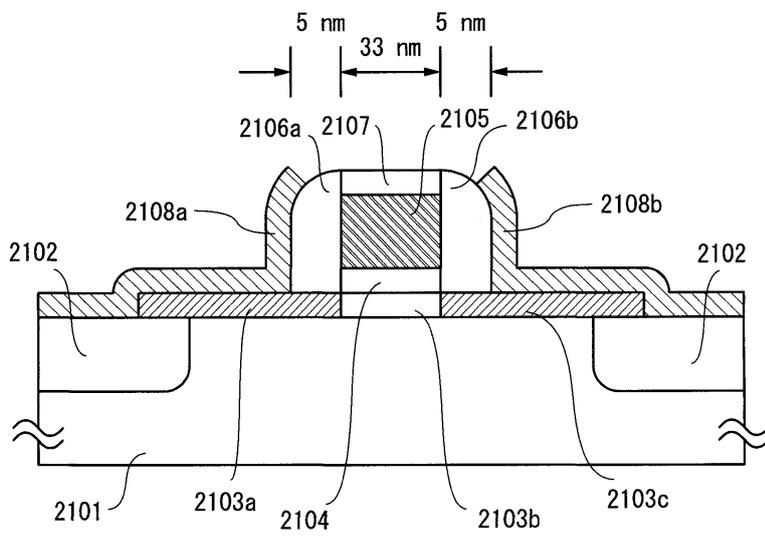
도면24b



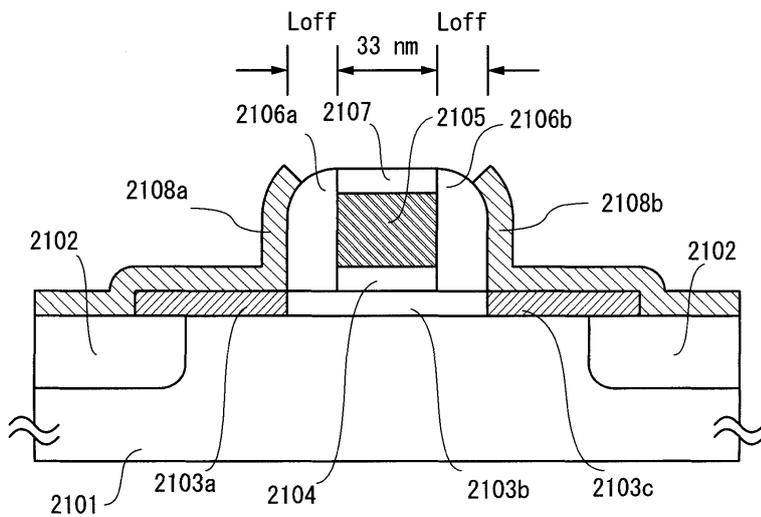
도면24c



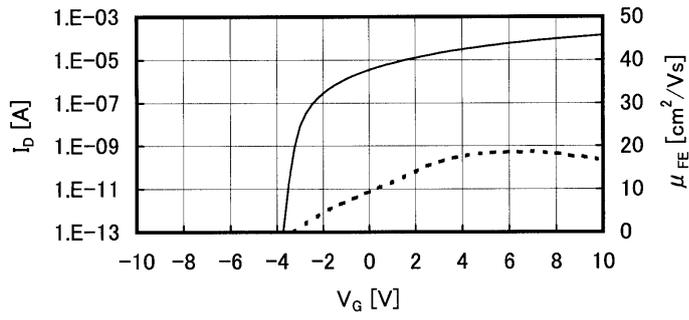
도면25a



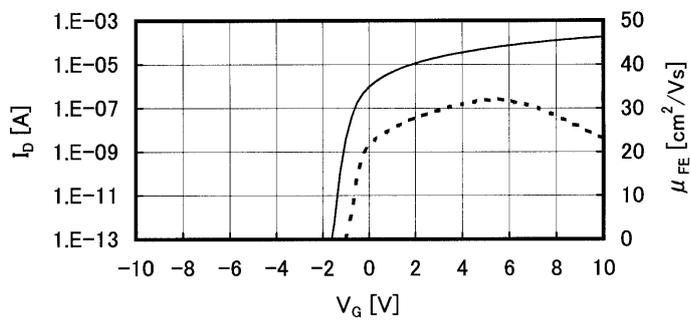
도면25b



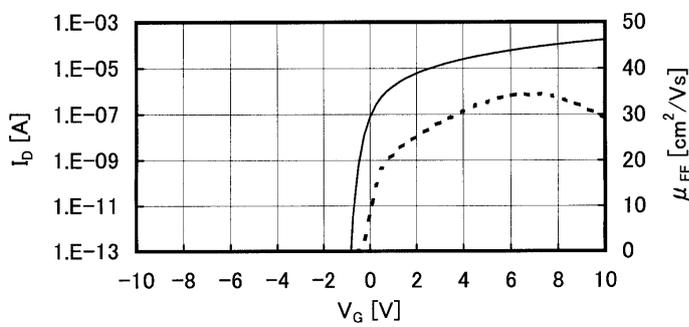
도면26a



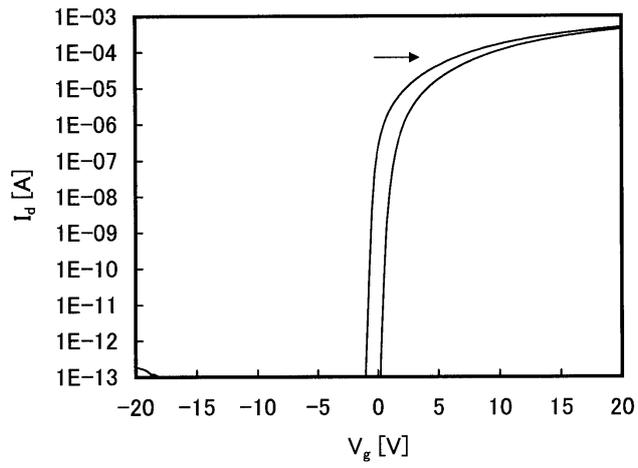
도면26b



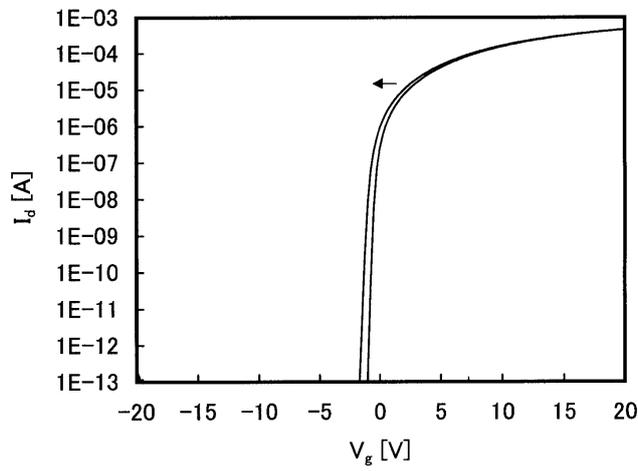
도면26c



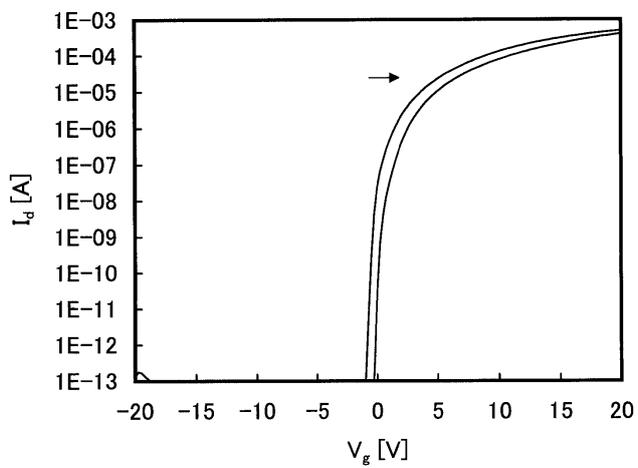
도면27a



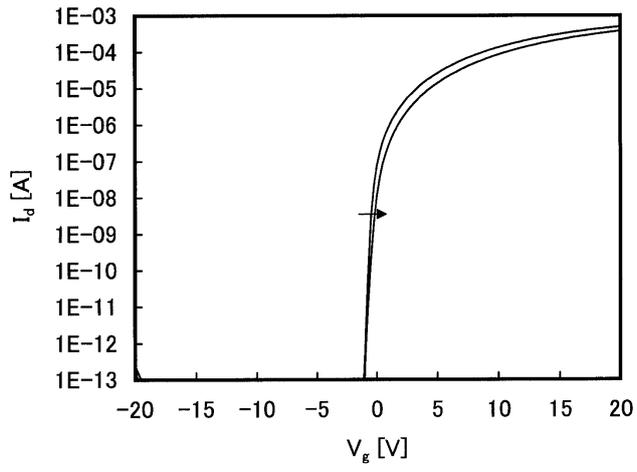
도면27b



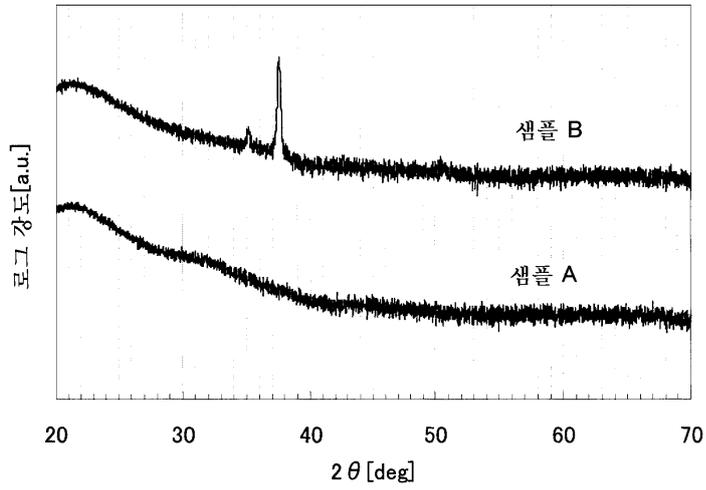
도면28a



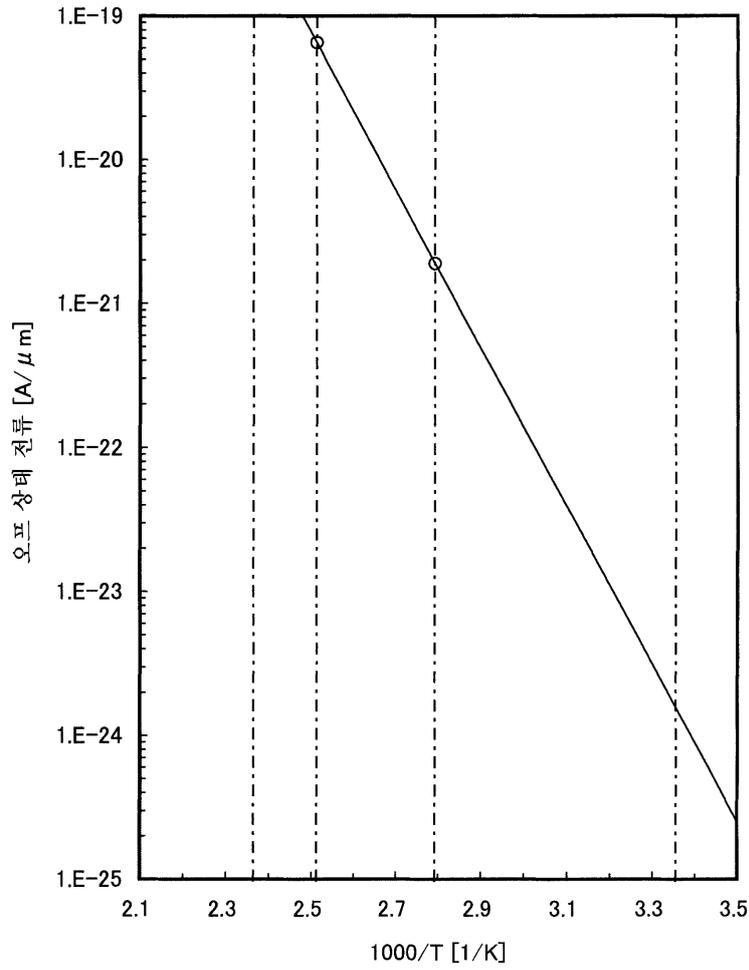
도면28b



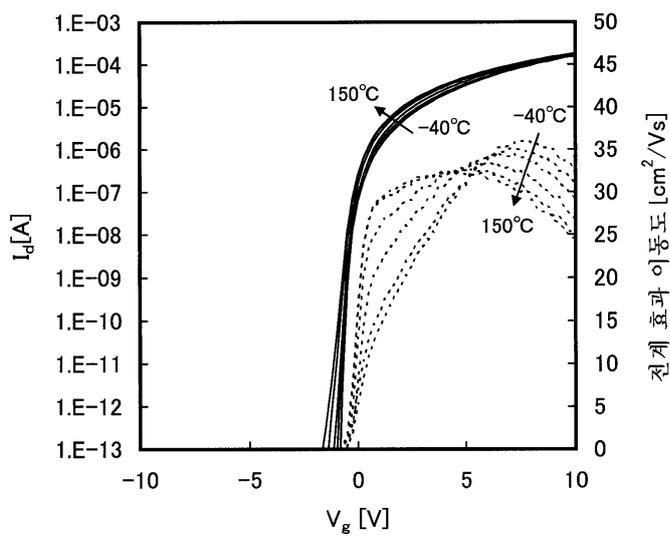
도면29



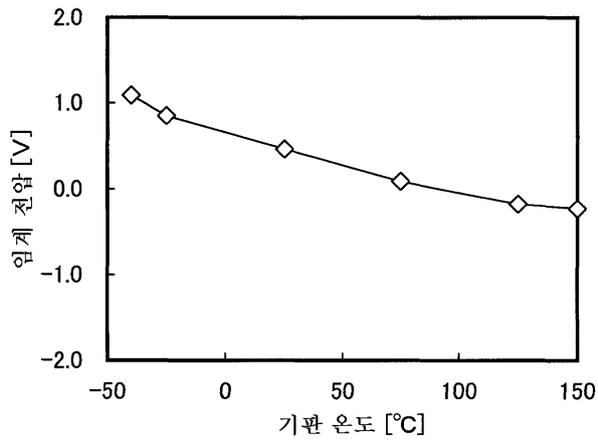
도면30



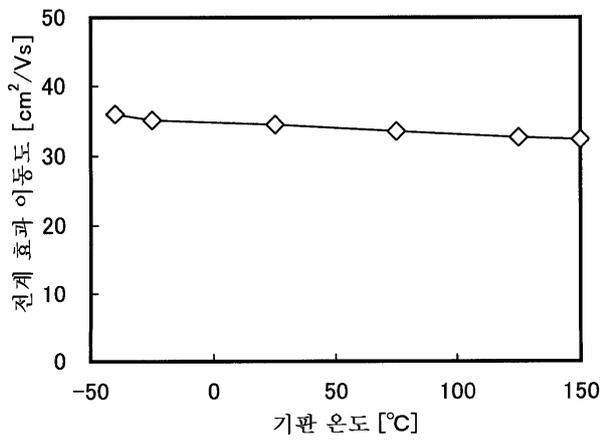
도면31



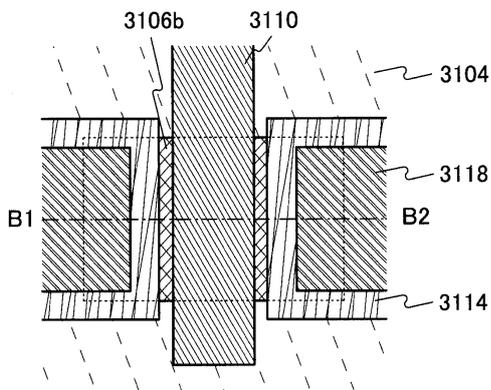
도면32a



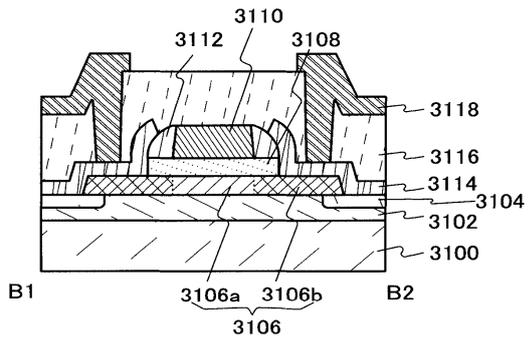
도면32b



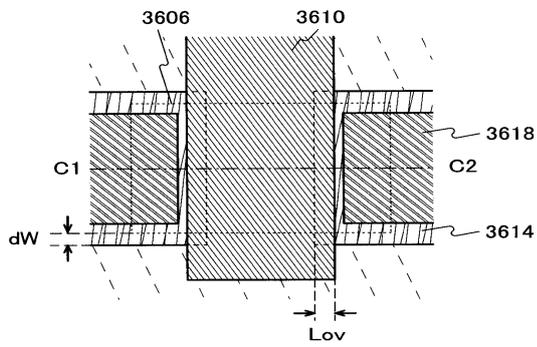
도면33a



도면33b



도면34a



도면34b

