



---

(21)申請案號：111149567

(22)申請日：中華民國 111 (2022) 年 12 月 22 日

(51)Int. Cl. : **H01L21/265 (2006.01)**

(71)申請人：鴻錡科技股份有限公司 (中華民國) GAN POWER TECHNOLOGY CO., LTD. (TW)  
臺中市西屯區逢福里河南路二段 262 號 7 樓之 10

(72)發明人：吳家榮 WU, CHIA-JUNG (TW)；葉志庭 YE, ZHI-TING (TW)；王興燁 WANG, HSING-YEH (TW)；鄭穆光 JENQ, MUH-GUENG (TW)；顏宗賢 YEN, TSUNG-HSIEN (TW)

(74)代理人：蔡秀玫

(56)參考文獻：

TW 202042395A

TW 202046444A

TW 202240779A

審查人員：黃淑萍

申請專利範圍項數：8 項 圖式數：4 共 23 頁

---

(54)名稱

半導體晶片之製造方法

(57)摘要

本發明提供一種半導體晶片之製造方法，其係於一晶圓之一上方形成一第一圖案化導體層，並依據設計需求，利用一離子佈植於該晶圓之該上方形成一第一電阻，使該第一電阻電性連接該第一圖案化導體層，再依據所需尺寸數值切割該晶圓取得一晶片，再以一重分布製程於該晶片之一上方對應該第一圖案化導體層形成一第二圖案化導體層，利用此方法依長、寬、高之尺寸設定形成電阻，以對應符合所需之電阻值。

The present invention provides a method of manufacturing semiconductor chip, which is to form a first patterned conductor layer on one of the wafers, and according to design requirements, use an ion implantation to form a first resistor on the upper surface of the wafer, making the first resistor electrically connected to the first patterned conductor layer, and then dicing the wafer according to the required size value to obtain a wafer, and then using a redistribution process on one of the wafers to correspond to the first patterned conductor layer A second patterned conductor layer is formed, and resistance is formed according to the dimensions of length, width and height by using this method, so as to correspond to the required resistance value.

指定代表圖：

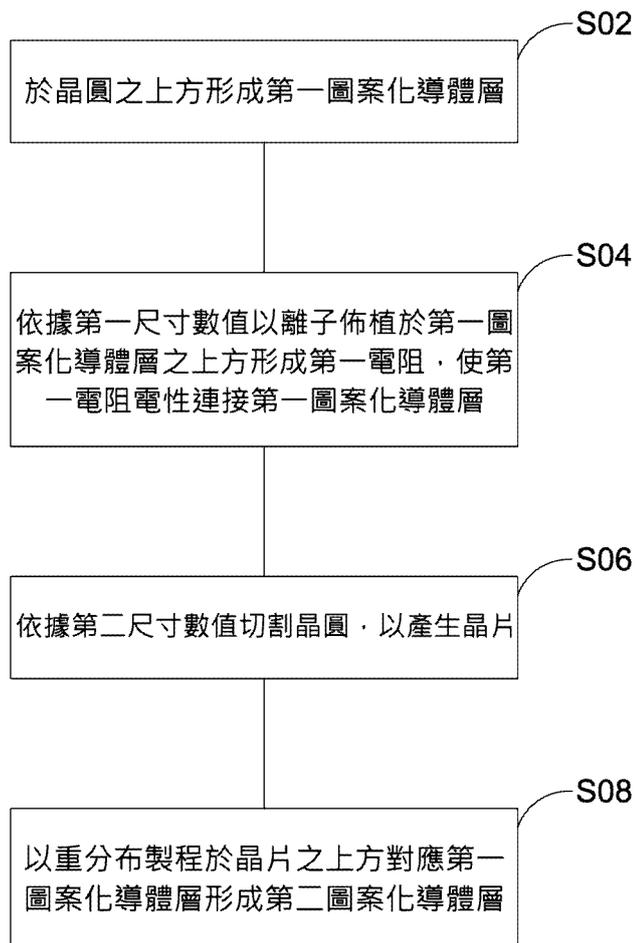
符號簡單說明：

S02:步驟

S04:步驟

S06:步驟

S08:步驟



第1圖



I856462

## 【發明摘要】

【中文發明名稱】 半導體晶片之製造方法

【英文發明名稱】 Method of manufacturing semiconductor chip

## 【中文】

本發明提供一種半導體晶片之製造方法，其係於一晶圓之一上方形成一第一圖案化導體層，並依據設計需求，利用一離子佈植於該晶圓之該上方形成一第一電阻，使該第一電阻電性連接該第一圖案化導體層，再依據所需尺寸數值切割該晶圓取得一晶片，再以一重分布製程於該晶片之一上方對應該第一圖案化導體層形成一第二圖案化導體層，利用此方法依長、寬、高之尺寸設定形成電阻，以對應符合所需之電阻值。

## 【英文】

The present invention provides a method of manufacturing semiconductor chip, which is to form a first patterned conductor layer on one of the wafers, and according to design requirements, use an ion implantation to form a first resistor on the upper surface of the wafer. , making the first resistor electrically connected to the first patterned conductor layer, and then dicing the wafer according to the required size value to obtain a wafer, and then using a redistribution process on one of the wafers to correspond to the first patterned conductor layer A second patterned conductor layer is formed, and resistance is formed according to the dimensions of length, width and height by using this method, so as to correspond to the required resistance value.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

S02 步驟

S04 步驟

S06 步驟

S08 步驟

## 【發明說明書】

【中文發明名稱】 半導體晶片之製造方法

【英文發明名稱】 Method of manufacturing semiconductor chip

### 【技術領域】

【0001】 本發明是關於一種半導體晶片之製造方法，尤其係指一種利用離子佈植依尺寸形成電阻之晶片製造方法。

### 【先前技術】

【0002】 半導體製程是被用於製造晶片，一種日常使用的電氣和電子元件中積體電路的處理製程，其係一系列照相和化學處理步驟，在其中電子電路逐漸形成在使用純半導體材料製作的晶圓上。

【0003】 矽是今天最常用的半導體材料，其他還有各種複合半導體材料，例如晶圓。

【0004】 接續上述，晶圓是半導體晶體圓形片的簡稱，其為圓柱狀半導體晶體的薄切片，用於積體電路製程中作為載體基片，以及製造太陽能電池；由於其形狀為圓形，故稱為晶圓。其中，最常見的是矽晶圓，另有氮化鎵晶圓、碳化矽晶圓等，一般晶圓產量多為單晶矽圓片。

【0005】 晶圓是最常用的半導體材料，晶圓越大，同一圓片上可生產的積體電路(integrated circuit, IC)就越多，可對應降低成本，但更大的晶圓對材料技術和生產技術的要求更高，例如均勻度等問題；使得近年來晶圓不再追求更大，有些時候廠商會基於成本及良率等因素而停留在成熟的舊製程。

【0006】 隨者時代演進，半導體製程被用於製造更精密的電子元件，其中製造精密電子元件包含它依靠電場去控制導電通道形狀，因此能控制半導體材料中某種類型載子的通道的導電性。場效應電晶體有時被稱為單極性電晶體，以它的單載子型作用對比雙極性電晶體。

【0007】 接續上述，場效應電晶中包含高電子移動率電晶體(High electron mobility transistor, HEMT)，也稱調變摻雜場效電晶體(modulation-doped FET, MODFET)，它使用兩種具有不同能隙的材料形成異質結，為載子提供通道，而不像金屬氧化物半導體場效電晶體那樣，直接使用摻雜的半導體而不是結來形成導電通道。砷化鎵、砷鎵鋁三元化合物半導體是構成這種元件的可選材料，當然根據具體的應用場合，可以有其他多種組合。例如，含銮的元件普遍表現出更好的高頻性能，而近年來發展的氮化鎵高電子移動率電晶體則憑藉其良好的高頻特性吸引了大量關注。

【0008】 又隨者上述電子元件之電路密度的增加，例如通孔、溝槽、觸點、閘極、源極結構及其他特徵等互連件以及該等互連件之間的介電質材料之寬度便減小到更小的尺寸。為了能夠製造下一代的元件和結構，半導體晶片中每一個元件的設計配置將是一大困難。特別是，晶片中電子元件所需的電阻結構，如依不同設計需求，而需改變電阻之尺寸，其將導致製造成本的提高，因此產業界需要一種能依據所需電阻值，對應形成於晶片之製造方法。

【0009】 有鑑於上述習知技術之問題，本發明提供一種半導體晶片之製造方法，其可依據設計需求，利用離子佈植，於該晶圓之上方形成電阻，再依據所需尺寸數值切割晶圓取得晶片，再以重分布製程於晶片上方對應形成圖案化導體層，利用提供能對應所需電阻值之晶片製造方法。

**【發明內容】**

**【0010】** 本發明之一目的在於提供一種半導體晶片之製造方法，其可依據設計需求，利用離子佈植，於該晶圓之上方形成電阻，再依據所需尺寸數值切割晶圓取得晶片，再以重分布製程於晶片上方對應形成圖案化導體層，利用此方法依長、寬、高之尺寸設定形成電阻，以對應設計所需之電阻值。

**【0011】** 為達到上述所指稱之各目的與功效，本發明提供一種半導體晶片之製造方法，其步驟包含：於一晶圓之一上方形成一第一圖案化導體層，依據一第一尺寸數值以一離子佈植於該第一圖案化導體層之一上方形成一第一電阻，使該第一電阻電性連接該第一圖案化導體層，依據一第二尺寸數值切割該晶圓，以產生一晶片，以一重分布製程於該晶片之一上方對應該第一圖案化導體層形成一第二圖案化導體層，其中，該晶圓包含一基板，該第一圖案化導體層包含一磊晶層、一第一閘極、一第一源極以及一第一汲極，該磊晶層設置於該基板之一上方，該第一閘極、該第一源極以及該第一汲極個別設置於該磊晶層之一上方，該第二圖案化導體層包含一封裝層、一第二閘極、一第二源極、一第二汲極以及一第二電阻，該封裝層設置於該磊晶層之該上方，且該封裝層包覆該第一閘極、該第一源極、該第一汲極以及該第一電阻，該第二閘極、該第二源極、該第二汲極以及該第二電阻個別設置於該封裝層之一上方；以此方法提供可依需求形成電阻之半導體晶片之製造方法。

**【0012】** 本發明之一實施例中，其中該基板之材料係氮化鋁或氧化鋁。

**【0013】** 本發明之一實施例中，其中該磊晶層之材料係氮化鎵。

**【0014】** 本發明之一實施例中，其中該第一電阻電性連接該第一閘極、該第一源極以及該第一汲極之其中之一。

【0015】本發明之一實施例中，其中該第一閘極、該第一源極以及該第一汲極以及該第一電阻電性連接該第二閘極、該第二源極、該第二汲極以及該第二電阻。

【0016】本發明之一實施例中，其中該封裝層之材料係聚醯亞胺以及環氧樹脂之其中之一或該些材料之任意組合。

【0017】本發明之一實施例中，其中該離子佈植係氮離子佈植。

【0018】本發明之一實施例中，其中該第一尺寸數值以及該第二尺寸數值包含長度、寬度以及高度。

#### 【圖式簡單說明】

##### 【0019】

第1圖：其為本發明之一實施例之步驟示意圖；

第2A圖至第2F圖：其為本發明之一實施例之製造過程示意圖；

第3圖：其為本發明之一實施例之電極電性連接示意圖；以及

第4圖：其為本發明之一實施例之佈植示意圖。

#### 【實施方式】

【0020】為使 貴審查委員對本發明之特徵及所達成之功效有更進一步之瞭解與認識，謹佐以實施例及配合說明，說明如後：

【0021】有鑑於上述習知技術之問題，本發明係一種半導體晶片之製造方法，其係於一晶圓形成一第一圖案化導體層，並依據一第一尺寸數值以一離子佈植於該晶圓之該上方形成一第一電阻，再依據一第二尺寸數值切割該晶圓取得一晶片，後以一重分布製程於該晶片之一上方對應該第一圖案化導體層形

成一第二圖案化導體層，此方法依長、寬、高之尺寸設定形成電阻及切割晶片，適應不同晶片之設計需求，解決習知晶片設計越來越多變，使製造成本增加之問題。

【0022】請參閱第1圖，其為本發明之一實施例之步驟示意圖，如圖所示，於本實施例中，其係一種半導體晶片之製造方法，其步驟包含：

【0023】步驟S02：於晶圓之上方形成第一圖案化導體層；

【0024】步驟S04：依據第一尺寸數值以離子佈植於第一圖案化導體層之上方形成第一電阻，使第一電阻電性連接第一圖案化導體層；

【0025】步驟S06：依據第二尺寸數值切割晶圓，以產生晶片；以及

【0026】步驟S08：以重分布製程於晶片之上方對應第一圖案化導體層形成第二圖案化導體層。

【0027】再次參閱第1圖以及參閱第2A圖至第2F圖，第2A圖至第2F圖為本發明之一實施例之製造過程示意圖，如第2A圖所示，於本實施例之步驟S02中，於一晶圓1之一上方形成一第一圖案化導體層20，其中該晶圓1包含一基板10，該第一圖案化導體層20包含一磊晶層22、一第一閘極24、一第一源極26以及一第一汲極28，該磊晶層22設置於該基板10之一上方，該第一閘極24、該第一源極26以及該第一汲極28個別設置於該磊晶層22之一上方。

【0028】接續上述，於本實施例中，晶圓用於積體電路製程中作為載體基片，其係將二氧化矽礦石(石英砂)與焦炭混合後，經由電弧爐加熱還原，即生成粗矽，再以鹽酸氯化並經蒸餾後，製成了高純度的多晶矽；在精密電子元件當中，矽晶圓需要有相當的純度，不然會產生缺陷。

【0029】接續上述，晶圓製造廠再以柴可拉斯基法或其他長晶法，將此多晶矽熔解，再於溶液內摻入一小粒的矽晶體晶種，然後將其慢慢拉出，以形

成圓柱狀的單晶矽晶棒，由於矽晶棒是由一顆小晶粒在熔融態的矽原料中逐漸生成，這根晶棒的直徑，就是晶圓的直徑。

【0030】 矽晶棒再經過切片、研磨、拋光後，即成為積體電路工廠的基本原料矽晶圓片，晶圓經多次光罩處理，其中每一次的步驟包括感光劑塗佈、曝光、顯影、腐蝕、滲透、植入、蝕刻或蒸著等等，將其光罩上的電路複製到層層晶圓上，製成具有多層線路與元件的IC晶圓，再交由後段的測試、切割、封裝廠，以製成實體的積體電路成品。

【0031】 接續上述，於本實施例中，該磊晶層22之材料係氮化鎵(GaN)，其係III族元素的氮化物，氮化鎵對游離輻射的敏感性較低，且氮化鎵電晶體可以在高得多的溫度和電壓工作運行，基於氮化鎵的MOSFET和MESFET電晶體也具有高功率低損耗的優勢。

【0032】 接續上述，於本實施例中，該基板之材料係氮化鋁(AlN)或氧化鋁(Al<sub>2</sub>O<sub>3</sub>)，但本實施例不在此限制。

【0033】 再次參閱第1圖至第2F圖以及第3圖，第3圖為本發明之一實施例之佈植示意圖，如第2B、2C圖所示，於本實施例之步驟S04中，依據一第一尺寸數值以一離子佈植於該第一圖案化導體層20之該上方形成一第一電阻29，使該第一電阻29電性連接該第一圖案化導體層20，於本實施例中，該第一電阻29設置於該磊晶層22之一上方；於一實施例中，該第一電阻29電性連接該第一閘極24、該第一源極26以及該第一汲極28之其中之一，或該第一電阻29電性連接該第一閘極24以及該第一源極26，本實施例不在此限制。

【0034】 接續上述，於本實施例中，如第3圖所示，該第一尺寸數值係包含長度、寬度以及高度，以對應調整該第一電阻29於該第一圖案化導體層20之佈植範圍，且該第一電阻29之電阻值與其體積成正比，例如需要較高電阻時，以離子佈植較長、較寬之該第一電阻29。

【0035】 接續上述，於本實施例中，該離子佈植係一氮離子佈植；其中，離子佈植(ion implantation)係半導體摻雜的方式之一。將欲加入的雜質先離子化，提昇雜質的能量或動能，接著利用電場加速離子運動速度及磁場改變運動方向，將經離子化的雜質直接打入矽晶片內，使雜質原子擴散進入矽晶片內部。

【0036】 再次參閱第1圖至第2F圖，如第2D、2E圖所示，於本實施例之步驟S06中，依據一第二尺寸數值切割該晶圓1，以產生一晶片2，本實施例係利用一切割刀具C依所需的尺寸切割該晶圓1，以取得該晶片2，其中該晶片2包含該基板10、該第一圖案化導體層20以及該第一電阻29。

【0037】 接續上述，於本實施例中，該第二尺寸數值係該晶片2所需之面積，該第二尺寸數值包含長度、寬度以及高度，以對應切割出該晶片2之大小，其形狀不在此限制。

【0038】 再次參閱第1圖至第2F圖，如第2F圖所示，於本實施例之步驟S08中，以一重分布製程於該晶片2之一上方對應該第一圖案化導體層20形成一第二圖案化導體層30；於本實施例中，該第二圖案化導體層30包含一封裝層32、一第二閘極34、一第二源極36、一第二汲極38以及一第二電阻39，該封裝層32設置於該磊晶層22之該上方，且該封裝層32包覆該第一閘極24、該第一源極26、該第一汲極28以及該第一電阻29，該第二閘極34、該第二源極36、該第二汲極38以及該第二電阻39個別設置於該封裝層32之一上方。

【0039】 再次參閱第1圖至第2F圖以及參閱第3圖，第3圖為本發明之一實施例之電極電性連接示意圖，於本實施例中，該第一閘極24、該第一源極26以及該第一汲極28以及該第一電阻29電性連接該第二閘極34、該第二源極36、該第二汲極38以及該第二電阻39，使該第一圖案化導體層20之一部分電性連接該

第二圖案化導體層30之一部份；第3圖為該第一圖案化導體層20電性連接該第二圖案化導體層30之示意圖，本實施例不在此限制其排列組合。

【0040】接續上述，於一實施例中，該重分布製程係一重分佈製程(RDL)，其係將原設計的線路接點位置(I/O pad)，透過晶圓級金屬佈線製程和凸塊製程來改變其接點位置，使積體電路能應用於不同的元件模組；其中重新分佈的金屬線路如果是以金(Au)材料為主，則稱為金線路重分佈(Au-RDL)。

【0041】接續上述，重分布製程係先於積體電路上塗布一層保護層，再以曝光顯影的方式定義新的導線圖案，接下來再利用電鍍和蝕刻技術製作新的金屬導線，以連結原鋁墊(Al pad)和新的金墊(Au pad)或凸塊(bump)，達到線路重新分佈的目的；於本實施例中，係以該封裝層32作為保護層。

【0042】接續上述，於一實施例中，該封裝層32之材料係聚醯亞胺(Polyimide, PI)以及環氧樹脂(Epoxy)之其中之一或該些材料之任意組合，但本實施例不在此限制。

【0043】接續上述，聚醯亞胺是一類具有醯亞胺重複單元的聚合物，具有適用溫度廣、耐化學腐蝕、高強度等優點，其用作介電層進行層間絕緣，作為緩衝層可以減少應力、提高成品率。作為保護層可以減少環境對器件的影響，還可以對 $\alpha$ -粒子起屏蔽作用，減少或消除器件的軟誤差；半導體工業使用聚醯亞胺作高溫黏合劑，在生產數位化半導體材料和微機電系統的晶片時，由於聚醯亞胺層具有良好的機械延展性和拉伸強度，有助於提高聚醯亞胺層以及聚醯亞胺層與上面沉積的金屬層之間的粘合；聚醯亞胺的高溫和化學穩定性則起到了將金屬層和各種外界環境隔離的作用。

【0044】接續上述，於一實施例中，也可同上述該第一電阻29，以離子佈植將該第二電阻39形成於該封裝層32之一上方，但本實施例不在此限制。

【0045】綜上所述，本發明提供一種半導體晶片之製造方法，其係於晶圓上形成圖案化導體層，並依據所需之電阻值，以該電阻值為依據計算所需之電阻尺寸，並依該尺寸於該晶圓之上方以離子佈植形成電阻，再依據所需之晶片尺寸切割晶圓取得晶片，再以重分布製程於晶片之上方對應第一圖案化導體層形成第二圖案化導體層，利用此方法依長、寬、高之尺寸，調整佈植電阻之電阻值，以及依所需尺寸切割晶片，以適應不同晶片之設計需求，解決習知晶片設計多變，使其製造困難，進一步增加成本之問題。

【0046】故本發明實為一具有新穎性、進步性及可供產業上利用者，應符合我國專利法專利申請要件無疑，爰依法提出發明專利申請，祈 鈞局早日賜准專利，至感為禱。

【0047】惟以上所述者，僅為本發明一實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

#### 【符號說明】

##### 【0048】

- 1 晶圓
- 2 晶片
- 10 基板
- 20 第一圖案化導體層
- 22 磊晶層
- 24 第一閘極
- 26 第一源極

- 28 第一汲極
- 29 第一電阻
- 30 第二圖案化導體層
- 32 封裝層
- 34 第二閘極
- 36 第二源極
- 38 第二汲極
- 39 第二電阻
- C 切割刀具
- S02 步驟
- S04 步驟
- S06 步驟
- S08 步驟

## 【發明申請專利範圍】

【請求項1】一種半導體晶片之製造方法，其步驟包含：

於一晶圓之一上方形成一第一圖案化導體層；

依據一第一尺寸數值以一離子佈植於該第一圖案化導體層之一上方形成一第一電阻，使該第一電阻電性連接該第一圖案化導體層，該第一尺寸數值包含長度、寬度以及高度，以對應調整該第一電阻於該第一圖案化導體層之佈植範圍，且該第一電阻之電阻值與該第一電阻之體積成正比；

依據一第二尺寸數值切割該晶圓，以產生一晶片；以及

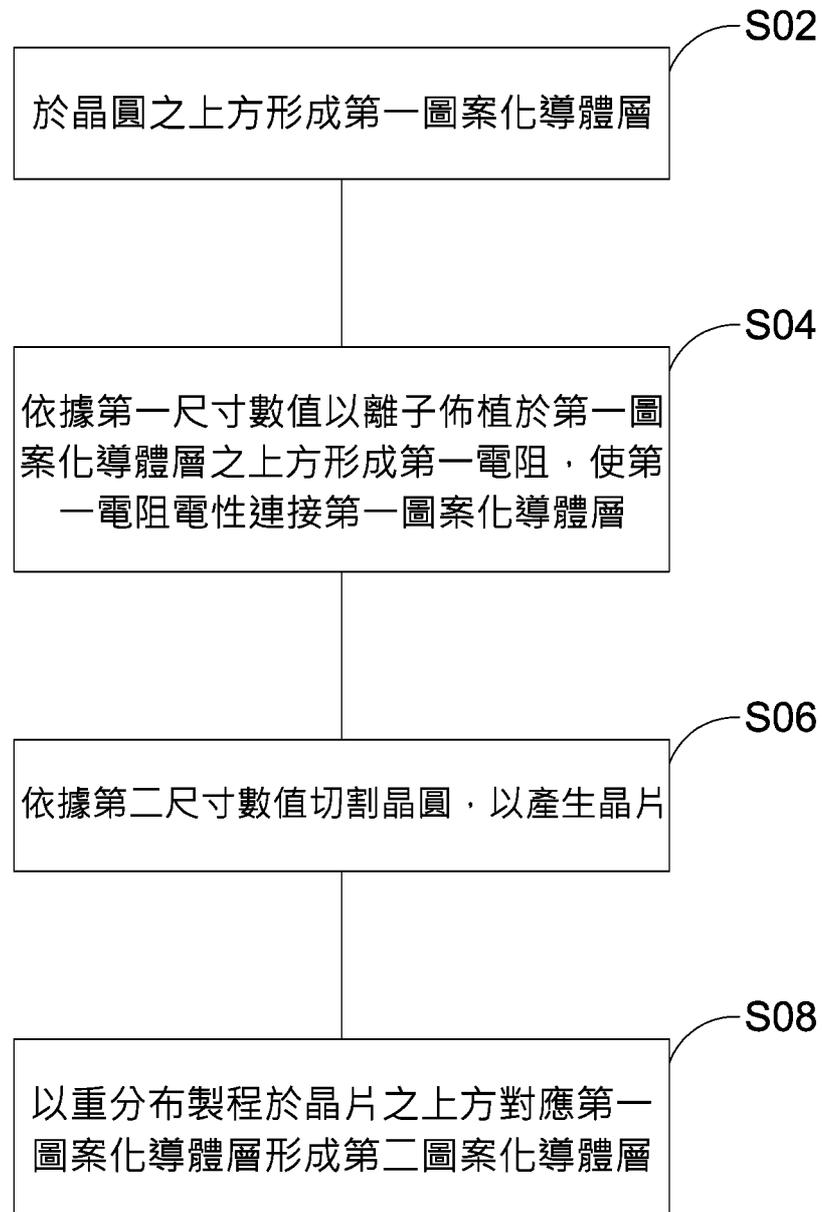
以一重分布製程於該晶片之一上方對應該第一圖案化導體層形成一第二圖案化導體層；

其中，該晶圓包含一基板，該第一圖案化導體層包含一磊晶層、一第一閘極、一第一源極以及一第一汲極，該磊晶層設置於該基板之一上方，該第一閘極、該第一源極以及該第一汲極個別設置於該磊晶層之一上方，該第二圖案化導體層包含一封裝層、一第二閘極、一第二源極、一第二汲極以及一第二電阻，該封裝層設置於該磊晶層之該上方，且該封裝層包覆該第一閘極、該第一源極、該第一汲極以及該第一電阻，該第二閘極、該第二源極、該第二汲極以及該第二電阻個別設置於該封裝層之一上方，對應調整該第二電阻於該第二圖案化導體層之佈植範圍，該第二電阻之電阻值與該第二電阻之體積成正比。

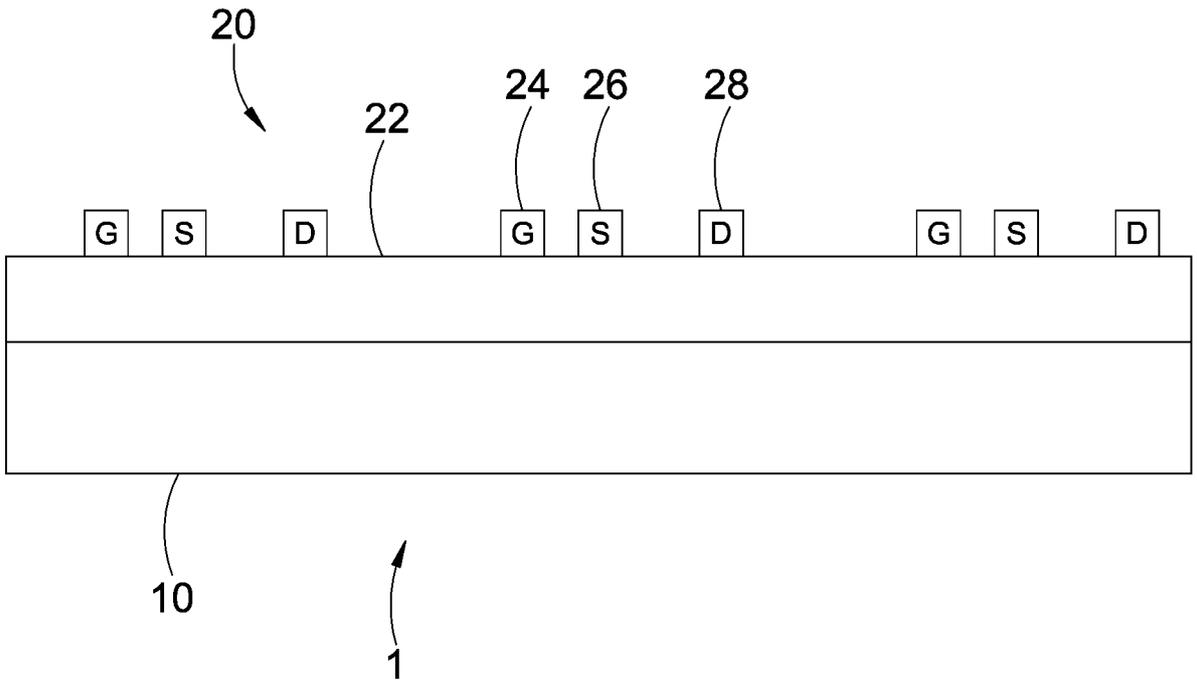
【請求項2】如請求項1所述之半導體晶片之製造方法，其中該基板之材料係氮化鋁或氧化鋁。

- 【請求項3】如請求項1所述之半導體晶片之製造方法，其中該磊晶層之材料係氮化鎵。
- 【請求項4】如請求項1所述之半導體晶片之製造方法，其中該第一電阻電性連接該第一閘極、該第一源極以及該第一汲極之其中之一。
- 【請求項5】如請求項1所述之半導體晶片之製造方法，其中該第一閘極、該第一源極以及該第一汲極以及該第一電阻電性連接該第二閘極、該第二源極、該第二汲極以及該第二電阻。
- 【請求項6】如請求項1所述之半導體晶片之製造方法，其中該封裝層之材料係聚醯亞胺以及環氧樹脂之其中之一或該些材料之任意組合。
- 【請求項7】如請求項1所述之半導體晶片之製造方法，其中該離子佈植係氮離子佈植。
- 【請求項8】如請求項1所述之半導體晶片之製造方法，其中該第二尺寸數值包含長度、寬度以及高度。

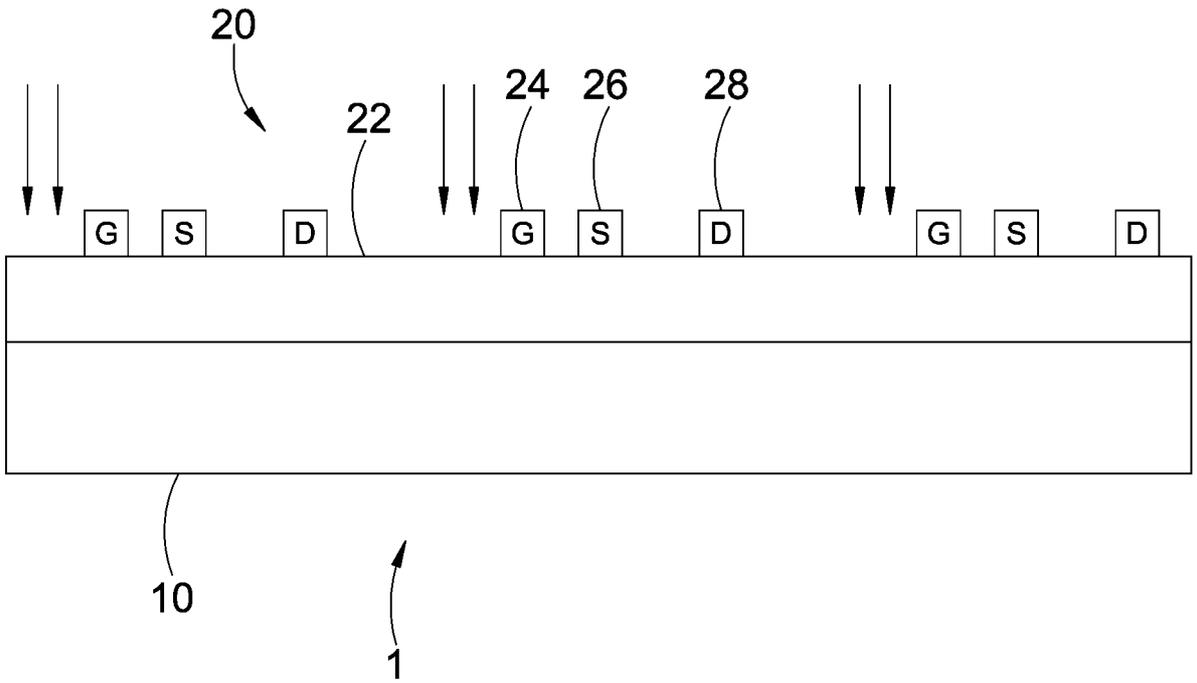
## 【發明圖式】



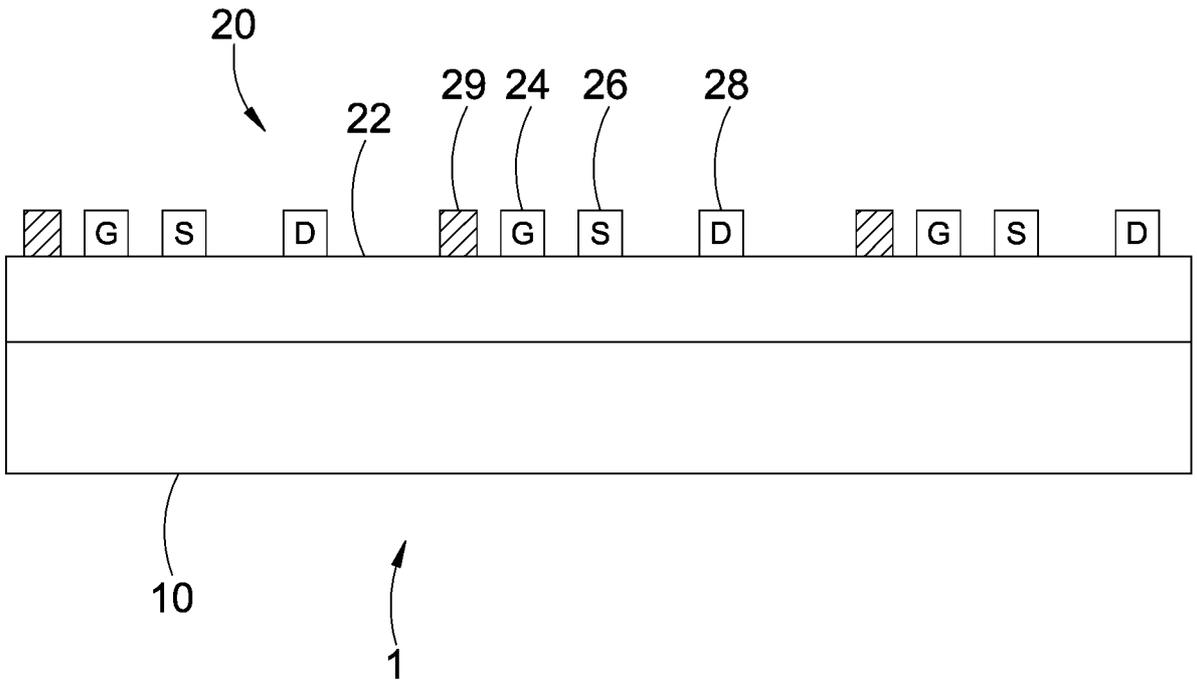
## 第1圖



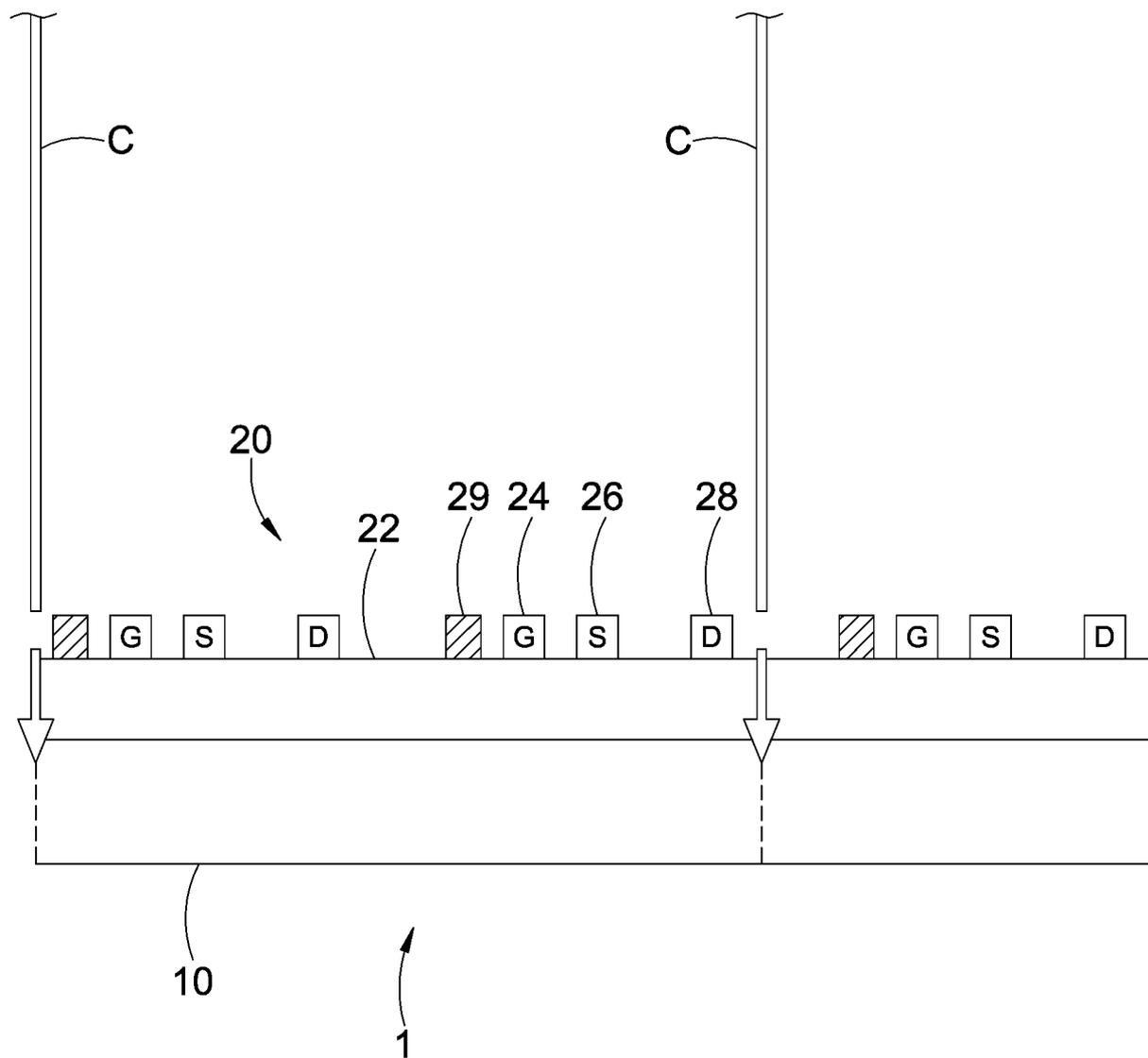
第2A圖



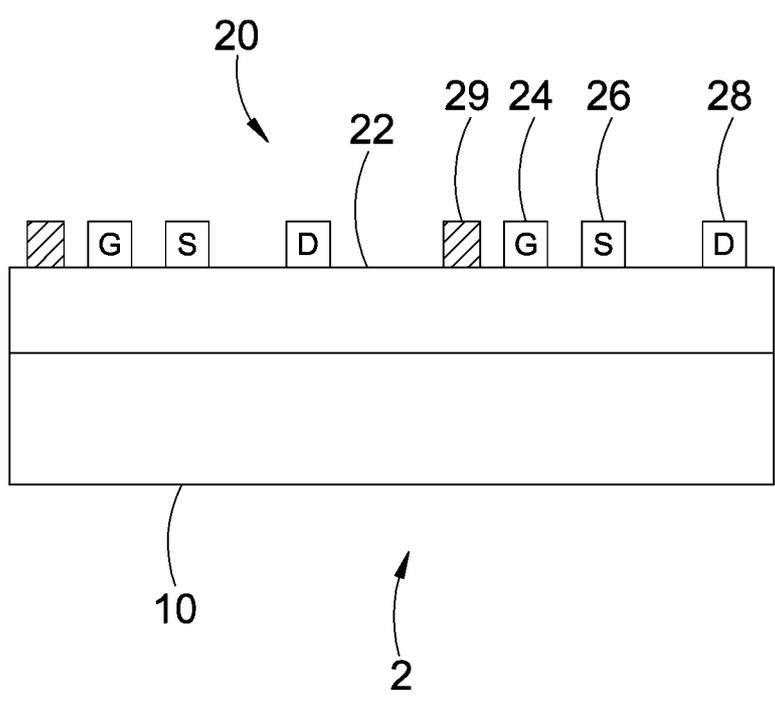
第2B圖



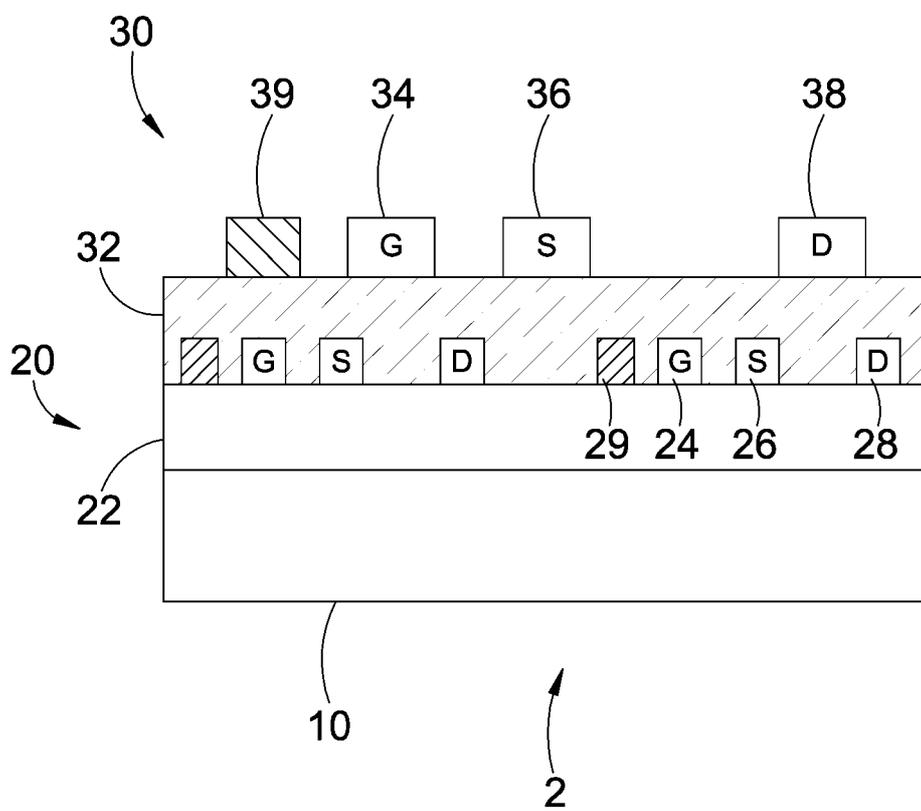
第2C圖



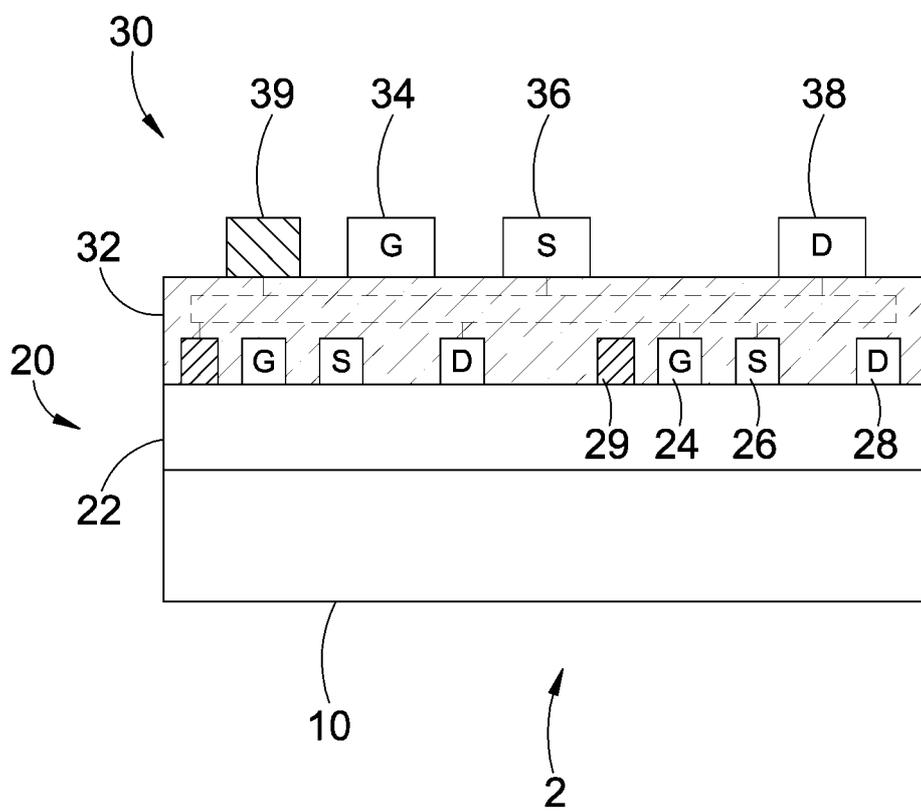
第2D圖



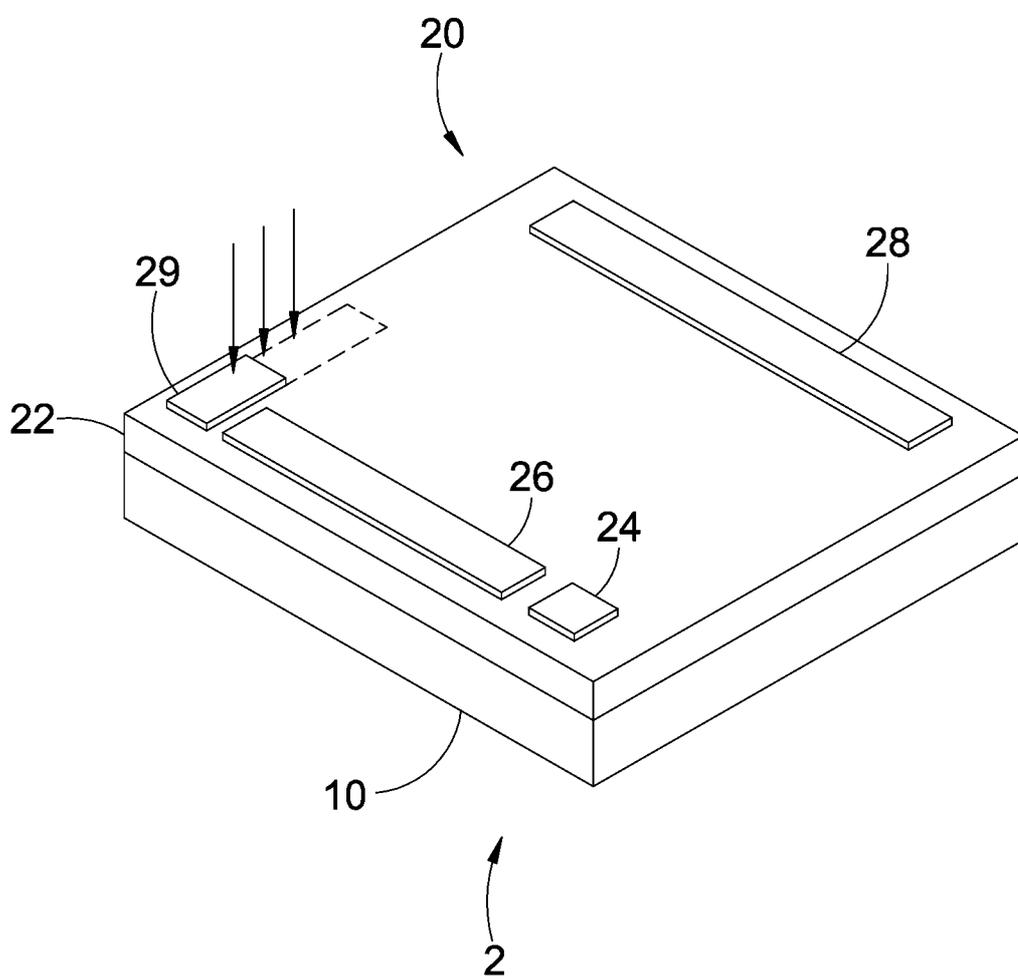
第2E圖



第2F圖



第3圖



第4圖