

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 19 日 (19.03.2020)



(10) 国际公布号
WO 2020/052055 A1

- (51) 国际专利分类号:
G11C 16/34 (2006.01)
- (21) 国际申请号: PCT/CN2018/115778
- (22) 国际申请日: 2018 年 11 月 16 日 (16.11.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811083705.9 2018 年 9 月 14 日 (14.09.2018) CN
- (71) 申请人: 惠科股份有限公司(**HKC CORPORATION LIMITED**) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。
- (72) 发明人: 黄北洲(**HUANG, Beizhou**); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。
- (74) 代理人: 深圳市世纪恒程知识产权代理事务所 (**CENFO INTELLECTUAL PROPERTY**

AGENCY); 中国广东省深圳市南山区粤海街道高新技术产业园北区松坪山路 3 号奥特讯电力大厦 201, Guangdong 518057 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) **Title:** MEMORY WRITING PROTECTION CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 存储器写保护电路及显示装置

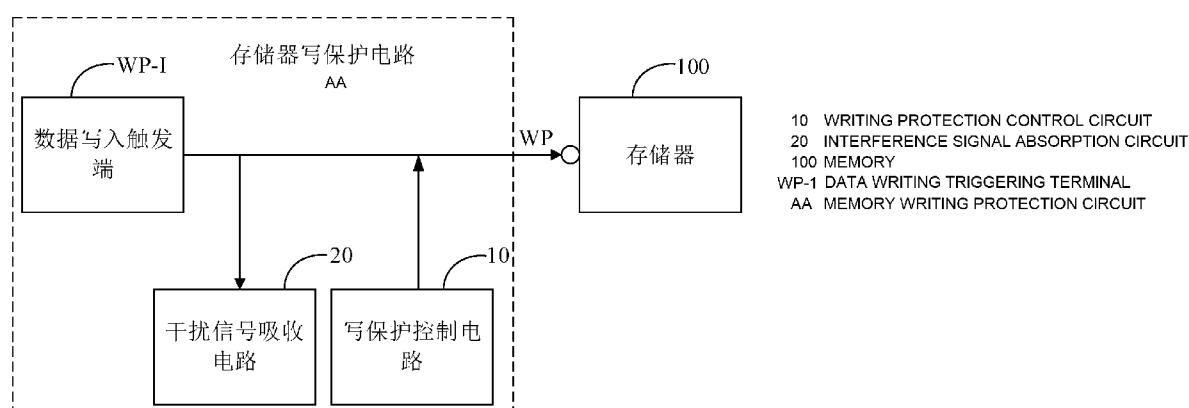


图 1

(57) **Abstract:** A memory writing protection circuit and a display device, comprising an interference signal absorption circuit (20), which is connected to a data writing triggering terminal (WP-I) and absorbs a first level signal when detected that the data writing triggering terminal (WP-I) has received the first level signal.

(57) **摘要:** 一种存储器写保护电路及显示装置, 包括干扰信号吸收电路 (20), 与数据写入触发端 (WP-I) 连接, 在检测到数据写入触发端 (WP-I) 接收到第一电平信号时, 将第一电平信号进行吸收。

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

发明名称：存储器写保护电路及显示装置

- [1] 技术领域
- [2] 本申请涉及电子电路技术领域，特别涉及一种存储器写保护电路及显示装置。
- [3] 背景技术
- [4] 显示装置中，时序控制器TCON IC（Timing Controller Integrated Circuit）内部静态只读存储器SRAM（Static Read Only Memory）里的数据一般在掉电之后不能保存，而可擦除存储器EEPROM（Electrically Erasable Programmable read only memory）或闪存存储器Flash里存储的数据即使掉电之后也能保存，所以会将时序控制器的控制程序储存在外部存储器EEPROM或Flash中。
- [5] 存储器的数据在显示装置正常工作时是不能被修改的，一旦被修改，使得设定数据出错，将导致显示装置显示异常。然而，存储器的写保护脚是与通讯总线连接的，通讯总线上的干扰信号可能会导致存储器的写保护脚信号被拉高，而使存储器的数据被改写。
- [6] 申请内容
- [7] 本申请的主要目的是提出一种存储器写保护电路及显示装置，旨在防止存储器的软体数据被改写。
- [8] 为实现上述目的，本申请提出一种存储器写保护电路，所述存储器写保护电路包括：
- [9] 数据写入触发端，所述数据写入触发端与存储器的写保护脚连接，被配置为接收控制存储器进入写入状态的第一电平信号；
- [10] 写保护控制电路，与存储器的写保护脚连接，被设置为提供限制存储器被写入数据的第二电平信号至存储器的写保护脚；所述第二电平信号与第一电平信号的极性相反；
- [11] 干扰信号吸收电路，与所述数据写入触发端连接，被设置为在存储器正常工作时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。

- [12] 可选地，所述干扰信号吸收电路，具体设置为在接收到表征存储器正常工作的第一控制信号时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。
- [13] 可选地，所述干扰信号吸收电路包括第一开关管及第一电阻，所述第一开关管的输入端与所述数据写入触发端及所述第一电阻的第一端互连，所述第一电阻的第二端与所述第一电子开关的受控端连接，所述第一开关管的输出端接地。
- [14] 可选地，所述第一开关管为N-MOS管。
- [15] 可选地，所述存储器写保护电路还包括电源输入端，所述干扰信号吸收电路包括第二开关管及第二电阻，所述第二开关管的输入端与所述数据写入触发端连接，所述第二开关管的受控端经所述第二电阻与所述电源输入端连接，所述第二开关管的输出端接地。
- [16] 可选地，所述电源输入端VCC与所述存储器的电源输入端并联，以接入所述存储器的供电电源。
- [17] 可选地，所述第二开关管为N-MOS管。
- [18] 可选地，所述存储器写保护电路还包括限流元件，所述限流元件串联设置于所述数据写入触发端与存储器的写保护脚之间。
- [19] 可选地，所述限流元件为第三电阻，所述第三电阻串联设置于所述数据写入触发端与存储器的写保护脚之间。
- [20] 可选地，所述写保护控制电路包括第四电阻，所述第四电阻串联设置于存储器的写保护脚与地之间。
- [21] 可选地，所述第三电阻和第四电阻串联设置。
- [22] 可选地，所述第三电阻和所述第四电阻，设置为在所述数据写入触发端通过I2C通讯总线及电连接器与上位机连接，并接入高电平的写保护触发信号至所述存储器的写保护脚时，控制高电平信号输出至写保护脚而触发所述存储器进入可写入状态。
- [23] 可选地，所述第三电阻和所述第四电阻的阻值之比为1:12~1:6。
- [24] 可选地，所述第三电阻和所述第四电阻的阻值之比设置为1:10。
- [25] 本申请还提出一种存储器写保护电路，所述存储器写保护电路包括：

- [26] 第一电阻，与存储器的写保护脚连接，被设置为在存储器正常工作时，输入低电平的写控制信号至存储器的写保护脚；
- [27] 数据写入触发端，与存储器的写保护脚连接，被设置为在存储器进行数据更新时，将接入的高电平的写保护触发信号输出至存储器的写保护脚；
- [28] 干扰信号吸收电路，与所述数据写入触发端连接，
- [29] 被设置为在存储器正常工作时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。
- [30] 本申请还提出一种显示装置，包括如上项所述的存储器写保护电路；所述存储器写保护电路包括：
- [31] 数据写入触发端，所述数据写入触发端与存储器的写保护脚连接，被配置为接收控制存储器进入写入状态的第一电平信号；
- [32] 写保护控制电路，与存储器的写保护脚连接，被设置为提供限制存储器被写入数据的第二电平信号至存储器的写保护脚；所述第二电平信号与第一电平信号的极性相反；
- [33] 干扰信号吸收电路，与所述数据写入触发端连接，被设置为在存储器正常工作时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。
- [34] 可选地，所述显示装置还包括PC（Inter-Integrated Circuit）通讯总线及时序控制器，所述存储器通过PC通讯总线与时序控制器连接。
- [35] 可选地，所述显示装置还包括显示面板、源极驱动集成电路及栅极驱动集成电路，所述时序控制器分别与所述源极驱动集成电路及所述栅极驱动集成电路连接，所述源极驱动集成电路及所述栅极驱动集成电路还与所述显示面板。
- [36] 可选地，所述干扰信号吸收电路，具体设置为在接收到表征存储器正常工作的第一控制信号时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。
- [37] 可选地，所述存储器写保护电路还包括电源输入端，所述干扰信号吸收电路包括第二开关管及第二电阻，所述第二开关管的输入端与所述数据写入触发端连

接，所述第二开关管的受控端经所述第二电阻与所述电源输入端连接，所述第二开关管的输出端接地。

[38] 本申请存储器写保护电路通过设置写保护控制电路，并与存储器的写保护脚连接，以为在存储器正常工作时，输入写控制信号至存储器的写保护脚；以及数据写入触发端及写保护触发信号输出端，分别与电连接器和存储器的写保护脚连接，从而在存储器进行数据更新时，将接入的写保护触发信号输出至存储器的写保护脚；本申请还设置有，干扰信号吸收电路，其的入端与数据写入触发端连接，以在显示装置上电以及正常工作时，吸收I²C（Inter-Integrated Circuit）通讯总线上窜入至数据写入触发端的干扰信号。本申请解决了存储器脚的写保护脚的电平被干扰信号拉高，导致I²C通讯总线上的干扰信号通过I2C通讯总线的接入至存储器的数据传输脚（时钟脚及数据脚），并对存储器的软体数据进行改写的问题。本申请可以有效地防止存储器的软体数据被改写。

[39] 附图说明

[40] 为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图示出的结构获得其他的附图。

[41] 图1为本申请存储器写保护电路一实施例的功能结构示意图；

[42] 图2为本申请存储器写保护电路一实施例的结构示意图；

[43] 图3为本申请存储器写保护电路另一实施例的结构示意图。

[44] 附图标号说明：

[45]

[表1]

标号	名称	标号	名称
WP-I	数据写入触发端	R1~R4	第一电阻~第四电阻
100	存储器	WP	写保护脚
10	写保护控制电路	Q1	第一开关管
20	干扰信号吸收电路	Q2	第二开关管

[46] 本申请目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

[47] 具体实施方式

[48] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[49] 需要说明，若本申请实施例中有涉及方向性指示（诸如上、下、左、右、前、后……），则该方向性指示仅用于解释在某一特定姿态（如附图所示）下各部件之间的相对位置关系、运动情况等，如果该特定姿态发生改变时，则该方向性指示也相应地随之改变。

[50] 另外，若本申请实施例中有涉及“第一”、“第二”等的描述，则该“第一”、“第二”等的描述仅用于描述目的，而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外，各个实施例之间的技术方案可以相互结合，但是必须是以本领域普通技术人员能够实现为基础，当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在，也不在本申请要求的保护范围之内。

[51] 本申请提出一种存储器写保护电路，适用于电视机、手机、电脑等具有显示面板的显示装置中。

[52] 参照图1至图3，在本申请一实施例中，该存储器写保护电路包括：

- [53] 数据写入触发端WP-I，所述数据写入触发端WP-I与存储器100的写保护脚WP连接，被配置为接收控制存储器100进入写入状态的第一电平信号；
- [54] 写保护控制电路10，与存储器100的写保护脚WP连接，被设置为提供限制存储器100被写入数据的第二电平信号至存储器100的写保护脚WP；所述第二电平信号与第一电平信号的极性相反；
- [55] 干扰信号吸收电路20，与所述数据写入触发端WP-I连接，被设置为在存储器100正常工作时，检测所述数据写入触发端WP-I接收的电平信号，并在检测到所述数据写入触发端WP-I接收到第一电平信号时，将第一电平信号进行吸收。
- [56] 本实施例中，第一电平信号可以是高电平，第二电平信号则被配置为低电平，或者第一电平信号被配置为低电平，第二电平信号则被配置为高电平。
- [57] 存储器100可以设置于时序控制（Timing Controller，TCON）PCB板上，存储器100可以存储用于驱动栅极驱动集成电路和源极驱动集成电路工作的控制信号，并通过PC（Inter-Integrated Circuit）通讯总线与时序控制器通讯连接，在显示装置上电工作时，时序控制器读取存储器100里的控制信号，及其他设定数据进行初始设置，以产生对应的时序控制信号，从而驱动显示装置中的显示面板的源极驱动集成电路及栅极驱动集成电路工作。存储器100的数据在显示装置正常工作时是不能被修改的，一旦被修改，使得设定数据出错，将导致显示装置显示异常。因此，存储器100大多设置写保护引脚（WP pin），并在输入高电平时，可以控制存储器100写入数据，而在低电平时，不能写入数据，而对存储器100进行写保护。因此，本实施例中，在存储器100正常工作的过程中，提供限制存储器100被写入数据的第二电平信号至存储器100的写保护脚WP，以对存储器100进行写保护。
- [58] 需要说明的是，写保护一般是通过在写保护与地之间串联一个电阻，以在显示装置正常工作的情况下，存储器100都不会被改写数据。在显示装置进行程序烧录或者程更新时，存储器100的写保护脚WP、时钟脚及数据脚均通过I2C通讯总线及电连接器与上位机连接，并在写保护脚WP接收到上位机输入的高电平信号，从而将数据信号写入至存储器100，直至更新结束。然而，在程序更新结束之后，往往会有杂讯（高电平突波）串到写保护脚WP，当这个杂讯为高电平时，

并且I2C总线也存在干扰信号，此时该干扰信号将存储器100误动作，而写入该干扰信号的数据，导致存储器100存储的软体数据code被改写。

[59] 为了解决上述问题，本实施例存储器写保护电路可以设置于显示装置的主控板上，并对显示装置中的存储器100进行写保护，以防止存储器100中存储的程序，也即软体数据code被篡改。

[60] 其中，数据写入触发端WP-I通过I2C通讯总线与显示装置中的电连接器连接，在显示装置进行程序烧录或者程序更新时，数据写入触发端WP-I过I2C通讯总线及电连接器与上位机连接，以接入高电平的写保护触发信号至存储器100的写保护脚WP，此时上位机可以通过显示装置中的电连接器以及I2C通讯总线与存储器100通讯连接，从而对存储器100的软体数据进行改写。

[61] 写保护控制电路10与存储器100的写保护脚WP连接，也即与写保护触发信号输出端并联，以在显示装置正常工作时，输出低电平的第二电平信号至存储器100的写保护脚WP，也即，存储器100脚的写保护脚WP的电平被写保护控制电路10拉低，以保证在显示装置上电以及正常工作时，存储器100内的软体数据不被改写，从而对存储器100进行写保护。

[62] 干扰信号吸收电路20的输入端与数据写入触发端WP-I连接，在显示装置上电以及正常工作时，存储器100的写保护脚WP被低电平钳制，而进行写保护的。若干扰信号吸收电路20在存储器100正常工作的过程中，检测到数据写入触发端WP-I接收到高电平的第一电平信号时，则可以判定该第一电平信号为高电平的干扰信号，并吸收自PC通讯总线上窜入至数据写入触发端WP-I的干扰信号，从而避免存储器100脚的写保护脚WP的电平被干扰信号拉高，导致I²C通讯总线上的干扰信号通过I2C通讯总线的接入至存储器100的数据传输脚（时钟脚及数据脚），并对存储器100的软体数据进行改写。在显示装置需要进行程序更新时，干扰信号吸收电路20不工作，上位机与存储器100正常通讯，并完成存储器100的软体数据写入。

[63] 本申请存储器写保护电路通过设置写保护控制电路10，并与存储器100的写保护脚WP连接，以为在存储器100正常工作时，输入写控制信号至存储器100的写保护脚WP；以及数据写入触发端WP-I及写保护触发信号输出端，分别与电连接

器和存储器100的写保护脚WP连接，从而在存储器100进行数据更新时，将接入的写保护触发信号输出至存储器100的写保护脚WP；本申请还设置有，干扰信号吸收电路20，干扰信号吸收电路20的输入端与数据写入触发端WP-I连接，以在显示装置上电以及正常工作时，吸收I2C通讯总线上窜入至数据写入触发端WP-I的干扰信号。本申请解决了存储器100脚的写保护脚WP的电平被干扰信号拉高，导致I2C通讯总线上的干扰信号通过I2C通讯总线的接入至存储器100的数据传输脚（时钟脚及数据脚），并对存储器100的软体数据进行改写的问题。可以有效地防止存储器100的软体数据被改写。

[64] 参照图1至图3，在一可选实施例中，在所述干扰信号吸收电路20具体配置为：在接收到表征存储器100正常工作的第一控制信号时，检测所述数据写入触发端WP-I接收的电平信号，并在检测到所述数据写入触发端WP-I接收到第一电平信号时，将第一电平信号进行吸收。

[65] 本实施例中，干扰信号吸收电路20的电路结构具体可以根据第一控制信号接入的信号类型进行设置。第一控制信号可以是低电平的第二电平信号，也可以是电源信号。

[66] 参照图1及图2，在第一控制信号为低电平的第二电平信号时，在存储器100上电工作，或者在正常工作时，写保护控制电路10输出低电平的第二电平信号至写保护脚WP，以使存储器100维持写保护状态。同时该第二电平信号将输出至干扰信号吸收电路20，以控制干扰吸收电路不动作。

[67] 所述干扰信号吸收电路20包括第一开关管Q1及第一电阻R1，所述第一开关管Q1的输入端与所述数据写入触发端WP-I及所述第一电阻R1的第一端互连，所述第一电阻R1的第二端与所述第一电子开关的受控端连接，所述第一开关管Q1的输出端接地。

[68] 本实施例中，第一开关管Q1可以采用三极管、MOS管等开关管来实现，本实施例可选采用N-MOS管来实现。第一电阻R1的阻值可设置为0欧姆，第一电阻R1用于为N-MOS管提供偏置电压。在显示装置正常工作时，电连接器以及I2C通讯总线上是无电压输入的，也即数据写入触发端WP-I无信号输入，此时写保护控制电路10输出低电平的写保护信号至存储器100的写保护脚WP，以使存储器1

00维持写保护状态，该低电平的第二电平信号输出至N-MOS管的栅极，从而使N-MOS管处于截止状态（ $V_{GS}=0$ ）。当有杂讯杂波信号，例如高电平突波信号，从数据写入触发端WP-I窜入时，第一电阻R1为N-MOS管提供偏置电压，而使N-MOS管导通（ $V_{GS}>0$ ）；干扰信号经N-MOS管输出到地，而不会使存储器100的写保护脚WP处于高电平状态，并且，此时写保护控制电路10维持低电平输出，以将存储器100的写保护脚WP维持低电平，也即维持写保护状态，从而使存储器100无法写入code。

[69] 参照图1及图3，在第一控制信号为高电平的电源信号时，所述存储器写保护电路还包括电源输入端VCC，干扰信号吸收电路20的受控端与电源输入端VCC连接，该电源输入端VCC可以接入存储器100的供电电源，例如3.3V的直流电源，并在存储器100上电工作时，干扰信号吸收电路20接收到该供电电源开始工作，并将其输入端接收到的高电平的第一电平信号，也即进行吸收。

[70] 所述干扰信号吸收电路20包括第二开关管Q2及第二电阻R2，所述第二开关管Q2的输入端与所述数据写入触发端WP-I连接，所述第二开关管Q2的受控端经所述第二电阻R2与所述电源输入端VCC连接，所述第二开关管Q2的输出端接地。

[71] 本实施例中，第二开关管Q2可以采用三极管、MOS管等开关管来实现，本实施例可选采用N-MOS管来实现。第二电阻R2为限流电阻，用于防止输出至第二开关管Q2的受控端电流过大而损坏开关管。电源输入端VCC用于接入控制信号，以控制第二开关管Q2开启，电源输入端VCC可以与存储器100的电源输入端VCC并联，从而接入存储器100的供电电源，例如3.

3V的直流电源，第二开关管Q2在显示装置上电工作后导通，从而将数据写入触发端WP-I与地短接。如此设置，使得当有干扰信号从数据写入触发端WP-I窜入时，可以经N-MOS管输出到地，而不会使存储器100的写保护脚WP处于高电平状态，并且，此时写保护控制电路10维持低电平输出，以将存储器100的写保护脚WP维持低电平，也即维持写保护状态，从而使存储器100无法写入code。

[72] 参照图1至图3，在一可选实施例中，所述存储器写保护电路还包括限流元件（图未标示），所述限流元件串联设置于所述数据写入触发端WP-I与存储器100的写保护脚WP之间。

- [73] 上述实施例中，所述限流元件可以采用电感、电阻等可以限制电流的元件来实现，本实施例可选为第三电阻R3，所述第三电阻R3串联设置于所述数据写入触发端WP-I与存储器100的写保护脚WP之间。本实施例中，第三电阻R3为上拉电阻，用于在数据写入触发端WP-I过I2C通讯总线及电连接器与上位机连接，并接入高电平的写保护触发信号至存储器100的写保护脚WP时，保证高电平信号能够输出至写保护脚WP而触发存储器100进入可写入状态。
- [74] 参照图1至图3，在一可选实施例中，所述写保护控制电路10包括第四电阻R4，所述第四电阻R4串联设置于存储器100的写保护脚WP与地之间。
- [75] 进一步地，上述实施例中，所述第三电阻R3和所述第四电阻R4的阻值之比为1:12~1:6。本实施例中，可以理解的是，第三电阻R3和第四电阻R4串联分压，以使数据写入触发端WP-I过I²C通讯总线及电连接器与上位机连接，并接入高电平的写保护触发信号至存储器100的写保护脚WP时，保证高电平信号能够输出至写保护脚WP而触发存储器100进入可写入状态。
- [76] 需要说明的是，当需要对存储器100的程序进行更新时，也即需要将code写入存储器100使，存储器100的写保护脚WP需要保证为高电平，而存储器100的供电电压一般为3.3V，因此写保护触发信号一般需要设置为2.7-3.6V，此时存储器100才读取该电压信号为高电平信号。电连接器接入的电压一般为3.3V，该电压经第三电阻R3和第四电阻R4串联分压后需要保证存储器100的写保护脚WP接入的维持在电压2.7-3.6V，本实施例中，根据分压原理，当第三电阻R3和第四电阻R4的阻值之比设置为1:12~1:6时，可以第三电阻R3和第四电阻R4分压后写保护脚WP实际电压还是为高电平。本实施例第三电阻R3和第四电阻R4的阻值之比可选为1:10。
- [77] 本申请还提出一种显示装置，其中，包括如上所述的存储器写保护电路。该存储器写保护电路的详细结构可参照上述实施例，此处不再赘述；可以理解的是，由于在本申请显示装置中使用了上述存储器写保护电路，因此，本申请显示装置的实施例包括上述存储器写保护电路全部实施例的全部技术方案，且所达到的技术效果也完全相同，在此不再赘述。
- [78] 以上所述仅为本申请的可选实施例，并非因此限制本申请的专利范围，凡是在

本申请的申请构思下，利用本申请说明书及附图内容所作的等效结构变换，或直接/间接运用在其他相关的技术领域均包括在本申请的专利保护范围内。

权利要求书

- [权利要求 1] 一种存储器写保护电路，其中，所述存储器写保护电路包括：
数据写入触发端，所述数据写入触发端与存储器的写保护脚连接，被配置为接收控制存储器进入写入状态的第一电平信号；
写保护控制电路，与存储器的写保护脚连接，被设置为提供限制存储器被写入数据的第二电平信号至存储器的写保护脚；所述第二电平信号与第一电平信号的极性相反；
干扰信号吸收电路，与所述数据写入触发端连接，被设置为在存储器正常工作时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。
- [权利要求 2] 如权利要求1所述的存储器写保护电路，其中，所述干扰信号吸收电路，具体设置为在接收到表征存储器正常工作的第一控制信号时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。
- [权利要求 3] 如权利要求2所述的存储器写保护电路，其中，所述干扰信号吸收电路包括第一开关管及第一电阻，所述第一开关管的输入端与所述数据写入触发端及所述第一电阻的第一端互连，所述第一电阻的第二端与所述第一电子开关的受控端连接，所述第一开关管的输出端接地。
- [权利要求 4] 如权利要求3所述的存储器写保护电路，其中，所述第一开关管为N-MOS管。
- [权利要求 5] 如权利要求2所述的存储器写保护电路，其中，所述存储器写保护电路还包括电源输入端，所述干扰信号吸收电路包括第二开关管及第二电阻，所述第二开关管的输入端与所述数据写入触发端连接，所述第二开关管的受控端经所述第二电阻与所述电源输入端连接，所述第二开关管的输出端接地。
- [权利要求 6] 如权利要求5所述的存储器写保护电路，其中，所述电源输入端VCC与所述存储器的电源输入端并联，以接入所述存储器的供电电源。

- [权利要求 7] 如权利要求5所述的存储器写保护电路，其中，所述第二开关管为N-MOS管。
- [权利要求 8] 如权利要求1所述的存储器写保护电路，其中，所述存储器写保护电路还包括限流元件，所述限流元件串联设置于所述数据写入触发端与存储器的写保护脚之间。
- [权利要求 9] 如权利要求8所述的存储器写保护电路，其中，所述限流元件为第三电阻，所述第三电阻串联设置于所述数据写入触发端与存储器的写保护脚之间。
- [权利要求 10] 如权利要求9所述的存储器写保护电路，其中，所述写保护控制电路包括第四电阻，所述第四电阻串联设置于存储器的写保护脚与地之间。
- [权利要求 11] 如权利要求10所述的存储器写保护电路，其中，所述第三电阻和第四电阻串联设置。
- [权利要求 12] 如权利要求10所述的存储器写保护电路，其中，所述第三电阻和所述第四电阻，设置为在所述数据写入触发端通过I²C通讯总线及电连接器与上位机连接，并接入高电平的写保护触发信号至所述存储器的写保护脚时，控制高电平信号输出至写保护脚而触发所述存储器进入可写入状态。
- [权利要求 13] 如权利要求10所述的存储器写保护电路，其中，所述第三电阻和所述第四电阻的阻值之比为1:12~1:6。
- [权利要求 14] 如权利要求11所述的存储器写保护电路，其中，所述第三电阻和所述第四电阻的阻值之比设置为1:10。
- [权利要求 15] 一种存储器写保护电路，其中，所述存储器写保护电路包括：
第一电阻，与存储器的写保护脚连接，被设置为在存储器正常工作时，输入低电平的写控制信号至存储器的写保护脚；
数据写入触发端，与存储器的写保护脚连接，被设置为在存储器进行数据更新时，将接入的高电平的写保护触发信号输出至存储器的写保护脚；

干扰信号吸收电路，与所述数据写入触发端连接，
被设置为在存储器正常工作时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。

[权利要求 16] 一种显示装置，其中，包括如权利要求1所述的存储器写保护电路；
所述存储器写保护电路包括：
数据写入触发端，所述数据写入触发端与存储器的写保护脚连接，被配置为接收控制存储器进入写入状态的第一电平信号；
写保护控制电路，与存储器的写保护脚连接，被设置为提供限制存储器被写入数据的第二电平信号至存储器的写保护脚；所述第二电平信号与第一电平信号的极性相反；
干扰信号吸收电路，与所述数据写入触发端连接，被设置为在存储器正常工作时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。

[权利要求 17] 如权利要求16所述的显示装置，其中，所述显示装置还包括P
C（Inter-Integrated
Circuit）通讯总线及时序控制器，所述存储器通过P C通讯总线与时序控制器连接。

[权利要求 18] 如权利要求17所述的显示装置，其中，所述显示装置还包括显示面板、源极驱动集成电路及栅极驱动集成电路，所述时序控制器分别与
所述源极驱动集成电路及所述栅极驱动集成电路连接，所述源极驱动集成电路及所述栅极驱动集成电路还与所述显示面板。

[权利要求 19] 如权利要求16所述的显示装置，其中，所述干扰信号吸收电路，具体设置为在接收到表征存储器正常工作的第一控制信号时，检测所述数据写入触发端接收的电平信号，并在检测到所述数据写入触发端接收到第一电平信号时，将第一电平信号进行吸收。

[权利要求 20] 如权利要求19所述的显示装置，其中，所述存储器写保护电路还包括

电源输入端，所述干扰信号吸收电路包括第二开关管及第二电阻，所述第二开关管的输入端与所述数据写入触发端连接，所述第二开关管的受控端经所述第二电阻与所述电源输入端连接，所述第二开关管的输出端接地。

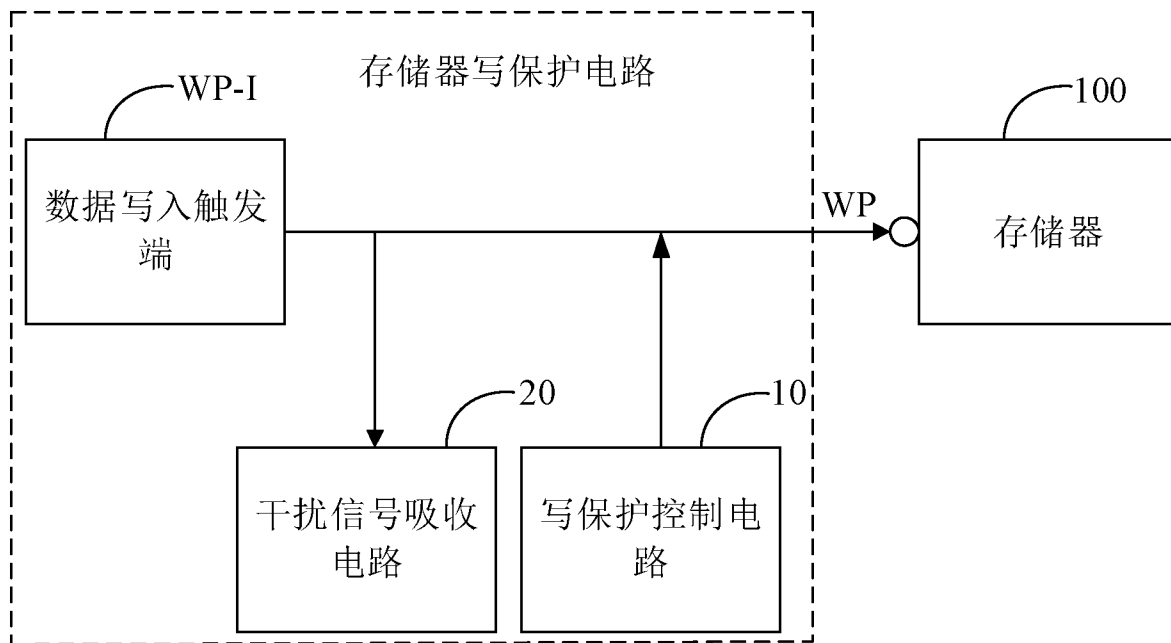


图 1

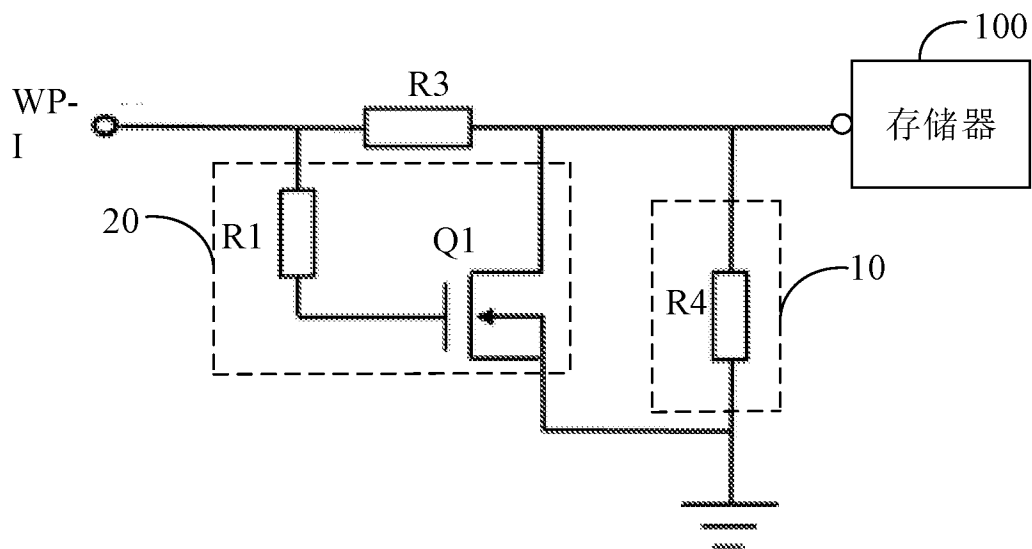


图 2

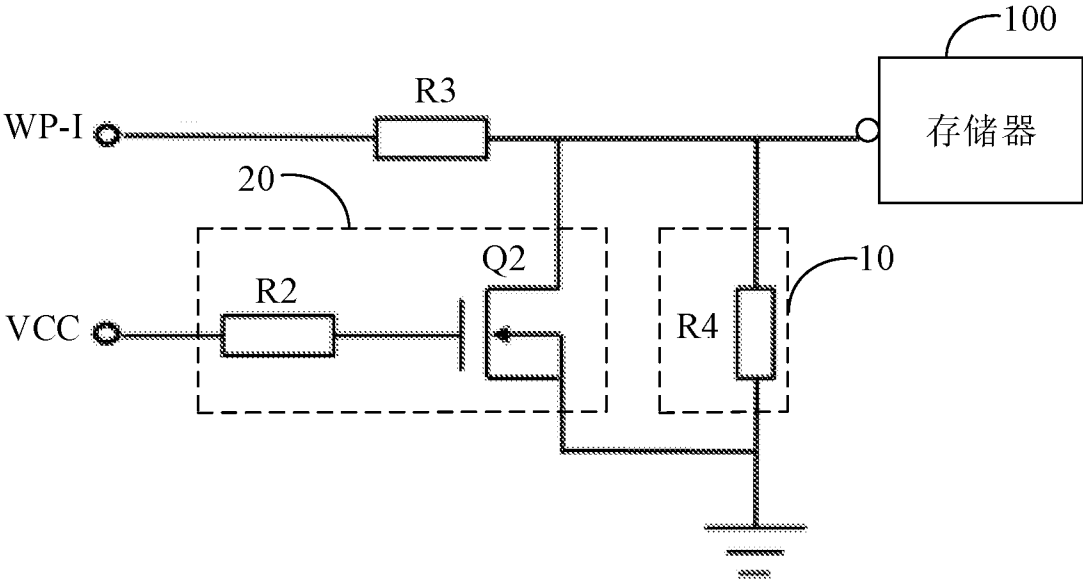


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/115778

A. CLASSIFICATION OF SUBJECT MATTER

G11C 16/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 存储器, 写保护, 信号, 高电平, 低电平, 干扰, 吸收, 改写, 误写, 显示, memory, write, protect, signal, high w level, low w level, interference, absorb, overwriting, miswriting, display

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106463157 A (SHENZHEN STREAMAX TECHNOLOGY CO., LTD.) 22 February 2017 (2017-02-22) description, paragraphs [0022]-[0042], and figure 1	1-20
A	CN 2678275 Y (SHENZHEN SKYWORTH RGB ELECTRONICS CO., LTD.) 09 February 2005 (2005-02-09) entire document	1-20
A	CN 201117293 Y (QINGDAO HISENSE ELECTRONICS CO., LTD.) 17 September 2008 (2008-09-17) entire document	1-20
A	CN 102446141 A (HANGZHOU H3C TECHNOLOGIES CO., LTD.) 09 May 2012 (2012-05-09) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 April 2019

Date of mailing of the international search report

29 May 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/ CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/115778

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106463157	A	22 February 2017	WO	2017214897	A1	21 December 2017
CN	2678275	Y	09 February 2005	None			
CN	201117293	Y	17 September 2008	None			
CN	102446141	A	09 May 2012	None			

国际检索报告

国际申请号

PCT/CN2018/115778

A. 主题的分类 G11C 16/34 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) WPI, EPDOC, CNPAT, CNKI, IEEE: 存储器, 写保护, 信号, 高电平, 低电平, 干扰, 吸收, 改写, 误写, 显示, memory, write, protect, signal, high w level, low w level, interference, absorb, overwriting, miswriting, display																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 106463157 A (深圳市锐明技术股份有限公司) 2017年 2月 22日 (2017 - 02 - 22) 说明书第[0022]-[0042]段, 图1</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 2678275 Y (深圳创维—RGB电子有限公司) 2005年 2月 9日 (2005 - 02 - 09) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 201117293 Y (青岛海信电器股份有限公司) 2008年 9月 17日 (2008 - 09 - 17) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 102446141 A (杭州华三通信技术有限公司) 2012年 5月 9日 (2012 - 05 - 09) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 106463157 A (深圳市锐明技术股份有限公司) 2017年 2月 22日 (2017 - 02 - 22) 说明书第[0022]-[0042]段, 图1	1-20	A	CN 2678275 Y (深圳创维—RGB电子有限公司) 2005年 2月 9日 (2005 - 02 - 09) 全文	1-20	A	CN 201117293 Y (青岛海信电器股份有限公司) 2008年 9月 17日 (2008 - 09 - 17) 全文	1-20	A	CN 102446141 A (杭州华三通信技术有限公司) 2012年 5月 9日 (2012 - 05 - 09) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 106463157 A (深圳市锐明技术股份有限公司) 2017年 2月 22日 (2017 - 02 - 22) 说明书第[0022]-[0042]段, 图1	1-20															
A	CN 2678275 Y (深圳创维—RGB电子有限公司) 2005年 2月 9日 (2005 - 02 - 09) 全文	1-20															
A	CN 201117293 Y (青岛海信电器股份有限公司) 2008年 9月 17日 (2008 - 09 - 17) 全文	1-20															
A	CN 102446141 A (杭州华三通信技术有限公司) 2012年 5月 9日 (2012 - 05 - 09) 全文	1-20															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2019年 4月 29日		国际检索报告邮寄日期 2019年 5月 29日															
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 王晓敏 电话号码 86-(10)-53961359															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/115778

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	106463157	A	2017年 2月 22日	WO 2017214897 A1	2017年 12月 21日
CN	2678275	Y	2005年 2月 9日	无	
CN	201117293	Y	2008年 9月 17日	无	
CN	102446141	A	2012年 5月 9日	无	