



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201734766 A

(43)公開日：中華民國 106 (2017) 年 10 月 01 日

(21)申請案號：105139952

(22)申請日：中華民國 105 (2016) 年 12 月 02 日

(51)Int. Cl.：

G06F9/30 (2006.01)**G06F7/38 (2006.01)**

(30)優先權：2016/01/05 美國

14/988,298

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：瑪格莉斯 歐格 MARGULIS, OLEG (IL)；阿格朗 傑森 AGRON, JASON M.

(US)；桑達 泰勒 SONDAG, TYLER N. (US)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：12 共 78 頁

(54)名稱

使用處理器指令前綴的二進制轉譯支援

BINARY TRANSLATION SUPPORT USING PROCESSOR INSTRUCTION PREFIXES

(57)摘要

提供一種處理系統，其係實施使用處理器指令前綴之二進制轉譯支援的技術。於一實施例中，該處理系統包括暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料及耦合至該暫存器庫之處理器核心。接收將由該處理器核心所執行之指令。該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列。運算碼前綴係參考將被用於該二進制轉譯器操作期間之該些複數暫存器的延伸暫存器。該延伸暫存器係保存該些複數暫存器之來源暫存器值。

A processing system implementing techniques for binary translation support using processor instruction prefixes is provided. In one embodiment, the processing system includes a register bank having a plurality of registers to store data for use in executing instructions and a processor core coupled to the register bank. An instruction to be executed by the processor core is received. The instruction is associated with a binary translator operation to translate input instruction sequences to output instruction sequences. An opcode prefix referencing an extended register of the plurality of registers to be used during the binary translator operation. The extended register preserves a source register value of the plurality of registers.

指定代表圖：

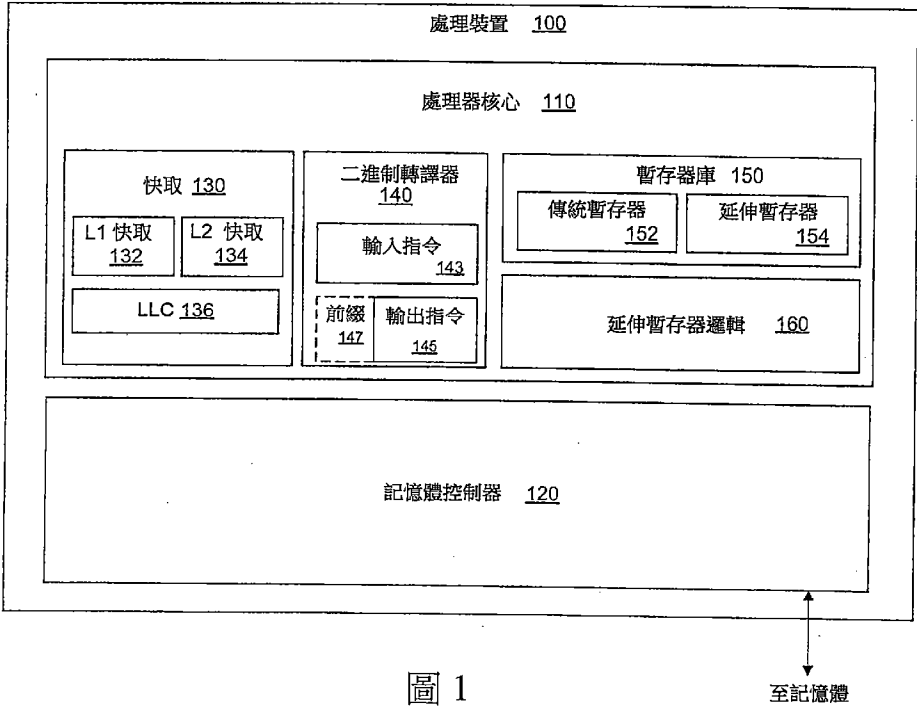


圖 1

符號簡單說明：

- 100 . . . 處理裝置
- 110 . . . 處理器核心
- 120 . . . 記憶體控制器單元
- 130 . . . 快取單元
- 132 . . . 第一階(L1)
- 134 . . . 第二階(L2)
- 136 . . . 最後階快取(LLC)
- 140 . . . 二進制轉譯器
- 143 . . . 輸入指令
- 145 . . . 本機碼輸出指令
- 147 . . . 前綴
- 150 . . . 暫存器庫
- 152 . . . 傳統暫存器
- 154 . . . 延伸暫存器
- 160 . . . 延伸暫存器邏輯

發明摘要

※申請案號：105139952

※申請日：105 年 12 月 02 日

※IPC 分類：**G06F9/30** (2006.01)
G06F7/38 (2006.01)

【發明名稱】(中文/英文)

使用處理器指令前綴的二進制轉譯支援

Binary translation support using processor instruction prefixes

【中文】

提供一種處理系統，其係實施使用處理器指令前綴之二進制轉譯支援的技術。於一實施例中，該處理系統包括暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料及耦合至該暫存器庫之處理器核心。接收將由該處理器核心所執行之指令。該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列。運算碼前綴係參考將被用於該二進制轉譯器操作期間之該些複數暫存器的延伸暫存器。該延伸暫存器係保存該些複數暫存器之來源暫存器值。

【 英 文 】

A processing system implementing techniques for binary translation support using processor instruction prefixes is provided. In one embodiment, the processing system includes a register bank having a plurality of registers to store data for use in executing instructions and a processor core coupled to the register bank. An instruction to be executed by the processor core is received. The instruction is associated with a binary translator operation to translate input instruction sequences to output instruction sequences. An opcode prefix referencing an extended register of the plurality of registers to be used during the binary translator operation. The extended register preserves a source register value of the plurality of registers.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

- 100：處理裝置
- 110：處理器核心
- 120：記憶體控制器單元
- 130：快取單元
- 132：第一階（L1）
- 134：第二階（L2）
- 136：最後階快取（LLC）
- 140：二進制轉譯器
- 143：輸入指令
- 145：本機碼輸出指令
- 147：前綴
- 150：暫存器庫
- 152：傳統暫存器
- 154：延伸暫存器
- 160：延伸暫存器邏輯

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

使用處理器指令前綴的二進制轉譯支援

Binary translation support using processor instruction prefixes

【技術領域】

本發明之實施例一般係有關於微處理器，及更明確地（但非限制地）有關於使用處理器指令前綴的二進制轉譯支援。

【先前技術】

二進制轉譯是一種將針對一指令集架構（諸如傳統架構）所編譯的可執行碼轉譯為針對新的指令集架構或相同的第一架構之目標碼。支援二進制轉譯之某些系統將額外的硬體結構引入處理器核心以支援碼最佳化。這些結構以及其他新的架構或處理器核心之硬體特徵需被暴露至應用等級（例如，外部世界）或者至隱藏（內含的）世界，其係由賣方的 CPU 所控制以供由最佳化碼於運行時間所管理。

【圖式簡單說明】

本發明將從以下所提供之詳細描述以及從本發明之各個實施例的附圖被更完整地瞭解。然而，該些圖形不應被

視為限制本發明於特定實施例，而是僅為了解釋及理解。

圖 1 闡明一種使用處理器指令前綴以支援二進制轉譯的處理裝置之方塊圖，依據一實施例。

圖 2 闡明一種包括使用處理器指令前綴以支援二進制轉譯的記憶體之系統，依據一實施例。

圖 3 闡明一種用於使用處理器指令前綴之二進制轉譯支援的方法之流程圖，依據一實施例。

圖 4 闡明一種使用處理器指令前綴以延伸通用暫存器的方法之流程圖，依據一實施例。

圖 5A 為闡明用於處理器之微架構的方塊圖，依據一實施例。

圖 5B 為闡明依序管線及暫存器重新命名級、失序發送/執行管線之方塊圖，依據一實施例。

圖 6 為闡明一電腦系統之方塊圖，依據一實施方式。

圖 7 為闡明一系統之方塊圖，其中本發明之一實施例可被使用。

圖 8 為闡明一系統之方塊圖，其中本發明之一實施例可被使用。

圖 9 為闡明一系統之方塊圖，其中本發明之一實施例可被使用。

圖 10 為闡明一系統單晶片（SoC）之方塊圖，其中本發明之一實施例可被使用。

圖 11 為闡明一 SoC 之方塊圖，其中本發明之一實施例可被使用。

圖 12 闡明一方塊圖，其係闡明其中本發明之一實施例可被使用的電腦系統。

【發明內容與實施方式】

文中係揭露使用處理器指令前綴的二進制轉譯支援之技術。二進制轉譯係容許其針對第一架構（例如，傳統架構）而編譯之二進制碼的執行被進行於第二架構（例如，下一代架構）或相同的第一架構上。電腦程式通常係使用針對特別處理器架構之特定指令集而被編譯為二進制碼。於許多情況下，處理器可使用特定指令以存取某些指令集架構（ISA）（諸如 x86 架構）中所實施的硬體（例如，通用暫存器（GPR））。於某些情況下，此造成問題，當其可能包括新的內部硬體結構（諸如延伸集的暫存器）之下一代處理器被引入時。例如，實施二進制轉譯之系統可能需要極大的工程及資金資源以協助支援其以傳統處理器架構所編譯的電腦程式，來利用下一代處理器架構中之硬體。

存在數種方式以利用新處理器中所實施的或與新處理器相關的新硬體特徵。於一種方式中，控制暫存器（CREG）介面可被用以改變處理器之一般行為，當其正在執行使用傳統架構所編譯的電腦程式時。然而，此方式是無效率的，因為 CREG 介面通常是固有地緩慢的。於另一方式中，處理器可包括替代指令集，其係與傳統（x86）指令集共存。於此方式中，雖然替代指令集能夠

存取所有必要的硬體，但該方式可能是昂貴的且涉及極大的工程努力，因為其需要處理器之某些關鍵部分（諸如處理器核心之前端邏輯）的複製。

本發明之實施例提供處理器指令前綴，用以存取新的處理器功能來支援一組輸入指令序列之二進制轉譯至輸出指令序列。於一實施例中，於處理器上所接收的指令包括運算碼前綴。運算碼前綴包括複數位元，其可被用以暴露新的硬體功能至二進制轉譯應用。此新的硬體功能可包括（但不限定於）：存取延伸集的處理器資源，諸如延伸集的 GPR；非破壞性操作（例如，其中某類型的最佳化操作中所使用的來源暫存器將被保存；重新排序硬體以供追蹤其可能已被重新排序之指令序列的失序執行以致其可在運行時間被更有效率地執行；及斷定硬體，用以控制由二進制轉譯應用所使用之最佳化碼的某些指令之條件式執行。於替代實施例中，指令前綴可被用以暴露其他新的功能以支援二進制轉譯及針對傳統二進制碼之其他類型的最佳化。

圖 1 闡明一種使用處理器指令前綴以支援二進制轉譯的處理裝置之方塊圖。處理裝置 100 可一般地被稱為「處理器」或「CPU」。文中之「處理器」或「CPU」將指稱一種能夠執行指令編碼算術、邏輯、或 I/O 操作之裝置。於一說明性範例中，處理器可包括算術邏輯單元（ALU）、控制單元、及複數暫存器。於進一步形態中，處理器可包括一或更多處理核心，而因此可為單核心處理

器（其通常能夠處理單指令管線）、或多核心處理器（其可同時地處理多指令管線）。於另一形態中，處理器可被實施為單積體電路、二或更多積體電路，或者可為多晶片模組之組件（例如，其中個別微處理器晶粒被包括於單積體電路封裝中而因此共用單插口）。

如圖 1 中所示，處理裝置 100 可包括各種組件。於一實施例中，處理裝置 100 可包括一或更多處理器核心 110 及記憶體控制器單元 120（於其他組件中），其係彼此耦合如圖所示。處理裝置 100 亦可包括通訊組件（未顯示），其可被用於處理裝置 100 的各個組件之間的點對點通訊。處理裝置 100 可被用於計算系統（未顯示），其包括（但不限定於）桌上型電腦、輸入板電腦、膝上型電腦、小筆電、筆記型電腦、個人數位助理（PDA）、伺服器、工作站、行動電話、行動計算裝置、智慧型手機、網際網路器具或任何其他類型的計算裝置。於另一實施例中，處理裝置 100 可被用於系統單晶片（SoC）系統。於一實施例中，SoC 可包含處理裝置 100 及記憶體。用於此一系統之記憶體為 DRAM 記憶體。DRAM 記憶體可被置於如處理器及其他系統組件之相同晶片上。此外，其他邏輯區塊（諸如記憶體控制器或圖形控制器）亦可被置於晶片上。

處理器核心 110 可執行針對處理裝置 100 之指令。該些指令可包括（但不限定於）預提取邏輯（用以提取指令）、解碼邏輯（用以解碼指令）、執行邏輯（用以執行

指令)，等等。計算系統可代表根據可得自 Intel® Corporation of Santa Clara, California 之處理器及/或微處理器的 PENTIUM® 家族之處理系統，雖然其他系統（包括具有其他微處理器之計算裝置、工程工作站、機上盒等等）亦可被使用。於一實施例中，樣本計算系統可執行作業系統之版本、嵌入軟體、及/或圖形使用者介面。因此，本發明之實施例不限於硬體電路與軟體之任何特定組合。

於一說明性範例中，處理核心 110 可具有包括處理器邏輯和電路之微架構。具有不同微架構之處理器核心可共用共同指令集之至少一部分。例如，類似暫存器架構可使用各種技術而以不同方式被實施於不同的微架構中，包括專屬的實體暫存器、使用暫存器重新命名機制之一或更多動態配置的實體暫存器（例如，使用暫存器別名表（RAT）、記錄器緩衝器（ROB）及撤回暫存器檔）。

記憶體控制器 120 可履行功能，其致能處理裝置 100 存取及通訊與記憶體（未顯示），其包括揮發性記憶體及/或非揮發性記憶體。於某些實施例中，記憶體控制器 120 可被置於與處理裝置 100 關聯的處理器晶粒上，而記憶體被置於處理器晶粒外。於某些實施例中，處理裝置 100 包括快取單元 130，用以快取指令及/或資料。快取單元 130 包括（但不限定於）第一階（L1）132、第二階（L2）134、及最後階快取（LLC）136、或處理裝置 100 內之快取記憶體的任何其他組態。於某些實施例中，L1 快取 132

及 L2 快取 134 可將資料轉移至或自 LLC 136。於一實施例中，記憶體控制器 120 可被連接至 LLC 136 以轉移資料於快取單元 130 與記憶體之間。如圖所示，快取單元 130 可集成入處理核心 110。快取單元 130 可儲存其由處理裝置 100 之一或更多組件所利用的資料（例如，包括指令）。

於某些實施例中，處理裝置 100 可包含二進制轉譯器 140。於某些實施例中，二進制轉譯器 140 可包含硬體（例如，電路、專用邏輯、可編程邏輯、微碼，等等）、軟體（諸如處理裝置上所運行的指令）、或其組合。於一實施例中，二進制轉譯器 140 將輸入指令 143（例如，傳統指令）轉譯或轉換為本機碼輸出指令 145。此可包括（但不限定於）藉由處理裝置 100 以「重新排序」及「最佳化」輸入指令 143 之執行。重新排序指令之序列通常涉及改變（例如）用以載入、執行、及/或儲存指令之記憶體操作的順序。當最佳化時，輸入指令 143 可包括條件式執行某些根據所滿足之特定條件的指令。

操作時，二進制轉譯器 140 係從快取單元 130 擷取輸入指令 143 並接著將那些指令轉譯至新的處理器架構中所使用之輸出指令 145。於某些實施例中，二進制轉譯器 140 將該些指令之各者轉譯/解碼為指令之相應序列，其係指引處理裝置 100 履行某些操作。如上所述，本發明之實施例係提供用以存取處理裝置 100 之額外硬體資源來支援指令之二進制轉譯的技術。於某些實施例中，這些額外硬

體資源可包括暫存器庫 150，包含複數傳統暫存器 152 及延伸暫存器 154。

處理核心 110 之延伸暫存器邏輯 160 可檢測其輸出指令 145 包括前綴部分 147。於一實施例中，x86 相容運算碼可選擇性地包括前綴 147。前綴 147 被用以指明與處理核心 110 關聯的一或更多暫存器。例如，前綴 147 可被利用以指明暫存器庫 150 之延伸暫存器 154 的一或更多者，以存取由輸出指令 145 所指定之新的處理器功能。

於某些實施例中，各指令可指示一或更多來源運算元，以供由處理裝置 100 於指定指令之執行期間由處理裝置 100 所利用。於一實施例中，處理裝置 100 可（例如，從二進制轉譯器 140）接收指令，其係呼叫某操作。於一實施例中，二進制轉譯器 140 接收來源輸入指令 143 並產生輸出指令 145，藉由插入其稍後將由處理裝置 100 之執行邏輯所解讀的前綴 147。於某些實施例中，依據本發明之指令 145 的各者之前綴 147 可被用以識別 x86 指令集架構中之延伸暫存器。目前，x86 指令集架構係提供預設八個通用暫存器（例如，傳統暫存器 152），其係依據某編碼格式而被指明於現存的 x86 指令中。於一 x86 實施例中，暫存器 R0-R7 包含八個現存傳統暫存器 152，而延伸暫存器 154 可包含預定數目的額外暫存器 R8-Rn（例如，64 個暫存器）。延伸暫存器邏輯 160 可依據前綴 147 以控制對於這些額外暫存器之存取。各種類型的結構可被使用為暫存器庫 150 之暫存器，只要其能夠儲存及提供資料

如文中所述。

如上所述，暫存器庫 150 包含現存的架構暫存器（例如，傳統暫存器 152）及額外暫存器之延伸部分（例如，延伸暫存器 154）。於某些實施例中，暫存器庫 150 之暫存器可被暴露至處理裝置 100 之二進制轉譯器 140。例如，由二進制轉譯器 140 所使用之指令前綴係用以指明該些暫存器中所儲存之運算元以協助從傳統平台轉譯指令至本機平台。

圖 2 闡明一種包括使用處理器指令前綴以支援二進制轉譯的記憶體 201 之系統 200，依據一實施例。於此範例中，記憶體 201 包括指令 210（諸如輸出指令 145 之一），諸如與處理裝置 100 關聯的指令 145 之一。指令 210 指示處理裝置 100 履行由運算碼 240 所指定的特定操作，諸如將兩個運算元相加在一起、或移動資料至及自處理核心 110 內之暫存器。於某些實施例中，指令 210 可包括運算碼前綴 217，包含碼欄位 220 和識別符欄位 230、以及指令 210 中之其他資訊 240，例如，有關該指令之操作的額外資訊（諸如該操作應如何被履行）、位址資訊，等等。

於一實施例中，運算碼前綴 217 之碼欄位 220 為該前綴 217 之剩餘者應如何被解讀的指示符。例如，碼欄位 220 可包括一或更多位元，用以指示將由處理裝置 100 使用一或更多暫存器而履行之操作的類型。於此方面，運算碼前綴 217 之識別符欄位 230 可包含複數位元，其係識別

由碼欄位 220 所指定之操作中所使用的暫存器（例如，延伸暫存器 154）。於某些實施例中，處理裝置 100 之延伸暫存器邏輯 160 係存取由指令 210 之運算碼前綴 217 所指示之操作的執行期間之延伸暫存器。

指令 210 之運算碼前綴 217 係控制對於處理裝置 100 之新的硬體特徵（例如，延伸暫存器 154）之存取，根據由指令 210 所指定的操作。於某些實施例中，當指令 210 被接收（例如，自二進制轉譯器 140）時，處理裝置 100 係組態成提取並檢驗運算碼前綴 217 之位元以定址處理裝置 100 之延伸暫存器 154。例如，於前綴 217 之識別符欄位 230 的某些位元組合中所設定的值可被用以識別與處理裝置 100 關聯的一或更多延伸暫存器 154。於某些實施例中，處理裝置 100 之延伸暫存器邏輯 160 係考量處理裝置 100 之能力以檢驗運算碼前綴 217 來判定運算碼前綴 217 針對配合處理裝置 100 之使用是否為有效。例如，延伸暫存器邏輯 160 可比較最佳化的指令提取位址與預定的範圍。假如根據該比較而判定其運算碼前綴 217 不是有效，則可產生警示或者可簡單地忽略該無效前綴。假如識別符匹配，則延伸暫存器邏輯 160 可判定其處理裝置 100 為新處理器之類型，其包括由運算碼前綴 217 之識別符欄位 230 所定址的延伸暫存器 154。

於某些實施例中，識別符欄位 230 可包括某些數目的位元（諸如八），用以定址處理裝置 100 中之額外暫存器。於一實施例中，識別符欄位 230 可識別來源位址延伸

欄位 (S1) 232 及目的地地址延伸欄位 (D1) 234。S1 欄位 234 包含識別符欄位 230 之某些位元且係由處理裝置 100 之延伸暫存器邏輯 160 所利用以識別來源延伸暫存器 250，其可被使用在當二進制轉譯器 140 決定保存來源暫存器值及/或為了其他原因而必須存取非預設 GPR 庫時。D1 欄位 234 亦包含識別符欄位 230 之某些位元且係由處理裝置 100 之延伸暫存器邏輯 160 所利用以識別暫存器庫 150 之目的地延伸暫存器 260。

於一說明性實施例中，二進制轉譯器 140 可決定將某些指令轉譯為非破壞性操作，以保存值於來源暫存器中，其將接著由後續指令所使用。例如，原始碼可重複地從記憶體將值載入暫存器、進行計算、及接著將該相同值重新載入以進行進一步計算。該值之重新載入為多餘的，且具有非破壞性操作將致能該計算被進行而無須重複地從記憶體重新載入該值。

為了保存來源暫存器中之資訊於操作期間不被改變，前綴 217 之識別符欄位 230 可識別來源延伸暫存器 250 及目的地暫存器 260，如上所述。於此範例中，來源延伸暫存器 250 及目的地暫存器 260 代表暫存器庫 150 中之不同暫存器。指令 210 可指示處理裝置 100 將指定值加至來源延伸暫存器 250 之內容。於此範例中，處理裝置 100 可使用來自來源延伸暫存器 250 之內容以履行指定的操作（例如，算術操作），並將結果儲存於目的地暫存器位址 260 中。因此，來源延伸暫存器 250 之內容被保存。

於另一說明性實施例中，指令 210 之前綴 217 的前綴碼 220 可指定一條件式操作，用以判定指令 210 所將被執行於其上之條件。例如，條件式操作可包括使用延伸暫存器以指示其與由二進制轉譯器 140 所轉譯之指令關聯的兩個不同操作之間的分支。於某些實施例中，處理裝置 100 可根據前綴 217 以條件式地執行與指令 210 關聯的操作。於一實施例中，前綴 217 之碼欄位 220 的位元之某組合可代表不同的條件。於某些實施例中，處理裝置 100 於映射表 275 中履行查找操作，該映射表 275 將某些前綴映射至某些條件。映射表 275 可被實施以硬體、韌體、軟體、或其組合。

根據其匹配映射表 275 中之項目的條件，處理裝置 100 係組態成條件式地執行與指令 210 關聯的一或更多操作。例如，由該些操作所參考的記憶體位址可被儲存於由前綴 230 之某些位元 236 所識別的延伸暫存器 270 中。於一範例中，延伸暫存器邏輯 160 可比較不同的延伸暫存器 270 中所儲存之兩個值。接著，根據由前綴碼 220 所指明的條件，處理裝置 100 可跳過/忽略或執行與指令 210 關聯的特定操作。

於又另一說明性實施例中，前綴碼 220 可指定一延伸操作，用以追蹤與指令序列關聯的記憶體載入及記憶體儲存之重新排序。與二進制轉譯器 140 關聯的最佳化程序可將原始指令序列之執行最佳化為重新排序的指令序列，在儲存於記憶體中以及藉由處理裝置 100 之後續存取以後。

於某些實施例中，由重新排序指令之各者所存取的記憶體位址可被儲存於由前綴 217 之識別符欄位 230 所指定的一或更多延伸暫存器 280 中。於某些實施例中，記憶體位址被推入「別名」硬體 285（例如，表），其被用以履行對於載入及儲存之檢查。於運行時間時刻，處理裝置 100 可藉由比較延伸暫存器 280 中之值與硬體 285 中之位址以履行檢查，來判定該些指令是否已被正確地重新排序，諸如當該些指令之載入及儲存將存取相同的記憶體位置時（已知為「記憶體別名」）。處理裝置 100 回應於判定其指令 210 已根據前綴 217 而被重新排序以履行針對別名硬體 285 之檢查。

為了驗證指令 210 之重新排序，處理裝置 100 可使用前綴 217 之識別符 230 以識別一或更多延伸暫存器。於某些實施例中，由該指令所存取之記憶體位址可被儲存於該些暫存器之至少一者中，在相應於指令序列之原始執行順序中的指令之位置的位置中。處理裝置 100 可接著比較該暫存器中所儲存之該記憶體位址與由指令 210 所存取之記憶體位址。根據該比較，處理裝置 100 可判定其指令 210 應未被重新排序或者已被錯誤地重新排序。例如，處理裝置 100 可判定其兩個記憶體位址係使用相同的記憶體位置，其指示該重新排序係由於記憶體別名而是無效的。於某些實施例中，假如該重新排序是無效的，則可產生一針對軟體程序之錯誤以供解決，例如，藉由轉返與指令 210 關聯的操作。例如，當記憶體別名發生且操作已被重新排

序時，此將造成其需要該些指令之轉返的重新排序錯誤。否則，處理裝置 100 可繼續處理如由前綴 217 所指定之重新排序的指令。

又進一步，指令 210 之前綴 217 可被用以控制與處理裝置 100 關聯的其他類的新硬體特徵，如由前綴之碼 220 及識別符 230 所指定者。

圖 3 闡明一種用於使用處理器指令前綴之二進制轉譯支援的方法之流程圖，依據一實施例。方法 300 可由處理邏輯所履行，該處理邏輯可包含硬體（例如，電路、專用邏輯、可編程邏輯、微碼，等等）、軟體（諸如運作於處理裝置上之指令）、韌體、或其組合。於一實施例中，圖 1 中之處理裝置 100（如由延伸暫存器邏輯 160 所指示）可履行方法 300。雖然以特別的序列或順序顯示，但除非另有指明，否則該些程序之順序可被修改。因此，所闡明的實施方式應僅被理解為範例，而所闡明的程序可被履行以不同的順序，且某些程序可被平行地履行。此外，一或更多程序可被省略於各個實施例中。因此，於每一實施方式中並非所有程序均為必要的。其他的程序流程是可能的。

方法 300 開始於區塊 310，其中係接收一與二進制轉譯器操作關聯的指令，該操作係用以將輸入指令序列轉譯至輸出指令序列。於區塊 320，識別該指令內之前綴。於區塊 330，將由處理器所履行之二進制轉譯器操作係根據該前綴而被判定。將於該二進制轉譯器操作期間被使用之

複數暫存器的延伸暫存器係根據該前綴而被識別，於區塊 340。

圖 4 闡明一種使用處理器指令前綴以延伸通用暫存器的方法之流程圖，依據一實施例。方法 400 可由處理邏輯所履行，該處理邏輯可包含硬體（例如，電路、專用邏輯、可編程邏輯、微碼，等等）、軟體（諸如運作於處理裝置上之指令）、韌體、或其組合。於一實施例中，圖 1 中之處理裝置 100（如由延伸暫存器邏輯 160 所指示）可履行方法 400。雖然以特別的序列或順序顯示，但除非另有指明，否則該些程序之順序可被修改。因此，所闡明的實施方式應僅被理解為範例，而所闡明的程序可被履行以不同的順序，且某些程序可被平行地履行。此外，一或更多程序可被省略於各個實施例中。因此，於每一實施方式中並非所有程序均為必要的。其他的程序流程是可能的。

方法 400 開始於區塊 410，其中與二進制轉譯器關聯的指令之前綴被識別。區塊 420 係根據該前綴是否有效而分支，其中其可由與二進制轉譯器關聯的處理器所執行。假如判定其該前綴為無效，則方法 400 可前進至區塊 430，其中該前綴可被忽略或者產生警示以指示該前綴無法存取延伸暫存器。否則，方法 400 可前進至區塊 440。於區塊 440，與該指令關聯的操作可由該處理器所履行，使用由該前綴所識別的一或更多延伸暫存器及/或額外硬體以支援該二進制轉譯器。

圖 5A 為闡明針對處理器 500 的微架構之方塊圖，該

處理器 500 係實施使用處理器指令前綴之二進制轉譯支援的技術，依據本發明之一實施例。明確地，處理器 500 係闡明其將被包括於處理器中的依序架構核心及暫存器重新命名邏輯、失序發送/執行邏輯，依據本發明之至少一實施例。

處理器 500 包括一耦合至執行引擎單元 550 之前端單元 530，且兩者均耦合至記憶體單元 570。處理器 500 可包括減少指令集計算（RISC）核心、複雜指令集計算（CISC）核心、極長指令字元（VLIW）核心、或者併合或替代核心類型。於又另一實施例中，處理器 500 可包括特殊用途核心，諸如（例如）網路或通訊核心、壓縮引擎、圖形核心，等等。於一實施例中，處理器 500 可為多核心處理器或者可為多處理器系統之部分。

前端單元 530 包括一支預測單元 532，其係耦合至指令快取單元 534，其係耦合至指令轉譯後備緩衝（TLB）536，其係耦合至指令提取單元 538，其係耦合至解碼單元 540。解碼單元 540（亦已知解碼器）可解碼指令；並可將以下產生為輸出：一或更多微操作、微碼進入點、微指令、其他指令、或其他控制信號，其被解碼自（或者反應）、或被衍生自原始指令。解碼器 540 可使用各種不同的機制來實施。適當機制之範例包括（但不限定於）查找表、硬體實施方式、可編程邏輯陣列（PLA）、微碼唯讀記憶體（ROM），等等。指令快取單元 534 被進一步耦合至記憶體單元 570。解碼單元 540 被耦合至執行

引擎單元 550 中之重新命名/配置器單元 552。

執行引擎單元 550 包括重新命名/配置器單元 552，其係耦合至撤回單元 554 及一組一或更多排程器單元 556。排程器單元 556 代表任何數目的不同排程器，包括保留站（RS）、中央指令窗，等等。排程器單元 556 被耦合至實體暫存器檔單元 558。實體暫存器檔單元 558 之各者代表一或更多實體暫存器檔，其不同者係儲存一或更多不同的資料類型，諸如純量整數、純量浮點、緊縮整數、緊縮浮點、向量整數、向量浮點等等、狀態（例如，其為下一待執行指令之位址的指令指標），等等。實體暫存器檔單元 558 係由撤回單元 554 所重疊以闡明其中暫存器重新命名及失序執行可被實施之各種方式（例如，使用記錄器緩衝器和撤回暫存器檔；使用未來檔、歷史緩衝器、和撤回暫存器檔；使用暫存器映圖和暫存器池，等等）。執行引擎單元 550 可包括（例如）電力管理單元（PMU）590，其係管理功能性單元之電力功能。

通常，架構暫存器從處理器之外部或者從編程者之觀點為可見的。暫存器不限於任何已知特定類型的電路。各種不同類型的暫存器為適合的，只要其能夠儲存並提供資料如文中所述者。適當暫存器之範例包括（但不限定於）專屬實體暫存器、使用暫存器重新命名之動態配置實體暫存器、專屬及動態配置實體暫存器之組合，等等。撤回單元 554 及實體暫存器檔單元 558 被耦合至執行叢集 560。執行叢集 560 包括一組一或更多執行單元 562 及一組一或

更多記憶體存取單元 564。執行單元 562 可履行各種操作（例如，移位、相加、相減、相乘）以及於各種類型的資料上（例如，純量浮點、緊縮整數、緊縮浮點、向量整數、向量浮點）。

雖然某些實施例可包括數個專屬於特定功能或功能集之執行單元，但其他實施例可包括僅一個執行單元或者全部履行所有功能之多數執行單元。排程器單元 556、實體暫存器檔單元 558、及執行叢集 560 被顯示為可能複數的，因為某些實施例係針對某些類型的資料/操作產生分離的管線（例如，純量整數管線、純量浮點/緊縮整數/緊縮浮點/向量整數/向量浮點管線、及/或記憶體存取管線，其各具有本身的排程器單元、實體暫存器檔單元、及/或執行叢集 - 且於分離記憶體存取管線之情況下，某些實施例被實施於其中僅有此管線之執行叢集具有記憶體存取單元 564）。亦應理解：當使用分離管線時，這些管線之一或更多者可為失序發送/執行而其他者為依序。

該組記憶體存取單元 564 被耦合至記憶體單元 570，其可包括資料預提取器 580、資料 TLB 單元 572、資料快取單元 574、及第 2 階（L2）快取單元 576，舉出一些範例。於某些實施例中，DCU 574 亦已知為第一階資料快取（L1 快取）。DCU 574 可處置多重顯著的快取喪失並繼續服務進來的儲存及載入。其亦支援維持快取同調性。資料 TLB 單元 572 為一種藉由映射虛擬及實體位址空間以增進位址轉譯速度之快取。於一範例實施例中，記憶體存

取單元 564 可包括載入單元、儲存位址單元、及儲存資料單元，其各者係耦合至記憶體單元 570 中之資料 TLB 單元 572。L2 快取單元 576 可被耦合至一或更多其他階的快取且最終至主記憶體。

於一實施例中，資料預提取器 580 臆測地載入/預提取資料至 DCU 574，藉由自動地預測程式將使用哪個資料。預提取可指稱將記憶體階層（例如，較低階快取或記憶體）之一記憶體位置中所儲存的資料轉移至其較接近（例如，產生較低存取潛時）處理器之較高階記憶體位置，在該資料實際地被該處理器所要求以前。更明確地，預提取可指稱從較低階快取/記憶體之一至資料快取及/或預提取緩衝器的資料之早期擷取，在處理器發出針對其被返回之特定資料的要求以前。

於一實施方式中，處理器 500 可相同於針對圖 1 所述之處理裝置 100。特別地，資料 TLB 單元 572 可相同於 TLB 155 且如針對圖 1 所述者，用以實施使用處理器指令前綴之二進制轉譯支援的技術，於一針對本發明之實施方式所述的處理裝置中。

處理器 500 可支援一或更多指令集（例如，x86 指令集（具有其已被加入以較新版本之某些延伸）；MIPS Technologies of Sunnyvale, CA 之 MIPS 指令集；ARM Holdings of Sunnyvale, CA 之 ARM 指令集（具有諸如 NEON 之選擇性額外延伸））。

應理解：核心可支援多線程（執行二或更多平行組的

操作或線緒)，並可以多種方式執行，包括時間切割多線程、同時多線程（其中單一實體核心提供邏輯核心給其實體核心正同時地多線程之每一線緒）、或者其組合（例如，時間切割提取和解碼以及之後的同時多線程，諸如 Intel® Hyperthreading 科技）。

雖然暫存器重新命名被描述於失序執行之背景，但應理解其暫存器重新命名可被使用於依序架構。雖然處理器之所述的實施例亦包括分離的指令和資料快取單元以及共用 L2 快取單元，但替代實施例可具有針對指令和資料兩者之單一內部快取，諸如（例如）第 1 階（L1）內部快取、或多階內部快取。於某些實施例中，該系統可包括內部快取與外部快取之組合，該外部快取是位於核心及/或處理器之外部。替代地，所有快取可於核心及/或處理器之外部。

圖 5B 為闡明由圖 5A 之處理器 500 所實施的依序管線及暫存器重新命名級、失序問題/執行管線之方塊圖，依據本發明之某些實施例。圖 5B 中之實線方盒係闡明依序管線，而虛線方盒係闡明暫存器重新命名、失序發送/執行管線。於圖 5B 中，處理器管線 501 包括提取級 502、長度解碼級 504、解碼級 506、配置級 508、重新命名級 510、排程（亦已知為分派或發送）級 512、暫存器讀取/記憶體讀取級 514、執行級 516、寫入回/記憶體寫入級 518、例外處置級 522、及確定級 524。於某些實施例中，級 502-524 之排序可不同於所顯示者且不限於圖 5B

中所示之特定排序。

圖 6 為闡明針對處理器 600 的微架構之方塊圖，該處理器 600 係實施使用處理器指令前綴之二進制轉譯支援的技術，依據本發明之一實施例。於某些實施例中，依據一實施例之指令可被實施以操作於資料元件，其具有位元組、字元、雙字元、四字元等等之尺寸；以及資料類型，諸如單和雙精確度整數及浮點資料類型。於一實施例中，依序前端 601 為處理器 600 之部分，其係提取將被執行的指令並備製將稍後於處理器管線中使用的指令。

前端 601 可包括數個單元。於一實施例中，指令預提取器 626 係從記憶體提取指令並將該些指令饋送至指令解碼器 628，其接著解碼或解讀該些指令。例如，於一實施例中，解碼器將已接收指令解碼為一或更多操作，稱為其機器可執行之「微指令」或「微操作」（亦稱為 micro op 或 uops）。於其他實施例中，解碼器將指令剖析為運算碼及相應的資料和控制欄位，其係由微架構所使用以依據一實施例來履行操作。於一實施例中，軌線快取 630 取用已解碼的微操作並將其組合為微操作佇列 634 中之程式依序列或軌線，以供執行。當軌線快取 630 遭遇複雜指令時，則微碼 ROM 632 便提供用以完成該操作所需的微操作。

某些指令被轉換為單一微操作，而其他指令則需要數個微操作來完成完整操作。於一實施例中，假如需要四個微操作來完成指令，則解碼器 628 係存取微碼 ROM 632 以執行該指令。針對一實施例，指令可被解碼為少數微操

作，以供處理於指令解碼器 628。於另一實施例中，假如需要數個微操作來完成該操作，則指令可被儲存於微碼 ROM 632 內。軌線快取 630 係指稱進入點可編程邏輯陣列（PLA），用以判定正確的微指令指針，以供讀取微碼序列來完成一或更多指令（依據一實施例）自微碼 ROM 632。在微碼 ROM 632 完成排序針對一指令之微操作後，機器之前端 601 重新從軌線快取 630 提取微操作。

失序執行引擎 603 為準備用於執行之指令。失序執行邏輯具有數個緩衝器，用以平緩並重新排序指令之流程來最佳化性能，隨著其前進管線且被排程以供執行。配置器邏輯係配置其各微操作欲執行所需的機器緩衝器及資源。暫存器重新命名邏輯係將邏輯暫存器重新命名於暫存器檔中之項目上。配置器亦配置各微操作之項目於兩微操作佇列之一中，其中之一係針對記憶體操作而另一係針對非記憶體操作，在指令排程器之前：記憶體排程器、快速排程器 602、緩慢/一般浮點排程器 604、及簡單浮點排程器 606。微操作排程器 602、604、606 係根據其相依的輸入暫存器運算元資源之備妥狀態及微操作欲完成其操作所需的執行資源之可用性以判定微操作何時準備好執行。一實施例之快速排程器 602 可於主時脈循環之各一半時排程，而其他排程器僅可於每主處理器時脈循環排程一次。排程器係針對調度埠仲裁以排程用於執行之微操作。

暫存器檔 608、610 位於排程器 602、604、606 與執行區塊 611 中的執行單元 612、614、616、618、620、

622、624 之間。有分離的暫存器檔 608、610，個別地用於整數及浮點操作。一實施例之各暫存器檔 608、610 包括旁通網路，其可旁通或傳遞剛完成的結果（其尚未被寫入暫存器檔）至新的相依微操作。整數暫存器檔 608 及浮點暫存器檔 610 亦能夠彼此傳遞資料。針對一實施例，整數暫存器檔 608 被分割為兩個分離的暫存器檔，一暫存器檔用於資料之低順序的 32 位元而第二暫存器檔用於資料之高順序的 32 位元。一實施例之浮點暫存器檔 610 具有 128 位元寬項目，因為浮點指令通常具有寬度從 64 至 128 位元之運算元。

執行區塊 611 含有執行單元 612、614、616、618、620、622、624，其中該些指令被實際地執行。此區段包括暫存器檔 608、610，其係儲存微指令所需執行之整數及浮點資料運算元值。一實施例之處理器 600 包含數個執行單元：位址產生單元（AGU）612、AGU 614、快速 ALU 616、快速 ALU 618、緩慢 ALU 620、浮點 ALU 622、浮點移動單元 624。針對一實施例，浮點執行區塊 622、624 執行浮點、MMX、SIMD、及 SSE、或其他操作。一實施例之浮點 ALU 622 包括 64 位元 X64 位元浮點除法器，用以執行除法、平方根、及餘數微操作。針對本發明之實施例，涉及浮點值之指令可被處置以浮點硬體。

於一實施例中，ALU 操作來到高速 ALU 執行單元 616、618。一實施例之高速 ALU 616、618 可執行具有半時脈循環之有效潛時的快速操作。針對一實施例，大部分

複雜整數操作來到緩慢 ALU 620，因為緩慢 ALU 620 包括針對長潛時類型操作的整數執行硬體，諸如乘法器、移位、旗標邏輯、及分支處理。記憶體載入/儲存操作係由 AGU 612、614 所執行。針對一實施例，整數 ALU 616、618、620 被描述以履行整數操作於 64 位元資料運算元上之背景。於替代實施例中，ALU 616、618、620 可被實施以支援多種資料位元，包括 16、32、128、256，等等。類似地，浮點單元 622、624 可被實施以支援具有各個寬度之位元的廣泛運算元。針對一實施例，浮點單元 622、624 可操作於 128 位元寬的緊縮資料運算元上，配合 SIMD 及多媒體指令。

於一實施例中，微操作排程器 602、604、606 在母載入已完成執行以前調度相依的操作。因為微操作被臆測地排程並執行於處理器 600 中，所以處理器 600 亦可包括用以處置記憶體喪失之邏輯。假如資料載入喪失於資料快取中，則可能有相依的操作於管線的途中，其已留給排程器暫時錯誤的資料。重播機制係追蹤並重新執行其使用錯誤資料之指令。僅有相依的操作需要被重播而獨立的操作被容許完成。處理器之一實施例的排程器及重播機制亦被設計成捕捉指令序列以供文字串比較操作。

處理器 600 亦包括邏輯，用以實施針對記憶體歧義消除之儲存位址預測，依據本發明之實施例。於一實施例中，處理器 600 之執行區塊 611 可包括儲存位址預測器（未顯示），用以實施使用處理器指令前綴之二進制轉譯

支援的技術。

術語「暫存器」可指稱板上處理器儲存位置，其被使用為用以識別運算元之指令的部分。換言之，暫存器可為那些從處理器外部（從編程者之觀點）可使用者。然而，實施例之暫存器不應被限制於指稱特定類型電路。反之，實施例之暫存器能夠儲存並提供資料、以及履行文中所述之功能。文中所述之暫存器可藉由使用任何數目之不同技術的處理器內之電路來實施，諸如專屬實體暫存器、使用暫存器重新命名之動態配置實體暫存器、專屬及動態配置實體暫存器之組合，等等。於一實施例中，整數暫存器係儲存三十二位元整數資料。一實施例之暫存器檔亦含有針對緊縮資料之八個多媒體 SIMD 暫存器。

針對以下的討論，暫存器被理解為設計成保持緊縮資料之資料暫存器，諸如 64 位元寬的 MMX™ 暫存器（亦稱為「mm」暫存器於某些例子中）於其致能有來自 Intel Corporation of Santa Clara, California 之 MMX 科技的微處理器中。這些 MMX 暫存器（可有整數及浮點形式兩者）可操作以其伴隨 SIMD 及 SSE 指令之緊縮資料元件。類似地，有關於 SSE2、SSE3、SSE4、或超過（一般稱為「SSEx」）科技之 128 位元寬的 XMM 暫存器亦可被用以保持此等緊縮資料運算元。於一實施例中，於儲存緊縮資料及整數資料時，暫存器無須於兩種資料類型之間區別。於一實施例中，整數及浮點被含入於相同的暫存器檔或不同的暫存器檔中。再者，於一實施例中，浮點及整數資料

可被儲存於不同的暫存器或相同的暫存器中。

實施例可被實施以許多不同的系統類型。現在參考圖 7，其顯示一闡明系統 700 之方塊圖，其中本發明之一實施例可被使用。如圖 7 中所示，多處理器系統 700 為點對點互連系統，並包括經由點對點互連 750 而耦合之第一處理器 770 及第二處理器 780。雖然僅顯示兩個處理器 770、780，但應理解其本發明之實施例的範圍未如此限制。於其他實施例中，一或更多額外處理器可存在於既定處理器中。於一實施例中，多處理器系統 700 可實施使用處理器指令前綴（如文中所述者）之二進制轉譯支援的技術。

處理器 770 及 780 被顯示個別地包括集成記憶體控制器單元 772 及 782。處理器 770 亦包括其匯流排控制器單元點對點（P-P）介面 776 及 778 之部分；類似地，第二處理器 780 包括 P-P 介面 786 及 788。處理器 770、780 可使用 P-P 介面電路 778、788 而經由點對點（P-P）介面 750 來交換資訊。如圖 7 中所示，IMC 772 及 782 將處理器耦合至個別記憶體，亦即記憶體 732 及記憶體 734，其可為本地地裝附至個別處理器之主記憶體的部分。

處理器 770、780 可經由個別的 P-P 介面 752、754 而與晶片組 790 交換資訊，使用點對點介面電路 776、794、786、798。晶片組 790 亦可經由高性能圖形介面 739 而與高性能圖形電路 738 交換資訊。

共用快取（未顯示）可被包括於任一處理器中或者於

兩處理器外部，而經由 P-P 互連與處理器連接，以致處理器之任一者或兩者的本地快取資訊可被儲存於共用快取中，假如處理器被置於低功率模式時。

晶片組 790 可經由一介面 796 而被耦合至第一匯流排 716。於一實施例中，第一匯流排 716 可為周邊組件互連（PCI）匯流排、或者諸如 PCI 快速匯流排或其他第三代 I/O 互連匯流排等匯流排，雖然本發明之範圍未如此限制。

如圖 7 中所示，各種 I/O 裝置 714 可被耦合至第一匯流排 716，連同匯流排橋 718，其係將第一匯流排 716 耦合至第二匯流排 720。於一實施例中，第二匯流排 720 可為低管腳數（LPC）匯流排。各個裝置可被耦合至第二匯流排 720，其包括（例如）鍵盤及/或滑鼠 722、通訊裝置 727、及儲存單元 728，諸如磁碟機或其他大量儲存裝置（其可包括指令/碼及資料 730），於一實施例中。此外，音頻 I/O 724 可被耦合至第二匯流排 720。注意：其他架構是可能的。例如，取代圖 7 之點對點架構，系統可實施多點分支匯流排其他此類架構。

現在參考圖 8，其顯示一系統 800 之方塊圖，其中本發明之一實施例可操作。系統 800 可包括一或更多處理器 810、815，其被耦合至圖形記憶體控制器集線器（GMCH）820。額外處理器 815 之選擇性本質於圖 8 中被標示以斷線。於一實施例中，處理器 810、815 係實施使用處理器指令前綴之二進制轉譯支援的技術，依據本發

明之實施例。

各處理器 810、815 可為如上所述之電路、積體電路、處理器、及/或矽積體電路的某版本。然而，應注意：不太可能其集成圖形邏輯和集成記憶體控制單元將存在於處理器 810、815 中。圖 8 闡明其 GMCH 820 可被耦合至記憶體 840，其可為（例如）動態隨機存取記憶體（DRAM）。DRAM 可（針對至少一實施例）與非揮發性快取相關。

GMCH 820 可為晶片組、或晶片組之一部分。GMCH 820 可與處理器 810、815 通訊並控制介於處理器 810、815 與記憶體 840 之間的互動。GMCH 820 亦可作用為介於處理器 810、815 與系統 800 的其他元件之間的加速匯流排介面。於至少一實施例中，GMCH 820 係經由多點分支匯流排（諸如前側匯流排（FSB） 895）而與處理器 810、815 通訊。

再者，GMCH 820 被耦合至顯示 845（諸如平板或觸控式顯示）。GMCH 820 可包括集成圖形加速器。GMCH 820 被進一步耦合至輸入/輸出（I/O）控制器集線器（ICH）850，其可被用以耦合各個周邊裝置至系統 800。圖 8 之實施例中係顯示（例如）外部圖形裝置 860，其可為分離的圖形裝置，耦合至 ICH 850，連同另一周邊裝置 870。

替代地，額外或不同處理器亦可存在於系統 800 中。例如，額外處理器 815 可包括：其係相同於處理器 810 的

額外處理器、其可與處理器 810 異質或非對稱的額外處理器、加速器（諸如，例如，圖形加速器或數位信號處理（DSP）單元）、場可編程閘極陣列、或任何其他處理器。於處理器 810、815 間可有多樣差異，針對價值矩陣之譜，包括架構、微架構、熱、功率耗損特性，等等。這些差異可有效地顯現自身為非對稱以及介於處理器 810、815 之間的異質性。針對至少一實施例，各個處理器 810、815 可駐存於相同晶粒封裝中。

現在參考圖 9，其顯示一系統 900 之方塊圖，其中本發明之一實施例可操作。圖 9 闡明處理器 970、980。於一實施例中，多處理器 970、980 可實施使用處理器指令前綴（如以上所述者）之二進制轉譯支援的技術。處理器 970、980 可個別地包括集成記憶體和 I/O 控制邏輯（「CL」）972 和 982，並經由個別地介於點對點（P-P）介面 978 和 988 之間的點對點互連 950 而彼此互通訊。處理器 970、980 各經由點對點互連 952 和 954 而與晶片組通訊，透過如圖所示之個別 P-P 介面 976 至 994 及 986 至 998。針對至少一實施例，CL 972、982 可包括集成記憶體控制器單元。CL 972、982 可包括 I/O 控制邏輯。如圖所示，記憶體 932、934 被耦合至 CL 972、982，而 I/O 裝置 914 亦被耦合至控制邏輯 972、982。舊有 I/O 裝置 915 經由介面 996 而被耦合至晶片組 990。

實施例可被實施以許多不同的系統類型。圖 10 為 SoC 1000 之方塊圖，依據本發明之實施例。虛線方塊為

更多先進 SoC 上之選擇性特徵。於圖 10 中，互連單元 1012 被耦合至：應用程式處理器 1020，其包括一組一或更多核心 1002A-N 及共享快取單元 1006；系統代理單元 1010；匯流排控制器單元 1016；集成記憶體控制器單元 1014；一組或者一或更多媒體處理器 1018，其可包括集成圖形邏輯 1008、影像處理器 1024（用以提供靜止及/或視頻相機功能）、音頻處理器 1026（用以提供硬體音頻加速）、及視頻處理器 1028（用以提供視頻編碼/解碼加速）；靜態隨機存取記憶體（SRAM）單元 1030；直接記憶體存取（DMA）單元 1032；及顯示單元 1040（用以耦合至一或更多外部顯示）。於一實施例中，記憶體模組可被包括於集成記憶體控制器單元 1014 中。於另一實施例中，記憶體模組可被包括於 SoC 1000 之一或更多其他組件中，其可被用以存取及/或控制記憶體。應用程式處理器 1020 可包括 PMU，用以實施沈靜記憶體指令及遺失率追蹤以最佳化執行緒上之切換策略，如文中之實施例中所述。

記憶體階層包括該些核心內之一或更多階快取、一組或者一或更多共用快取單元 1006、及耦合至該組集成記憶體控制器單元 1014 之額外記憶體（未顯示）。該組共用快取單元 1006 可包括一或更多中階快取，諸如第二階（L2）、第三階（L3）、第四階（L4）、或其他階快取、最後階快取（LLC）、及/或其組合。

於某些實施例中，一或更多核心 1002A-N 能夠進行

多線程。系統代理 1010 包括協調並操作核心 1002A-N 之那些組件。系統代理單元 1010 可包括（例如）電力控制單元（PCU）及顯示單元。PCU 可為或者包括用以調節核心 1002A-N 及集成圖形邏輯 1008 之電力狀態所需的邏輯和組件。顯示單元係用以驅動一或更多外部連接的顯示。

核心 1002A-N 可為同質或異質，針對架構及/或指令集。例如，核心 1002A-N 之部分可為依序的而其他為失序的。當作另一範例，核心 1002A-N 之二或更多者可執行相同指令集，而其他者可執行該指令集之僅一子集或不同的指令集。

應用程式處理器 1020 可為通用處理器，諸如 Core™ i3, i5, i7, 2 Duo 及 Quad, Xeon™, Itanium™, Atom™ 或 Quark™ 處理器，其可得自 Intel™ Corporation, of Santa Clara, Calif。處理器 1020 可被提供自其他公司，諸如 ARM Holdings™, Ltd, MIPS™，等等。應用程式處理器 1020 可為特殊用途處理器，諸如（例如）網路或通訊處理器、壓縮引擎、圖形處理器、共處理器、嵌入式處理器，等等。應用程式處理器 1020 可被實施於一或更多晶片上。應用程式處理器 1020 可為一或更多基底之部分及/或可被實施於其上，使用數個製程技術之任一者，諸如（例如）BiCMOS、CMOS、或 NMOS。

圖 11 為系統單晶片（SoC）設計之實施例的方塊圖，依據本發明。當作特定說明性範例，SoC 1100 被包括於使用者設備（UE）中。於一實施例中，UE 係指稱其將由

終端使用者所用以通訊之任何裝置，諸如手持式電話、智慧型手機、輸入板、超薄筆記型電腦、具有寬頻轉接器之筆記型電腦、或任何其他類似的通訊裝置。UE 經常連接至基地站或節點，其本質上潛在地相應於 GSM 網路中之行動站（MS）。

於此，SoC 1100 包括 2 核心—1106 及 1107。核心 1106 及 1107 可符合指令集架構，諸如 Intel® Architecture Core™ 為基之處理器、先進微型裝置公司（AMD）處理器、MIPS 為基的處理器、ARM 為基的處理器設計、或其消費者、以及其被授權者或採用者。核心 1106 及 1107 被耦合至快取控制 1108，其係與匯流排介面單元 1109 及 L2 快取 1110 關聯以與系統 1100 之其他部分通訊。互連 1110 包括晶片上互連，諸如 IOSF、AMBA、或以上所討論之其他互連，其可潛在地實施上述本發明之一或更多形態。於一實施例中，核心 1106、1107 可實施使用處理器指令前綴（如文中之實施例中所述者）之二進制轉譯支援的技術。

互連 1110 提供通訊頻道至其他組件，諸如：用戶身份模組（SIM）1130，用以與 SIM 卡互介面、開機 ROM 1140，用以保存開機碼以供由核心 1106 和 1107 執行來初始化並開機 SoC 1100、SDRAM 控制器 1140，用以與外部記憶體（例如，DRAM 1160）互介面、快閃控制器 1145，用以與非揮發性記憶體（例如，快閃 1165）互介面、周邊控制 1150（例如，串列周邊介面）用以與周邊

互介面、視頻編碼解碼器 1120 和視頻介面 1125，用以顯示並接收輸入（例如，觸控致能輸入）、GPU 1115，用以履行圖形相關的計算，等等。這些介面之任一者可結合文中所述之本發明的形態。此外，系統 1100 顯示用於通訊之周邊，諸如藍牙模組 1170、3G 數據機 1175、GPS 1180、及 Wi-Fi 1185。

圖 12 闡明以電腦系統 1200 之範例形式的機器之圖形表示，於該系統內可執行一組指令以致使機器履行文中所討論之任何一或更多方法。於替代實施例中，機器可被連接（例如，連網）至 LAN、內部網路、外部網路、或網際網路中之其他機器。機器可操作於用戶伺服器網路環境下之伺服器或用戶裝置之範圍中、或者當作點對點（或分散式）網路環境下之同級機器。機器可為個人電腦（PC）、輸入板 PC、機上盒（STB）、個人數位助理（PDA）、行動電話、網路器具、伺服器、網路路由器、開關或橋、或者能夠執行其指明由該機器所採取之行動的一組指令（序列或其他）的任何機器。再者，雖僅顯示單一機器，但術語「機器」亦應被視為包括其獨立地或聯合地執行一組（或多組）用來履行文中所述之任何一或更多方法的指令之機器的任何集合。

計算系統 1200 包括處理裝置 1202、主記憶體 1204（例如，唯讀記憶體（ROM）、快閃記憶體、動態隨機存取記憶體（DRAM），諸如同步 DRAM（SDRAM）或 DRAM（RDRAM）等等）、靜態記憶體 1206（例如，快

閃記憶體、靜態隨機存取記憶體（SRAM）等等）、以及資料儲存裝置 1218，其係經由匯流排 1230 而彼此通連。

處理裝置 1202 代表一或更多一般用途處理裝置，諸如微處理器、中央處理單元，等等。更特別地，處理裝置可為複雜指令組計算（CISC）微處理器、減少指令組計算（RISC）微處理器、極長指令字元（VLIW）微處理器、實施其他指令集的處理器、或實施指令集之組合的處理器。處理裝置 1202 亦可為一或更多特殊用途處理裝置，諸如特定應用積體電路（ASIC）、場可編程閘極陣列（FPGA）、數位信號處理器（DSP）、網路處理器，等等。於一實施例中，處理裝置 1202 可包括一或更多處理器核心。處理器裝置 1202 組態成執行處理邏輯 1226，用以履行文中所討論之操作及步驟。於一實施例中，處理裝置 1202 相同於針對圖 1 所述之處理器架構 100，其實施使用處理器指令前綴（如文中所述者）之二進制轉譯支援的技術，依據本發明之實施例。

電腦系統 1200 可進一步包括網路介面裝置 1208，其係可通訊地耦合至網路 1220。電腦系統 1200 亦可包括視頻顯示單元 1210（例如，液晶顯示（LCD）或陰極射線管（CRT））、文數輸入裝置 1212（例如，鍵盤）、游標控制裝置 1214（例如，滑鼠）、及信號產生裝置 1216（例如，揚聲器）。再者，電腦系統 1200 可包括圖形處理單元 1222、視頻處理單元 1228 及音頻處理單元 1232。

資料儲存裝置 1218 可包括機器可存取儲存媒體

1224，於其上儲存軟體 1226，其係實施文中所述之功能的一或更多方法，諸如實施沈靜記憶體指令及遺失率追蹤以最佳化執行緒上之切換策略，於處理裝置中，如上所述。軟體 1226 亦可駐存（完全地或至少部分地）於主記憶體 1204 內（成為指令 1226）及/或於處理裝置 1202 內（成為處理邏輯 1226），在藉由電腦系統 1200 之其執行期間；主記憶體 1204 及處理裝置 1202 亦構成機器可存取儲存媒體。

機器可讀取儲存媒體 1224 亦可被用以儲存指令 1226，其係實施沈靜記憶體指令及遺失率追蹤以最佳化執行緒上之切換策略，於處理裝置（諸如針對圖 1 中之處理裝置 100 所述者）中及/或含有其呼叫上述應用程式之方法的軟體庫中。雖然機器可存取儲存媒體 1128 被顯示於範例實施例中為單一媒體，但術語「機器可存取儲存媒體」應被視為包括單一媒體或多重媒體（例如，集中式或分散式資料庫、及/或相關快取及伺服器），其係儲存一或更多指令集。術語「機器可存取儲存媒體」亦應被視為包括能夠儲存、編碼或攜載供由機器所執行的指令集之任何媒體，且該媒體致使該機器履行本發明之一或更多方法。術語「機器可存取儲存媒體」應因此被視為包括（但不限定於）固態記憶體、及光學和磁性媒體。

下列範例係有關進一步的實施例。

範例 1 是一種處理系統，包含：1）暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料；及 2）處理

器核心，操作性地耦合至該暫存器庫，用以：a) 接收指令以供由該處理器核心所執行，其中該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列；及 b) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該二進制轉譯器操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係保存該些複數暫存器之來源暫存器值。

於範例 2 中，範例 1 之請求標的，其中該處理器核心進一步用以根據該處理系統之能力來判定與該二進制轉譯器操作關聯的該運算碼前綴是否為有效。

於範例 3 中，範例 1-2 之請求標的，其中該處理器核心進一步用以回應於判定其該運算碼前綴為無效而產生警示，該警示係指示其該二進制轉譯器操作無法由該處理系統所履行。

於範例 4 中，範例 1-3 之請求標的，其中該處理器核心進一步用以：a) 根據該運算碼前綴以識別該些複數暫存器之第一暫存器；及 b) 使用該第一暫存器中所儲存的資料以履行該二進制轉譯器操作。

於範例 5 中，範例 1-4 之請求標的，其中該第一暫存器包含與該指令之執行關聯的位址。

於範例 6 中，範例 1-5 之請求標的，其中該二進制轉譯器操作包含使用該第一暫存器中所儲存之值的算術操作。

於範例 7 中，範例 1-6 之請求標的，其中該算術操作

之結果被儲存於該延伸暫存器中。

於範例 8 中，範例 1-7 之請求標的，其中該第一暫存器及該延伸暫存器係識別置於該些複數暫存器中之不同暫存器。

各個實施例可具有以上所述之結構性特徵的不同組合。例如，以上所述之處理器的所有選擇性特徵亦可針對文中所述之方法及程序而被實施，且該些範例中之特點可被使用於一或更多實施例中的任何地方。

範例 9 為一種方法，包含：a) 由處理器接收指令以供由該處理器所執行，該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列；及 b) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該二進制轉譯器操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係保存該些複數暫存器之來源暫存器值。

於範例 10 中，範例 9 之請求標的，進一步包含根據該處理器之能力來判定與該二進制轉譯器操作關聯的該運算碼前綴是否為有效。

於範例 11 中，範例 9-10 之請求標的，進一步包含回應於判定其該運算碼前綴為無效而產生警示，該警示係指示其該二進制轉譯器操作無法由該處理器所履行。

於範例 12 中，範例 9-11 之請求標的，其中進一步包含：a) 根據該運算碼前綴以識別該些複數暫存器之第一暫存器；及 b) 使用該第一暫存器中所儲存的資料以履行

該二進制轉譯器操作。

於範例 13 中，範例 9-12 之請求標的，其中該第一暫存器包含與該指令之執行關聯的位址。

於範例 14 中，範例 9-13 之請求標的，該二進制轉譯器操作包含使用該第一暫存器中所儲存之值的算術操作。

於範例 15 中，範例 9-14 之請求標的，其中該算術操作之結果被儲存於該延伸暫存器中。

於範例 16 中，範例 9-15 之請求標的，其中該第一暫存器及該延伸暫存器係識別置於該些複數暫存器中之不同暫存器。

各個實施例可具有以上所述之結構性特徵的不同組合。例如，以上所述之該些處理器及方法的所有選擇性特徵亦可針對文中所述之系統而被實施，且該些範例中之特點可被使用於一或更多實施例的任何地方。

範例 17 為一種系統單晶片（SoC），包含：1）記憶體控制器單元（MCU）；及 2）處理器，操作性地耦合至該 MCU，用以：a）接收指令以供由該處理器所執行，其中該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列；及 b）於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該二進制轉譯器操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係保存該些複數暫存器之來源暫存器值。

於範例 18 中，範例 17 之請求標的，其中該處理器進一步用以根據該處理系統之能力來判定與該二進制轉譯器

操作關聯的該運算碼前綴是否為有效。

於範例 19 中，範例 17-18 之請求標的，其中該處理器進一步用以回應於判定其該運算碼前綴為無效而產生警示，該警示係指示其該二進制轉譯器操作無法由該處理系統所履行。

於範例 20 中，範例 17-19 之請求標的，其中該處理器進一步用以：a) 根據該運算碼前綴以識別該些複數暫存器之第一暫存器；及 b) 使用該第一暫存器中所儲存的資料以履行該二進制轉譯器操作。

於範例 21 中，範例 17-20 之請求標的，其中該第一暫存器包含與該指令之執行關聯的位址。

於範例 22 中，範例 17-21 之請求標的，其中該二進制轉譯器操作包含使用該第一暫存器中所儲存之值的算術操作。

於範例 23 中，範例 17-22 之請求標的，其中該算術操作之結果被儲存於該延伸暫存器中。

於範例 24 中，範例 17-23 之請求標的，其中該第一暫存器及該延伸暫存器係識別置於該些複數暫存器中之不同暫存器。

各個實施例可具有以上所述之操作性特徵的不同組合。例如，上述方法之所有選擇性特徵亦可針對非暫態、電腦可讀取儲存媒體而被實施。範例中之明確細節可被使用於一或更多實施例中的任何地方。

範例 25 為一種儲存可執行指令之非暫態電腦可讀取

儲存媒體，當被執行時該些指令致使處理裝置：a) 由該處理裝置接收指令以供由該處理裝置所執行，其中該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列；及 b) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該二進制轉譯器操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係保存該些複數暫存器之來源暫存器值。

於範例 26 中，範例 25 之請求標的，其中該可執行指令進一步致使該處理器裝置根據該處理系統之能力來判定與該二進制轉譯器操作關聯的該運算碼前綴是否為有效。

於範例 27 中，範例 25-26 之請求標的，其中該可執行指令進一步致使該處理器裝置回應於判定其該運算碼前綴為無效而產生警示，該警示係指示其該二進制轉譯器操作無法由該處理系統所履行。

於範例 28 中，範例 25-27 之請求標的，其中該可執行指令進一步致使該處理器裝置：a) 根據該運算碼前綴以識別該些複數暫存器之第一暫存器；及 b) 使用該第一暫存器中所儲存的資料以履行該二進制轉譯器操作。

於範例 29 中，範例 25-28 之請求標的，其中該第一暫存器包含與該指令之執行關聯的位址。

於範例 30 中，範例 25-29 之請求標的，其中該二進制轉譯器操作包含使用該第一暫存器中所儲存之值的算術操作。

於範例 31 中，範例 25-30 之請求標的，其中該算術

操作之結果被儲存於該延伸暫存器中。

於範例 32 中，範例 25-31 之請求標的，其中該第一暫存器及該延伸暫存器係識別置於該些複數暫存器中之不同暫存器。

範例 33 為一種包括指令之非暫態、電腦可讀取儲存媒體，當由處理器所執行時該些指令係致使該處理器履行範例 9-16 之方法。

各個實施例可具有以上所述之操作性特徵的不同組合。例如，上述方法、系統及非暫態、電腦可讀取儲存媒體之所有選擇性特徵亦可針對其他類型的結構而被實施。範例中之明確細節可被使用於一或更多實施例中的任何地方。

範例 34 為一種設備，包含：1) 處理器之複數功能性單元；2) 接收機構，用以由處理器接收指令以供由該處理器所執行，該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列；及 3) 識別機構，用以於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該二進制轉譯器操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係保存該些複數暫存器之來源暫存器值。

於範例 35 中，範例 34 之請求標的，進一步包含範例 1-8 及 17-24 之任一者的請求標的。

範例 36 為一種系統，包含：1) 記憶體裝置及 2) 包含記憶體控制器單元之處理器，其中該處理器係組態成履

行範例 9-16 之任一者的方法。

於範例 37 中，範例 36 之請求標的，進一步包含範例 1-8 及 17-24 之任一者的請求標的。

範例 38 是一種處理系統，包含：1) 暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料；及 2) 處理器核心，操作性地耦合至該暫存器庫，用以：a) 接收指令以供由該處理器核心所執行，其中該指令係用於與二進制轉譯器關聯的條件式分支操作；及 b) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該條件式分支操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係儲存一識別該條件式分支操作之條件的條件式輸入值。

於範例 39 中，範例 38 之請求標的，其中該處理器核心進一步用以根據該條件式輸入值來判定忽略或執行該指令。

範例 40 為一種方法，包含：1) 由處理器接收指令以供由該處理器所執行，其中該指令係用於與二進制轉譯器關聯的條件式分支操作；及 2) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該條件式分支操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係儲存一識別該條件式分支操作之條件的條件式輸入值。

於範例 41 中，範例 40 之請求標的，進一步包含根據該條件式輸入值來判定忽略或執行該指令。

範例 42 為一種系統單晶片 (SoC)，包含：1) 記憶

體控制器單元（MCU）；及 2）處理器，操作性地耦合至該 MCU，用以：a）接收指令以供由該處理器所執行，其中該指令係用於與二進制轉譯器關聯的條件式分支操作；及 b）於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該條件式分支操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係儲存一識別該條件式分支操作之條件的條件式輸入值。

於範例 43 中，範例 42 之請求標的，其中該處理器進一步用以根據該條件式輸入值來判定忽略或執行該指令。

範例 44 為一種儲存可執行指令之非暫態電腦可讀取儲存媒體，當被執行時該些指令致使處理裝置：a）由該處理裝置接收指令以供由該處理裝置所執行，其中該指令係用於與二進制轉譯器關聯的條件式分支操作；及 b）於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該條件式分支操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係儲存一識別該條件式分支操作之條件的條件式輸入值。

於範例 45 中，範例 44 之請求標的，其中該些可執行指令進一步致使該處理裝置根據該條件式輸入值來判定忽略或執行該指令。

範例 46 為一種包括指令之非暫態、電腦可讀取儲存媒體，當由處理器所執行時該些指令係致使該處理器履行範例 40-41 之方法。

範例 47 為一種設備，包含：1）處理器之複數功能性

單元；2) 接收機構，用以接收指令以供由該處理器所執行，其中該指令係用於與二進制轉譯器關聯的條件式分支操作；及 3) 識別機構，用以於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該條件式分支操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係儲存一識別該條件式分支操作之條件的條件式輸入值。

於範例 48 中，範例 47 之請求標的，進一步包含範例 38-39 及 42-43 之任一者的請求標的。

範例 49 為一種系統，包含：記憶體裝置及包含記憶體控制器單元之處理器，其中該處理器係組態成履行範例 40-41 之任一者的方法。

於範例 50 中，範例 49 之請求標的，進一步包含範例 38-39 及 42-43 之任一者的請求標的。

範例 51 是一種處理系統，包含：1) 暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料；及 2) 處理器核心，操作性地耦合至該暫存器庫，用以：a) 接收指令以供由該處理器核心所執行，其中該指令係用於與二進制轉譯器關聯的重新排序操作；及 b) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該重新排序操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係儲存不同指令之位址，其係指示針對該不同指令之該指令的執行之重新排序。

於範例 52 中，範例 51 之請求標的，其中該處理器核心進一步用以根據與該指令關聯的第一位址及該延伸暫存

器中所儲存之該不同指令的該位址來判定該重新排序是否為有效。

範例 53 為一種方法，包含：1) 由處理器接收指令以供由該處理器所執行，其中該指令係用於與二進制轉譯器關聯的重新排序操作；及 2) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該重新排序操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係儲存不同指令之位址，其係指示針對該不同指令之該指令的執行之重新排序。

於範例 54 中，範例 53 之請求標的，其中進一步包含根據與該指令關聯的第一位址及該延伸暫存器中所儲存之該不同指令的該位址來判定該重新排序是否為有效。

範例 55 為一種系統單晶片 (SoC)，包含：1) 記憶體控制器單元 (MCU)；及 2) 處理器，操作性地耦合至該 MCU，用以：a) 接收指令以供由該處理器所執行，其中該指令係用於與二進制轉譯器關聯的重新排序操作；及 b) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該重新排序操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係儲存不同指令之位址，其係指示針對該不同指令之該指令的執行之重新排序。

於範例 56 中，範例 55 之請求標的，其中該處理器進一步用以根據與該指令關聯的第一位址及該延伸暫存器中所儲存之該不同指令的該位址來判定該重新排序是否為有效。

範例 57 為一種儲存可執行指令之非暫態電腦可讀取儲存媒體，當被執行時該些指令係致使處理裝置：1) 由該處理裝置接收指令以供由該處理裝置所執行，其中該指令係用於與二進制轉譯器關聯的重新排序操作；及 2) 於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該重新排序操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係儲存不同指令之位址，其係指示針對該不同指令之該指令的執行之重新排序。

於範例 58 中，範例 57 之請求標的，其中該些可執行指令進一步致使該處理裝置根據與該指令關聯的第一位址及該延伸暫存器中所儲存之該不同指令的該位址來判定該重新排序是否為有效。

範例 59 為一種包括指令之非暫態、電腦可讀取儲存媒體，當由處理器所執行時該些指令係致使該處理器履行範例 53-54 之方法。

範例 60 為一種設備，包含：1) 處理器之複數功能性單元；2) 接收機構，用以接收指令以供由該處理器所執行，其中該指令係用於與二進制轉譯器關聯的重新排序操作；及 3) 識別機構，用以於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該重新排序操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係儲存不同指令之位址，其係指示針對該不同指令之該指令的執行之重新排序。

於範例 61 中，範例 60 之請求標的，進一步包含範例

51-52 及 55-56 之任一者的請求標的。

範例 62 為一種系統，包含：1) 記憶體裝置及包含記憶體控制器單元之處理器，其中該處理器係組態成履行範例 53-54 之任一者的方法。

於範例 63 中，範例 62 之請求標的，進一步包含範例 51-52 及 55-56 之任一者的請求標的。

雖然已針對有限數目的實施例來描述本發明，但那些熟悉此技藝人士將理解從這些實施例而來的各種修改及變異。後附申請專利範圍應涵蓋所有此等修改及變異而落入本發明之真實精神和範圍內。

設計可經歷各個階段，從創造至模擬至生產。表示設計之資料可以數種方式來表示設計。首先，如可用於模擬，硬體可使用硬體描述語言或另一功能性描述語言來表示。此外，具有邏輯及/或電晶體閘之電路等級模型可於設計程序之某些階段被產生。再者，大部分設計（於某階段）達到表示硬體模型中之各個裝置的實體布局之資料的等級。於其中使用傳統半導體製造技術之情況下，表示硬體模型之資料可為指明針對用以產生積體電路之遮罩的不同遮罩層上之各個特徵的存在或缺乏之資料。於設計之任何表示中，資料可被儲存以機器可讀取媒體之任何形式。記憶體或者磁性或光學儲存（諸如碟片）可為用以儲存資訊之機器可讀取媒體，該資訊係經由光或電波（其被調變或者產生以傳輸此資訊）而被傳輸。當電載波（其係指示或攜載碼或設計）被傳輸時，至其電信號之複製、緩衝、

或再傳輸被履行之程度，則新的副本被產生。因此，通訊提供者或網路提供者可於有形的、機器可讀取媒體上（至少暫時地）儲存一物件，諸如編碼入載波之資訊，實現本發明之實施例的技術。

如文中所使用之模組係指稱硬體、軟體、及/或韌體之任何組合。當作範例，模組包括硬體，諸如微控制器，其係與非暫態媒體相關以儲存適於由微控制器所執行的碼。因此，模組之參考（於一實施例中）係指稱硬體，其被明確地組態成辨識及/或執行該碼以供被保持於非暫態媒體上。再者，於另一實施例中，模組之使用係指稱包括該碼之非暫態媒體，其係明確地適於由微控制器所執行以履行預定的操作。而如可被推斷者，於又另一實施例中，術語模組（於此範例中）可指稱微控制器與非暫態媒體之組合。其被顯示為分離之模組邊界經常共同地改變且潛在地重疊。例如，第一和第二模組可共用硬體、軟體、韌體、或其組合，而潛在地留存某些獨立的硬體、軟體、或韌體。於一實施例中，術語邏輯之使用包括硬體，諸如電晶體、暫存器、或其他硬體，諸如可編程裝置。

用語「組態成」之使用（於一實施例中）係指稱配置、結合、製造、提供銷售、進口及/或設計設備、硬體、邏輯、或元件以履行指定的或決定的工作。於此範例中，非操作中之設備或其元件仍「組態成」履行指定的工作，假如其被設計、耦合、及/或互連以履行該指定的工作。當作純粹說明性範例，邏輯閘可提供 0 或 1 於操作期

間。但邏輯閘「組態成」提供致能信號給時鐘，其不包括其可提供 1 或 0 之每一潛在邏輯閘。取代地，邏輯閘係以某方式耦合以致其於操作期間 1 或 0 輸出係用以致能時鐘。再次注意：術語「組態成」之使用不要求操作，但取代地聚焦於設備、硬體、及/或元件之潛時狀態，其為當設備、硬體、及/或元件正操作時該設備、硬體、及/或元件所被設計以履行特定工作之潛時狀態。

再者，用語「用以」、「得以/用以」、及/或「可操作以」（於一實施例中）係指稱某設備、邏輯、硬體、及/或元件，其被設計以致能用指定方式之設備、邏輯、硬體、及/或元件的使用。注意：如上所述，用以、得以、或可操作以（於一實施例中）係指稱設備、邏輯、硬體、及/或元件之潛時狀態，其中該設備、邏輯、硬體、及/或元件並未操作而被設計以致能用指定方式之設備的使用。

一值（如文中所使用者）包括數字、狀態、邏輯狀態、或二進制邏輯狀態之任何已知表示。經常，邏輯位準、邏輯值、或邏輯上的值之使用亦被稱為 1 和 0，其僅代表二進制邏輯狀態。例如，1 係指稱高邏輯位準而 0 係指稱低邏輯位準。於一實施例中，儲存單元（諸如電晶體或快取單元）得以保留單一邏輯值或多數邏輯值。然而，電腦系統中之值的其他表示已被使用。例如，十進位數「十」亦可被表示為 910 之二進制值及十六進位字母 A。因此，一值包括能夠被保留於電腦系統中之資訊的任何表示。

此外，狀態可由值或值之部分所表示。當作範例，第一值（諸如邏輯一）可表示預設或初始狀態，而第二值（諸如邏輯零）可表示非預設狀態。此外，術語重設及設定（於一實施例中）係指稱預設值以及更新值或狀態，個別地。例如，預設值潛在地包括高邏輯值（亦即，重設），而更新值潛在地包括低邏輯值（亦即，設定）。注意：值之任何組合可被利用以表示任何數目的狀態。

以上所提出之方法、硬體、軟體、韌體或碼之實施例可經由指令或碼而被實施，該些指令或碼被儲存於其可由處理元件所執行之機器可存取、機器可讀取、電腦可存取、或電腦可讀取媒體上。非暫態機器可存取/可讀取媒體包括任何機制，其係提供（亦即，儲存及/或傳輸）資訊以其可由機器（諸如電腦或電子系統）所讀取的形式。例如，非暫態機器可存取媒體包括隨機存取記憶體（RAM），諸如靜態 RAM（SRAM）或動態 RAM（DRAM）；ROM；磁性或光學儲存媒體；快閃記憶體裝置；電儲存裝置；光學儲存裝置；音響儲存裝置；用以保持從暫時（傳播）信號（例如，載波、紅外線信號、數位信號）所接收之資訊的其他形式儲存裝置；等等，其係用以被區分自非暫態媒體（其可從該處接收資訊）。

用於程式邏輯以履行本發明之實施例的指令可被儲存於系統中之記憶體內，諸如 DRAM、快取、快閃記憶體、或其他儲存。再者，該些指令可經由網路或藉由其他電腦可讀取媒體而被分佈。因此機器可讀取媒體可包括用以依

可由機器（例如，電腦）所讀取之形式儲存或傳輸資訊的任何機制，但不限定於軟碟、光碟、CD、唯讀記憶體（CD-ROM）、及磁光碟、唯讀記憶體（ROM）、隨機存取記憶體（RAM）、可抹除可編程唯讀記憶體（EPROM）、電可抹除可編程唯讀記憶體（EEPROM）、磁或光學卡、快閃記憶體、或有形、機器可讀取儲存，用於透過經電、光、聲或其他形式的傳播信號（例如，載波、紅外線信號、數位信號，等等）之網際網路的資訊之傳輸。因此，電腦可讀取媒體包括適於以可由機器（例如，電腦）所讀取之形式儲存或傳輸電子指令或資訊的任何類型的有形機器可讀取媒體。

遍及本說明書內針對「一個實施例」或「一實施例」之參考係表示關於該實施例所描述之特定特徵、結構、或特性被包括於本發明之至少一實施例中。因此，遍及本說明書於各處中之用語「於一個實施例中」或「於一實施例中」的出現不一定均指稱相同實施例。再者，特定特徵、結構、或特性可被結合以任何適當的方式於一或更多實施例中。

於前述說明書中，已參考其特定範例實施例而提供詳細描述。然而，將清楚明白的是：可對其進行各種修改及改變而不背離如後附申請專利範圍中所提出之本發明的較寬廣精神及範圍。說明書及圖式因此將被視為說明性意義而非限制性意義。再者，實施例及其他範例語言之前述使用不一定指稱相同的實施例或相同的範例，而可指稱不同

的或有別的實施例、以及潛在地相同的實施例。

【符號說明】

- 100：處理裝置
- 110：處理器核心
- 120：記憶體控制器單元
- 130：快取單元
- 132：第一階（L1）
- 134：第二階（L2）
- 136：最後階快取（LLC）
- 140：二進制轉譯器
- 143：輸入指令
- 145：本機碼輸出指令
- 147：前綴
- 150：暫存器庫
- 152：傳統暫存器
- 154：延伸暫存器
- 160：延伸暫存器邏輯
- 200：系統
- 201：記憶體
- 210：指令
- 217：運算碼前綴
- 220：碼欄位
- 230：識別符欄位

- 232：來源位址延伸欄位（S1）
- 234：目的地位址延伸欄位（D1）
- 236：位元
- 240：運算碼
- 250：來源延伸暫存器
- 260：目的地延伸暫存器
- 270：延伸暫存器
- 275：映射表
- 280：延伸暫存器
- 285：硬體
- 500：處理器
- 502：提取級
- 504：長度解碼級
- 506：解碼級
- 508：配置級
- 510：重新命名級
- 512：排程級
- 514：暫存器讀取/記憶體讀取級
- 516：執行級
- 518：寫入回/記憶體寫入級
- 522：例外處置級
- 524：確定級
- 530：前端單元
- 532：分支預測單元

- 534：指令快取單元
- 536：指令轉譯後備緩衝（TLB）
- 538：指令提取單元
- 540：解碼單元
- 550：執行引擎單元
- 552：重新命名/配置器單元
- 554：撤回單元
- 556：排程器單元
- 558：實體暫存器檔單元
- 560：執行叢集
- 562：執行單元
- 564：記憶體存取單元
- 570：記憶體單元
- 572：資料 TLB 單元
- 574：資料快取單元
- 576：第 2 階（L2）快取單元
- 580：資料預提取器
- 590：電力管理單元（PMU）
- 600：處理器
- 601：前端
- 602：快速排程器
- 603：失序執行引擎
- 604：緩慢/一般浮點排程器
- 606：簡單浮點排程器

- 608：整數暫存器檔
- 610：浮點暫存器檔
- 611：執行區塊
- 612：位址產生單元（AGU）
- 614：AGU
- 616：快速 ALU
- 618：快速 ALU
- 620：緩慢 ALU
- 622：浮點 ALU
- 624：浮點移動單元
- 626：指令預提取器
- 628：指令解碼器
- 630：軌線快取
- 632：微碼 ROM
- 634：微操作佇列
- 700：多處理器系統
- 714：I/O 裝置
- 716：第一匯流排
- 718：匯流排橋
- 720：第二匯流排
- 722：鍵盤及/或滑鼠
- 724：音頻 I/O
- 727：通訊裝置
- 728：儲存單元

- 730：指令/碼及資料
- 732：記憶體
- 734：記憶體
- 738：高性能圖形電路
- 739：高性能圖形介面
- 750：點對點互連
- 752、754：P-P 介面
- 770：第一處理器
- 772、782：集成記憶體控制器單元
- 776、778：點對點（P-P）介面
- 780：第二處理器
- 786、788：P-P 介面
- 790：晶片組
- 794、798：點對點介面電路
- 796：介面
- 800：系統
- 810、815：處理器
- 820：圖形記憶體控制器集線器（GMCH）
- 840：記憶體
- 845：顯示
- 850：輸入/輸出（I/O）控制器集線器（ICH）
- 860：外部圖形裝置
- 870：周邊裝置
- 895：前側匯流排(FSB)

- 900：系統
- 914：I/O 裝置
- 915：舊有 I/O 裝置
- 932、934：記憶體
- 950：點對點互連
- 952、954：點對點互連
- 970、980：處理器
- 972、982：控制邏輯
- 976-994：P-P 介面
- 986-998：P-P 介面
- 990：晶片組
- 996：介面
- 1000：SoC
- 1002A-N：核心
- 1006：共享快取單元
- 1008：集成圖形邏輯
- 1010：系統代理單元
- 1014：集成記憶體控制器單元
- 1016：匯流排控制器單元
- 1020：應用程式處理器
- 1024：影像處理器
- 1026：音頻處理器
- 1028：視頻處理器
- 1030：靜態隨機存取記憶體（SRAM）單元

1032：直接記憶體存取（DMA）單元

1040：顯示單元

1100：SoC

1106、1107：核心

1108：快取控制

1109：匯流排介面單元

1110：L2 快取

1111：互連

1115：GPU

1120：視頻編碼解碼器

1125：視頻介面

1130：用戶身份模組（SIM）

1135：開機 ROM

1140：SDRAM 控制器

1145：快閃控制器

1150：周邊控制

1160：DRAM

1165：快閃

1170：藍牙模組

1175：3G 數據機

1180：GPS

1185：Wi-Fi

1200：電腦系統

1202：處理裝置

- 1204：主記憶體
- 1206：靜態記憶體
- 1208：網路介面裝置
- 1210：視頻顯示單元
- 1212：文數輸入裝置
- 1214：游標控制裝置
- 1216：信號產生裝置
- 1218：資料儲存裝置
- 1220：網路
- 1222：圖形處理單元
- 1224：機器可存取儲存媒體
- 1226：軟體
- 1228：視頻處理單元
- 1230：匯流排
- 1232：音頻處理單元

申請專利範圍

1. 一種處理系統，包含：

暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料；及

處理器核心，操作性地耦合至該暫存器庫，用以：

接收指令以供由該處理器核心所執行，其中該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列；及

於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該二進制轉譯器操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係保存該些複數暫存器之來源暫存器值。

2. 如申請專利範圍第 1 項之處理系統，其中該處理器核心進一步用以根據該處理系統之能力來判定與該二進制轉譯器操作關聯的該運算碼前綴是否為有效。

3. 如申請專利範圍第 1 項之處理系統，其中該處理器核心進一步用以回應於判定其該運算碼前綴為無效而產生警示，該警示係指示其該二進制轉譯器操作無法由該處理系統所履行。

4. 如申請專利範圍第 1 項之處理系統，其中該處理器核心係進一步用以：

根據該運算碼前綴以識別該些複數暫存器之第一暫存器；及

使用該第一暫存器中所儲存的資料以履行該二進制轉

譯器操作。

5. 如申請專利範圍第 4 項之處理系統，其中該第一暫存器包含與該指令之執行關聯的位址。

6. 如申請專利範圍第 4 項之處理系統，其中該二進制轉譯器操作包含使用該第一暫存器中所儲存之值的算術操作。

7. 如申請專利範圍第 6 項之處理系統，其中該算術操作之結果被儲存於該延伸暫存器中。

8. 如申請專利範圍第 7 項之處理系統，其中該第一暫存器及該延伸暫存器係識別置於該些複數暫存器中之不同暫存器。

9. 一種方法，包含：

由處理器接收指令以供由該處理器所執行，該指令係與二進制轉譯器操作關聯，該二進制轉譯器操作係用以將輸入指令序列轉譯至輸出指令序列；及

於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該二進制轉譯器操作期間之複數暫存器的延伸暫存器，其中該延伸暫存器係保存該些複數暫存器之來源暫存器值。

10. 如申請專利範圍第 9 項之方法，進一步包含根據該處理器之能力來判定與該二進制轉譯器操作關聯的該運算碼前綴是否為有效。

11. 如申請專利範圍第 10 項之方法，進一步包含決定回應於判定其該運算碼前綴為無效而產生警示，該警示

係指示其該二進制轉譯器操作無法由該處理器所履行。

12. 如申請專利範圍第 9 項之方法，其中進一步包含：

根據該運算碼前綴以識別該些複數暫存器之第一暫存器；及

使用該第一暫存器中所儲存的資料以履行該二進制轉譯器操作。

13. 如申請專利範圍第 12 項之方法，其中該第一暫存器包含與該指令之執行關聯的位址。

14. 如申請專利範圍第 12 項之方法，其中該二進制轉譯器操作包含使用該第一暫存器中所儲存之值的算術操作。

15. 如申請專利範圍第 14 項之方法，其中該算術操作之結果被儲存於該延伸暫存器中。

16. 如申請專利範圍第 15 項之方法，其中該第一暫存器及該延伸暫存器係識別置於該些複數暫存器中之不同暫存器。

17. 一種處理系統，包含：

暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料；及

處理器核心，操作性地耦合至該暫存器庫，用以：

接收指令以供由該處理器核心所執行，其中該指令係用於與二進制轉譯器關聯的條件式分支操作；及

於該指令內識別運算碼前綴，該運算碼前綴係參考將

被用於該條件式分支操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係儲存一識別該條件式分支操作之條件的條件式輸入值。

18. 如申請專利範圍第 17 項之處理系統，其中該處理器核心進一步用以根據該條件式輸入值來判定忽略或執行該指令。

19. 一種處理系統，包含：

暫存器庫，其具有複數暫存器以儲存供用於執行指令之資料；及

處理器核心，操作性地耦合至該暫存器庫，用以：

接收指令以供由該處理器核心所執行，其中該指令係用於與二進制轉譯器關聯的重新排序操作；及

於該指令內識別運算碼前綴，該運算碼前綴係參考將被用於該重新排序操作期間之該些複數暫存器的延伸暫存器，其中該延伸暫存器係儲存不同指令之位址，其係指示針對該不同指令之該指令的執行之重新排序。

20. 如申請專利範圍第 19 項之處理系統，其中該處理器核心進一步用以根據與該指令關聯的第一位址及該延伸暫存器中所儲存之該不同指令的該位址來判定該重新排序是否為有效。

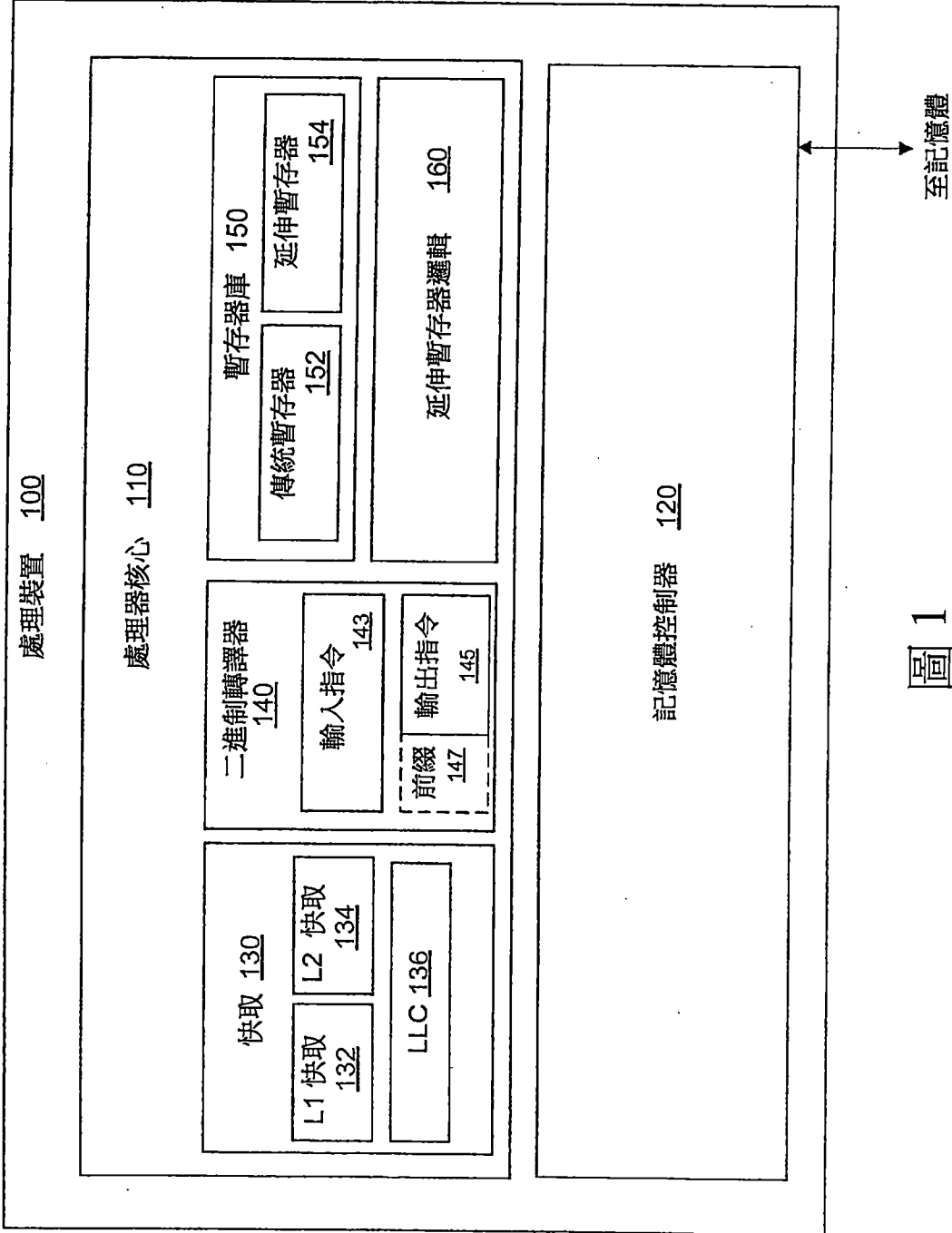


圖 1

圖式

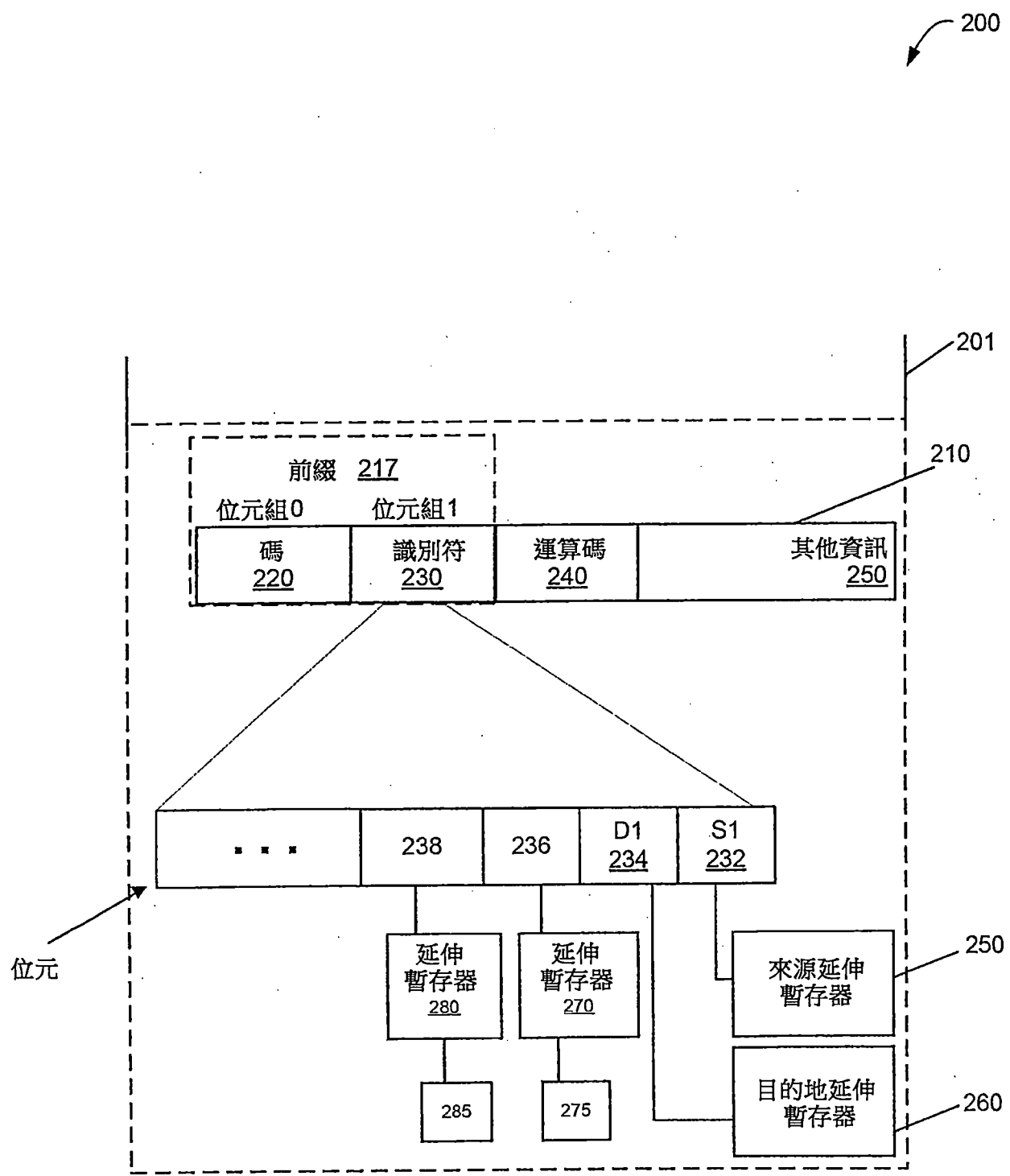


圖 2

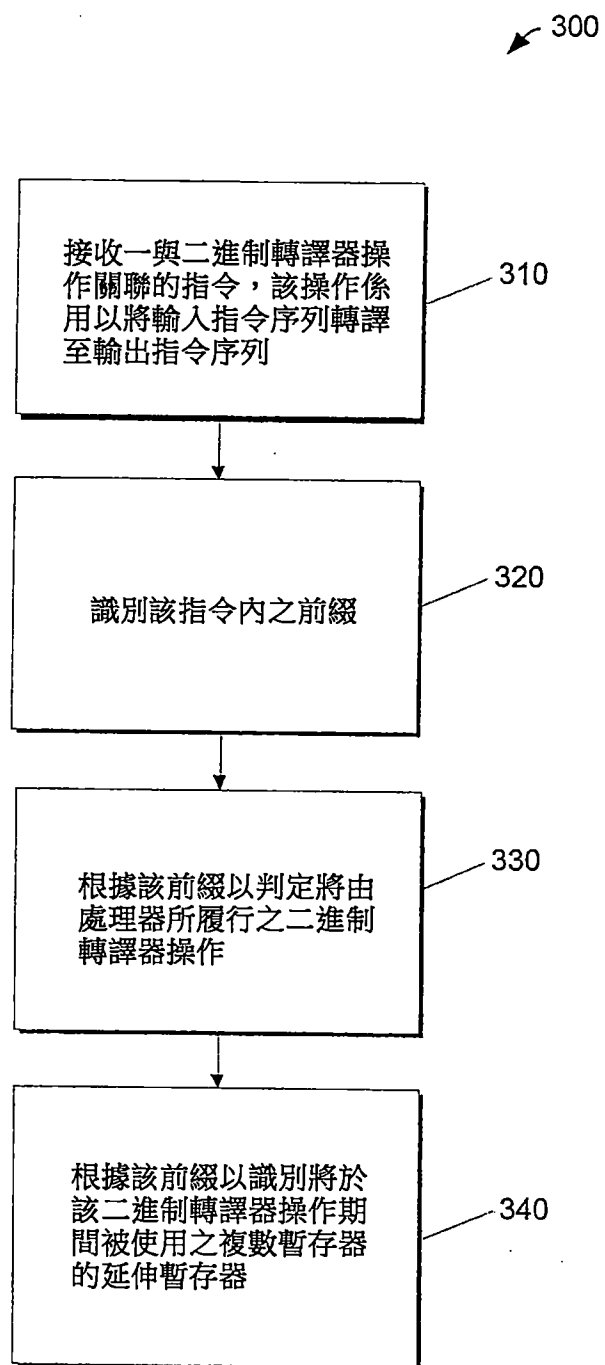


圖 3

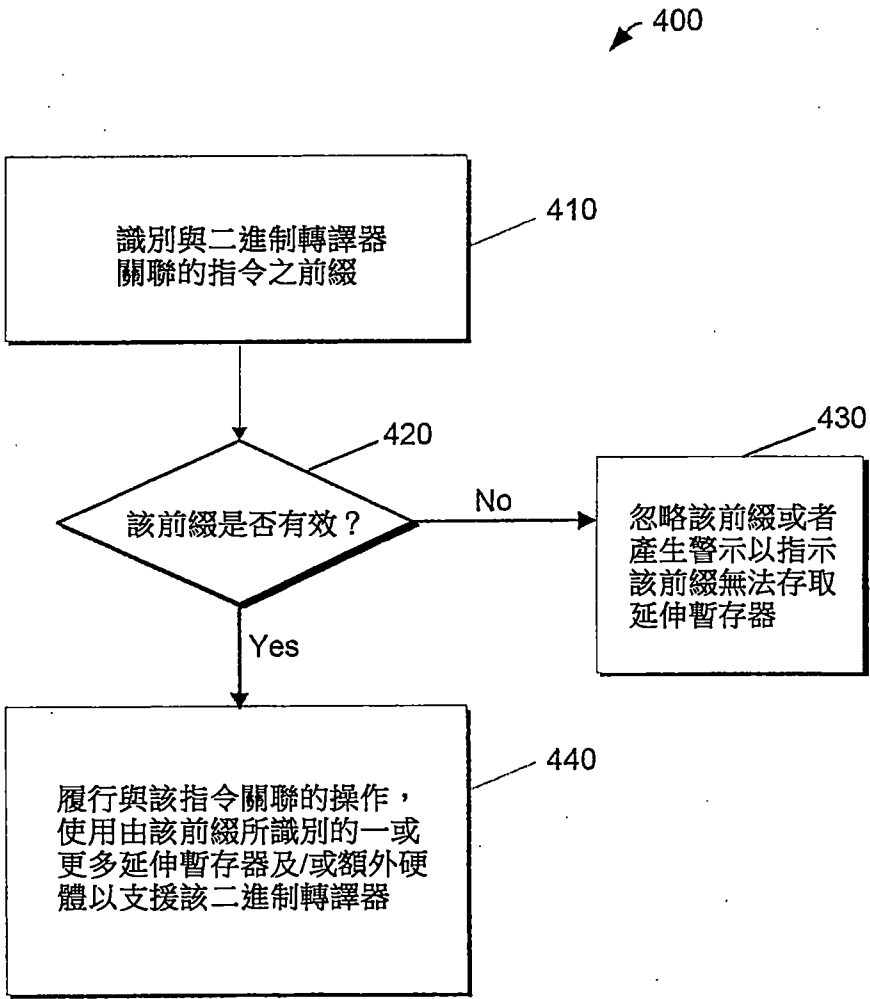


圖 4

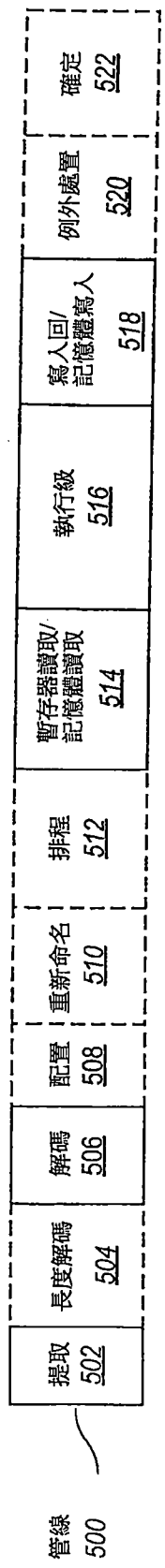


圖 5A

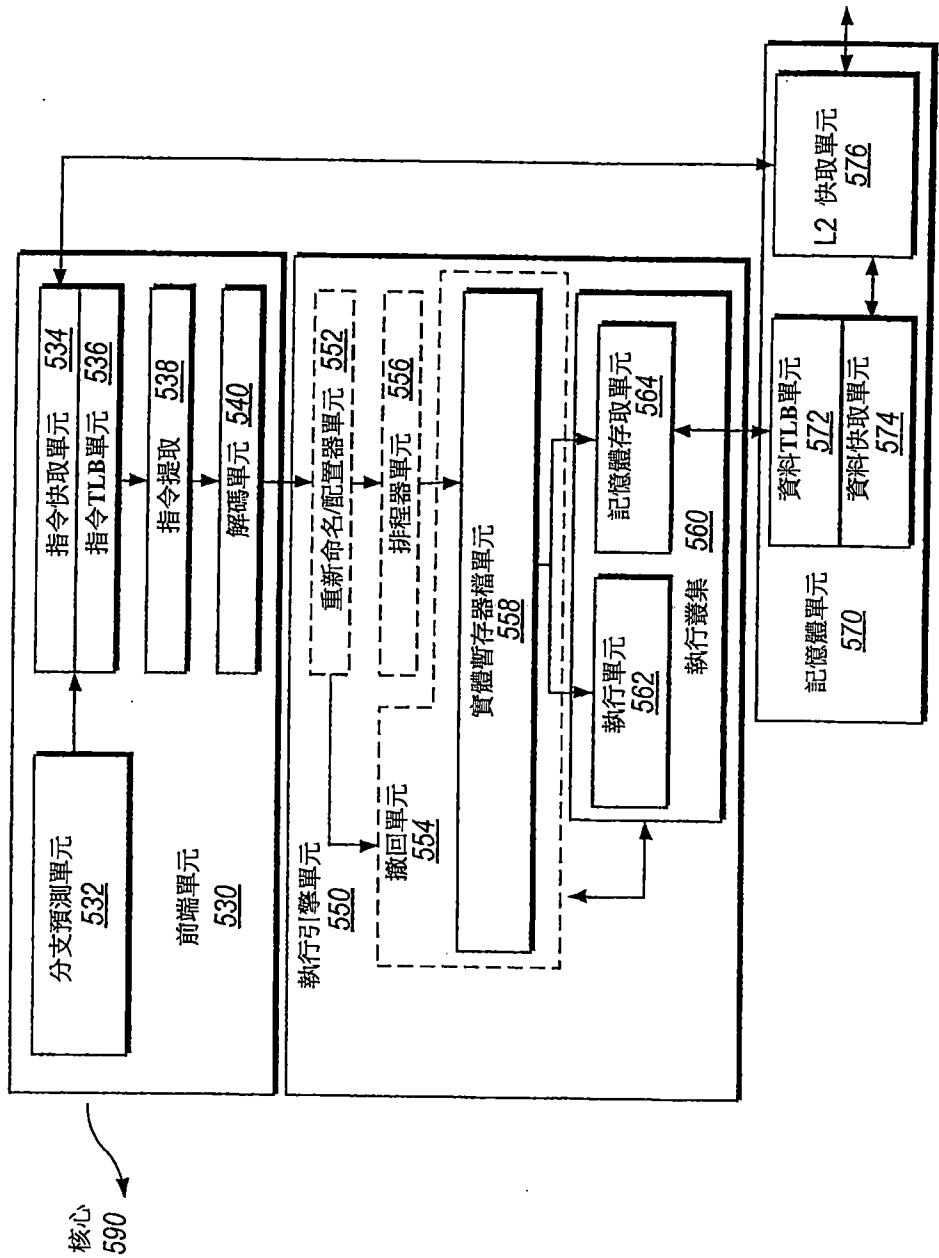


圖 5B

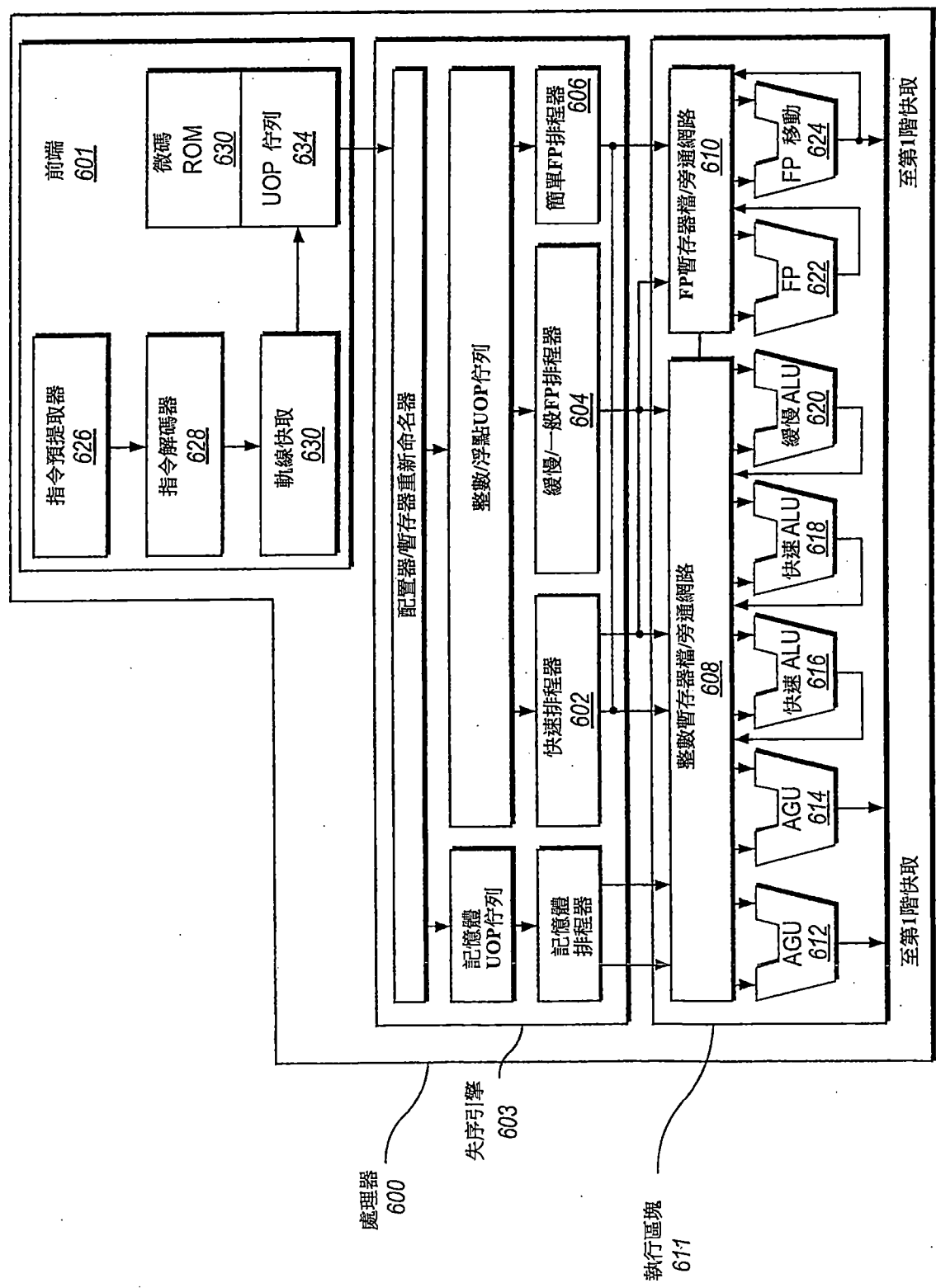


圖 6

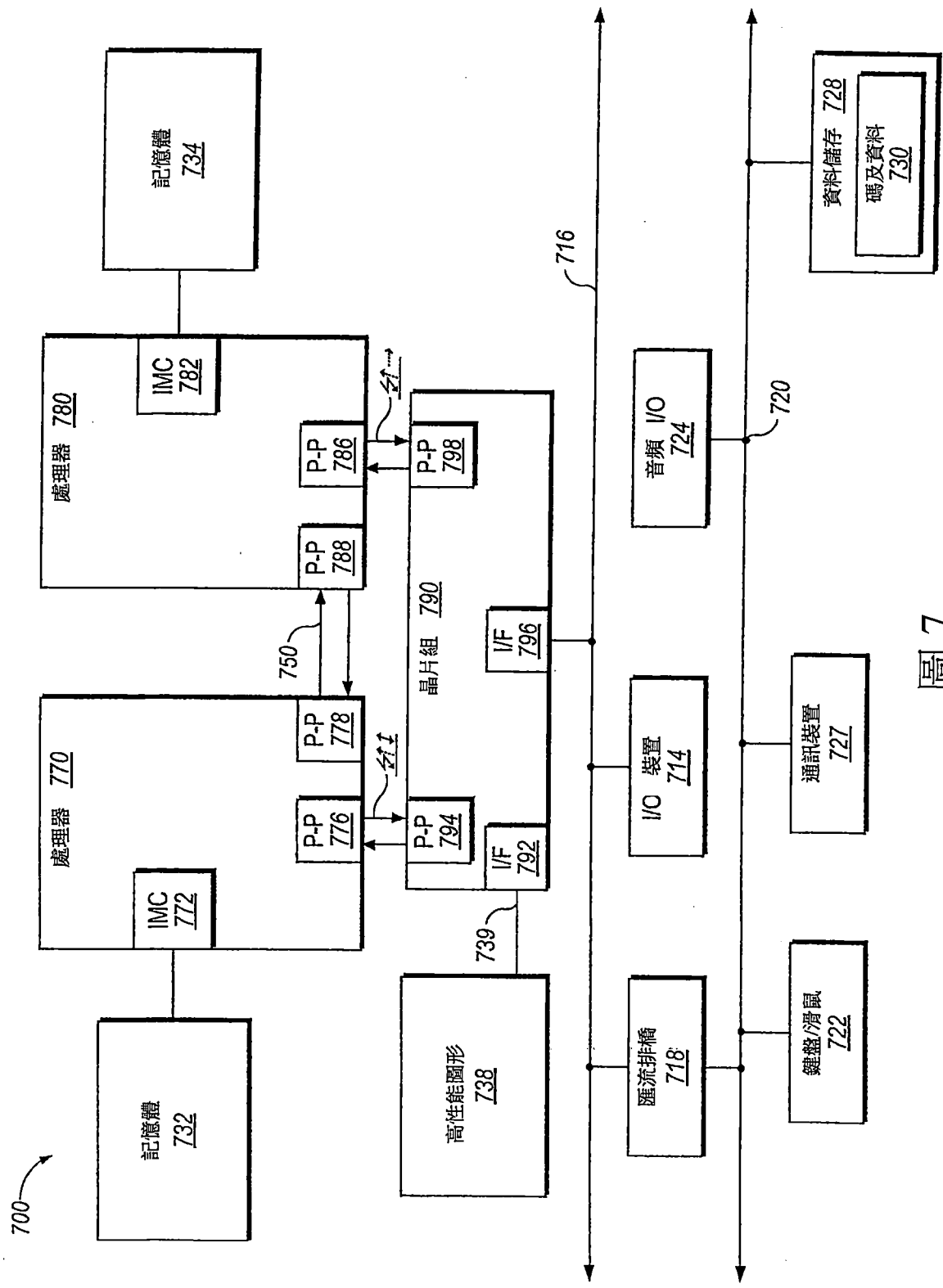


圖 7

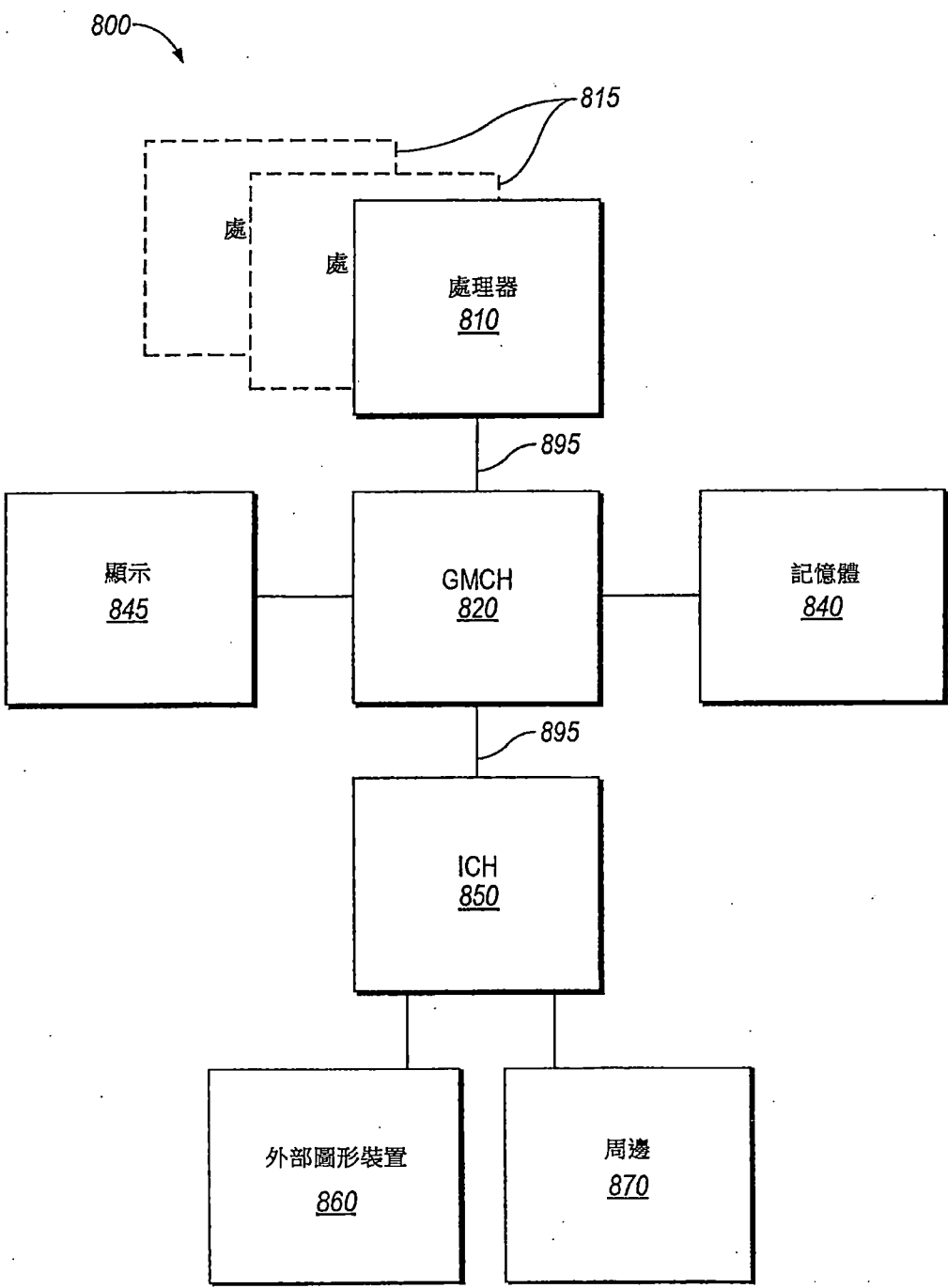


圖 8

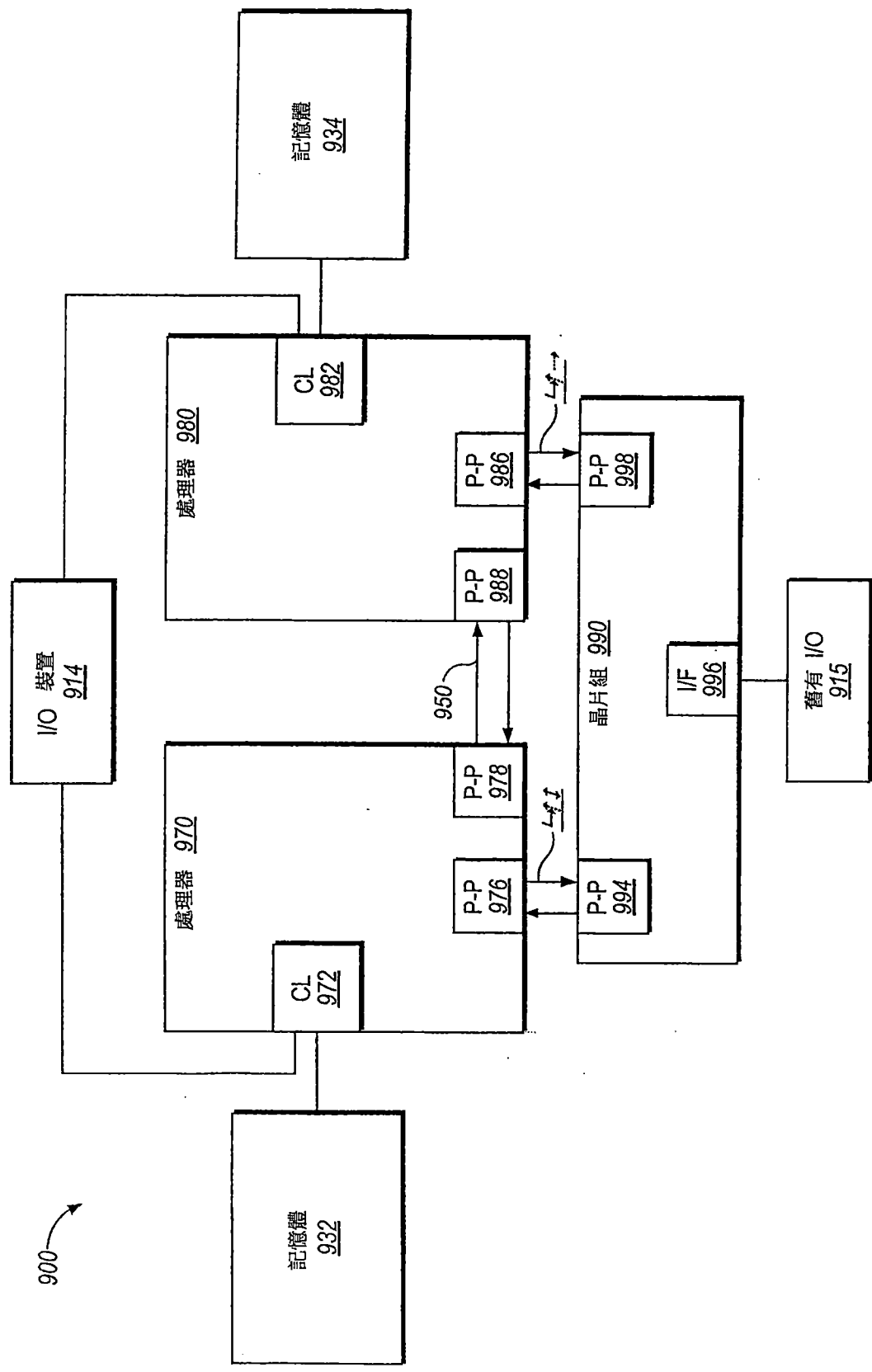


圖 9

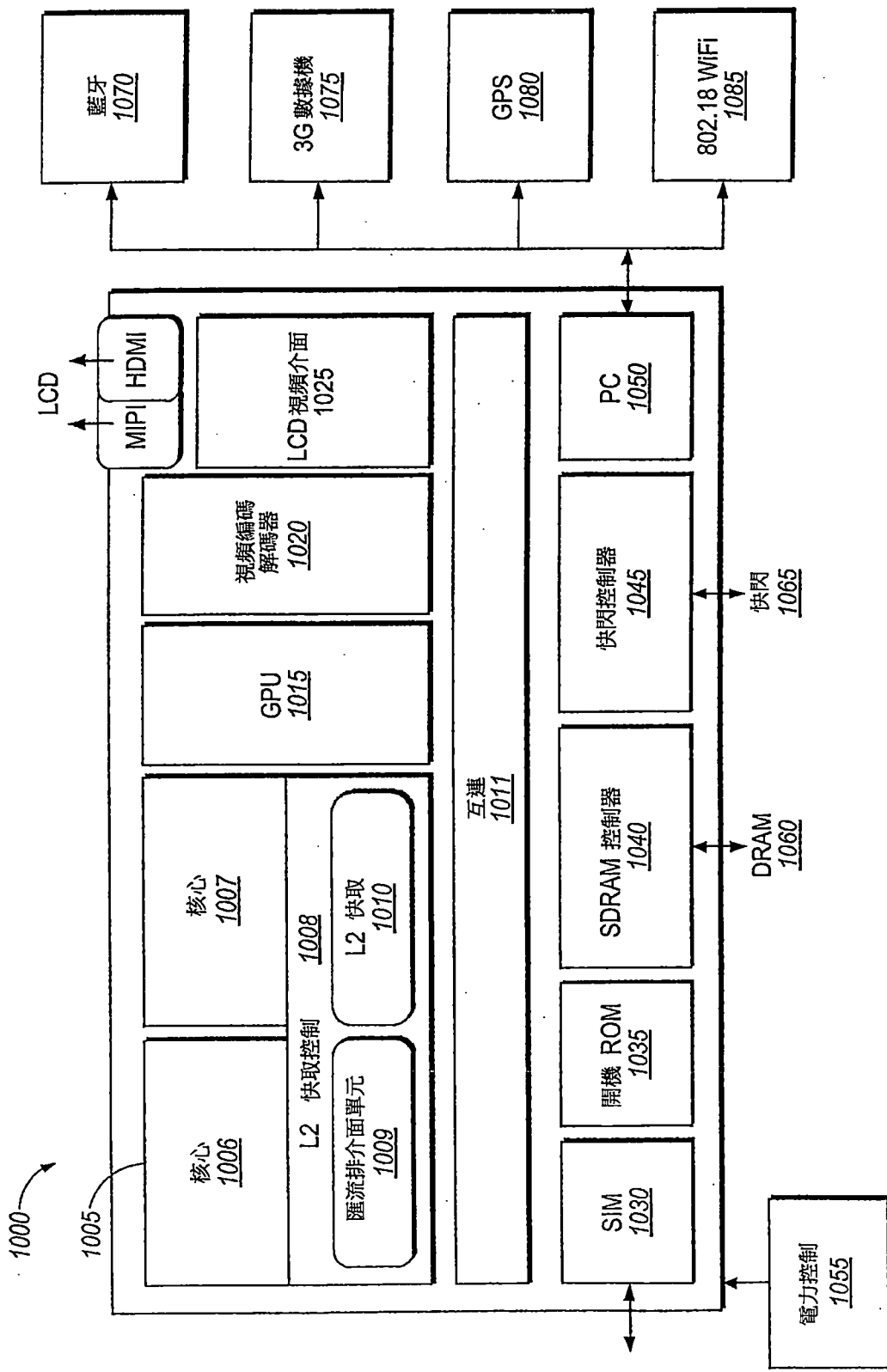


圖 10

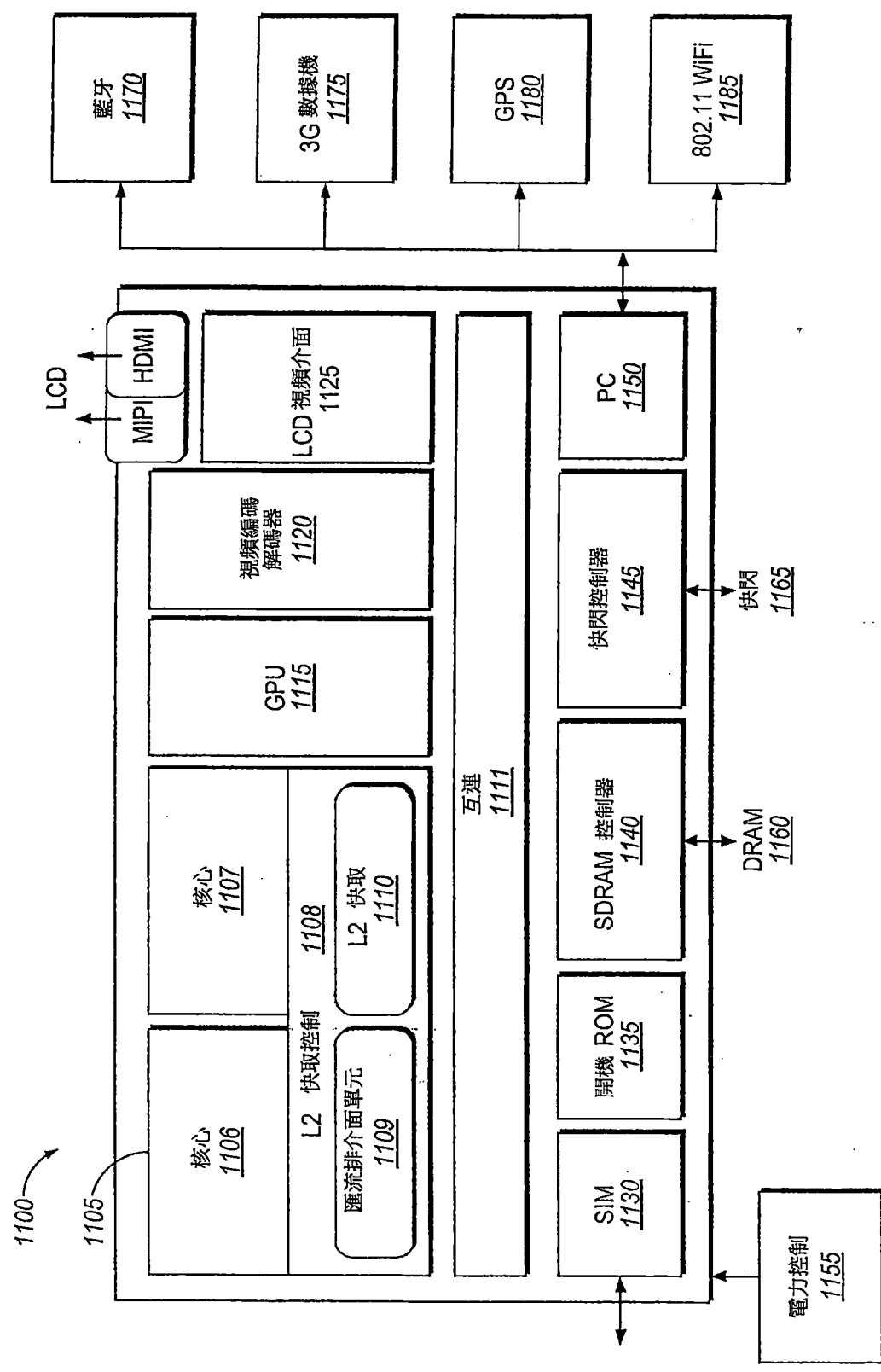


圖 11

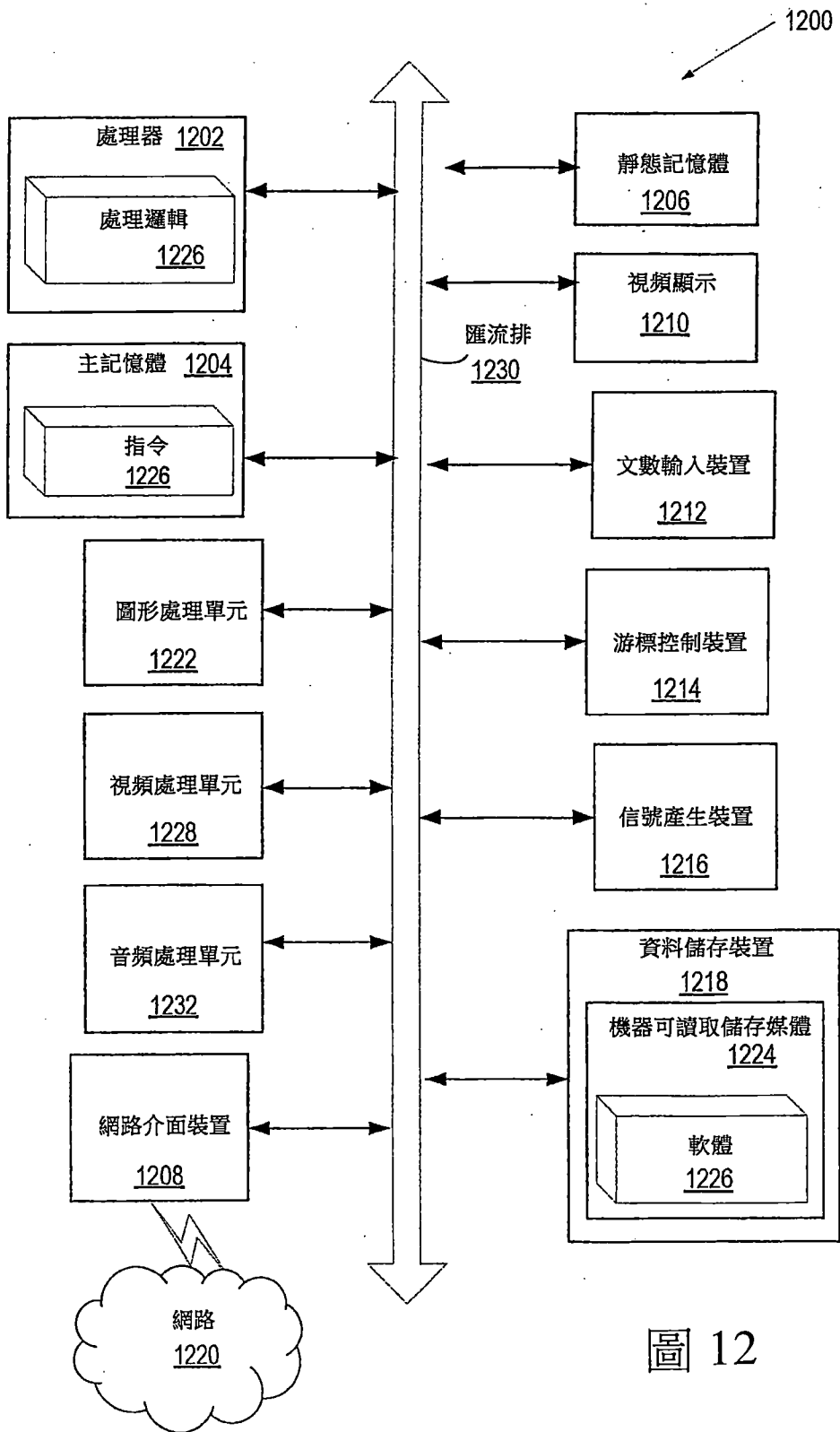


圖 12