

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4358998号
(P4358998)

(45) 発行日 平成21年11月4日(2009.11.4)

(24) 登録日 平成21年8月14日(2009.8.14)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 8 Z

H O 1 L 21/20 (2006.01)

H O 1 L 29/78 6 2 7 G

H O 1 L 21/20

請求項の数 4 (全 14 頁)

(21) 出願番号 特願2001-25531 (P2001-25531)
 (22) 出願日 平成13年2月1日(2001.2.1)
 (65) 公開番号 特開2002-231958 (P2002-231958A)
 (43) 公開日 平成14年8月16日(2002.8.16)
 審査請求日 平成18年2月14日(2006.2.14)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 110000350
 ポレール特許業務法人
 (74) 代理人 100068504
 弁理士 小川 勝男
 (74) 代理人 100086656
 弁理士 田中 恭助
 (74) 代理人 100094352
 弁理士 佐々木 孝
 (72) 発明者 山口 伸也
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所 日立研究所内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁体基板と、前記絶縁体基板上に形成された多結晶薄膜と、前記多結晶薄膜上に形成されたソース、ドレイン、チャネル及びゲートからなるトランジスタとを有し、前記トランジスタのチャネル部における前記多結晶薄膜は、シリコンゲルマニウム多結晶 $\text{Si}_{1-x}\text{Ge}_x$ からなり、ただし、 Si に対する Ge の組成比 x は $0 < x < 1$ であり、かつ前記多結晶薄膜中の Ge の組成比 x は、結晶粒内で Ge 組成が最小となる部分よりも粒界において大きく、前記多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜は、粒界における表面凹凸が 30nm 以下であることを特徴とする薄膜トランジスタ装置。

【請求項 2】

前記多結晶薄膜の厚さが $10 \sim 100\text{nm}$ であり、前記多結晶薄膜を構成する結晶粒内で Ge 組成が最小となる部分における Ge の組成比 x が $0 < x \leq 0.1$ 、粒界における Ge の組成比 x が $0.3 \leq x < 1.0$ であって、前記 Ge の組成比 x は常に結晶粒の中心部よりも粒界において大きいことを特徴とする請求項 1 記載の薄膜トランジスタ装置。

【請求項 3】

前記トランジスタのチャネル部を流れる主キャリアが正孔であることを特徴とする請求項 1 記載の薄膜トランジスタ装置。

【請求項 4】

絶縁体基板上に、膜厚 $10 \sim 100\text{nm}$ の非晶質 $\text{Si}_{1-x}\text{Ge}_x$ 層、ただし、 Si に対する Ge の組成比 x は $0 < x < 1$ 、を形成する工程と、前記非晶質 $\text{Si}_{1-x}\text{Ge}_x$ 層をエネルギー密度 200

～300mJ/cm²、パルス数1～50個のエキシマレーザーにより結晶化する熱処理工程とを有し、非晶質Si_{1-x}Ge_x層を多結晶Si_{1-x}Ge_xにGeの組成比xを0<x<1で変化させ、前記多結晶薄膜中のGeの組成比xを、結晶粒内でGe組成が最小となる部分よりも粒界において大きくなるようにしたことを特徴とする薄膜トランジスタ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ装置およびその製造方法に係り、特に多結晶シリコン（poly-Si）薄膜を用いたトランジスタに好適な薄膜トランジスタ装置およびその製造方法に関する。

10

【0002】

【従来の技術】

薄膜トランジスタ装置は、例えば液晶表示装置（LCD）やプラズマ表示装置（PDP）等の主として画像表示装置に、画素もしくは周辺回路駆動用薄膜トランジスタ（TFT）として用いられている。

【0003】

従来の薄膜トランジスタが形成される母体薄膜には、主として高温多結晶Siが用いられてきた。これは絶縁体基板である石英基板上に、900℃前後の高温熱処理によって多結晶Si（poly-Si）薄膜を形成したもので、比較的大きな粒径（例えば500～600nm）の多結晶Siが形成される。

20

【0004】

この高温多結晶Si（以下、高温poly-Siと言う）薄膜上に形成されたTFTは、粒界密度が低く結晶性のよいSi薄膜をチャネルとして利用するために、電界効果移動度が100～150[cm²/Vs]とSi基板上の従来型Si-LSiのそれ（～500[cm²/Vs]、文献 S. M. Sze, Physics of Semiconductor Devices, p.29, Second Edition, Wiley)に近い値を得ることができる。

【0005】

しかし、この高温poly-Siは、高温プロセスに耐えられるよう絶縁体基板として高価な石英基板を使用する必要があるため、基板コストが原因となって半導体装置全体のコスト低減が困難でTFTの普及が制限されていた。

【0006】

30

近年、これに代わるものとして低温多結晶Si（以下、低温poly-Siと言う）が盛んに研究されてきた。これは、低コストのガラス基板あるいはプラスチック基板上にプラズマCVD法等のプロセスで形成した非晶質Siを、エキシマレーザーアニールなどの熔融再結晶化法を用いて結晶化した多結晶Siである。この手法を用いると、多結晶Si薄膜を低温（～150℃）で形成可能のため、非常に廉価なTFTを形成できるという利点がある。

【0007】

しかし、これまでの低温poly-Siは、高温poly-Siと比べて結晶粒径が小さく（～100nm）、かつ表面凹凸の大きな（～50nm）多結晶Siしか形成することができなかった。

【0008】

結晶粒径が小さいと、キャリア経路に存在する粒界密度が大きくなり、粒界散乱を通してキャリア移動度を低下させてしまうという欠点がある。

40

また、表面凹凸が大きいと、ゲートリーク電流を抑えるためにその分ゲート絶縁膜を厚く（～100nm）する必要があるが生じ、そのため同じゲート電圧によってチャネルに誘起されるキャリア数が小さくなるために、やはりキャリア移動度を低下させてしまう。

【0009】

このため従来の低温poly-Siを素子材とした製品ベースのTFTでは電界効果移動度が電子キャリアの場合で～150[cm²/Vs]、正孔キャリアの場合で～50[cm²/Vs]程度に抑えられていた。このような小さな移動度では必要とされる素子速度に到達できないために、同一のガラス（あるいはプラスチック）基板上に形成できる素子の種類が制限されるという問題が起こる。

50

【 0 0 1 0 】

例えば画像表示装置の場合では、比較的要求性能が低い画素回路部はガラス（あるいはプラスチック）上に形成できるがその他の要求性能が高いソースドライバ、ゲートドライバ、シフトレジスタ、周辺コントローラなどの回路は、同一基板上に形成できないため、従来のSi-LSI技術を用いた半導体チップとしてプリント基板上に集積し、これをガラス基板と接続して用いなければならない。

【 0 0 1 1 】

このような方法では、周辺回路部を実装する面積によって画面サイズが小さく（4インチ～10インチ）なる上に、画像表示装置全体のコストが非常に高くなってしまうという問題があった。さらに、将来の市場が有望視される省電力画像表示装置ではTFTのCMOS（相補型MOS）化が必須であるが、そのためには正孔キャリアの電界効果移動度に対する要求性能はさらに大きくなると予測される。

10

【 0 0 1 2 】

このような問題を改善するためには、低温poly-Siの粒界散乱を抑制し、かつ表面凹凸を小さくできるような多結晶薄膜を実現することでTFTを高性能化する技術が必要である。これまで低温poly-Siを、このように高機能化するために以下に例示するように様々な技術が提案されてきた。

【 0 0 1 3 】

それらは例えば、絶縁体基板上に形成された非晶質Si膜に選択的に結晶化を助長する金属元素を導入し、基板に平行方向に結晶成長を行わせることにより、キャリア移動方向に[111]軸を持った多結晶Siを形成する技術（例えば特開平7-321339号公報）；熱処理用ビームの形状と照射位置移動量を精密に制御して基板垂直方向に<100>軸、ビーム走査方向に平行（または45°の角度）の{220}面を持った矩形状多結晶Siを形成する技術（例えば特開平10-41234号公報）；基板上に第1の多結晶Si層を形成し、異方性エッチングで特定面（{100}、{110}、{111}）のいずれかを持った種結晶を形成、その上に第2の多結晶Si層を形成することにより、面方位の揃った柱状の多結晶Si層を形成する技術（例えば特開平8-55808号公報）などである。

20

しかし、これら数多くの試みにもかかわらず、十分高移動度のTFTを得るにはいたっていない。

【 0 0 1 4 】

30

【発明が解決しようとする課題】

上記従来の低温poly-Si薄膜の結晶化法はいずれも十分に完成した技術とは言えず、到達できる最大粒径、表面凹凸のいずれをとっても、例えば周辺回路集積型の液晶表示パネルに要求されるTFTの要求性能には及んでいない。このためこれらの技術では既存の低機能の薄膜トランジスタ装置を十分に置き換えるにはいたっていない。従って高性能で大面積の画像表示装置を低コストで実現するという技術課題は極めて重要である。

【 0 0 1 5 】

そこで、本発明の第一の目的はTFTの素子材となる低温poly-Siにおいて、結晶粒界でのキャリア散乱を抑制し、表面凹凸を小さくして、正孔キャリアについても高移動度が実現できるような結晶構造を持つ多結晶薄膜を実現して、従来技術では得られない特性の優れた薄膜トランジスタ装置を提供することであり、第二の目的はこの薄膜トランジスタ装置を容易に得ることのできる製造方法を提供することであり、第三の目的はこの薄膜トランジスタ装置を用いた画像表示装置を提供することにある。

40

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成するために、本発明者等はTFTを形成するための低温poly-Siについて種々実験検討の結果、poly-Si薄膜中にGeを導入し、結晶化に伴う相分離で結晶粒内と結晶粒界との間にGe組成比を異ならせることで（詳しくは結晶粒界のGe組成比を結晶粒内でGe組成が最小となる部分よりも大きくする）、結晶粒界におけるキャリア散乱要因を抑制し、かつ結晶の体積差を利用して表面凹凸を抑制することにより高移動度TFTを実現

50

することができると言う重要な知見を得た。

【0017】

本発明は、このような知見に基づいてなされたもので、上記第一の目的は、絶縁体基板と、前記絶縁体基板上に形成された多結晶薄膜と、前記多結晶薄膜上に形成されたソース、ドレイン、チャネル及びゲートからなるトランジスタとを有し、前記トランジスタのチャネル部における前記多結晶薄膜は、シリコンゲルマニウム多結晶 $Si_{1-x}Ge_x$ からなり、ただし、 Si に対する Ge の組成比 x は $0 < x < 1$ であり、かつ前記多結晶薄膜中の Ge の組成比 x は、結晶粒内で Ge 組成が最小となる部分よりも粒界においてより大きいことを特徴とする薄膜トランジスタ装置により、達成される。

【0018】

そして好ましくは、前記多結晶薄膜の厚さが $10 \sim 100 \text{ nm}$ であり、前記多結晶薄膜を構成する結晶粒の中心部における Ge の組成比 x が $0 < x < 0.3$ 、粒界における Ge の組成比 x が $0.1 < x < 1.0$ であって、前記 Ge の組成比 x は常に結晶粒内で Ge 組成が最小となる部分よりも粒界においてより大きいことである。

【0019】

さらに好ましい本発明薄膜トランジスタ装置の特徴点を以下に列挙する。

上記薄膜トランジスタ装置において、多結晶 $Si_{1-x}Ge_x$ 薄膜は、粒界における表面凹凸が 30 nm 以下であることを特徴とする。

【0020】

上記薄膜トランジスタ装置において、前記トランジスタのチャネル部を流れる主キャリアが正孔であることを特徴とする。

【0021】

上記薄膜トランジスタ装置は、絶縁体基板と、前記絶縁体基板上に形成された多結晶薄膜と、前記多結晶薄膜上に形成されたソース、ドレイン、チャネル及びゲートからなるトランジスタとを有し、前記トランジスタのチャネル部における前記結晶薄膜は、基板に平行な $\{110\}$ 結晶面を有し、粒界における平均格子定数が結晶粒内部における平均格子定数より大きいことを特徴とする。

【0022】

上記薄膜トランジスタ装置は、絶縁体基板と、前記絶縁体基板上に形成された多結晶 $Si_{1-x}Ge_x$ 薄膜、ただし、 Si に対する Ge の組成比 x は $0 < x < 1$ と、前記多結晶 $Si_{1-x}Ge_x$ 薄膜上に形成されたソース、ドレイン、チャネル及びゲートからなるトランジスタを複数個集積して構成した回路部とを保持し、前記回路部は p タイプのトランジスタ及び n タイプのトランジスタの両者を混在させた $CMOS$ 型トランジスタを含むことを特徴とする。

【0023】

そして上記薄膜トランジスタ装置は、前記回路部を構成する p タイプのトランジスタの Ge 組成比 x が、 n タイプのトランジスタの Ge 組成比より大きいことを特徴とする。

【0024】

上記第二の目的は、絶縁体基板上に、膜厚 $10 \sim 100 \text{ nm}$ の非晶質 $Si_{1-x}Ge_x$ 層、ただし、 Si に対する Ge の組成比 x は $0 < x < 1$ 、を形成する工程と、前記非晶質 $Si_{1-x}Ge_x$ 層をエネルギー密度 $200 \sim 300 \text{ mJ/cm}^2$ 、パルス数 $1 \sim 50$ 個のエキシマレーザーにより結晶化する熱処理工程とを有することを特徴とする薄膜トランジスタ装置の製造方法により、達成される。

【0025】

そして好ましくは、上記薄膜トランジスタ装置の製造方法において、前記熱処理工程は、前記非晶質 $Si_{1-x}Ge_x$ 層の膜厚が $T \text{ nm}$ のときエネルギー密度を $(180+T) \sim (200+T) \text{ mJ/cm}^2$ として、膜厚に対応して変化させることを特徴とする。

【0026】

上記第三の目的は、画像表示部と、前記画像表示部の表示を制御し、少なくともデータドライバ、ゲートドライバ及びバッファアンプを含む画像表示回路と、前記画像表示回路の

10

20

30

40

50

周辺に位置して前記画像表示回路を制御する周辺回路部とを有する画像表示装置であって、前記画像表示回路及び前記周辺回路部は、前記画像表示部を構成する基板と同一の基板上に集積されると共に、前記画像表示回路及び前記周辺回路部は、絶縁体基板と、前記絶縁体基板上に形成された多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜、ただし、 Si に対する Ge の組成比 x は $0 < x < 1$ と、前記多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜上に形成されたソース、ドレイン、チャネル及びゲートからなるトランジスタを複数個集積して構成した回路部とを保持し、前記回路部は p タイプのトランジスタもしくは n タイプのトランジスタのいずれか一方、もしくは両者を混在させた CMOS 型トランジスタを含むことを特徴とする画像表示装置により、達成される。

【0027】

10

そして好ましくは、上記画像表示装置において、前記回路部を構成する p タイプトランジスタの Ge 組成比 x が、 n タイプトランジスタの Ge 組成比より大きいことを特徴とする。

【0028】

更に好ましくは、前記回路部に前記 p タイプトランジスタ、前記 n タイプトランジスタ及び前記 CMOS 型トランジスタのいずれかの種類を区別するために、これら回路近傍に設けられた位置合わせマークを保持することを特徴とする。

【0029】

【発明の実施の形態】

以下、図6～図12を用い従来技術との対比において、本発明の特徴である SiGe の結晶成長特性について詳細に説明する。なお、本明細書では結晶面方位 (110) 、 (101) 、 (011) のように結晶学的に等価な面方位群をまとめて $\{110\}$ のように表記している。

20

【0030】

図6は、従来 TFT の母材であるエキシマレーザーアニールにより形成した多結晶 Si 薄膜の表面 SEM （走査電子顕微鏡）像である。

なお、この多結晶 Si 薄膜は、ガラス基板上に周知のプラズマ CVD 法によって膜厚 50nm に成膜し、それをエキシマレーザーにより、エネルギー密度 $340\text{mJ}/\text{cm}^2$ の条件でアニールしたものである。

【0031】

この低温 poly-Si の平均粒径は $50 \sim 100\text{nm}$ と比較的小さめの例を挙げたが、現在到達できる最大粒径は $200 \sim 300\text{nm}$ 程度である。しかし、粒径が大きくなるにしたがい粒径ばらつきも増大し、その結果 TFT 移動度に大きなばらつきが生じることが問題となっている。

30

【0032】

このため実用的な結晶粒径としては図に挙げた $50 \sim 100\text{nm}$ が典型例である。各結晶粒の粒界は暗いコントラストとなっているが、それに隣接した部分においてところどころ明るいコントラストの領域が見られる。このようなコントラストの違いは表面凹凸に相当する。

【0033】

エキシマレーザーアニールなどの熱処理法では溶融から固化する過程で Si 結晶の体積膨張を伴う。このため各結晶粒がぶつかり合う粒界付近では膨張した体積分を逃がすために基板に垂直な上方向へ膜を持ち上げる力が働く。結晶粒界の3重点付近ではこの力がさらに大きくなり表面凹凸の原因となっている。膜厚 50nm の Si 多結晶に対し平均的表面凹凸は 50nm にも達する。

40

【0034】

図7は、本発明の低温多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜の表面 SEM 像（左図）および平面 TEM （透過電子顕微鏡）像である。 Ge 組成比は $x=0.3$ 、 KrF エキシマレーザーエネルギー密度 $240\text{mJ}/\text{cm}^2$ 、30回照射により形成したものである。

【0035】

なお、この場合も多結晶 Si 薄膜は、ガラス基板上に周知のプラズマ CVD 法によって膜厚 50nm に成膜したが、その際に CVD ガス中にソースとして Ge を Si に対して $30\text{mol}\%$ 導入し、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 薄膜（以下、単に SiGe 薄膜と略記）とした。それをエキシマレーザーにより、エネルギー密度 $240\text{mJ}/\text{cm}^2$ の条件でアニールしたものである。

50

【 0 0 3 6 】

図 7 の左図を見ると、結晶粒径は図 6 の多結晶Si薄膜のそれとほとんど同じであるが、粒内と粒界のコントラスト関係が反転していることがわかる。これは図 6 の場合とは逆に、粒界の方が粒内より上に凸となっていることが原因である。元素分析の結果、この粒界には粒内よりはるかに高濃度のGeが検出され、その高濃度領域と本図における明るいコントラスト領域とはほぼ一致した。

【 0 0 3 7 】

この多結晶Si_{0.7}Ge_{0.3}薄膜の平面TEMの暗視野像（図 7 の右図）を見ると結晶構造の詳細を知ることができる。本図（図 7 の右図）では基板面に平行な{110}面が明るく表示されるような条件で測定されている。図を見るとほとんどの結晶粒は同じ明るさに揃っており、若干数の黒い粒が間に存在することがわかる。結晶粒内にはスタッキングフォルトが双晶と思われる直線上の模様がところどころ見えるがそれ意外はほぼきれいな単結晶となっていることがわかる。

10

【 0 0 3 8 】

図 8 は、図 7 に示した本発明の低温多結晶SiGe薄膜の結晶構造模式図である。大部分の結晶粒が基板に平行な{110}面を持って揃っており、若干数の面方位の異なる粒が間に存在している。これら面方位の異なる粒は条件を変えたTEM観察によって、{110}面が基板平行面から1~10度傾いたものであることがわかっている。このため本発明の多結晶SiGe薄膜は基本的に{110}面方位を持った多結晶であることがわかる。各粒内はアニール前に導入していたGe組成比よりSi-richであり、粒界ではそれに対しGe組成比の大きな結晶となっている。

20

【 0 0 3 9 】

このような相分離（Ge組成比が結晶粒内と粒界とで異なる）が起こる原因は、Si中におけるGeの拡散係数とSi対Geの結合エネルギーに起因している。非晶質Si中のGe拡散係数は比較的大きく600 でも $D=8.0 \times 10^{-20} [\text{m}^2/\text{s}]$ である（文献S. M. Prokes and F. Spaepen, Appl. Phys. Lett., vol 47, p234 (1985)参照）。

【 0 0 4 0 】

このような移動条件のもと結晶が安定な格子を組むためには、各原子間の結合エネルギーを最小化した方がよい。Si-Si、Si-Ge、Ge-Ge間の結合エネルギーはそれぞれ3.73eV、3.65eV、3.56eVである（文献K. Nakagawa, N. Sugii, S. Yamaguchi, and M. Miyao, J. Cryst. Growth, vol 210, p560, (1999)参照）。

30

【 0 0 4 1 】

このためGeはSiと結合するよりGe同士で結合する方がエネルギー的に安定となる。アニール前にSiの方がGeより多い条件に設定しておくと、結晶化の初期段階である任意の場所にSi結晶核ができ、それが成長する過程においてGeを周辺に追い出しながらSiを多く内包した結晶粒が成長する。このような結晶粒がいたるところ成長することにより、上述のような結晶構造を持つ多結晶SiGeが形成されると思われる。

【 0 0 4 2 】

このような複数種からなる元素間の相分離自体は従来から知られている。相分離した元素それぞれをp型/n型に切り分けることで多結晶薄膜を熱電変換材料に利用した例もある（例えば特開平2000-261043号公報）。しかし、本発明の多結晶SiGe薄膜のように粒界構造のいたるところできれいにGe-richとなり、以下で述べるように粒界における表面凹凸を抑制できTFTに應用できる多結晶SiGe薄膜はこれまで知られていない。

40

【 0 0 4 3 】

また、このようにGe-richな相ができると特に正孔移動度にとって有利な構造となる。材料自体の性質として単結晶Ge（電子移動度 $\sim 3000 \text{cm}^2/\text{Vs}$ 、正孔移動度 $\sim 1500 \text{cm}^2/\text{Vs}$ ）は、単結晶Si（電子移動度 $\sim 1500 \text{cm}^2/\text{Vs}$ 、正孔移動度 $\sim 500 \text{cm}^2/\text{Vs}$ ）より大きな移動度を持っている（文献M. V. Fischetti and S. E. Laux, J. Appl. Phys. Vol 80, p2234, (1996)参照）。

【 0 0 4 4 】

50

従来問題視されてきたGe / 酸化膜界面安定性の問題も熱酸化膜ではなく堆積酸化膜であればそれほど問題ではないこともわかっている。このような潜在能力の高いGeがT F Tで用いられていない理由は形成できる多結晶Geの粒径が極めて小さく粒界散乱が大きくて実用にならないからである。しかし本発明のような多結晶SiGe薄膜構造であれば粒径は多結晶Si薄膜のそれに匹敵し、散乱の大きい粒界付近に高移動度のGe-rich相が存在することにより全体として高移動度を実現できるという利点がある。

【 0 0 4 5 】

図9は、従来の多結晶Si薄膜のSEM像（左図）の四角領域におけるAFM（原子間力顕微鏡）像（右図）である。このAFM像は表面凹凸をそのまま直接コントラスト比で表示している。多結晶Si薄膜における結晶粒の3重点付近でいたるところ明るい凸部が見られる。これら凸部の頂点と凹部の底との高低差は上述したように約50nmと非常に大きい。これは体積膨張によって働く上向きの力が3重点で極めて大きいためである。

10

【 0 0 4 6 】

一方、図10は、本発明の多結晶SiGe薄膜のSEM像（左図）、およびその四角領域におけるAFM像（右図）である。AFM像を見れば明らかなように粒界に相当する部分でまんべんなく明るく、凸部が形成されていることがわかる。

【 0 0 4 7 】

図11の左図は、上記図10の右図と同様のAFM像であるが、右図はその直線部分における高低差分布を示す図である。この図から明るい部分が凸部、暗い部分が凹部に相当することがはっきりわかる。この凸部の頂点と凹部の底との高低差は最大で20nm程度と上述の図7に示した多結晶Si薄膜の50nmと比較して大幅に抑制されていることがわかる。

20

【 0 0 4 8 】

これは主としてSi、Ge間で体積膨張係数や弾性係数が異なることが原因と考えられる。つまり、アニール前には非晶質SiGe混晶としての格子定数（>非晶質Si）で薄膜が形成されていたが、固化する際の相分離によって比較的硬いSi結晶の周りに柔らかいGe-rich相が形成されることで体積膨張分を粒界で緩和でき、その結果表面凹凸を抑制できていると考えられる。いずれにしても本発明の多結晶SiGe薄膜は、従来の多結晶Si薄膜より非常に小さな表面凹凸しか持たないことがわかる。

【 0 0 4 9 】

図12は、本発明の多結晶SiGe薄膜を形成するために必要なレーザーアニール条件を、Ge組成比 $x=0.3$ の場合を例に示したものである。横軸は、エキシマ(KrF)レーザーのエネルギー密度[mJ/cm²]、縦軸は多結晶SiGe薄膜の膜厚(nm)であり、照射回数はすべて30回である。エネルギー密度を最低の140[mJ/cm²]から徐々に増大させていくと、表面凸部を示す明るいコントラスト領域がしだいに増していく。

30

【 0 0 5 0 】

このうち膜厚50nmおよび30nmの場合だけ、それぞれ240[mJ/cm²]、220[mJ/cm²]で特異的に凸部が結晶粒界構造に一致することがわかる。このような構造は他のGe組成比（たとえば $x=0.1$ など）でも見ることができ、いずれの場合も極めて狭いアニール条件においてしか実現できないことがわかっている。この原因は、アニール前に導入したGe濃度が固化過程でちょうど偏析できる条件がそれほど広くないことによるためと思われるが、本発明ではこれら特異的なアニール処理条件で実現する多結晶SiGe薄膜を有効利用する。

40

以上で本発明の特徴である多結晶SiGe薄膜の結晶成長特性についての説明を終わる。以下では本発明の実施例に関する説明を行。

【 0 0 5 1 】

【実施例】

以下、図1～図5を用いて本発明の実施例を具体的に説明する。

（実施例1）

図1は、本発明の第1の実施例に係わる薄膜トランジスタ装置の展開図である。上段が縦断面図、その下段はチャネル部分を横（X - X' 方向）に切断した平面図である。ガラス板からなる絶縁体基板1上に、下記のプラズマCVDによる成膜条件、及びレーザーアニ

50

ール条件で多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜2を形成した。

【0052】

すなわち、原料ガスとして、シラン及びゲルマンを用い、Si対Geの流量比が0.7対0.3になるようにガス量を調整しながら、合計膜厚が50nmとなるようプラズマCVDにより非晶質 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を形成した。

【0053】

次に、成膜した表面に対し、レーザーアニール条件としてエネルギー密度 $240[\text{mJ}/\text{cm}^2]$ 、パルス数30回、パルス周波数100Hzでエキシマレーザーを照射し、多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜2を形成した。

【0054】

この多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜には、ソース3、ドレイン4、およびチャネル上にゲート絶縁膜5、ゲート6が形成されている。チャネルのうち、特にゲート絶縁膜5直下の領域は電界効果トランジスタの活性領域であり電流密度が最も大きい。その部分の平面図が図1の下段の図に描かれているが、本実施例ではこの平面上における多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜の結晶粒7内部のGe組成比 x を $0 < x < 0.1$ 、結晶粒界8におけるGe組成比 x を $0.3 < x < 1$ とした。

【0055】

このような格子構造をとると、上述したように結晶粒界8の表面(凸部)と結晶粒7の表面(凹部)との高低差が20nm程度と大幅に抑制されて、ゲート絶縁膜5を比較的薄く(～50nm)することができる。このため比較的小さなゲート電圧で多くのキャリアをチャネルに誘起することができ高移動度を実現できる。

【0056】

また、結晶粒7の大半が基板1に平行な{110}面に揃っていることで結晶粒界8の格子整合が比較的整いキャリアの粒界散乱を抑制できる効果も持つ。さらに、粒界8に高移動度のGe-rich相が形成されていることで膜全体の移動度が向上されるという利点も持つことが本実施例の特徴である。

【0057】

なお、多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜中のSiに対するGe組成比 x の測定は、以下の方法で行った。

透過型電子顕微鏡(TEM)内に備えたX線微量分析計のプロープ用の電子ビームを小さく(約100nm)絞って試料表面に照射し、照射された領域から放出される特性X線の波長と強度を測定することにより、SiとGeとの濃度を測定する。

次に、このSiとGeとの濃度の測定結果から計算により、Siに対するGe組成比 x を求める。

【0058】

また、結晶粒の組成比の測定は、ビーム照射領域が結晶粒内部に納まるように行う。粒界の組成比の測定は、ビーム照射領域が粒界を含むように行う。ここで、ビーム照射領域が粒界からはみ出して結晶粒にまたがっても良い。

(実施例2)

図2～図4は、本発明の第2の実施例に係わる薄膜半導体装置とその製造過程を模式的に示したものである。本実施例では多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を部分的に導入してトランジスタをCMOS(相補型MOS)化するものである。

【0059】

まず、図2に示したように、絶縁体基板(ガラス板)1上に非晶質Si薄膜9を形成する。その一部を通常のフォトリソでエッチング除去し、埋め込み型のGe組成比増加領域10を設ける。このようにして得た薄膜表面をKrFエキシマレーザーで照射しつつ、基板1を保持したステージを順次移動させることでレーザービーム照射領域11を走査させる。このとき予めステージ移動領域をプログラム制御することで、後にトランジスタ領域となる部分だけを選択的に結晶化する。

【0060】

このようにして、図3に示したように非晶質Si薄膜9の必要領域にのみ、純粋Si多結晶1

10

20

30

40

50

2 および多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜2領域が形成される。

【0061】

次に、図4に示したように、結晶化した薄膜にAsイオンを注入することでn型領域14を、また、Bイオンを注入することでp型領域13を、それぞれ注入用マスクを使用して順序よくかつ領域選択的に形成する。この後窒素雰囲気中で600℃1時間程度の炉アニールを行いn型領域14およびp型領域13のキャリア活性化を行い、その上にゲート絶縁膜5、ゲート6を設けてトランジスタを形成する。

【0062】

こうすることでp型領域13には、多結晶Si薄膜12からなるnタイプトランジスタが、また、n型領域14には、多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜2からなるpタイプトランジスタがそれぞれでき、低消費電力と高移動度を両立させたCMOS型トランジスタが形成されるという利点がある。

10

(実施例3)

図5は、本発明の薄膜半導体装置を利用した画像表示装置の分解組み立て図の例を示す。絶縁体基板(ガラス板)1上に多結晶Si薄膜と多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を選択的に形成し、その上に画素ドライバ領域17、バッファアンプ領域18、ゲートドライバ領域19、シフトレジスタ領域20、データドライバ領域21などからなる回路が集積されており、それらが一体となって、画素16を持つ画像表示パネル15に接続されて機能する。

【0063】

これらの回路を構成するトランジスタには要求される性能がそれぞれ異なるため、本発明の実施例1～3のトランジスタが選択的かつ複合的に組み合わせられて利用されている。このような構成では、大面積のガラス基板上に主要な回路を集積することができ、従来の周辺回路のほとんどを集積した画像表示装置を形成することができる。さらに低コストのガラス基板を用いて数少ない工程により製造できるという利点がある。

20

【0064】

【発明の効果】

本発明によれば、Si中にGeを導入し結晶化に伴う相分離で結晶粒内と結晶粒界との間にGe組成比を異ならせることで、結晶粒界におけるキャリア散乱要因を抑制し、かつ結晶の体積差を利用して表面凹凸を抑制することにより高移動度TFTを実現する。これにより、同一ガラス基板上に、画素部、周辺回路を集約的に形成することが可能となるため、大面積(例えば15インチ以上)画像表示装置を高集積化することができる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる薄膜トランジスタ装置の展開図である。上段が縦断面図、その下段はチャネル部分を横に切断した平面図である。

【図2】本発明の第2の実施例に係わる薄膜トランジスタ装置とその製造過程を模式的に示したものである。

【図3】同じく本発明の第2の実施例に係わる薄膜トランジスタ装置とその製造過程を模式的に示したものである。

【図4】同じく本発明の第2の実施例に係わる薄膜トランジスタ装置とその製造過程を模式的に示したものである。

40

【図5】本発明の薄膜トランジスタ装置を利用した画像表示装置の例を示したものである。

【図6】従来TFTの母材であるエキシマレーザーアニールにより形成した多結晶Si薄膜の表面SEM(走査電子顕微鏡)像である。

【図7】本発明の多結晶SiGe薄膜の表面SEM像(左図)および平面TEM(透過電子顕微鏡)像である。

【図8】本発明の多結晶SiGe薄膜の結晶構造模式図である。

【図9】従来多結晶Si薄膜のSEM像(左図)とその四角領域におけるAFM(原子間力顕微鏡)像(右図)である。

【図10】本発明の多結晶SiGe薄膜のSEM像(左図)とその四角領域におけるAFM像(右図

50

）である。

【図 1 1】上記図 1 0 のAFM像（左図）と、その直線部分における高低差分布を示す図（右図）である。

【図 1 2】本発明の多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜を形成するために必要なレーザーアニール条件を、Ge組成比 $x = 0.3$ の場合で示したものである。

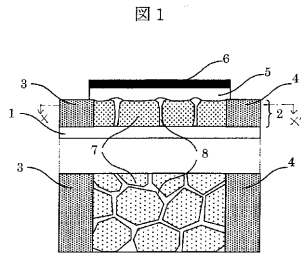
【符号の説明】

- 1 ... 絶縁体基板、
- 2 ... 多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜、
- 3 ... ソース、
- 4 ... ドレイン、
- 5 ... ゲート絶縁膜、
- 6 ... ゲート、
- 7 ... 結晶粒、
- 8 ... 結晶粒界、
- 9 ... 非晶質Si薄膜、
- 10 ... Ge組成比増加領域、
- 11 ... レーザービーム照射領域、
- 12 ... 純粋Si多結晶、
- 13 ... p型領域、
- 14 ... n型領域、
- 15 ... 画像表示パネル、
- 16 ... 画素、
- 17 ... 画素ドライバ領域、
- 18 ... バッファアンプ領域、
- 19 ... ゲートドライバ領域、
- 20 ... シフトレジスタ領域、
- 21 ... データドライバ領域。

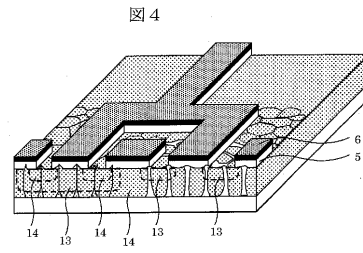
10

20

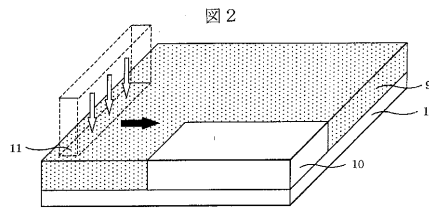
【図 1】



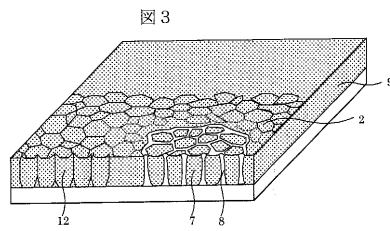
【図 4】



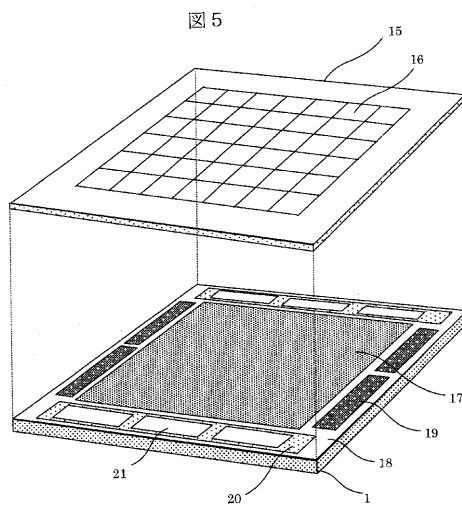
【図 2】



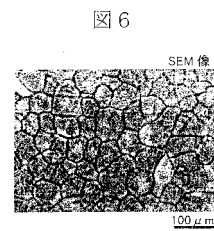
【図 3】



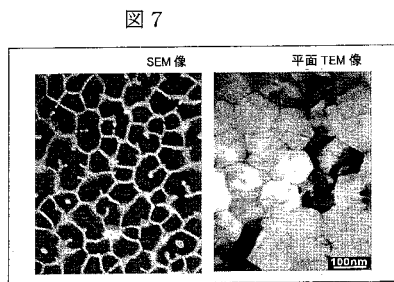
【図 5】



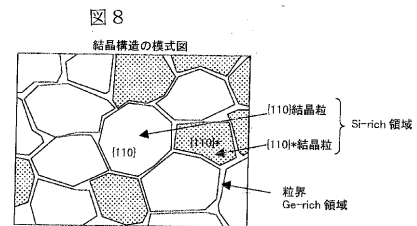
【図 6】



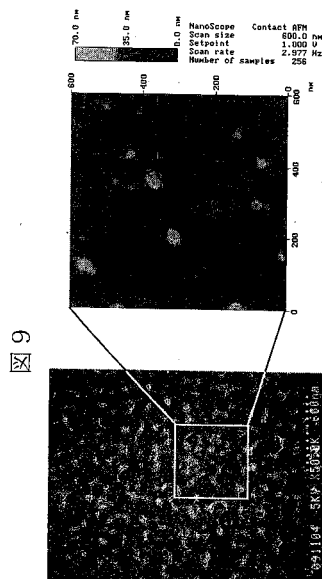
【図 7】



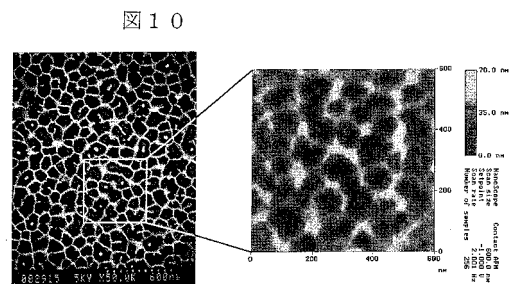
【図 8】



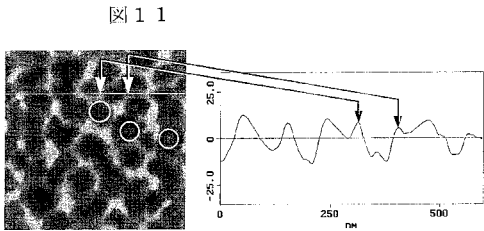
【図 9】



【図 10】

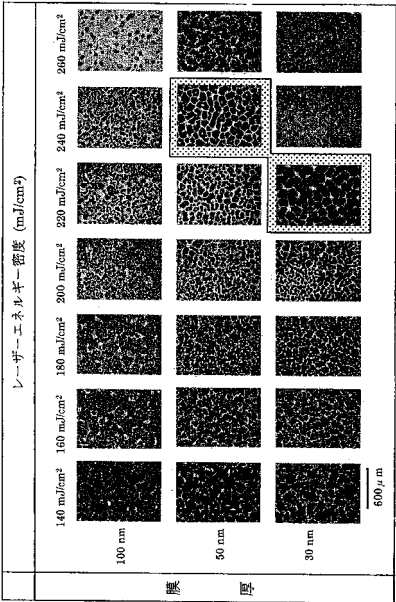


【図 1 1】



【図 1 2】

図 1 2



フロントページの続き

(72)発明者 芝 健夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

(72)発明者 波多野 睦子

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

(72)発明者 朴 成基

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

審査官 和瀬田 芳正

(56)参考文献 特開平9-266313(JP,A)

特開平11-251600(JP,A)

特開2002-094077(JP,A)

特開平9-8319(JP,A)

特開平9-82639(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

H01L 21/20

H01L 21/336

H01L 29/786