(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-88099
(P2009-88099A)
(43)公開日　平成21年4月23日(2009.4.23)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 21/822	(2006.01)	H01L 27/04	L	5F033
H01L 27/04	(2006.01)	H01L 21/88	T	5F038
H01L 21/3205	(2006.01)	H01L 27/04	A	
H01L 23/52	(2006.01)			

審査請求 未請求　請求項の数 8　ＯＬ　（全 19 頁）

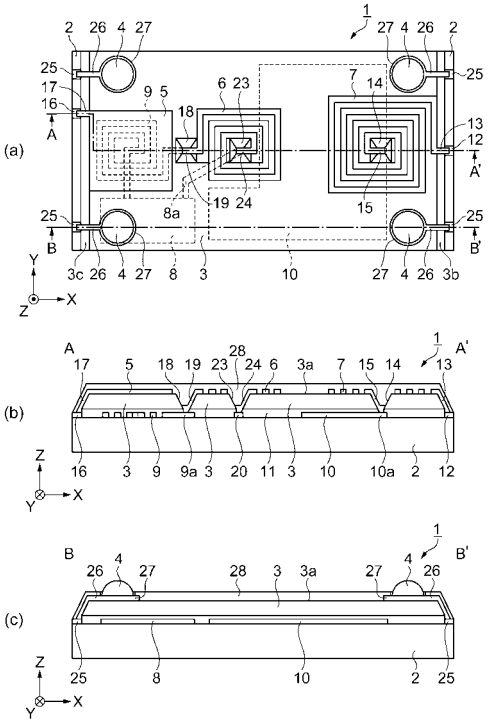
(21)出願番号　特願2007-253628 (P2007-253628)
(22)出願日　平成19年9月28日 (2007.9.28)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(74)代理人　100127661
弁理士　宮坂　一彦
(72)発明者　滝田　雄三
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
(72)発明者　小林　知永
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】半導体基板の近くにインダクタが配置されるときにも、半導体基板の内部インダクタのインダクタンスに影響を与え難い半導体装置を提供する。
【解決手段】半導体基板２と、半導体基板２に形成される絶縁膜３と、絶縁膜３上に形成されるインダクタ７と、を備える半導体装置１にかかり、半導体基板２上には内部インダクタ９が形成され、内部インダクタ９と対向する場所には、インダクタ７が放出する磁力線を減衰させる内部用シールド膜５を有し、内部インダクタ９が内部用シールド膜５により変化するインダクタンスを補正する補正インダクタ６を有することを特徴とする。
【選択図】図２



【特許請求の範囲】
【請求項１】
半導体基板と、前記半導体基板上に形成される絶縁膜と、前記絶縁膜上に形成されるインダクタと、を備える半導体装置であって、
前記半導体基板上には内部インダクタが形成され、前記内部インダクタと対向する場所には、前記インダクタが放出した磁力線を減衰させる内部用シールド膜を有し、
前記内部インダクタが前記内部用シールド膜により変化するインダクタンスを補正する補正インダクタを有することを特徴とする半導体装置。
【請求項２】
請求項１に記載の半導体装置であって、
前記内部インダクタと前記補正インダクタとが電気的に直列接続されていることを特徴とする半導体装置。
【請求項３】
請求項２に記載の半導体装置であって、
前記補正インダクタと対向する場所には、前記インダクタが放出した磁力線を減衰させる補正用シールド膜を有することを特徴とする半導体装置。
【請求項４】
請求項３に記載の半導体装置であって、
前記半導体基板と前記絶縁膜との間に、さらにパッシベーション膜を有し、
前記補正インダクタはパッシベーション膜上に形成され、前記補正用シールド膜は前記絶縁膜上に形成されることを特徴とする半導体装置。
【請求項５】
請求項１に記載の半導体装置であって、
前記内部用シールド膜は導電膜により形成されていることを特徴とする半導体装置。
【請求項６】
請求項１に記載の半導体装置であって、
前記内部用シールド膜は磁性膜により形成されていることを特徴とする半導体装置。
【請求項７】
請求項５に記載の半導体装置であって、
前記半導体基板と前記絶縁膜との間に、さらにパッシベーション膜を有し、
前記内部用シールド膜は前記絶縁膜を挟んで配置され、前記内部用シールド膜がキャパシタ電極を兼ねたキャパシタを有することを特徴とする半導体装置。
【請求項８】
請求項１に記載の半導体装置であって、
前記補正インダクタは前記絶縁膜上に形成されることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体装置にかかり、特に複数のインダクタが配置されるときに相互の影響を小さくする方法に関するものである。
【背景技術】
【０００２】
電子機器に実装される半導体装置を小型化するために、半導体装置のサイズを半導体チップサイズと略等しくできるチップサイズパッケージが知られている。このチップサイズパッケージでは、半導体基板上に絶縁膜が配置され、この絶縁膜上に略半球状のバンプが配置される。このバンプと半導体基板とは配線により接続される。そして、回路基板に形成された電極とバンプとを半田付けすることにより実装される。
【０００３】
この半導体装置にインダクタを形成するとき、半導体基板とインダクタとを重ねて配置する方法が提案されている。例えば、特許文献１において、半導体基板上に絶縁膜及びシ

ールド部が重ねて配置され、この上に誘導素子（以下、インダクタと称す）が配置されている。そして、このインダクタはシールド部と対向する場所に配置され、シールド部の範囲内に配置される。このとき、インダクタが放射する磁力線はシールド部により通過し難くなり、磁力線が半導体基板を通過し難くしている。そして、半導体基板が磁力線の影響を受けることにより、半導体基板の電気的動作が不安定になることを防止していた。

【０００４】

【特許文献１】特開２００６－２６１２９７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

インダクタと対向する場所にシールド部を配置するとき、インダクタが放射する磁力線はシールド部の影響を受けるので、インダクタのインダクタンスが低下する。一方、シールド部を配置しないとき、半導体基板に形成されるインダクタ（以下、内部インダクタと称す）に影響を及ぼす。その結果、半導体基板の電気的動作が不安定となるという課題を有する。

【課題を解決するための手段】

【０００６】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の形態又は適用例として実現することが可能である。

【０００７】

［適用例１］

本適用例にかかる半導体装置は、半導体基板と、前記半導体基板上に形成される絶縁膜と、前記絶縁膜上に形成されるインダクタと、を備える半導体装置であって、前記半導体基板上には内部インダクタが形成され、前記内部インダクタと対向する場所には、前記インダクタが放出した磁力線を減衰させる内部用シールド膜を有し、前記内部インダクタが前記内部用シールド膜により変化するインダクタンスを補正する補正インダクタを有することを特徴とする。

【０００８】

この半導体装置によれば、半導体基板には内部インダクタが形成されている。そして、この半導体基板上に形成されている絶縁膜を介してインダクタが形成されている。このインダクタが放出した磁力線が内部用シールド膜により内部インダクタを通過し難くなっている。そして、内部インダクタが放出した磁力線は内部用シールド膜の影響を受けるので、内部インダクタのインダクタンスは、内部用シールド膜がない場合に比べて小さくなる。このとき、この半導体装置は補正インダクタを有している為、内部インダクタは内部用シールド膜が無いときと略同様のインダクタンスにすることができる。従って、半導体基板の近くにインダクタが配置されるときにも、半導体基板の内部インダクタのインダクタンスに影響を与え難くすることができる。

【０００９】

［適用例２］

上記適用例にかかる半導体装置において、前記内部インダクタと前記補正インダクタとが電気的に直列接続されていることを特徴とする。

【００１０】

この半導体装置によれば、内部インダクタと補正インダクタとが直列接続となっている。複数のインダクタが直列接続されるとき、全体のインダクタンスは各インダクタンスの総和となる。補正インダクタのインダクタンスは内部インダクタが内部用シールド膜の影響を受けて減少するインダクタンスに相当するインダクタンスとして演算できる。従って、補正インダクタのインダクタンスは容易に設計することができる。

【００１１】

［適用例３］

上記適用例にかかる半導体装置において、前記補正インダクタと対向する場所には、前

記インダクタが放出した磁力線を減衰させる補正用シールド膜を有することを特徴とする。

【００１２】

この半導体装置によれば、補正用シールド膜はインダクタが放出した磁力線を補正インダクタを通過し難くする。従って、補正インダクタはインダクタの影響を受け難くすることができる。

【００１３】

［適用例４］

上記適用例にかかる半導体装置において、前記半導体基板と前記絶縁膜との間に、さらにパッシベーション膜を有し、前記補正インダクタはパッシベーション膜上に形成され、前記補正用シールド膜は前記絶縁膜上に形成されることを特徴とする。

【００１４】

この半導体装置によれば、補正インダクタはパッシベーション膜により半導体基板と電気的に絶縁される。そして、補正インダクタと補正用シールド膜とは絶縁膜により電気的に絶縁される。従って、補正インダクタ及び補正用シールド膜は電気的に機能するこができる。そして、補正用シールド膜が補正インダクタよりインダクタに近い場所に位置するので、補正シールド膜はインダクタが放射した磁力線を補正インダクタに通過し難くすることができる。

【００１５】

［適用例５］

上記適用例にかかる半導体装置において、前記内部用シールド膜は導電膜により形成されていることを特徴とする。

【００１６】

この半導体装置によれば、内部用シールド膜は導電性となっている。インダクタが放射した磁力線が内部用シールド膜に照射されるとき、内部用シールド膜の内部には電流が生じる。そして、インダクタの磁力線と逆方向の磁力線が発生するので、インダクタが放射した磁力線は内部用シールド膜を通過し難くすることができる。

【００１７】

［適用例６］

上記適用例にかかる半導体装置において、前記内部用シールド膜は磁性膜により形成されていることを特徴とする。

【００１８】

この半導体装置によれば、内部用シールド膜は磁性を有している。そして、インダクタが放射した磁力線が内部用シールド膜に照射されるとき、内部用シールド膜の内部を磁力線が通過する。そして、内部用シールド膜の内部を通過する磁力線は特定の場所から集中して放出する。磁力線を放出しない場所に内部インダクタが位置するように内部用シールド膜を配置することにより内部インダクタをインダクタから影響し難くすることができる。

【００１９】

［適用例７］

上記適用例にかかる半導体装置において、前記半導体基板と前記絶縁膜との間に、さらにパッシベーション膜を有し、前記内部用シールド膜は前記絶縁膜を挟んで配置され、前記内部用シールド膜がキャパシタ電極を兼ねたキャパシタを有することを特徴とする。

【００２０】

この半導体装置によれば、内部用シールド膜はキャパシタ電極を兼ねている。従って、キャパシタを配置するとき、内部用シールド膜とは別にキャパシタを配置する場合に比べて、キャパシタ及び内部用シールド膜が占有する面積を小さくすることができる。その結果、絶縁膜上を効率良く活用することができる。

【００２１】

［適用例８］

上記適用例にかかる半導体装置において、前記補正インダクタは前記絶縁膜上に形成されることを特徴とする。

【００２２】

この半導体装置によれば、インダクタ及び補正インダクタが絶縁膜上に形成されている。インダクタ及び補正インダクタは共に電気導通性のある材料から形成されることから、同一の工程にて製造することができる。従って、インダクタと補正インダクタとを別の膜上に形成する方法に比べて、インダクタ及び補正インダクタを生産性良く形成することができる。

【発明を実施するための最良の形態】

【００２３】

以下、実施形態について図面に従って説明する。

尚、各図面における各部材は、各図面上で認識可能な程度の大きさとするため、各部材毎に縮尺を異ならせて図示している。

（第１の実施形態）

本実施形態ではインダクタを備える半導体装置の特徴的な例について図１～図５に従って説明する。

【００２４】

図１は半導体装置を示す概略斜視図である。図１に示すように、半導体装置１は１方向に長い板状に形成されている。この長手方向をＸ方向とし、Ｘ方向と直行する方向をＹ方向とする。そして、半導体装置１の厚さ方向をＺ方向とする。半導体装置１は半導体基板２を備え、半導体基板２の上には絶縁膜３が配置されている。この絶縁膜３の上面３ａの四隅には略半球状のバンプ４が配置されている。そして、Ｙ方向の中央には導電膜により形成される内部用シールド膜５、補正インダクタ６、インダクタ７がＸ方向に並んで配置されている。

【００２５】

図２（ａ）は、半導体装置の構成を示す模式平面図であり、図２（ｂ）及び図２（ｃ）は、半導体装置の構成を示す模式断面図である。図２（ｂ）は、図２（ａ）のＡ－Ａ’における断面図であり、図２（ｃ）は、図２（ａ）のＢ－Ｂ’における断面図である。図２に示すように、半導体基板２にはアナログフロントエンド８が形成され、このアナログフロントエンド８には内部インダクタ９が形成されている。アナログフロントエンド８は内部インダクタ９の他にコンデンサ、抵抗、トランジスタ等により構成され、このアナログフロントエンド８により周波数フィルタ回路、整合回路等の回路が形成されている。そして、このアナログフロントエンド８が出力する信号を処理する信号処理回路１０が形成されている。

【００２６】

半導体基板２の上には酸化シリコン等からなるパッシベーション膜１１が形成され、このパッシベーション膜１１により半導体基板２が保護されている。そして、パッシベーション膜１１上に絶縁膜３が形成されている。絶縁膜３を形成するための形成材料としては、絶縁性があり弾性のある材料であれば良く、さらに、比誘電率が１０以下であることが好ましい。このような構成にすることにより、インダクタ７の誘電損失が低くなり、インダクタ７のＱ値を向上させることが可能となる。

【００２７】

また、半導体装置１が図示しない実装基板に実装された後、温度変化により各バンプ４間の距離が伸縮するときがある。このとき、絶縁膜３が弾性を有するので、各バンプ４間の距離の伸縮を絶縁膜３が変形することにより吸収する。従って、バンプ４に応力が加わって剥離することを防止することができる。

【００２８】

半導体基板２の図中右側中央には端子１２が形成されている。そして、端子１２の上面にはパッシベーション膜１１が配置されず、端子１２が露出するようにパッシベーション膜１１が形成されている。絶縁膜３の右側には斜面３ｂが形成され、斜面３ｂ上には配線

１３が形成されている。そして、この配線１３が端子１２とインダクタ７とを電気的に接続している。

【００２９】

信号処理回路１０の一端には端子部１０ａが配置され、端子部１０ａ上にはパッシベーション膜１１が形成されず、端子部１０ａが露出している。絶縁膜３の端子部１０ａと対向する場所には４つの斜面から構成される凹状のビア１４が形成されている。そして、ビア１４の斜面には配線１５が形成され、この配線１５が端子部１０ａとインダクタ７とを電気的に接続している。

【００３０】

半導体基板２において、アナログフロントエンド８と端子１２とが図示しない配線により電気的に接続されている。さらに、アナログフロントエンド８と端子部１０ａとが図示しない配線により電気的に接続されている。従って、インダクタ７は端子１２、配線１３、端子部１０ａ、配線１５を介してアナログフロントエンド８と接続されている。

【００３１】

半導体基板２の図中左上側には端子１６が形成されている。そして、端子１６の上面にはパッシベーション膜１１が配置されず、端子１６が露出するようにパッシベーション膜１１が形成されている。絶縁膜３の左側には斜面３ｃが形成され、斜面３ｃ上には配線１７が形成されている。そして、この配線１７が端子１６と内部用シールド膜５とを電気的に接続している。さらに、アナログフロントエンド８と端子１６とが図示しない配線により電気的に接続されている。従って、内部用シールド膜５は端子１６、配線１７を介してアナログフロントエンド８と接続されている。内部用シールド膜５は内部インダクタ９と対向する場所に配置され、内部インダクタ９の外周より広い面積に形成されている。そして、内部インダクタ９と対向する場所を覆って配置されている。

【００３２】

インダクタ７に電流が流れるとき、インダクタ７の周囲には磁場が形成される。そして、インダクタ７の中心から周囲に略ドーナッツ状に磁力線が形成される。その磁力線の一部が内部用シールド膜５に到達するとき、磁力線の向きが変更されるので、磁力線が内部インダクタ９を通過し難くなる。

【００３３】

内部インダクタ９の図中右側の一端には端子部９ａが形成されている。そして、端子部９ａの上面にはパッシベーション膜１１が配置されず、端子部９ａが露出している。絶縁膜３の端子部９ａと対向する場所には４つの斜面から構成される凹状のビア１８が形成されている。そして、ビア１８の斜面には配線１９が形成され、この配線１９が端子部９ａと補正インダクタ６とを電気的に接続している。

【００３４】

同様に、補正インダクタ６の中央付近であって、半導体基板２上には端子２０が形成されている。そして、端子２０の上面にはパッシベーション膜１１が配置されず、端子２０が露出している。絶縁膜３の端子２０と対向する場所には４つの斜面から構成される凹状のビア２３が形成されている。そして、ビア２３の斜面には配線２４が形成され、この配線２４が端子２０と補正インダクタ６とを電気的に接続している。端子２０は半導体基板２に形成されている配線８ａによりアナログフロントエンド８と電気的に接続されている。

【００３５】

内部インダクタ９の一端はアナログフロントエンド８と電気的に接続されている。そして、内部インダクタ９の他端は端子部９ａ及び配線１９を介して補正インダクタ６の一端と電気的に接続されている。補正インダクタ６の他端は配線２４、端子２０、配線８ａを介してアナログフロントエンド８に接続されている。従って、内部インダクタ９と補正インダクタ６とは直列接続され、この内部インダクタ９及び補正インダクタ６はアナログフロントエンド８と電気的に接続されている。

【００３６】

内部インダクタ９に電流が流れるとき、内部インダクタ９の周囲には磁場が形成される。そして、内部インダクタ９の中心から周囲に略ドーナッツ状に磁力線が形成される。その磁力線の一部が内部用シールド膜５に到達するとき、磁力線の向きと量とが変更されるので、内部インダクタ９のインダクタンスが小さくなる。しかし、内部インダクタ９には補正インダクタ６が直列に接続されている。このとき、内部インダクタ９において小さくなったインダクタンスと略同じ値のインダクタンスである補正インダクタ６が配置される。従って、アナログフロントエンド８に接続されるインダクタのインダクタンスは、内部用シールド膜５が配置されない場合と略同じインダクタンスにすることができる。

【００３７】

半導体基板２の四隅に近い場所には端子２５が形成されている。そして、端子２５の上面にはパッシベーション膜１１が配置されず、端子２５が露出している。絶縁膜３の両端には斜面３ｂ及び斜面３ｃが形成され、斜面３ｂ及び斜面３ｃ上には配線２６が形成されている。絶縁膜３の上面３ａにおいて、バンプ４と対向する場所には電極２７が形成されている。そして、この電極２７と端子２５とが配線２６により電気的に接続されている。バンプ４は電極２７と電気的に接続され、端子２５は図示しない配線により信号処理回路１０と電気的に接続されている。従って、バンプ４は電極２７、配線２６、端子１２を介して信号処理回路１０と電気的に接続されている。

【００３８】

絶縁膜３の上面３ａにおいて、内部用シールド膜５、補正インダクタ６、インダクタ７を覆ってレジスト膜２８が形成されている。レジスト膜２８はバンプ４を除いて形成されているので、バンプ４は露出している。そして、半導体装置１は実装基板に実装されるとき、バンプ４を通して電気信号を出力することが可能となっている。又、レジスト膜２８は半導体装置１を実装基板に半田付けするとき、半田が半導体装置１に付着することを防止する。

【００３９】

次に上述した半導体装置１の製造方法について図３～図５にて説明する。図３は、半導体装置の製造方法のフローチャートであり、図４及び図５は半導体装置の製造方法を説明する図である。

【００４０】

図３のフローチャートにおいて、ステップＳ１はパッシベーション膜形成工程に相当し、半導体基板上にパッシベーション膜を形成する工程である。次にステップＳ２に移行する。ステップＳ２は、絶縁膜形成工程に相当し、パッシベーション膜上に絶縁膜を形成する工程である。次にステップＳ３に移行する。ステップＳ３は、再配置線形成工程に相当し、絶縁膜上に補正用シールド膜、補正インダクタ、インダクタ等の素子と配線を形成する工程である。次にステップＳ４に移行する。ステップＳ４は、バンプ形成工程に相当し、絶縁膜上にバンプとレジスト膜を形成する工程である。以上の工程により半導体装置を製造する工程を終了する。

【００４１】

次に、図４及び図５を用いて、図３に示したステップと対応させて、製造方法を詳細に説明する。

図４（ａ）はステップＳ１に対応する図である。図４（ａ）に示すように、半導体基板２には内部インダクタ９、信号処理回路１０、端子１２、端子１６等の回路がされている。そして、半導体基板２上にパッシベーション膜の材料を化学蒸着法を用いて製膜した後、露光、現像することにより開口部を形成する。開口部は図２（ａ）に示す端子部９ａ、端子部１０ａ、端子１２、端子１６、端子２０、端子２５の場所に設ける。

【００４２】

図４（ｂ）はステップＳ２に対応する図である。図４（ｂ）に示すように、パッシベーション膜１１が形成されている半導体基板２に絶縁膜の材料液をスピンコート法等により塗布する。次に乾燥及び焼成することにより固化する。次に、露光及び現像することにより、斜面３ｂ、斜面３ｃ、ビア１４、ビア１８、ビア２３を形成する。このとき、露光す

る露光条件を調整することにより斜面及び凹状のビアを形成することができる。

【００４３】

図４（ｃ）及び図４（ｄ）はステップＳ３に対応する図である。図４（ｃ）は図２（ｂ）に対応する図であり、図４（ｄ）は図２（ｃ）に対応する図である。図４（ｃ）及び図４（ｄ）に示すように、絶縁膜３が形成された半導体基板２にスパッタ法を用いて銅の膜を形成する。次にメッキレジストをスピンコート法を用いて塗布する。そして、露光及び現像することによりパターニングを行う。次に、パターニングされた銅の膜にメッキ法を用いてニッケル等の金属を付着する。そして、メッキレジストを剥離して除去した後、露出している銅の膜をエッチングして除去する。その結果、絶縁膜３の上面３ａに補正インダクタ６、インダクタ７、内部用シールド膜５、電極２７、及び配線１３，１５，１７，１９，２４，２６が形成される。

【００４４】

図５（ａ）～図５（ｃ）はステップＳ４に対応する図である。図５（ａ）は図２（ａ）のＡ－Ａ’における断面図であり、図５（ｂ）及び図５（ｃ）は図２（ａ）のＢ－Ｂ’における断面図である。図５（ａ）及び図５（ｂ）に示すように、半導体基板２にレジスト膜の材料液をスピンコート法等により塗布する。次に乾燥及び焼成することにより固化してレジスト膜２８を形成する。そして、露光及び現像することにより、電極２７上に開口部を形成する。

【００４５】

次に、図５（ｃ）に示すように、電極２７上に半田等の金属からなるバンプ４を配置する。以上の工程により、半導体装置の製造工程を終了する。

【００４６】

上述したように、本実施形態によれば、以下の効果を有する。

（１）本実施形態によれば、半導体基板２には内部インダクタ９が形成されている。そして、この半導体基板２上に形成されている絶縁膜３を介してインダクタ７が形成されている。このインダクタ７が放出する磁力線が内部用シールド膜５により内部インダクタ９を通過し難くなっている。そして、内部インダクタ９が放出する磁力線は内部用シールド膜５の影響を受けるので、内部インダクタ９のインダクタンスは、内部用シールド膜５がない場合に比べて小さくなる。このとき、この半導体装置１は補正インダクタ６を有している為、内部インダクタ９は内部用シールド膜５が無いときと略同様のインダクタンスにすることができる。従って、半導体基板２の近くにインダクタが配置されるときにも、半導体基板２の内部インダクタ９のインダクタンスに影響を与え難くすることができる。

【００４７】

（２）本実施形態によれば、内部インダクタ９と補正インダクタ６とが直列接続となっている。複数のインダクタが直列接続されるとき、全体のインダクタンスは各インダクタンスの総和となる。補正インダクタ６のインダクタンスは内部インダクタ９が内部用シールド膜５の影響を受けて減少するインダクタンスに相当するインダクタンスとして演算できる。従って、補正インダクタ６のインダクタンスは容易に設計することができる。

【００４８】

（３）本実施形態によれば、内部用シールド膜５の材料はニッケル等の金属が採用され、内部用シールド膜５は導電膜となっている。インダクタ７が放射する磁力線が内部用シールド膜５に照射されるとき、内部用シールド膜５の内部には電流が生じる。そして、インダクタ７の磁力線と逆方向の磁力線が発生するので、インダクタ７が放射する磁力線は内部用シールド膜５を通過し難くすることができる。

【００４９】

（４）本実施形態によれば、インダクタ７及び補正インダクタ６が絶縁膜３上に形成されている。インダクタ７及び補正インダクタ６は共に電気導通性のある材料から形成されることから、同一の工程にて製造することができる。従って、インダクタ７と補正インダクタ６とを別の膜上に形成する場合に比べて、インダクタ７及び補正インダクタ６を生産性良く形成することができる。

【００５０】
（第２の実施形態）
次に、半導体装置の一実施形態について図６～図８を用いて説明する。
この実施形態が第１の実施形態と異なるところは、内部用シールド膜５が内部インダクタ９に加えて補正インダクタ６を通過する磁力線を通過し難くする点にある。尚、第１の実施形態と同じ点については説明を省略する。
【００５１】
図６（ａ）は、半導体装置の構成を示す模式平面図であり、図６（ｂ）は、半導体装置の構成を示す模式断面図であり、図６（ａ）のＣ－Ｃ’における断面図である。すなわち、本実施形態では、図６に示したように、半導体装置３０にはパッシベーション膜１１の上に補正インダクタ３１が形成されている。そして、補正インダクタ３１の外周の一端には配線３２が形成され、この配線３２により補正インダクタ３１は内部インダクタ９の端子部９ａと電気的に接続されている。そして、補正インダクタ３１の内周の一端には配線３３が形成され、この配線３３により補正インダクタ３１はアナログフロントエンド８と電気的に接続する端子２０と電気的に接続されている。従って、内部インダクタ９と補正インダクタ３１とは直列接続となっている。
【００５２】
パッシベーション膜１１の上には絶縁膜３４が積層して形成されている。そして、絶縁膜３４の上において、内部インダクタ９及び補正インダクタ３１と対向する場所には、補正用シールド膜としての内部用シールド膜３５が配置されている。この内部用シールド膜３５は内部インダクタ９の外周及び補正インダクタ３１の外周より広い面積に形成されている。そして、内部インダクタ９の外周及び補正インダクタ３１に対応する場所を覆って配置されている。従って、インダクタ７が放出する磁力線は内部インダクタ９に加えて補正インダクタ３１も通過し難くしている。尚、補正インダクタ３１のインダクタンスは内部用シールド膜３５の影響を受けるので、内部用シールド膜３５がない場合に比べて小さくなる。従って、補正インダクタ３１は内部用シールド膜３５の影響を考慮して設計するのが好ましい。
【００５３】
図７は、半導体装置の製造方法のフローチャートであり、図８は半導体装置の製造方法を説明する図である。図７のフローチャートにおいて、ステップＳ１は第１の実施形態と同様であり説明を省略する。ステップＳ１の次にステップＳ１１に移行する。ステップＳ１１は、補正インダクタ形成工程に相当し、パッシベーション膜上に補正インダクタを形成する工程である。次にステップＳ１２に移行する。ステップＳ１２～ステップＳ４は第１の実施形態のステップＳ２～ステップＳ４と略同様のステップであり説明を省略する。
【００５４】
図８（ａ）及び図８（ｂ）はステップＳ１１に対応する図である。図８（ａ）は、半導体装置を示す模式平面図である。図８（ｂ）は、半導体装置を示す模式断面図であり、図８（ａ）のＤ－Ｄ’における断面図である。図８に示すように、半導体基板２には内部インダクタ９、アナログフロントエンド８、信号処理回路１０等が形成されている。そして、半導体基板２の上面にはパッシベーション膜１１が形成されている。
【００５５】
パッシベーション膜１１が形成された半導体基板２にスパッタ法を用いて銅の膜を形成する。次にメッキレジストをスピンコート法を用いて塗布する。そして、露光及び現像することによりパターニングを行う。次に、パターニングされた銅の膜にメッキ法を用いてニッケル等の金属を付着する。そして、メッキレジストを剥離して除去した後、露出している銅の膜をエッチングして除去する。その結果パッシベーション膜１１の上面に補正インダクタ３１、配線３２，３３が形成される。
【００５６】
ステップＳ１２は第１の実施形態におけるステップＳ２と略同等である。異なる点は図４（ｂ）に示すビア１８及びビア２３が形成されない点である。ステップＳ１３は第１の

実施形態におけるステップＳ３と略同等である。異なる点は図４（ｃ）に示す補正インダクタ６、配線１９，２４が形成されない点である。さらに、内部用シールド膜５の形状を変えて、図６に示す内部用シールド膜３５を形成する点である。ステップＳ１３の後、ステップＳ４を行う。ステップＳ４は第１の実施形態と略同様であり説明を省略する。以上の工程により半導体装置の製造工程を終了する。

【００５７】

上述したように、本実施形態によれば、以下の効果を有する。

（１）本実施形態によれば、インダクタ７が放出する磁力線を内部用シールド膜３５は補正インダクタ３１に通過し難くする。従って、補正インダクタ３１はインダクタ７の影響を受け難くすることができる。

【００５８】

（２）本実施形態によれば、内部用シールド膜３５が補正インダクタ３１よりインダクタ７に近い場所に位置するので、内部用シールド膜３５はインダクタ７が放射する磁力線を補正インダクタ３１に通過し難くすることができる。

【００５９】

（第３の実施形態）

次に、半導体装置の一実施形態について図９～図１１を用いて説明する。

この実施形態が第１の実施形態と異なるところは、一対の内部用シールド膜を内部インダクタと対向する場所に形成し、一対の内部用シールド膜にキャパシタの機能を持たせている点にある。尚、第１の実施形態と同じ点については説明を省略する。

【００６０】

図９（ａ）は、半導体装置の構成を示す模式平面図であり、図９（ｂ）は、半導体装置の構成を示す模式断面図であり、図９（ａ）のＥ－Ｅ’における断面図である。すなわち、本実施形態では、図９に示したように、半導体装置３８では半導体基板２の上にパッシベーション膜１１が形成され、このパッシベーション膜１１の上にキャパシタ電極としての下側内部用シールド膜３９が形成されている。この下側内部用シールド膜３９はキャパシタ電極としての内部用シールド膜５と対向する場所に形成される。そして、図中左側には下側内部用シールド膜３９と電気的に接続する配線４０が形成されている。一方、半導体基板２には図中左側に端子４１が形成され、この端子４１は図示しない配線によりアナログフロントエンド８と電気的に接続されている。そして、端子４１と下側内部用シールド膜３９とが配線４０により電気的に接続されている。つまり、内部用シールド膜５と下側内部用シールド膜３９とが絶縁膜３を挟んで配置されキャパシタ４２を構成している。そして、キャパシタ４２はアナログフロントエンド８と電気的に接続されている。

【００６１】

内部用シールド膜５及び下側内部用シールド膜３９は内部インダクタ９と対向する場所に位置して、インダクタ７が放出する磁力線が内部インダクタ９を通過し難くする機能も備えている。従って、キャパシタ４２は電荷を蓄積するコンデンサの機能に加えて、磁力線を通過し難くするシールドの機能も備えている。

【００６２】

図１０は、半導体装置の製造方法のフローチャートであり、図１１は半導体装置の製造方法を説明する図である。図１０のフローチャートにおいて、ステップＳ１は第１の実施形態と同様であり説明を省略する。ステップＳ１の次にステップＳ２１に移行する。ステップＳ２１は、内部用シールド膜形成工程に相当し、パッシベーション膜上に下側内部用シールド膜を形成する工程である。次にステップＳ２に移行する。ステップＳ２～ステップＳ４は第１の実施形態と略同様であり説明を省略する。

【００６３】

図１１（ａ）及び図１１（ｂ）はステップＳ２１に対応する図である。図１１（ａ）は、半導体装置を示す模式平面図である。図１１（ｂ）は、半導体装置を示す模式断面図であり、図１１（ａ）のＦ－Ｆ’における断面図である。図１１に示すように、半導体基板２には内部インダクタ９、アナログフロントエンド８、信号処理回路１０、端子４１等が

形成されている。そして、半導体基板２の上面にはパッシベーション膜１１が形成されている。

【００６４】

パッシベーション膜１１が形成された半導体基板２にスパッタ法を用いて銅の膜を形成する。次にメッキレジストをスピンコート法を用いて塗布する。そして、露光及び現像することによりパターニングを行う。次に、パターニングされた銅の膜にメッキ法を用いてニッケル等の金属を付着する。そして、メッキレジストを剥離して除去した後、露出している銅の膜をエッチングして除去する。その結果パッシベーション膜１１の上面に下側内部用シールド膜３９及び配線４０等が形成される。

【００６５】

ステップＳ２～ステップＳ４は第１の実施形態と略同様であり説明を省略する。以上の工程により半導体装置の製造工程を終了する。

【００６６】

上述したように、本実施形態によれば、以下の効果を有する。

（１）本実施形態によれば、内部用シールド膜５及び下側内部用シールド膜３９はキャパシタ４２の電極を兼ねている。従って、キャパシタ４２を配置するとき、内部用シールド膜５及び下側内部用シールド膜３９とは別にキャパシタ４２を配置する場合に比べて、キャパシタ４２及び内部用シールド膜５が占有する面積を小さくすることができる。その結果、絶縁膜３上を効率良く活用することができる。

【００６７】

（第４の実施形態）

次に、半導体装置の一実施形態について図１２、図７、図１３を用いて説明する。

この実施形態が第２の実施形態と異なるところは、一対の内部用シールド膜を内部インダクタと対向する場所に形成し、一対の内部用シールド膜にキャパシタの機能を持たせている点にある。尚、第２の実施形態と同じ点については説明を省略する。

【００６８】

図１２（ａ）は、半導体装置の構成を示す模式平面図であり、図１２（ｂ）は、半導体装置の構成を示す模式断面図であり、図１２（ａ）のＧ－Ｇ’における断面図である。すなわち、本実施形態では、図１２に示したように、半導体装置４５では半導体基板２の上にパッシベーション膜１１が形成され、このパッシベーション膜１１の上に下側内部用シールド膜３９が形成されている。この下側内部用シールド膜３９はキャパシタ電極としての内部用シールド膜３５及び内部インダクタ９と対向する場所に形成されている。そして、図中左側には下側内部用シールド膜３９と電気的に接続する配線４０が形成されている。一方、半導体基板２には図中左側に端子４１が形成され、この端子４１は図示しない配線によりアナログフロントエンド８と電気的に接続されている。そして、端子４１と下側内部用シールド膜３９とが配線４０により電気的に接続されている。つまり、内部用シールド膜３５と下側内部用シールド膜３９とが絶縁膜３を挟んで配置されキャパシタ４６を構成している。そして、キャパシタ４６はアナログフロントエンド８と電気的に接続されている。

【００６９】

内部用シールド膜３５及び下側内部用シールド膜３９は内部インダクタ９と対向する場所に位置して、インダクタ７が放出する磁力線が内部インダクタ９を通過し難くする機能も備えている。さらに、内部用シールド膜３５は補正インダクタ３１と対向する場所に位置して、インダクタ７が放出する磁力線が補正インダクタ３１を通過し難くする機能も備えている。従って、キャパシタ４６は電荷を蓄積するコンデンサの機能に加えて、磁力線を通過し難くするシールドの機能も備えている。

【００７０】

図７は、半導体装置の製造方法のフローチャートであり、図１３は半導体装置の製造方法を説明する図である。図７のフローチャートにおいて、ステップＳ１～ステップＳ４は第２の実施形態と略同様であり説明を省略する。

【００７１】
図１３（ａ）及び図１３（ｂ）はステップＳ１１に対応する図である。図１３（ａ）は、半導体装置を示す模式平面図である。図１３（ｂ）は、半導体装置を示す模式断面図であり、図１３（ａ）のＨ－Ｈ’における断面図である。図１３に示すように、半導体基板２には内部インダクタ９、アナログフロントエンド８、信号処理回路１０、端子４１等が形成されている。そして、半導体基板２の上面にはパッシベーション膜１１が形成されている。
【００７２】
パッシベーション膜１１が形成された半導体基板２にスパッタ法を用いて銅の膜を形成する。次にメッキレジストをスピンコート法を用いて塗布する。そして、露光及び現像することによりパターニングを行う。次に、パターニングされた銅の膜にメッキ法を用いてニッケル等の金属を付着する。そして、メッキレジストを剥離して除去した後、露出している銅の膜をエッチングして除去する。その結果パッシベーション膜１１の上面に補正インダクタ３１、下側内部用シールド膜３９、配線４０等が形成される。
【００７３】
ステップＳ１２～ステップＳ４は第２の実施形態と略同様であり説明を省略する。以上の工程により半導体装置の製造工程を終了する。
【００７４】
上述したように、本実施形態によれば、以下の効果を有する。
（１）本実施形態によれば、内部用シールド膜３５は、インダクタ７が放出する磁力が内部インダクタ９及び補正インダクタ３１を通過し難くしている。従って、アナログフロントエンド８は安定して動作することができる。
【００７５】
（２）本実施形態によれば、内部用シールド膜３５及び下側内部用シールド膜３９はキャパシタ４６の電極を兼ねている。従って、キャパシタ４６を配置するとき、内部用シールド膜３５及び下側内部用シールド膜３９とは別にキャパシタ４６を配置する場合に比べて、キャパシタ４６及び内部用シールド膜３５が占有する面積を小さくすることができる。その結果、絶縁膜３上を効率良く活用することができる。
【００７６】
尚、本実施形態は上述した実施形態に限定されるものではなく、種々の変更や改良を加えることも可能である。変形例を以下に述べる。
（変形例１）
第１の実施形態において、インダクタ７はスパイラル型のインダクタを採用したが、トロイダル型のインダクタを採用しても良い。例えば、磁性膜の閉曲線を配置し、この閉曲線に対して螺旋状に配線を配置されたインダクタを用いても良い。トロイダル型のインダクタは同じ大きさのスパイラル型のインダクタに比べて大きな値のインダクタンスを得ることができる。
【００７７】
（変形例２）
第１の実施形態において、補正インダクタ６はスパイラル型のインダクタを採用したが、トロイダル型のインダクタを採用しても良い。トロイダル型のインダクタは同じ大きさのスパイラル型のインダクタに比べて大きな値のインダクタンスを得ることができる。従って、補正インダクタ６が占める面積を小さくすることができる。その結果、絶縁膜３の上面３ａを有効活用することができる。
【００７８】
（変形例３）
第１の実施形態において、内部用シールド膜５の材料にニッケルを用いたが、他の導電性の材料を用いても良い。例えば、銅、アルミ、金、銀、鉄及びこれらを含んだ材料を用いても良い。調達し安く、加工し易い材料を用いても良い。生産性良く、半導体装置１を製造することができる。さらに、雰囲気及び他の材料により変化し難い安定した材料を採

用することが好ましい。これにより品質の良い半導体装置１とすることができる。この内容については、第２の実施形態における内部用シールド膜３５、第３の実施形態における下側内部用シールド膜３９についても同様とすることができる。第２の実施形態における内部用シールド膜３５、第３の実施形態における内部用シールド膜５及び下側内部用シールド膜３９、第４の実施形態における内部用シールド膜３５及び下側内部用シールド膜３９においても同様にニッケル以外の導電性材料を用いて形成しても良い。

【００７９】

（変形例４）

第１の実施形態において、内部用シールド膜５は材料にニッケルを用いた導電膜としたが、磁性材料を用いた磁性膜としても良い。インダクタ７が放出した磁力線が内部用シールド膜５の内部を通過した後、インダクタ７と近い場所の内部用シールド膜５から磁力線が放出するので、磁力線が内部インダクタ９を通過し難くすることができる。磁性材料としては、フェライト、マンガン等を含んだ合金や、フェライト、マンガン等を含んだ合金を粉末にして樹脂に分散させた材料を用いても良い。同様に、第２の実施形態における内部用シールド膜３５、第３の実施形態における内部用シールド膜５及び下側内部用シールド膜３９、第４の実施形態における内部用シールド膜３５及び下側内部用シールド膜３９においても磁性材料を用いて形成しても良い。

【００８０】

（変形例５）

第２の実施形態において、補正インダクタ３１の上に内部用シールド膜３５を配置したが、他の配置でも良い。例えば、図１４に示すように、半導体装置４８において絶縁膜３の上に補正インダクタ６を形成し、パッシベーション膜１１上において補正インダクタ６と対向する場所に補正用シールド膜及びキャパシタ電極としての内部用シールド膜４９を配置しても良い。インダクタ７が放出する磁力線は内部用シールド膜４９により補正インダクタ６を通過し難くなる。従って、補正インダクタ６は安定して動作することができる。そして、内部用シールド膜４９、絶縁膜３、内部用シールド膜５によりキャパシタ５０を構成することができる。

【００８１】

（変形例６）

第１の実施形態において、内部インダクタ９と補正インダクタ６とは直列に接続しているが並列に接続しても良い。このとき、補正インダクタ６のインダクタンスは内部インダクタ９により減衰する分を補正するように設計するのが好ましい。内部インダクタ９と補正インダクタ６とを直接接続する配線を配置し難い場合に適応することにより設計し易くすることができる。

【００８２】

（変形例７）

第１の実施形態において、内部用シールド膜５は内部インダクタ９と対向する場所に位置して、インダクタ７が放出した磁力線が内部インダクタ９を通過し難くした。内部用シールド膜５は内部インダクタ９に加えてアナログフロントエンド８と対向する場所に配置しても良い。インダクタ７が放出した磁力線がアナログフロントエンド８を通過し難くすることによりアナログフロントエンド８の動作を安定させることができる為、品質の良い半導体装置とすることができる。第２の実施形態～第４の実施形態、変形例５においても、内部用シールド膜５，３５，４９、下側内部用シールド膜３９をアナログフロントエンド８と対向する場所に配置しても良い。

【００８３】

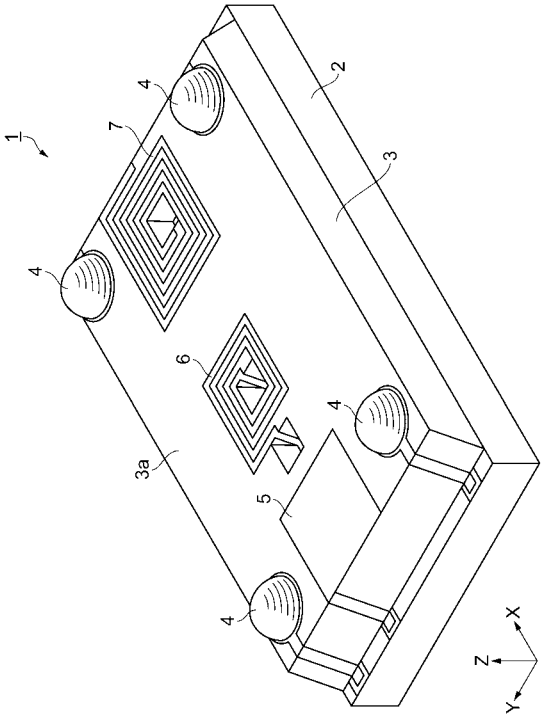
（変形例７）

第２の実施形態～第４の実施形態、変形例５において、補正インダクタ６は１つ配置されているが、これに限らず２つ以上配置しても良い。回路素子のレイアウトに合わせて回路を変更することにより回路を設計し易くすることができる。

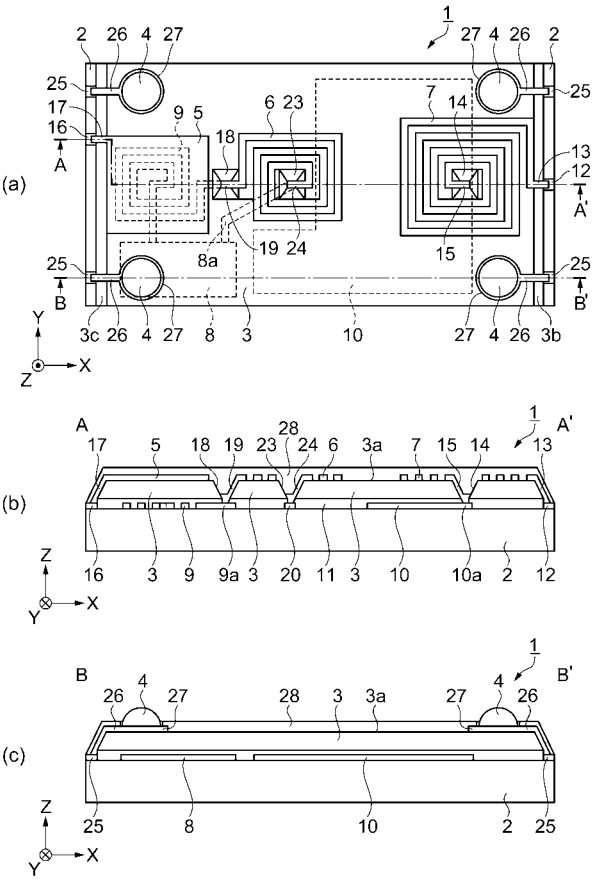
【図面の簡単な説明】

【００８４】
【図１】第１の実施形態にかかる半導体装置を示す概略斜視図。
【図２】（ａ）は、半導体装置の構成を示す模式平面図、（ｂ）及び（ｃ）は、半導体装置の構成を示す模式断面図。
【図３】半導体装置の製造方法のフローチャート。
【図４】半導体装置の製造方法を説明する図。
【図５】半導体装置の製造方法を説明する図。
【図６】第２の実施形態にかかり、（ａ）は、半導体装置の構成を示す模式平面図、（ｂ）は、半導体装置の構成を示す模式断面図。
【図７】半導体装置の製造方法のフローチャート。
【図８】半導体装置の製造方法を説明する図。
【図９】第３の実施形態にかかり、（ａ）は、半導体装置の構成を示す模式平面図、（ｂ）は、半導体装置の構成を示す模式断面図。
【図１０】半導体装置の製造方法のフローチャート。
【図１１】半導体装置の製造方法を説明する図。
【図１２】第４の実施形態にかかり、（ａ）は、半導体装置の構成を示す模式平面図、（ｂ）は、半導体装置の構成を示す模式断面図。
【図１３】半導体装置の製造方法を説明する図。
【図１４】変形例５にかかり、（ａ）は、半導体装置の構成を示す模式平面図、（ｂ）は、半導体装置の構成を示す模式断面図。
【符号の説明】
【００８５】
１，３０，３８，４５，４８…半導体装置、２…半導体基板、３，３４…絶縁膜、５…キャパシタ電極としての内部用シールド膜、６，３１…補正インダクタ、７…インダクタ、９…内部インダクタ、１１…パッシベーション膜、３５，４９…補正用シールド膜及びキャパシタ電極としての内部用シールド膜、３９…キャパシタ電極としての下側内部用シールド膜、４２，４６，５０…キャパシタ。

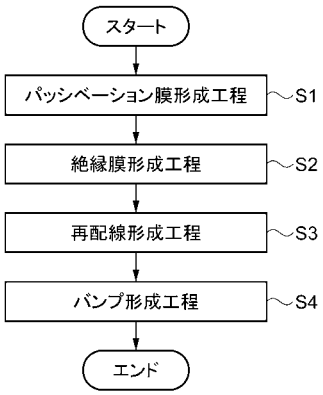
【図１】


1
2
3
3a
4
5
6
7
X
Y
Z

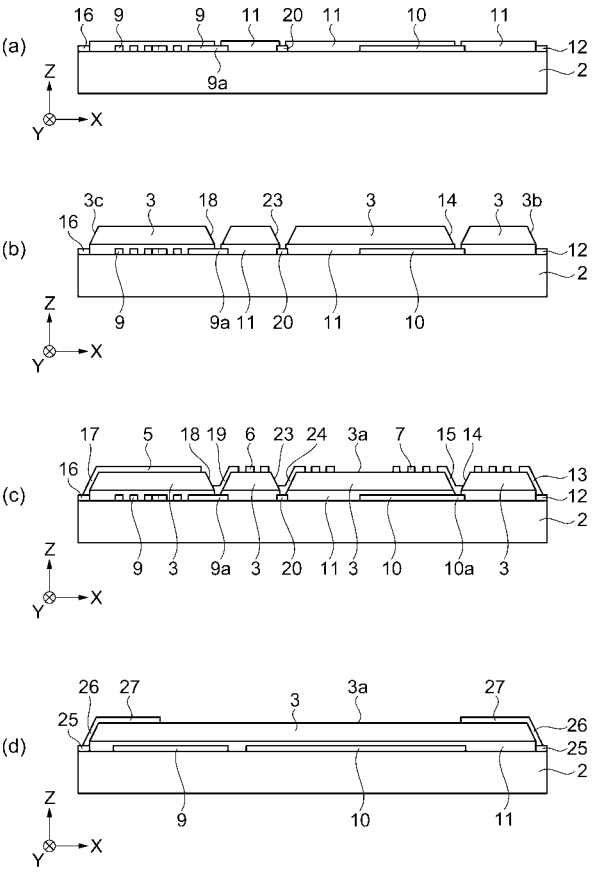
【図２】


(a)
(b)
(c)
A
A'
B
B'
1
2
3
3a
3b
3c
4
5
6
7
8
8a
9
9a
10
10a
11
12
13
14
15
16
17
18
19
20
23
24
25
26
27
28
X
Y
Z

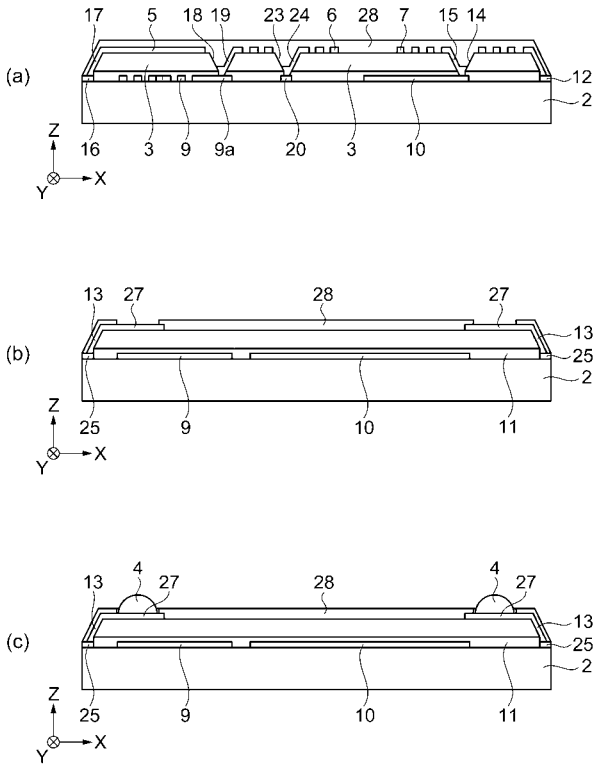
【図３】


スタート
パッシベーション膜形成工程
S1
絶縁膜形成工程
S2
再配線形成工程
S3
バンプ形成工程
S4
エンド

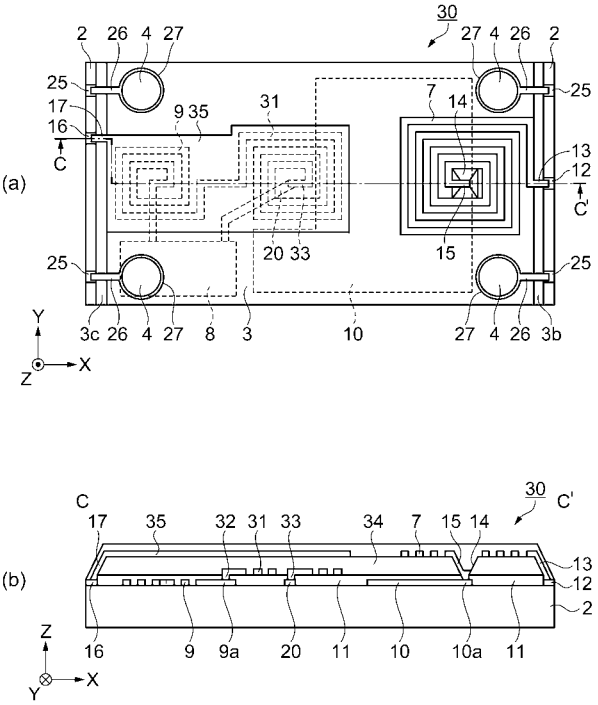
【図４】


(a)
(b)
(c)
(d)
2
3
3a
3b
3c
9
9a
10
10a
11
12
13
14
15
16
17
18
19
20
23
24
25
26
27
X
Y
Z

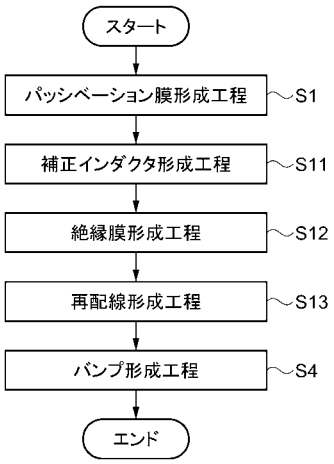
【図５】


(a)
17 5 18 19 23 24 6 28 7 15 14
12
2
16 3 9 9a 20 3 10
(b)
13 27 28 27
13
25
2
25 9 10 11
(c)
13 4 27 28 4 27
13
25
2
25 9 10 11
Z
Y
X

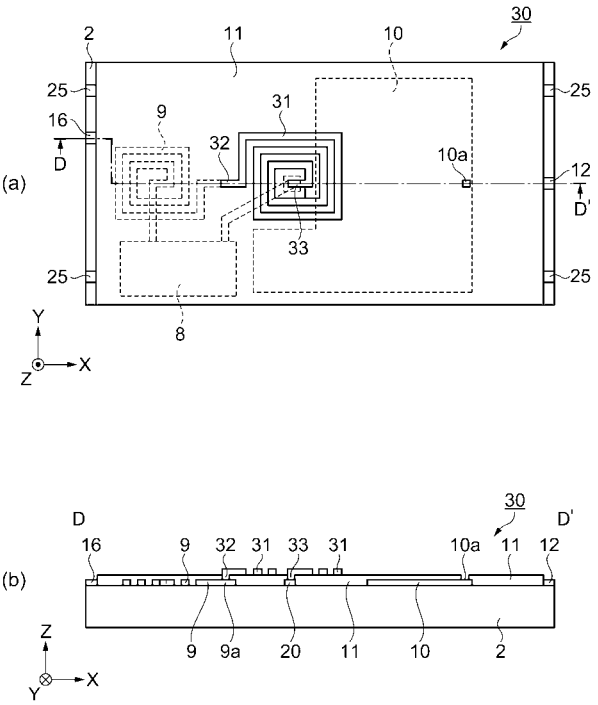
【図６】


30
(a)
2 26 4 27
27 4 26 2
25
17
16
C
9 35
31
7
14
13
12
C'
20 33
15
3c 26 4 27 8 3 10 27 4 26 3b
(b)
C
17 35 32 31 33 34 7 15 14
C'
13
12
2
16 9 9a 20 11 10 10a 11
Z
Y
X

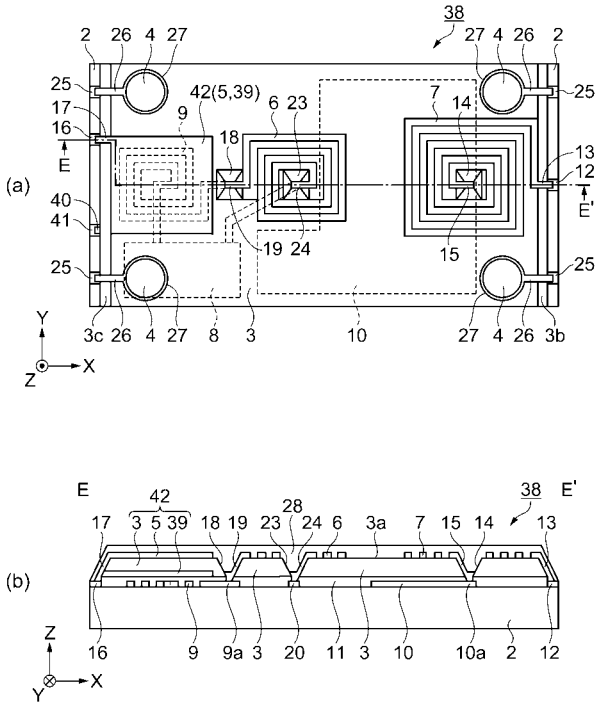
【図７】


スタート
パッシベーション膜形成工程
S1
補正インダクタ形成工程
S11
絶縁膜形成工程
S12
再配線形成工程
S13
バンプ形成工程
S4
エンド

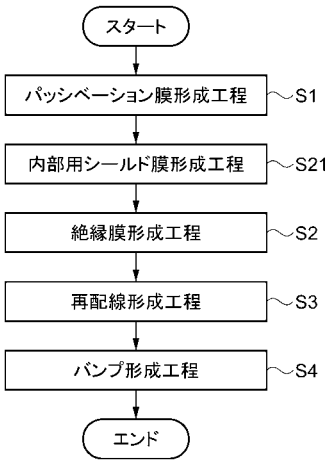
【図８】


30
(a)
2 11 10
25
16
D
9
31
32
10a
12
D'
33
8
(b)
D
16 9 32 31 33 31 10a 11 12
D'
9 9a 20 11 10 2
Z
Y
X

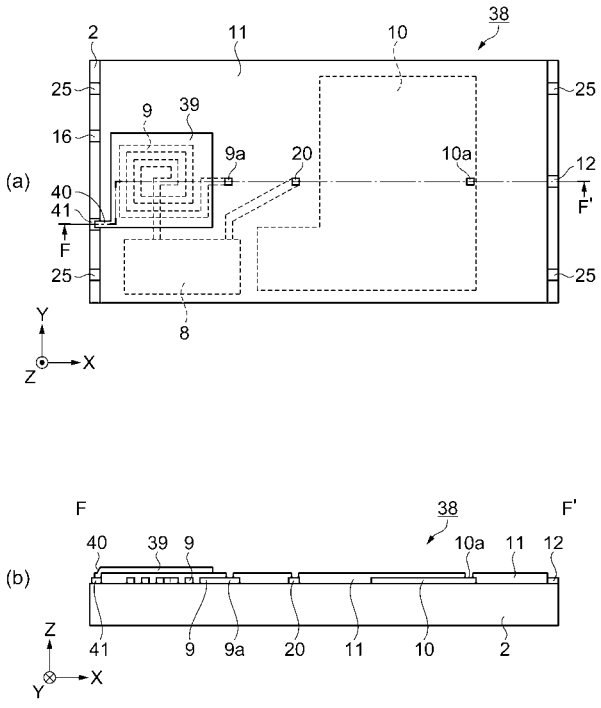
【図９】



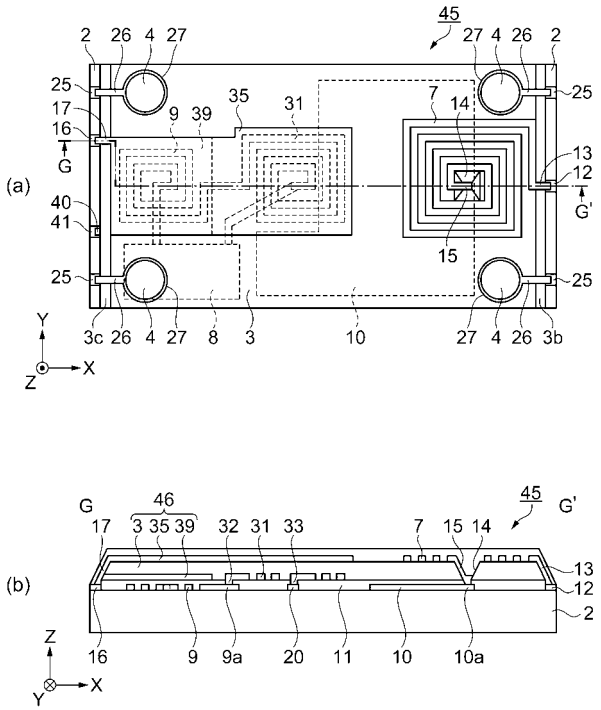
【図１０】



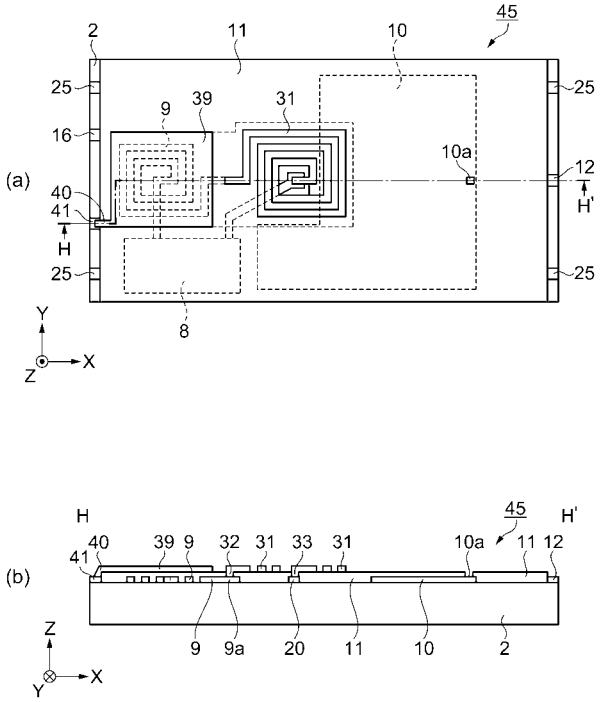
【図１１】



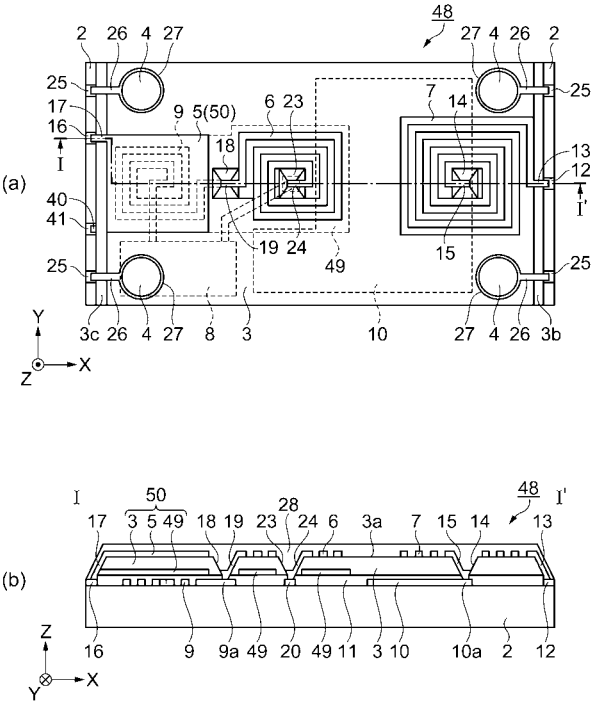
【図１２】



【図１３】


(a)
(b)
45
2
11
10
25
9
39
31
16
10a
12
40
41
H
H'
8
Y
X
Z
9a
20
33
32

【図１４】


(a)
(b)
48
2
26
4
27
25
17
16
I
I'
9
5(50)
6
23
18
7
14
13
12
40
41
19
24
49
15
3c
3
10
3b
50
28
3a
Y
X
Z

フロントページの続き

Ｆターム(参考) 5F033 HH07 HH08 HH11 HH13 HH14 HH16 JJ07 JJ08 JJ11 JJ13
JJ14 JJ16 MM05 NN06 PP28 QQ08 QQ09 QQ27 QQ34 QQ37
SS11 SS22 VV00 VV03 VV07 VV08 VV10 XX23
5F038 AC05 AC14 AZ04 BE07 BH10 CA02 CA09 CA10 CA16 DF01
EZ11 EZ15 EZ20