

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4366187号
(P4366187)

(45) 発行日 平成21年11月18日(2009.11.18)

(24) 登録日 平成21年8月28日(2009.8.28)

(51) Int.Cl.		F I			
H05K	1/02	(2006.01)	H05K	1/02	N
G06K	19/077	(2006.01)	G06K	19/00	K
H05K	3/46	(2006.01)	H05K	3/46	Z

請求項の数 15 (全 10 頁)

(21) 出願番号	特願2003-520256 (P2003-520256)	(73) 特許権者	592012513
(86) (22) 出願日	平成14年8月2日(2002.8.2)		サンディスク コーポレーション
(65) 公表番号	特表2004-538655 (P2004-538655A)		SanDisk Corporation
(43) 公表日	平成16年12月24日(2004.12.24)		アメリカ合衆国 95035 カリフォル
(86) 国際出願番号	PCT/US2002/024535		ニア州、ミルピタス、マッカーシー ブ
(87) 国際公開番号	W02003/015484		ルバード 601
(87) 国際公開日	平成15年2月20日(2003.2.20)	(74) 代理人	100075144
審査請求日	平成17年6月29日(2005.6.29)		弁理士 井ノ口 壽
(31) 優先権主張番号	09/921, 664	(72) 発明者	ウォレンス, ロバート エフ.
(32) 優先日	平成13年8月3日(2001.8.3)		アメリカ合衆国、94086、カリフォル
(33) 優先権主張国	米国 (US)		ニア州、サニーベール、レッドウッド ア
			ベニュー 980
		審査官	遠藤 邦喜

最終頁に続く

(54) 【発明の名称】 カード製造方法およびその結果得られるカード

(57) 【特許請求の範囲】

【請求項1】

少なくとも1つの周縁端面を持つ回路基板であって、
回路基板の前記端面に導電性要素片を持つ第1の導電層と、
第1の絶縁層と、
前記第1の絶縁層により前記第1の導電層から分離され、前記第1の導電層の下方に位置して、前記回路基板の端面まで延伸する第2の導電層であって、前記第2の導電層が前記回路基板の端面に空隙部を持ち、前記空隙部の1以上の空隙部と前記導電性要素片の中心位置合わせを行うことにより、前記第2の導電層の側壁の端面まで延伸する前記導電性要素片のいずれの変形部も前記空隙部の範囲内にあり、前記第2の導電層とは非接触である、第2の導電層と、
を有する回路基板。

【請求項2】

請求項1記載の回路基板において、
前記空隙部が、溝である回路基板。

【請求項3】

請求項1記載の回路基板において、
前記空隙部が、ノッチである回路基板。

【請求項4】

請求項1記載の回路基板において、

前記空隙部の幅は、前記端面から離れるにしたがって前記空隙部が前記回路基板の端面よりも狭くなっている回路基板。

【請求項 5】

請求項 1 記載の回路基板において、
前記第 2 の導電層が、接地層または電源層である回路基板。

【請求項 6】

請求項 1 記載の回路基板において、
第 3 の導電層をさらに有する回路基板であって、前記第 3 の導電層が前記回路基板の端面に空隙部を持ち、前記空隙部と前記導電性要素片の中心位置合わせを行うことにより、前記第 3 の導電層の側壁の端面まで延伸する前記導電性要素片のいずれの変形部も前記空隙部の範囲内にあり、前記第 3 の導電層とは非接触である回路基板。

10

【請求項 7】

請求項 6 記載の回路基板において、
前記第 3 の導電層が、接地層または電源層である回路基板。

【請求項 8】

多層回路基板を作成する方法であって、
前記回路基板の少なくとも 1 つの端面に沿って配置された導電性要素片を持つ第 1 の導電層を形成するステップと、

前記第 1 の導電層の下方に絶縁層を形成するステップと、

前記第 1 の導電層と前記絶縁層の下方に第 2 の導電層を形成するステップであって、前記第 2 の導電層が、前記回路基板の少なくとも 1 つの端面に沿って配置された空隙部を持ち、前記空隙部のうちの少なくとも 1 つの空隙部の方が前記導電性要素片よりも広く、さらに、前記空隙部と前記導電性要素片との中心位置合わせを行うステップと、

20

前記回路基板と前記導電性要素片とのトリミングを行って、前記導電性要素片のどの変形部も前記空隙部の中へ延伸し、前記第 2 の導電層とは非接触であるトリミングするステップと、

を有する方法。

【請求項 9】

請求項 8 記載の方法において、
前記回路基板をトリミングするステップが、前記回路基板を剪断するステップを有する方法。

30

【請求項 10】

請求項 9 記載の方法において、
前記第 2 の導電層の前に前記第 1 の導電層を剪断する方法。

【請求項 11】

少なくとも 1 つのバスと、第 1 の領域と、前記少なくとも 1 つのバスを前記第 1 の領域と接続する導電性要素片とを備える金属層を有する回路基板の構造であって、

前記回路基板の端面は、前記金属層の前記第 1 の領域が前記回路基板の第 1 の層を形成し、さらに、前記バスを前記第 1 の領域と接続する前記金属層の導電性要素片が前記回路基板の少なくとも前記 1 つの端面に位置し、前記回路基板の少なくとも 1 つの端面にわたって前記少なくとも 1 つのバスまで前記導電性要素片が延伸する少なくとも 1 つの端面と、

40

前記金属層の下方に在る絶縁層と、

前記金属層と前記絶縁層の下方に位置し、前記少なくとも 1 つの端面まで延伸する第 2 の導電層であって、前記第 2 の導電層が前記回路基板の前記少なくとも 1 つの端面に空隙部を持つことにより、前記空隙部のうちの少なくとも 1 つの空隙部と前記少なくとも 1 つの導電性要素片との中心位置合わせが行われる第 2 の導電層と、を有する回路基板の構造において、

前記第 2 の導電層の側壁の少なくとも 1 つの端面まで延伸する前記導電性要素片のいずれの変形部も前記空隙部の範囲内にあり、前記第 2 の導電層とは非接触である回路基板の

50

構造。

【請求項 1 2】

請求項 1 1 記載の回路基盤の構造において、
前記空隙部が、溝である回路基板の構造。

【請求項 1 3】

回路基板、カバーおよび前記回路基板の端面と前記カバーとの間に接合部を備えたメモリ記憶デバイスを設ける方法であって、

第 1 の領域と、バスと、前記回路基板の端面において前記第 1 の領域を前記バスと接続する複数の導電性要素片とを有する第 1 の金属層を形成するステップであって、前記第 1 の領域が前記回路基板内に配置され、前記バスが前記回路基板外に配置されるように形成するステップと、

前記第 1 の金属層の前記第 1 の領域の下方に絶縁層を形成するステップと、

前記絶縁層の下方に、かつ、前記絶縁層により前記第 1 の金属層から分離して第 2 の金属層を形成するステップであって、前記第 2 の金属層が前記回路基板の端面まで延伸し、前記複数の導電性要素片の下方に配置された、前記回路基板の端面に複数の空隙部を有するように形成するステップと、

前記回路基板の端面において前記複数の導電性要素片を剪断し、前記バスを取り除いて、前記導電性要素片のいずれの変形部も前記第 2 の金属層の空隙部の範囲内に入るようにするステップと、

を有する方法。

【請求項 1 4】

請求項 1 3 記載の方法において、

前記カバーの中へ前記回路基板を配置することによって、前記回路基板の端面と、前記第 2 の金属層の端面が前記カバーと前記回路基板との間の接合部に在るように為すステップとをさらに有する方法。

【請求項 1 5】

請求項 1 記載の回路基板において、

フラッシュメモリ、回路配線および受動素子を備える少なくとも 1 つの集積回路をさらに有する回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、回路基板と、回路基板を集積してメモリカードを作成する方法と、その結果得られるメモリカードとに関する。

【背景技術】

【0002】

本発明は、一般に、回路基板に関し、さらに詳細には、データを記憶するために携帯用デバイスにおいて利用されるメモリカードの回路基板に関する。本発明は多種多様の回路基板に利用されるものであるが、本明細書では、メモリカード、具体的にはフラッシュ型の電氣的に消去可能でプログラム可能なリードオンリーメモリ（フラッシュ EEPROM）を持つ携帯用メモリカードにおける本発明の実現について説明する。

【0003】

近年、デジタルカメラ、デジタルオーディオプレーヤ、個人用情報機器などのデバイスがポピュラーになっている。これらのデバイスは、小さな堅固なパッケージの中に多量の記憶容量を必要とする。高密度の不揮発性メモリを利用するメモリカードの場合、これらのデバイスや、パーソナルコンピュータと接続されたプリンタおよび外部リーダーへの挿入や取り外しが頻繁に行われる。このような取り扱いを頻繁に受ける結果、これらカードには静電放電が発生するリスクが高くなる。

【0004】

したがって、静電放電から影響を受けず、しかも、製造組立が単純な小型の薄型メモリ

10

20

30

40

50

カードが望まれている。

【特許文献 1】米国特許第 6, 040, 622 号

【発明の開示】

【課題を解決するための手段】

【0005】

メモリカードはますます小型でかつ薄型になり、しかもその容量が増大しているため、メモリカードの高密度化とパッケージ化がさらに進んでいる。このような取り扱いを頻繁に受ける結果、これらカードには静電放電 (ESD) が発生するリスクが高くなる。

【0006】

メモリカード、並びに、静電放電に起因する損傷に対してメモリカードを抵抗力のあるものにし、カードの複数の導電層が短絡の被害を受け難くするための方法について説明する。メモリカードは、プラスチックカバーの中へ回路基板を配置するカプセル化処理により形成される。プラスチックカバーと回路基板の端面との間の接合部に空隙部が在り、そこに静電放電が入って、メモリカードの回路素子への損傷が生じ易くなる。接地 / 電源層が、回路基板の端面まで、かつ、回路基板とメモリカードとの間の接合部に沿って延伸している。したがって、どの静電放電もこれら層のいずれかにより吸収され、高電圧の放電に起因する外側の回路素子への損傷が防止される。トリミング処理に起因する短絡を防止する従来の方法には、回路基板の端面から後方へ導電層の端面全体を引っ張るステップが含まれているとはいえ、この従来の方法では、たとえ何らかの ESD 保護が設けられていたとしても、メモリカードの感受性の強い構成要素に対する ESD 保護はほとんどなされてい
10
20

【0007】

メモリカードの製造中、メモリカードの最終寸法に合わせて回路基板のトリミングが行われる。回路基板の端面に配置される金属層の導電性要素片がトリミング処理中に變形して、絶縁層にわたって延伸することができ、別の金属層、この場合、接地層か電源層のいずれかに接触し、その結果、短絡を生じる可能性がある。上述したように、静電放電に備えて、接地層および / または電源層をカードの接合部まで延伸することが望ましい。したがって、短絡の防止を図り、しかも最大の ESD 保護の維持を図るために、第 2 の導電層の端面に小さな空隙部を形成し、これら空隙部と導電性要素片との垂直方向の中心位置合わせを行うことにより、トリミング処理中に生じ得る變形部に起因する短絡が結果的に発生しないようにする。これら導電性要素片の變形部は、層と接触することなく第 2 の導電層の端面の空隙部の中へ落ち込む。回路基板とカバーとの接合部における接地層および / または電源層の残りの端面と比べてこの空隙部の大きさは小さい。その結果、基板のトリミングに起因する短絡を防ぎながら、高いレベルの ESD 保護が保証される。
30

【発明を実施するための最良の形態】

【0008】

図 1 は、本発明を例示するメモリカードの裏面を示す。メモリカード 100 は、端子 140 とカバーされた前面 (図示せず) とを持つ照射された裏面を備えた回路基板 110 を有する。上記カバーされた前面には、フラッシュメモリ、回路配線および受動素子 (これらは図示されていない) を含む少なくとも 1 つの集積回路を有する。カバー 120 は、回路基板の前面と端面にわたって覆い、回路基板の裏面が照射され、メモリカードの裏面のほぼ全面が形成されるようになっている。回路基板 110 とカバー 120 の端面との間に在る接合部に狭い空隙部 130 が存在する。回路基板 110 とカバー 120 の端面との間に在る接合部の狭い空隙部 130 に静電放電 150 が入る状態が示されている。"回路基板の導電層上に形成した端子を利用する半導体パッケージ" というウォレンス (Wallace) の米国特許第 6, 040, 622 号 (特許文献 1) に、メモリパッケージの構造についての詳細な記載があり、上記特許のすべてが本願明細書で参照により援用されている。
40

【0009】

図 2 は、例示を目的として非常に誇張して描かれた、回路基板 110 とカバーとの間の空隙部 130 を示す図である。導電層 112 と 114 が回路基板 110 の端面まで延伸し
50

ている。上記空隙部はきわめて狭いが、静電放電（ESD）150が導電層112や114に達することができるには十分な広さである。これらの導電層は接地層か電源層のいずれかにすることができる。ESDの場合、回路基板110の前面180にある回路素子のいずれかによって吸収されるのではなく、ESDは導電層112と114により吸収される。前面180には、フラッシュメモリ、回路配線および受動素子を含む少なくとも1つの集積回路がある。

【0010】

図3は、導電層要素片160を持つ回路基板110の底部を示す。これらの要素片は、回路基板の前面にある回路配線の一部であってもよいし、回路基板の前面か後面のいずれかに電気めっきを行うために用いる要素片であってもよいし、基板のテスト時間やパーンイン時間後には必要のないテスト用リード線であってもよい。回路基板の製造中に、回路基板はその最終寸法に合わせて切断あるいは剪断され、図1に示されているように、プラスチックカバーすなわちカプセルの中へ入れられる。最終剪断あるいは切断は、前面180から裏面190の方向に行われ、それによって処理に起因するいずれの変形部も、カバーされた前面180から下方へ照射された裏面190の方へ回路基板110の端面に沿って延伸することになる。したがって、剪断あるいは切断工程中の構成要素部分の関係について説明するために、回路基板のカバーされた前面180に見られる導電性要素片160の下方に在るような導電層112や114について説明する。

【0011】

図4は、回路基板の製造における中間段階を示す。この段階で、要素片160はバス165と接続される。要素片160とバス165は、回路基板180がその最終寸法に合わせてトリミングされる前の同じ導電層の一部である。この中間例における要素片は、回路基板の前面または後面のいずれかに電気めっきを行う際に使用する回路配線であってもよい。あるいは、図3に示しているように、機能回路要素やテスト用リード線であってもよい。本発明は、剪断処理あるいは切断処理中に別の導電層の上方に位置している導電層のどの導電性要素片の短絡に対しても保護を施すものである。

【0012】

図5aは、剪断後の回路基板の層のいくつかの端面の拡大図であり、例示のための唯一の空隙部や溝を示す図である。図5aは、導電性要素片160の下方に位置している導電層112を示す。絶縁層116は、導電性要素片160と導電層112との間に位置している。導電層112は、空隙部112aと端部112bとを持つ。空隙部112aは、要素片160よりも幅が広く（すなわち、X方向に広い）、さらに、剪断あるいは切断工程中に導電層112の平面に達する可能性がある要素片160のいずれの変形部も、導電層112のどの部分にも接触せずに、空隙部112aに達し、これによって短絡が防止される。図1に示されているように、回路基板110の端部112bが回路基板110とカバー120との間の接合部130に配置されていることに留意されたい。この結果、導電層のかなり広い部分が回路基板の端面に位置し、生じる可能性のあるどのESDも引きつけるようになっており、それと同時に、層112や114との要素片160の接触の結果生じるいずれの潜在的短絡も防止される。

【0013】

図6aは、図5aに示す回路基板の断面A-Aに沿って切り取られた断面図である。剪断処理あるいは切断処理中に絶縁層116の導電性要素片160が変形し、そのため、要素片160の変形部160aが回路基板の端面の下方へ延伸することになる。変形の量、したがって変形部160aの大きさは、剪断力、剪断器具のジオメトリおよび導電性要素片の金属の弾性に左右される。この変形部は、回路基板の端面の下方へ（すなわち、Z方向に）延伸したり、基板の端面を出たり入ったり（すなわち、Y方向に）、基板の端面を横切ったり（すなわち、X方向に）する可能性があることが予想される。したがって、空隙部112aが十分な広さでつくられているため、X方向のどのような量の変形部もこの空隙部の中へ落ち込むようになっていて、この変形部が端部112bと接触することはない。空隙部112aが十分な深さでつくられているため、この空隙部の中へ（あるいは、

10

20

30

40

50

Y方向に)延伸するどの変形部も同様に導電層112と接触することはない。導電層114は、層112と同じ方法で作られ、層112と同じ構造を持つ。層112や114は、それぞれ、接地層または電源層のいずれであってもよい。図7は、X方向とY方向の空隙部と要素片の相対幅または大きさを示す。導電性要素片の大きさは、要素片の機能に応じて変えることができるが、一般に、約1ミリメートル(0.001")から約50ミリメートル(0.05")までの範囲であり、さらに、空隙部の幅と深さは、要素片に比例して十分な許容範囲を持つ大きさであるため、どの変形部も上記空隙部の中に入り、導電層と接触することはない。1つの例では、図7の導電性要素片160aの幅cswは、4ミリメートルの広さの幅(すなわち、X方向に)であり、空隙部112aの幅gwは、端面から端面へ(すなわち、X方向に)40ミリメートルであり、一方、深さgdは、60ミリメートル(すなわち、Y方向に)である。

10

【0014】

図5bは、回路基板の端面の別の例を示す拡大図である。この図は、要素片160の可能な変形部のパターンを例示するものである。変形部160aは、回路基板のトリミングの結果、図5aに例示のようにZ方向に延伸するだけでなく、X軸に沿って横方向に、および、Y軸に沿って空隙部112aの中へ延伸することも考えられる。どの変形部160aも空隙部112aや114aの中へ落ち込み、導電層112や114の端部112bと接触しなくなるように、空隙部112aは十分に広く(すなわち、X軸に沿って)作られる。同様に、メモリカード100の中へ入り込むいずれの変形部も空隙部112aや114aの中へ落ち込み、導電層112や114と接触しなくなるように、空隙部112aは十分に深く(すなわち、Y軸に沿って)作られる。図5bには変形部160aが層112まで延伸する状態だけが示されている。しかし、変形部160aは、層114まで延伸し、それによって、端部114bと接触せずに空隙部114aの中へ落ち込むことも考えられる。

20

【0015】

図5cは、回路基板の端面の別の例を示す拡大図である。この例では、回路基板の端面で回路基板の層のすべてに溝がつけられている。溝116c、112c、114cは、それぞれ、絶縁層116、導電層112、導電層114に形成される。これらの溝は、図示されていない層および番号をつけられていない層を含む回路基板のすべての層の中を通る。溝116c、112c、114cは、X、Yの両方向に、導電層112と114の空隙部112aと114aよりも狭い。したがって、空隙部112aと114aは、溝112cと114cのいずれの側でも横方向(すなわち、X方向に)に延伸する。また、空隙部112aと114aは、溝112cと114cよりも深く(すなわち、Y方向に)延伸する。したがって、これらの溝は、上記空隙部の範囲内に形成され、上記空隙部によって完全に囲まれる。図5aと5bの前の例の場合と同様、生じる可能性があるどの変形部160aも、導電層112と114の端部112bや114bと接触せずに空隙部112aと114aの中へ落ち込むことになる。この結果、短絡が防止される。導電層112と114の空隙部が、該空隙部が中心位置合わせを行う対象とする導電性要素片160よりもXおよびY方向に広いかぎり、端面のジオメトリには、特に、溝116、112、114には多くの様々な変形例が存在することが考えられる。

30

40

【0016】

図6cは、図5cに示す回路基板の断面A-Aに沿って切り取られた断面図である。図6aに関して上述したように、切断処理あるいは切断処理中に絶縁層116の導電性要素片160が変形し、そのため、要素片160の変形部160aが回路基板の端面の下方へ延伸することになる。変形の量、したがって変形部160aの大きさは、切断力、切断器具のジオメトリおよび導電性要素片の金属の弾性に左右される。この変形部は、回路基板の端面の下方へ(すなわち、Z方向に)延伸したり、基板の端面を出たり入ったり(すなわち、Y方向に)、基板の端面を横切ったり(すなわち、X方向に)する可能性があることが予想される。したがって、空隙部112aが十分な広さでつくられているため、X方向のどのような量の変形部もこの空隙部の中へ落ち込むようになっていて、この変形部が

50

端部 1 1 2 b や 1 1 4 b と接触することはない。空隙部 1 1 2 a が十分な深さでつくられているため、この空隙部の中へ（あるいは、Y 方向に）延伸するどの変形部も同様に導電層 1 1 2 や導電層 1 1 4 と接触することはない。

【 0 0 1 7 】

図 8 は、空隙部 1 1 2 a が持ち得る種々の形状のいくつかを示す図である。空隙部 1 1 2 a は、多くの異なる大きさと形状とを持つことが可能であり、これらの大きさと形状のすべては、変形部 1 6 0 a と導電層 1 1 2 や 1 1 4 との間のどのような短絡も防止できるほど十分な比例する広さを持つものである。

【 0 0 1 8 】

以上本発明の一例を例示して、説明してきたが、本発明に係る当業者が、別の修正例、変更例および変形例をつくったり、思いついたりすることも可能であることは明らかである。

10

【 0 0 1 9 】

したがって、本発明が、以上図示して、説明してきた実施形態に限定されるものではないこと、並びに、本発明の本質的特徴を構成する特徴が組み込まれたような上記のような修正および別の実施形態のいずれも本発明の真の精神と範囲に属する均等なものであると考えられることが想定されている。

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】 本発明を例示するメモリカードの平面図である。

20

【 図 2 】 本発明を例示するメモリカードの断面図である。

【 図 3 】 カードの導電層を示す透視分解立体図である。

【 図 4 】 製造中のカードの導電層を示す透視分解立体図である。

【 図 5 a 】 メモリカードの端面の拡大透視図である。

【 図 5 b 】 メモリカードの端面の別の例の拡大透視図である。

【 図 5 c 】 メモリカードの端面の別の例の拡大透視図である。

【 図 6 a 】 図 4 と 5 a に示すカードの断面 A - A に沿った断面図である。

【 図 6 c 】 図 4 と 5 c に示すカードの断面 A - A に沿った断面図である。

【 図 7 】 図 3 ~ 5 の空隙部の平面図である。

【 図 8 】 カードの導電層内の空隙部の例を示す平面図である。

30

【 図 1 】

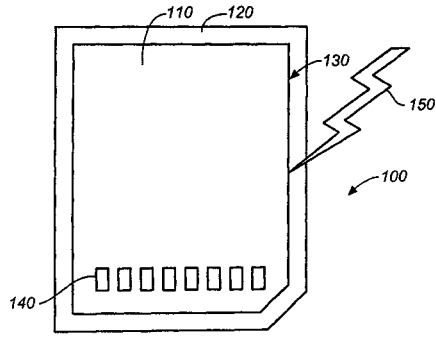


FIG. 1

【 図 2 】

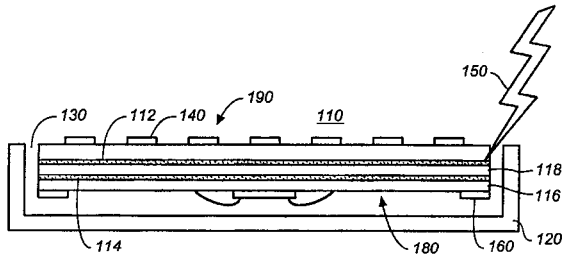


FIG. 2

【 図 3 】

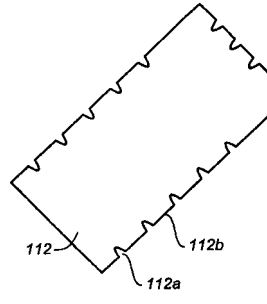
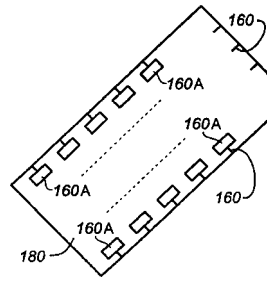


FIG. 3

【 図 4 】

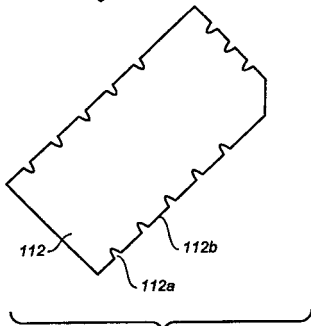
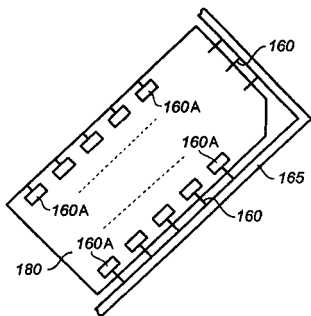


FIG. 4

【 図 5 a 】

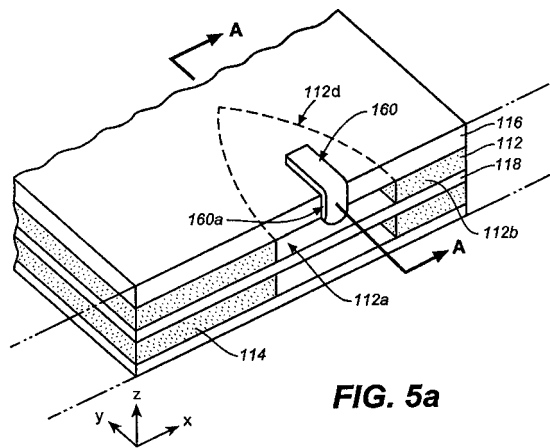


FIG. 5a

【 5 b 】

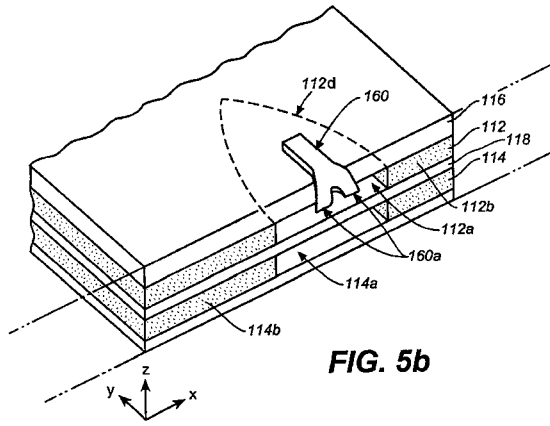


FIG. 5b

【 5 c 】

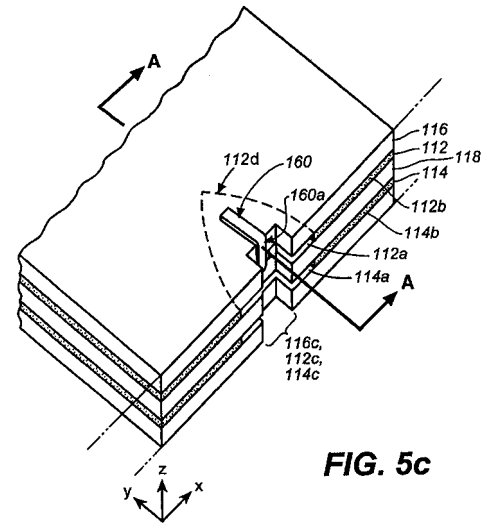


FIG. 5c

【 6 a 】

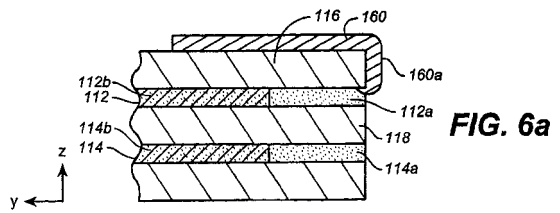


FIG. 6a

【 6 c 】

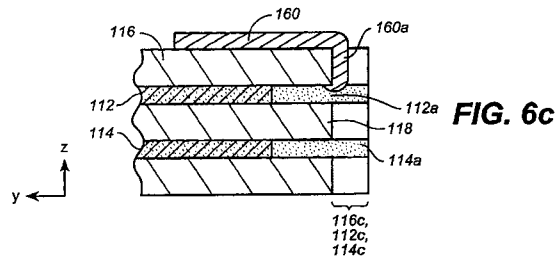


FIG. 6c

【 7 】

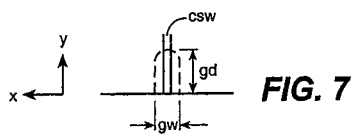


FIG. 7

【 8 】

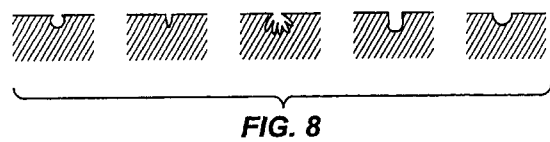


FIG. 8

フロントページの続き

- (56)参考文献 特開2001-077240(JP,A)
特開平09-260797(JP,A)
米国特許第6040622(US,A)
特開2002-009407(JP,A)
特開2001-016038(JP,A)
実開昭62-179675(JP,U)
特開平04-114490(JP,A)
特開平01-295476(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/02
G06K 19/077
H05K 3/46