

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-111186

(P2016-111186A)

(43) 公開日 平成28年6月20日 (2016.6.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/06 3 1 1 C	5 F 0 4 8
HO 1 L 27/06 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2014-247067 (P2014-247067)
 (22) 出願日 平成26年12月5日 (2014.12.5)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110001357
 特許業務法人つばさ国際特許事務所
 (72) 発明者 巽 孝明
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 5F038 BH02 BH03 BH07 BH13 CD02
 CD09 DF01 EZ20
 5F048 AA02 CC01 CC05 CC09

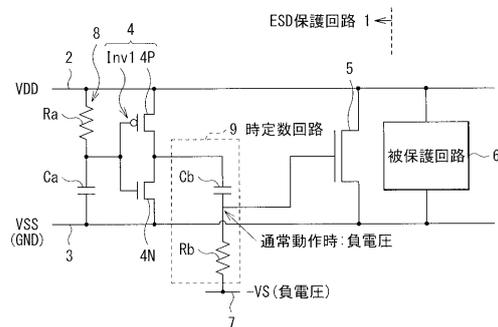
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 ESD保護の機能を保ちつつ、通常動作時の低消費電力化を図ることができるようにする。

【解決手段】 本開示の半導体集積回路は、被保護回路に接続された第1および第2の電源線と、第1および第2の電源線に供給される電圧とは異なる電圧が供給される第3の電源線と、第1および第2の電源線間に接続され、第1の電源線に発生するサージを検出する検出回路と、互いに直列に接続された少なくとも1つのインバータを含み、第1および第2の電源線間に接続されたインバータ回路と、第1および第2の電源線間に接続され、検出回路の出力により制御されてサージを第2の電源線に流す保護用トランジスタと、少なくとも第3の電源線と保護用トランジスタとに接続された時定数回路とを備える。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

被保護回路に接続された第 1 および第 2 の電源線と、
前記第 1 および第 2 の電源線に供給される電圧とは異なる電圧が供給される第 3 の電源線と、

前記第 1 および第 2 の電源線間に接続され、前記第 1 の電源線に発生するサージを検出する検出回路と、

互いに直列に接続された少なくとも 1 つのインバータを含み、前記第 1 および第 2 の電源線間に接続されたインバータ回路と、

前記第 1 および第 2 の電源線間に接続され、前記検出回路の出力により制御されて前記サージを前記第 2 の電源線に流す保護用トランジスタと、

少なくとも前記第 3 の電源線と前記保護用トランジスタとに接続された時定数回路とを備えた半導体集積回路。

【請求項 2】

前記時定数回路は、容量素子と抵抗素子とを含み、
前記抵抗素子の一端が、前記第 3 の電源線に接続されている
請求項 1 に記載の半導体集積回路。

【請求項 3】

前記容量素子の一端が前記インバータ回路の出力端に接続され、前記容量素子の他端が前記保護用トランジスタのゲート端子と前記抵抗素子の他端とに接続され、

前記抵抗素子の他端が前記容量素子の他端と前記保護用トランジスタの前記ゲート端子とに接続されている

請求項 2 に記載の半導体集積回路。

【請求項 4】

前記容量素子の一端が前記第 1 の電源線に接続され、前記容量素子の他端が前記保護用トランジスタのバックゲート端子と前記抵抗素子の他端とに接続され、

前記抵抗素子の他端が前記容量素子の他端と前記保護用トランジスタの前記バックゲート端子とに接続されている

請求項 2 に記載の半導体集積回路。

【請求項 5】

前記保護用トランジスタは N M O S トランジスタであり、

前記第 1 の電源線に正電圧が供給され、
前記第 2 の電源線に接地電圧が供給され、
前記第 3 の電源線に負電圧が供給される

請求項 1 に記載の半導体集積回路。

【請求項 6】

前記保護用トランジスタは P M O S トランジスタであり、

前記第 1 の電源線に第 1 の正電圧が供給され、
前記第 2 の電源線に接地電圧が供給され、
前記第 3 の電源線に前記第 1 の正電圧よりも高い第 2 の正電圧が供給される

請求項 1 に記載の半導体集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、電源線に発生したサージを除去する回路を備えた半導体集積回路に関する。

【背景技術】**【0002】**

一般に、L S I (Large Scale Integrated Circuit) 等の半導体集積回路は、その微細化および低電圧化に伴って、所定の機能をもつ内部回路(以下、被保護回路という)を電源線に発生するサージから保護することの重要性が増している。

10

20

30

40

50

【 0 0 0 3 】

電源線に発生するサージは、代表的なものとして、電源線の外部端子に対する静電気放電 (Electrostatic Discharge : E S D) によって電源線電圧が急上昇する E S D サージが知られている。

【 0 0 0 4 】

E S D サージによって、外部端子に高電圧パルスが発生した場合、被保護回路が破壊されることを防ぐ目的で、E S D 保護のための素子または回路が被保護回路とともに半導体基板に集積化される。

【 0 0 0 5 】

E S D 保護のための素子または回路として、G G M O S (Gate Grounded MOS)、サイリスタ、R C M O S などが知られている。それぞれの E S D 保護のための素子または回路は用途によって使い分けされているが、近年、設計が比較的簡単な R C M O S 構成の E S D 保護回路がよく使われる (例えば特許文献 1 および非特許文献 1 参照) 。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 1 2 - 2 5 3 2 6 6 号公報

【 非特許文献 】

【 0 0 0 7 】

【 非特許文献 1 】 C. A. Torres et al; “ Modular, Portable, and Easily Simulated E S D Protection Networks for Advanced CMOS Technologies ”, Electrical Overstress/Electrostatic Discharge Symposium, September 11-13. Symposium Proceedings, P.81-94, Fig. 1.

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

R C M O S 構成の E S D 保護回路として、電源配線とグランド配線との間に、抵抗素子および容量素子を用いた検出回路と、C M O S を用いたインバータ回路と、電源配線に発生するサージをグランド配線に逃がす保護用トランジスタとを配置した構成が知られている。保護用トランジスタとしては M O S トランジスタが用いられる。

30

【 0 0 0 9 】

上記 R C M O S 構成の E S D 保護回路では、サージが発生した場合に保護用トランジスタがオンし、サージを電源配線からグランド配線に逃がす。サージが発生していない場合には保護用トランジスタはオフとなり、スタンバイ状態となる。しかしながら、保護用トランジスタとして用いられる M O S トランジスタは、オフ状態であってもオフリーク電流が発生し、これがスタンバイ状態における消費電力の増加を招く。このため、オフリーク電流を低減することが求められる。

【 0 0 1 0 】

特許文献 1 には、R C M O S 構成の E S D 保護回路において、インバータ回路の最終段に設けられたインバータの一端を、電源配線およびグランド配線とは別の第 3 の電源線に接続することでオフリーク電流を低減することが提案されている。しかしながら、特許文献 1 に記載の回路では、サージが発生した場合に、第 3 の電源線に接続されたインバータに過電流が流れ、E S D 保護の機能が失われるおそれがある。

40

【 0 0 1 1 】

本開示の目的は、E S D 保護の機能を保ちつつ、通常動作時の低消費電力化を図ることができるようにした半導体集積回路を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 2 】

本開示による半導体集積回路は、被保護回路に接続された第 1 および第 2 の電源線と、第 1 および第 2 の電源線に供給される電圧とは異なる電圧が供給される第 3 の電源線と、

50

第1および第2の電源線間に接続され、第1の電源線に発生するサージを検出する検出回路と、互いに直列に接続された少なくとも1つのインバータを含み、第1および第2の電源線間に接続されたインバータ回路と、第1および第2の電源線間に接続され、検出回路の出力により制御されてサージを第2の電源線に流す保護用トランジスタと、少なくとも第3の電源線と保護用トランジスタとに接続された時定数回路とを備えたものである。

【0013】

本開示による半導体集積回路では、第3の電源線と保護用トランジスタとに時定数回路が接続されていることで、保護用トランジスタのオフリーク電流を減らすことが可能となる。

【発明の効果】

10

【0014】

本開示の半導体集積回路によれば、第3の電源線と保護用トランジスタとに時定数回路を接続するようにしたので、保護用トランジスタのオフリーク電流を減らすことが可能となり、ESD保護の機能を保ちつつ、通常動作時の低消費電力化を図ることができる。

【0015】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0016】

20

【図1】一般的なESD保護回路の構成例を示す回路図である。

【図2】NMOSトランジスタに流れるオフリーク電流を示す説明図である。

【図3】オフリーク電流を低減したESD保護回路の一例を示す回路図である。

【図4】本開示の第1の実施の形態に係る半導体集積回路の一例を示す回路図である。

【図5】図4に示した回路によってオフリーク電流が減ることを示す説明図である。

【図6】第1の実施の形態の第1の変形例に係る半導体集積回路の一例を示す回路図である。

【図7】第1の実施の形態の第2の変形例に係る半導体集積回路の一例を示す回路図である。

【図8】第1の実施の形態の第3の変形例に係る半導体集積回路の一例を示す回路図である。

30

【図9】第2の実施の形態に係る半導体集積回路の一例を示す回路図である。

【図10】図9に示した回路によってオフリーク電流が減ることを示す説明図である。

【発明を実施するための形態】

【0017】

以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

0. ESD保護回路の説明(図1～図3)

0.1 構成

0.1.1 第1の比較例の構成

0.1.2 第2の比較例の構成

40

0.2 課題

1. 第1の実施の形態

1.1 構成および動作(図4、図5)

1.2 効果

1.3 変形例

1.3.1 第1および第2の変形例(インバータの段数を2段以上にした場合の構成例)(図6、図7)

1.3.2 第3の変形例(保護用トランジスタをPMOSトランジスタにした場合の構成例)(図8)

2. 第2の実施の形態(図9、図10)

50

3. その他の実施の形態

【0018】

< 0. ESD保護回路の説明 >

まず、本開示による半導体集積回路に対する比較例となるESD保護回路の構成と、その課題を説明する。

【0019】

[0.1 構成]

(0.1.1 第1の比較例の構成)

図1に、本開示の半導体集積回路に対する第1の比較例の回路を示す。図1に示した第1の比較例の回路は、上記非特許文献1の記載に基づく、一般的なRCMOS構成のESD保護回路100の構成例を示している。

10

【0020】

図1に示すESD保護回路100は、外部端子(VDD端子)2Tが接続された電源配線(第1の電源線)2と、外部端子(VSS端子)3Tが接続された基準電圧配線(第2の電源線)3とを備えている。電源配線2と基準電圧配線3との間には電源電圧VDDが印加される。

【0021】

ESD保護回路100はまた、電源配線2と基準電圧配線3との間に、インバータ回路4と、保護用トランジスタ5と、検出回路8とを備えている。

【0022】

20

保護用トランジスタ5は、ESDに起因して電源配線2に発生する高電圧パルスを基準電圧配線3に逃がすものである。保護用トランジスタ5は例えばNMOSTランジスタからなり、ドレイン端子が電源配線2に、ソース端子が基準電圧配線3に接続されている。

【0023】

検出回路8は、検出用抵抗素子Raおよび検出用容量素子CaからなるRC直列回路を構成している。

【0024】

インバータ回路4は、少なくとも1つのCMOS構成のインバータを含んでいる。図1では、第1、第2および第3のインバータInv1, Inv2, Inv3を直列接続した3段構成の例を示している。インバータ回路4の入力端は、検出用抵抗素子Raと検出用容量素子Caとの間のノードに接続されている。インバータ回路4の出力端は、保護用トランジスタ5のゲート端子に接続されている。

30

【0025】

このESD保護回路100は、検出用抵抗素子Raと検出用容量素子Caとによる時定数を利用して、通常の電源配線2の電位的な立ち上げや揺らぎ等には反応しないように設計される。通常の電源投入時のように電源配線2の電位を意図的に立ち上げる場合、そのパルスの立ち上がり速度がESDサージ発生時に比べて小さい。そのため、検出用抵抗素子Raと検出用容量素子Caとを接続するノードの電位VRCが、電源配線2の電位の上昇に余り遅れることなく立ち上がる。

【0026】

40

一方、通常の動作で想定されるより高い周波数のパルス(例えばESDサージ)が電源配線2に印加されると、検出用抵抗素子Raと検出用容量素子Caとを接続するノードの電位VRCが、電源配線2の電位上昇に遅れて立ち上がる。ESDの代表的なモデルであるHBM(Human Body Model)における電位上昇は数百ナノ秒という極めて短い時間に生じ、そのような高い周波数の電位上昇で、上記電位VRCが電源配線2の電位上昇に遅れて立ち上がるように検出回路8の時定数が決められている。

【0027】

電源配線2の電位の立ち上がりから遅れて電位VRCが立ち上がると、電位VRCがインバータ回路4のインバータの閾値に達するまでの期間だけ、インバータ回路4で発生した正のパルスが保護用トランジスタ5のゲートに印加される。よって、この正のパルスで

50

規定される時間だけ保護用トランジスタ 5 がオンして、ESDサージを電源配線 2 から基準電圧配線 3 に逃がす。これにより、電源配線 2 と基準電圧配線 3 との間に接続される被保護回路としての内部回路は ESD サージから保護される。

【0028】

電位 VRC がインバータ回路 4 のインバータの閾値に達すると、保護用トランジスタ 5 のゲートに印加される正のパルスが終了するため、速やかに保護用トランジスタ 5 がオフする。このようにして、ESD 保護回路 100 は、RC 直列回路からなる検出回路 8 によって ESD サージを検出し、検出回路 8 の検出結果に応答して ESD サージを速やかに電源配線 2 から除去する。

【0029】

ここで、ESD 保護回路 100 の動作は、以下の (1) , (2) の状況での要求を満たすことが要求される。

【0030】

(1) 通常動作中 (サージ印加なし) :

ここで「通常動作中 (サージ印加なし)」とは、通常動作時に予定されている電源配線 2 の電位変動はあっても、保護用トランジスタ 5 をオンさせるほどの大きなサージが電源配線 2 に印加されない動作状態をいう。予定されている電源配線 2 の電位変動とは、電源立ち上げ時や立ち下げ時の電位変動、さらには、回路動作に起因して電源配線 2 が小さな振幅で揺れるような電位変動のことである。

【0031】

電源配線 2 が電源電圧 VDD で保持されているときは、検出用容量素子 Ca は、高インピーダンス状態なので、検出用抵抗素子 Ra と検出用容量素子 Ca とを接続するノードの電位 VRC は、ほぼ H (VDD) レベルをとる。この H レベルは、3 つのインバータのうちの初段の第 1 のインバータ Inv 1 の入力に印加されるので、その出力が L (VSS) レベルをとる。この第 1 のインバータ Inv 1 の出力 (L レベル) は、第 2 および第 3 のインバータ Inv 2 , Inv 3 の各出力を確定している。このとき、第 2 のインバータ Inv 2 の出力は H レベル、第 3 のインバータ Inv 3 の出力は L レベルとなる。

【0032】

従って、このとき、保護用トランジスタ 5 のゲートは L (VSS) レベルであるため、保護用トランジスタ 5 のチャンネルは閉じている。したがって、電源電圧 VDD が印加された電源配線 2 から、基準電圧 VSS が印加された基準電圧配線 3 へ電流は流れない。

【0033】

(2) 組み立て作業中に ESD サージが入ったとき :

一般に ESD 試験はこの状況で行われる。組立作業中は、通常、静電対策のため基準電圧配線 3 のみ基準電位 (例えば接地電圧) に接続されていることが多い。その一方、電源配線 2 がつながる VDD 端子 2T には結線が行われていない。このとき、各インバータに電源が供給されていないため、保護用トランジスタ 5 のゲート電位は不確定 (例えば、フローティング) となっている。

【0034】

この状態で、VDD 端子 2T に ESD サージが急に入ると、この ESD サージを電源電圧 VDD の代わりとして、インバータ回路 4 および保護用トランジスタ 5 が短い時間だけ動作可能となる。その場合、組み立て時でも保護用トランジスタ 5 が短い時間だけオンして、ESD サージ除去が可能となる。

【0035】

(0.1.2 第 2 の比較例の構成)

図 3 に、本開示の半導体集積回路に対する第 2 の比較例の回路を示す。図 3 に示した第 2 の比較例の回路は、上記特許文献 1 の記載に基づく、オフリーク電流を低減した RCMOS 構成の ESD 保護回路 101 の構成例を示している。

【0036】

図 3 の ESD 保護回路 101 では、図 1 の ESD 保護回路 100 におけるインバータ回

10

20

30

40

50

路4を具体的なトランジスタ構成で示している。図3のESD保護回路101においても、図1のESD保護回路100と同様に、外部端子としてVDD端子2TおよびVSS端子3Tが設けられているが、これらの外部端子は図示を省略している。また、図3の回路例では、電源配線2と基準電圧線3とに接続されて電源供給を受ける被保護回路6が設けられている。ESD保護回路101と被保護回路6とが同一の半導体基板に集積化されることによって半導体集積回路が形成されている。

【0037】

ESD保護回路101では、インバータ回路4の第1、第2および第3のインバータIn v 1, In v 2, In v 3がそれぞれ、電源配線2と基準電圧配線3との間に直列に接続されたPMOSTランジスタ4PとNMOSTランジスタ4Nとで構成されている。初段の第1のインバータIn v 1におけるPMOSTランジスタ4PとNMOSTランジスタ4Nの共通ゲートが、検出用抵抗素子Raと検出用容量素子Caとの間に接続されている。また、第1のインバータIn v 1におけるPMOSTランジスタ4PとNMOSTランジスタ4Nとの共通ドレインが、次段の第2のインバータIn v 2の入力端に接続されている。第2および第3のインバータIn v 2, In v 3も、第1のインバータIn v 1とほぼ同様に構成されている。最終段の第3のインバータIn v 3の出力端は、保護用トランジスタ5のゲート端子に接続されている。

10

【0038】

ESD保護回路101では、最終段の第3のインバータIn v 3のみ、そのNMOSTランジスタ4Nのソース端子が基準電圧配線3とは別の第3の電源線7に接続されている。

20

【0039】

第3の電源線7は、負電圧(-V S)を供給するための配線であり、図示しない外部端子(-V S端子)に接続させてもよい。なお、被保護回路6が同じ負電圧(-V S)を用いる回路であれば、ESD保護回路101は、第3の電源線7を被保護回路6と共用することが望ましい。また、負電圧(-V S)を半導体集積回路内で電源電圧VDD等から生成する場合は、その外部端子は不要である。

【0040】

上記図1のESD保護回路100の構成で問題になるのは、上記(1)の通常動作中の保護用トランジスタ5のリーク電流である。図2に、典型的なNMOSTランジスタのゲート電圧Vg対ドレイン電流Idの特性グラフを示す。保護用トランジスタ5は、通常動作中、ゲート電圧Vg = 0Vでチャネルは閉じている。しかしながら、保護用トランジスタ5のソースとドレイン間にはオフリークといわれる、わずかな電流が流れる。例えば図2の例では、ゲート電圧Vg = 0Vのときに、単位ゲート幅(1μm)当たり、約0.1nA弱のオフリーク電流が発生している。一般に、保護用トランジスタ5は、大量の電流を流せるだけの大きさを持ち、そのゲート幅が大きく、通常1mm以上であるため、消費電力が大きい。

30

【0041】

このオフリーク低減のため、図3のESD保護回路101では、最終段の第3のインバータIn v 3のみ、そのNMOSTランジスタ4Nのソース端子を、基準電圧VSSより低い負電圧(-V S)でバイアスしている。

40

【0042】

このESD保護回路101では、上記(1)の通常動作中(サージ印加なし)のときには、第3の電源線7が、基準電圧配線3とは独立に電圧を設定できることから、保護用トランジスタ5のオフリーク電流が低減される。例えば、負電圧(-V S)を第3の電源線7に供給する。この場合、最終段の第3のインバータIn v 3が動作時に、そのNMOSTランジスタ4Nがオンして負電圧(-V S)を保護用トランジスタ5のゲートに与える。保護用トランジスタ5は、図1のESD保護回路100のように基準電圧VSS(通常、0V)が印加されるよりも、負電圧(-V S)が印加された場合にオフリーク電流が低減される。

50

【 0 0 4 3 】

[0 . 2 課 題]

上記したように、図 3 の E S D 保護回路 1 0 1 では、保護用トランジスタ 5 の手前の第 3 のインバータ I n v 3 の N M O S トランジスタ 4 N のソース側およびバックゲートを、基準電圧 V S S ではなく、負電圧 (- V S) にする。これにより、上記 (1) の通常動作中 (サージ印加なし) の期間で保護用トランジスタ 5 のゲート電圧を負にし、保護用トランジスタ 5 のオフリークを低減させる。

【 0 0 4 4 】

しかしながら、図 3 の E S D 保護回路 1 0 1 において、インバータ I n v 3 の N M O S トランジスタ 4 N はソースだけでなくバックゲート (P W e l l) をも負電圧にする必要がある。バックゲートを負電圧にするためには、インバータ I n v 3 の N M O S トランジスタ 4 N の w e l l だけを、他の M O S トランジスタから分離する必要がある。図 1 の E S D 保護回路 1 0 0 と比較して、他の M O S トランジスタとは別の電源を用いた w e l l を要するため、設計およびレイアウト上の困難を伴う。

10

【 0 0 4 5 】

< 1 . 第 1 の実施の形態 >

次に、本開示の第 1 の実施の形態について説明する。以下では、上記図 1 および図 3 に示した回路と同様の構成および動作を有する部分については、適宜説明を省略する。

【 0 0 4 6 】

[1 . 1 構成および動作]

20

図 4 は、本開示の第 1 の実施の形態に係る半導体集積回路の一構成例を示している。

図 4 の回路例では、E S D 保護回路 1 と、被保護回路 6 とが同一の半導体基板に集積化されることによって半導体集積回路が形成されている。図 4 の半導体集積回路は、図 3 の半導体集積回路と同様に、被保護回路 6 に接続され、被保護回路 6 に電源電圧 V D D を供給する電源配線 2 および基準電圧配線 3 を備えている。また、電源配線 2 および基準電圧配線 3 に供給される電圧とは異なる電圧が供給される第 3 の電源線 7 を備えている。

【 0 0 4 7 】

図 4 の E S D 保護回路 1 はまた、図 1 の回路例と同様に、電源配線 2 と基準電圧配線 3 との間に、インバータ回路 4 と、保護用トランジスタ 5 と、検出回路 8 とを備えている。

【 0 0 4 8 】

30

図 4 の E S D 保護回路 1 では、図 3 の回路例と同様に、図 1 の E S D 保護回路 1 0 0 におけるインバータ回路 4 を具体的なトランジスタ構成で示している。図 4 の E S D 保護回路 1 においても、図 1 の E S D 保護回路 1 0 0 と同様に、外部端子として V D D 端子 2 T および V S S 端子 3 T が設けられているが、これらの外部端子は図示を省略している。

【 0 0 4 9 】

図 4 の E S D 保護回路 1 では、インバータ回路 4 を第 1 のインバータ I n v 1 のみの 1 段の構成にした例を示しているが、後述する変形例のように、2 つ以上のインバータを有する 2 段以上の構成であってもよい。第 1 のインバータ I n v 1 は、電源配線 2 と基準電圧配線 3 との間に直列に接続された P M O S トランジスタ 4 P と N M O S トランジスタ 4 N とで構成されている。

40

【 0 0 5 0 】

図 4 の E S D 保護回路 1 は、図 1 および図 3 の回路例とは異なる構成要素として、時定数回路 9 をさらに備えている。時定数回路 9 は、少なくとも第 3 の電源線 7 と保護用トランジスタ 5 とに接続されている。時定数回路 9 は、直列接続された容量素子 C b と抵抗素子 R b とを含んでいる。容量素子 C b の一端はインバータ回路 4 の出力端に接続され、容量素子 C b の他端は保護用トランジスタ 5 のゲート端子と抵抗素子 R b の他端とに接続されている。抵抗素子 R b の一端は第 3 の電源線 7 に接続され、抵抗素子 R b の他端は容量素子 C b の他端と保護用トランジスタ 5 のゲート端子とに接続されている。

【 0 0 5 1 】

この E S D 保護回路 1 において、保護用トランジスタ 5 は N M O S トランジスタである

50

。電源配線 2 には電源電圧 V_{DD} として正電圧が供給され、基準電圧配線 3 には基準電圧 V_{SS} として接地電圧が供給され、第 3 の電源線 7 には負電圧 ($-V_S$) が供給される。

【0052】

この図 4 の ESD 保護回路 1 では、図 3 の ESD 保護回路 101 と同様に、上記 (1) の通常動作中 (サージ印加なし) のときには、保護用トランジスタ 5 のオフリーク電流が低減される。第 3 の電源線 7 には負電圧 ($-V_S$) が供給されているので、時定数回路 9 を介して保護用トランジスタ 5 のゲートの電位は負となる。保護用トランジスタ 5 のゲートに基準電圧 V_{SS} よりも低い負の電圧が印加されるので、図 1 の ESD 保護回路 100 のように基準電圧 V_{SS} が保護用トランジスタ 5 のゲートに印加される場合よりも、オフリーク電流が低減される。

10

【0053】

図 5 に、典型的な NMOS トランジスタのゲート電圧 V_g 対ドレイン電流 I_d の特性グラフを示す。上述した図 2 に示したように、保護用トランジスタ 5 には、ゲート電圧 $V_g = 0V$ であっても、単位ゲート幅 ($1\mu m$) 当たり、約 $0.1nA$ 弱のオフリーク電流が発生している。例えば図 5 に示したように、ゲート電圧 $V_g = -0.8V$ とすれば、オフリーク電流は $V_g = 0V$ の場合より 1 桁以上、下がる。

【0054】

この図 4 の ESD 保護回路 1 において、上記 (2) の組み立て作業中に ESD サージが入ったときのような状況では、例えば電源配線 2 および第 3 の電源線 7 には、電源電圧 V_{DD} および負電圧 ($-V_S$) の供給はなされず、保護用トランジスタ 5 のゲート電位は不確定 (例えば、フローティング) となる。この状態で、電源配線 2 に ESD サージが急に入ると、この ESD サージを電源電圧 V_{DD} の代わりとして、インバータ回路 4 および保護用トランジスタ 5 が短い時間だけ動作可能となる。容量素子 C_b は ESD サージのパルス入力に対して電流を通し、保護用トランジスタ 5 のゲートをオンさせることで、ESD サージ除去が可能となる。

20

【0055】

[1.2 効果]

以上のように、本実施の形態によれば、保護用トランジスタ 5 のオフリーク電流を減らすことが可能となり、ESD 保護の機能を保ちつつ、通常動作時の低消費電力化を図ることができる。例えば、図 1 の ESD 保護回路 100 に比べて、消費電力を $1/10$ 以下にすることが可能になる。

30

【0056】

また、図 3 の ESD 保護回路 101 ではインバータ Inv_3 の NMOS トランジスタ 4 N の w_{ell} だけを、他の MOS トランジスタから分離する必要があるのに対して、本実施の形態では図 1 の ESD 保護回路 100 に対して単純に時定数回路 9 を追加する配線処理をすればよいため、設計上、レイアウト上の問題を伴わない。

【0057】

なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。以降の他の実施の形態および変形例についても同様である。

40

【0058】

[1.3 変形例]

次に、第 1 の実施の形態の変形例について説明する。以下では、上記図 4 に示した回路と同様の構成および動作を有する部分については、適宜説明を省略する。

【0059】

(1.3.1 第 1 および第 2 の変形例)

図 4 に示した半導体集積回路において、インバータ回路 4 を構成するインバータは 2 段以上の構成であってもよい。

【0060】

図 6 は、第 1 の実施の形態の第 1 の変形例に係る半導体集積回路の一例を示している。

50

図 6 に示した半導体集積回路は、図 4 に示した半導体集積回路に対して、3 段構成のインバータ回路 4 を有する ESD 保護回路 1 A を備えている。すなわち、インバータ回路 4 が、第 1、第 2 および第 3 のインバータ I_{nv1} 、 I_{nv2} 、 I_{nv3} を直列接続した構成とされている。この場合、インバータ回路 4 の出力端は最終段の第 3 のインバータ I_{nv3} の出力端となるので、時定数回路 9 における容量素子 C_b の一端は、第 3 のインバータ I_{nv3} の出力端に接続されている。

【0061】

その他の構成および動作は図 4 に示した半導体集積回路と略同様であっても良い。また、その他、インバータ回路 4 を 5 段以上の奇数段の構成にする場合も、インバータ回路 4 以外は図 4 に示した半導体集積回路と略同様の構成にすることができる。

10

【0062】

図 7 は、第 1 の実施の形態の第 2 の変形例に係る半導体集積回路の一例を示している。

図 7 に示した半導体集積回路は、図 4 に示した半導体集積回路に対して、2 段構成のインバータ回路 4 を有する ESD 保護回路 1 B を備えている。すなわち、インバータ回路 4 が、第 1 および第 2 のインバータ I_{nv1} 、 I_{nv2} を直列接続した構成とされている。この場合、インバータ回路 4 の出力端は最終段の第 2 のインバータ I_{nv2} の出力端となるので、時定数回路 9 における容量素子 C_b の一端は、第 2 のインバータ I_{nv2} の出力端に接続されている。

【0063】

また、図 7 に示した半導体集積回路は、図 4 に示した半導体集積回路に対して、検出回路 8 を構成する検出用抵抗素子 R_a と検出用容量素子 C_a との位置関係が逆となっている。すなわち、図 4 に示した半導体集積回路では、電源配線 2 に検出用抵抗素子 R_a の一端が接続され、基準電圧配線 3 に検出用容量素子 C_a の一端が接続されている。これに対して、図 7 に示した半導体集積回路では、電源配線 2 に検出用容量素子 C_a の一端が接続され、基準電圧配線 3 に検出用抵抗素子 R_a の一端が接続されている。

20

【0064】

その他の構成および動作は図 4 に示した半導体集積回路と略同様であっても良い。また、その他、インバータ回路 4 を 4 段以上の偶数段の構成にする場合も、インバータ回路 4 と検出回路 8 以外は図 4 に示した半導体集積回路と略同様の構成にすることができる。

【0065】

30

(1.3.2 第 3 の変形例)

図 8 は、第 1 の実施の形態の第 3 の変形例に係る半導体集積回路の一例を示している。

図 8 に示した半導体集積回路は、図 4 に示した半導体集積回路に対して、2 段構成のインバータ回路 4 と、PMOS トランジスタで構成された保護用トランジスタ 5 P とを有する ESD 保護回路 1 C を備えている。

【0066】

インバータ回路 4 は、第 1 および第 2 のインバータ I_{nv1} 、 I_{nv2} を直列接続した構成とされている。この場合、インバータ回路 4 の出力端は最終段の第 2 のインバータ I_{nv2} の出力端となるので、時定数回路 9 における容量素子 C_b の一端は、第 2 のインバータ I_{nv2} の出力端に接続されている。

40

【0067】

この ESD 保護回路 1 C では、電源配線 2 に電源電圧 V_{DD} として第 1 の正電圧を供給し、基準電圧配線 3 に基準電圧 V_{SS} として接地電圧を供給し、第 3 の電源線 7 に第 1 の正電圧よりも高い第 2 の正電圧 V_D を供給する。

【0068】

その他の構成および動作は図 4 に示した半導体集積回路と略同様であっても良い。

【0069】

< 2. 第 2 の実施の形態 >

次に、本開示の第 2 の実施の形態について説明する。以下では、上記第 1 の実施の形態と同様の構成および動作を有する部分については、適宜説明を省略する。

50

【0070】

図9は、第2の実施の形態に係る半導体集積回路の一例を示している。

図9に示した半導体集積回路は、図4に示した半導体集積回路に対して、時定数回路9の接続位置を変えたESD保護回路1Dを備えている。

【0071】

図4に示した半導体集積回路では、時定数回路9が、電源配線2と、第3の電源線7と、保護用トランジスタ5のバックゲート端子とに接続されている。より詳しくは、時定数回路9の容量素子Cbの一端が電源配線2に接続され、容量素子Cbの他端が保護用トランジスタのバックゲート端子と抵抗素子Rbの他端とに接続されている。抵抗素子Rbの一端は第3の電源線7に接続され、抵抗素子Rbの他端は容量素子Cbの他端と保護用トランジスタ5のバックゲート端子とに接続されている。

10

【0072】

また、インバータ回路4の出力端は、保護用トランジスタ5のゲート端子に接続されている。ESD保護回路1Dにおいて、保護用トランジスタ5はNMOSトランジスタである。電源配線2には電源電圧VDDとして正電圧が供給され、基準電圧配線3には基準電圧VSSとして接地電圧が供給され、第3の電源線7には負電圧(-VS)が供給される。その他の構成は図4に示した半導体集積回路と略同様であっても良い。

【0073】

図10に、典型的なNMOSトランジスタのゲート電圧Vg対ドレイン電流Idの特性グラフを示す。図10のrefで示した特性グラフのように、保護用トランジスタ5にはゲート電圧Vg = 0Vであっても、単位ゲート幅(1μm)当たり、約0.1nA弱のオフリーク電流が発生している。

20

【0074】

本実施の形態におけるESD保護回路1Dにおいても、上記(1)の通常動作中(サージ印加なし)のときには、保護用トランジスタ5のオフリーク電流が低減される。第3の電源線7には負電圧(-VS)が供給されているので、保護用トランジスタ5のバックゲート端子には負電圧が印加される。これにより、保護用トランジスタ5のしきい値電圧Vthが上がるので、図10に示したように、ゲート電圧Vg対ドレイン電流Idの特性グラフが全体として下がり、オフリーク電流が低減される。

【0075】

30

< 3. その他の実施の形態 >

本開示による技術は、上記各実施の形態の説明に限定されず種々の変形実施が可能である。

【0076】

例えば、本技術は以下のような構成を取ることができる。

(1)

被保護回路に接続された第1および第2の電源線と、

前記第1および第2の電源線に供給される電圧とは異なる電圧が供給される第3の電源線と、

前記第1および第2の電源線間に接続され、前記第1の電源線に発生するサージを検出する検出回路と、

40

互いに直列に接続された少なくとも1つのインバータを含み、前記第1および第2の電源線間に接続されたインバータ回路と、

前記第1および第2の電源線間に接続され、前記検出回路の出力により制御されて前記サージを前記第2の電源線に流す保護用トランジスタと、

少なくとも前記第3の電源線と前記保護用トランジスタとに接続された時定数回路とを備えた半導体集積回路。

(2)

前記時定数回路は、容量素子と抵抗素子とを含み、

前記抵抗素子の一端が、前記第3の電源線に接続されている

50

上記(1)に記載の半導体集積回路。

(3)

前記容量素子の一端が前記インバータ回路の出力端に接続され、前記容量素子の他端が前記保護用トランジスタのゲート端子と前記抵抗素子の他端とに接続され、

前記抵抗素子の他端が前記容量素子の他端と前記保護用トランジスタの前記ゲート端子とに接続されている

上記(2)に記載の半導体集積回路。

(4)

前記容量素子の一端が前記第1の電源線に接続され、前記容量素子の他端が前記保護用トランジスタのバックゲート端子と前記抵抗素子の他端とに接続され、

前記抵抗素子の他端が前記容量素子の他端と前記保護用トランジスタの前記バックゲート端子とに接続されている

上記(2)に記載の半導体集積回路。

(5)

前記保護用トランジスタはNMOSトランジスタであり、

前記第1の電源線に正電圧が供給され、

前記第2の電源線に接地電圧が供給され、

前記第3の電源線に負電圧が供給される

上記(1)ないし(4)のいずれか1つに記載の半導体集積回路。

(6)

前記保護用トランジスタはPMOSトランジスタであり、

前記第1の電源線に第1の正電圧が供給され、

前記第2の電源線に接地電圧が供給され、

前記第3の電源線に前記第1の正電圧よりも高い第2の正電圧が供給される

上記(1)ないし(4)のいずれか1つに記載の半導体集積回路。

【符号の説明】

【0077】

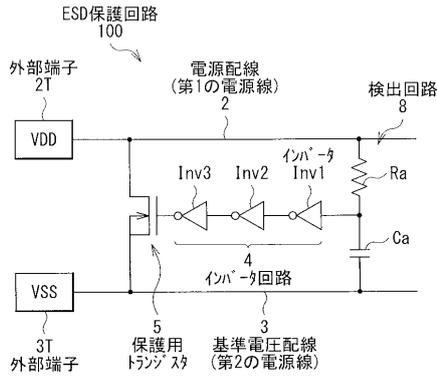
1, 1A, 1B, 1C, 1D... ESD保護回路、2...電源配線(第1の電源線)、2T...外部端子(VDD端子)、3...基準電圧配線(第2の電源線)、3T...外部端子(VSS端子)、4...インバータ回路、4P...PMOSトランジスタ、4N...NMOSトランジスタ、5, 5P...保護用トランジスタ、6...被保護回路、7...第3の電源線、8...検出回路、9...時定数回路、100, 101...ESD保護回路、Inv1...第1のインバータ、Inv2...第2のインバータ、Inv3...第3のインバータ、Ra...検出用抵抗素子、Rb...抵抗素子、Ca...検出用容量素子、Cb...容量素子、VDD...電源電圧(正電圧)、VSS...基準電圧(接地電圧)、-VS...負電圧、VD...正電圧。

10

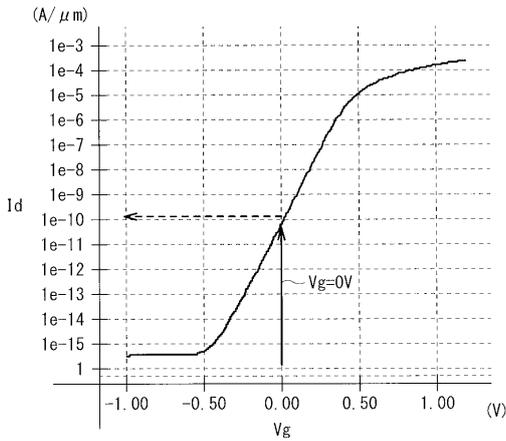
20

30

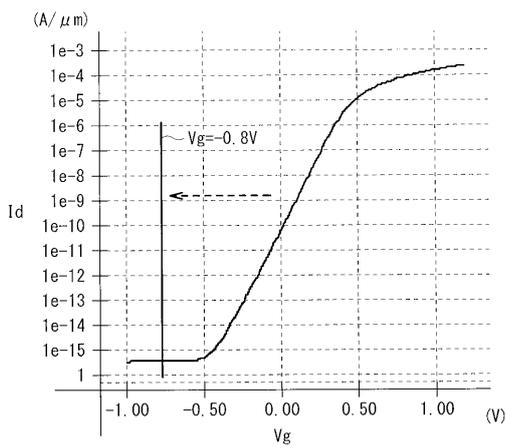
【 図 1 】



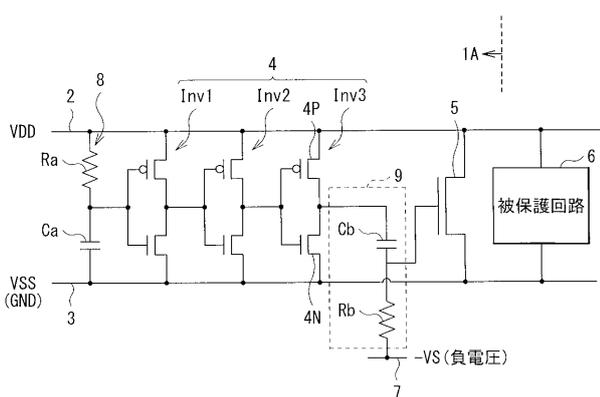
【 図 2 】



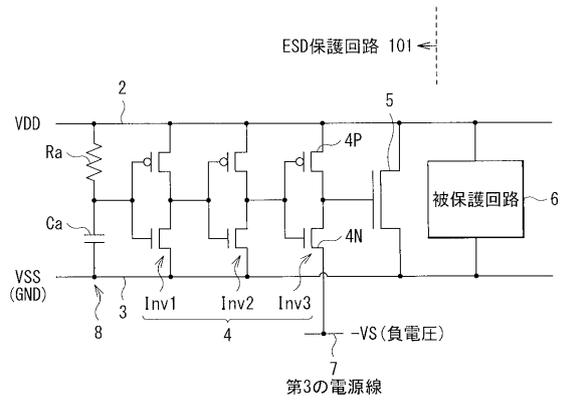
【 図 5 】



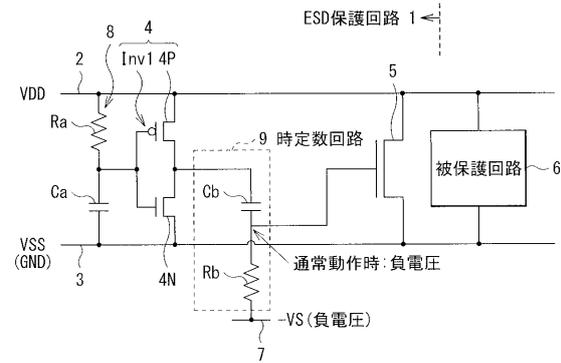
【 図 6 】



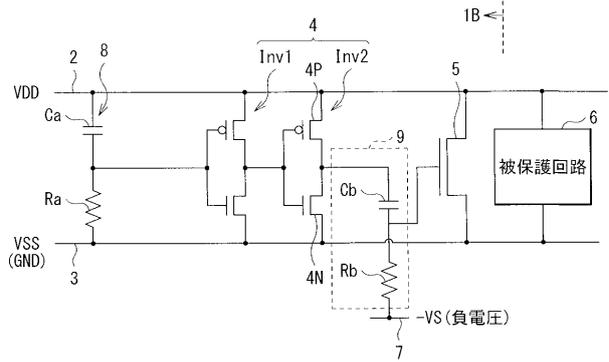
【 図 3 】



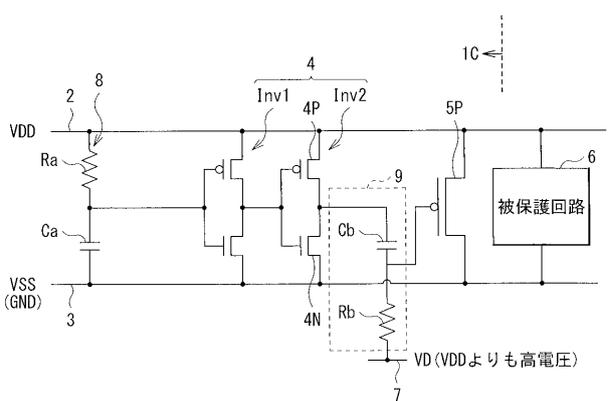
【 図 4 】



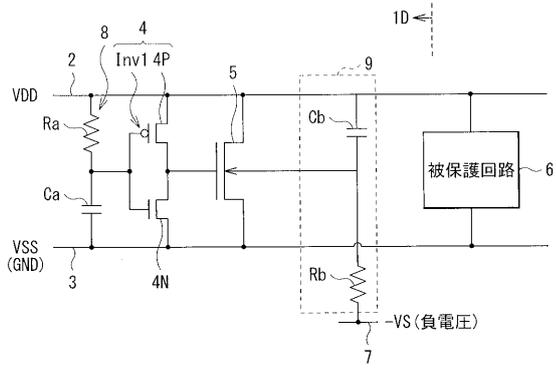
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

