

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4410685号  
(P4410685)

(45) 発行日 平成22年2月3日(2010.2.3)

(24) 登録日 平成21年11月20日(2009.11.20)

(51) Int.Cl. F I  
H O 1 L 29/786 (2006.01) H O 1 L 29/78 6 1 8 C

請求項の数 6 (全 9 頁)

<p>(21) 出願番号 特願2004-563141 (P2004-563141)</p> <p>(86) (22) 出願日 平成14年12月19日 (2002.12.19)</p> <p>(65) 公表番号 特表2006-511092 (P2006-511092A)</p> <p>(43) 公表日 平成18年3月30日 (2006.3.30)</p> <p>(86) 国際出願番号 PCT/US2002/040869</p> <p>(87) 国際公開番号 W02004/059727</p> <p>(87) 国際公開日 平成16年7月15日 (2004.7.15)</p> <p>審査請求日 平成17年11月18日 (2005.11.18)</p> <p>前置審査</p>	<p>(73) 特許権者 390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード</p> <p>(74) 代理人 100108501 弁理士 上野 剛史</p> <p>(74) 代理人 100112690 弁理士 太佐 種一</p> <p>(74) 代理人 100091568 弁理士 市位 嘉宏</p>
--	---

最終頁に続く

(54) 【発明の名称】 フィン型FETを形成する方法

(57) 【特許請求の範囲】

【請求項1】

ゲート(124)、および、フィン(14)の一部を保護するためのスペーサ(44)を形成する方法であって、

前記フィン(14)を覆うように第1の材料(20)を堆積するステップと、

前記第1の材料(20)を覆うように、前記第1の材料(20)と異なる熱リフロー特性を有する第2の材料を形成するステップと、

前記第1および第2の材料をエッチングして前記ゲートを形成するステップと、

前記ゲートを形成した後に、異なる前記熱リフロー特性を利用して、熱プロセスにより前記第2の材料をリフローさせることによって、前記第1の材料の上に前記第2の材料の張り出し(140)を形成するステップと、

前記張り出しの下にスペーサ(44)を形成するステップと、  
を有する、方法。

【請求項2】

前記フィン(14)が単結晶シリコンから成り、前記第1の材料(20)が多結晶シリコンから成る、請求項1に記載の方法。

【請求項3】

前記第1の材料(20)は、ポリシリコン、コバルト-シリサイド、もしくはタングステンであり、前記第2の材料(122)が、BPSGおよびPSGのうち1つである、請求項1に記載の方法。

## 【請求項 4】

前記スペーサ(44)を形成する前記ステップが、  
 スペーサ材料(42)を堆積するステップと、  
 前記張り出し(140)の下部を除いて前記スペーサ材料をエッチングにより指向性を持って除去するステップと、  
 を含む、請求項1に記載の方法。

## 【請求項 5】

前記スペーサ材料(42)が、窒化シリコンおよび酸化シリコンのうち少なくとも1つである、請求項4に記載の方法。

## 【請求項 6】

前記スペーサは、前記張り出し(140)の下に形成され、前記フィン(14)は、フィン型FET(100)のフィンである、請求項1に記載の方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、一般に、CMOS処理に関する。

## 【背景技術】

## 【0002】

相補型金属酸化膜半導体(CMOS: complementary metal-oxide semiconductor)処理において、スペーサは、ある構造を隣接する構造に行われる処理から保護するために設けられる一般的な構造である。保護スペーサを用いなければならないCMOSデバイスの例示的なタイプは、フィン型電界効果トランジスタ(Fin FET: Fin Field Effect Transistor)およびメサ型FET(MesaFET)である。例えばフィン型FETは、構造上、とりわけ、薄い垂直のシリコン製「フィン」の各側壁の一部の上にこれに沿って延在するゲートを含む。フィン型FETでは、ゲート縁部における注入を阻止し、ゲートへのシリサイド短絡を防ぐために、スペーサが必要である。従来の平面CMOSスペーサ処理では、フィンに関して多数の問題が生じる。特に、ゲートのためのスペーサを形成する従来の処理は、結果としてフィンに適用される。従来のスペーサ・プロセスを用いる場合、スペーサ・エッチングの間のフィンの腐食は潜在的な問題である。フィンを特別に薄くする必要がある場合、いずれかの追加のエッチングによって、所望のフィン・サイズの達成が妨げられる場合がある。別の課題は、スペーサを、フィン側壁上およびフィンの上部に形成することなく、ゲートに沿って形成し、ゲートに隣接しないフィンの一部を注入に露呈することを可能とすることである。従来のスペーサ処理では、ゲート上に形成されたスペーサは、フィン型FETの3次元の性質のため、フィンの側壁上にも形成する。側壁の注入またはソース・ドレイン拡張の間等、場合によっては、この側壁スペーサは望ましくない。フィンの側壁スペーサを除去するための試みは、結果として、スペーサが必要であるゲート上のスペーサを除去することになる。同様の問題が、メサ型FET等の他のCMOSデバイスに関して存在する。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

前述のことに鑑み、当技術分野において、スペーサ処理の間に第2の構造に有害な変化を生じることなく、第1の構造上および第2の構造の多くても一部の上にスペーサを形成するための改良した方法に対する要望がある。

## 【課題を解決するための手段】

## 【0004】

本発明は、フィン型FETのゲート構造等の第1の構造、およびゲートに隣接したフィンの領域等の第2の構造の多くても一部のため、第2の構造に有害な変化を生じる(例えば腐食またはその上部でのスペーサ形成)ことなくスペーサを形成するための方法に関する。この方法によって、下部の上に張り出した上部を有する第1の構造(ゲート構造)お

10

20

30

40

50

よび張り出しの下のスペーサを形成する。張り出しは、スペーサ処理の後に除去しても良い。第1の構造が第2の構造の上に張り出している場合に、張り出しは、第1の構造を保護し、第2の構造の一部を保護することができる。この1例は、フィン型FETにおけるゲート構造に隣接してその下にあるフィン領域がスペーサによって保護されることであり、この場合、フィンの側壁は、選択的シリコン成長および注入等の他の処理に露呈される。この結果、この方法によって、第2の構造のサイズ調整が可能となり、スペーサ処理の間に第2の構造に有害な変更を生じることなく、第1の構造およびスペーサを構築することができる。また、本発明は、この方法によって形成したゲート構造およびスペーサを含むフィン型FETに関する。

【0005】

本発明の前述およびその他の特徴は、本発明を実行するための最良の形態の以下の具体的な記述から明らかとなる。

【0006】

本発明の実施形態を、図面を参照して、詳細に説明する。図面において、同様の記号は同様の要素を示す。

【発明を実施するための最良の形態】

【0007】

これより、第2の構造に有害な変化を生じることなく、ゲート構造等の第1の構造および関連するスペーサを形成するための方法について説明する。本発明は、フィン型FETの用途に関連付けて記載する。明確さのため、ゲート構造が「第1の構造」であり、フィンが「第2の構造」である。フィン型FET用途では、フィンがゲートを通り抜けるので、ゲートのため、および、ゲートに隣接するフィンの一部の上に、スペーサを形成する。しかしながら、記載する方法は、第1の構造のためにスペーサを形成し、第2の構造の多くても一部（全くないか、または一部）のためにスペーサを形成することが望ましいあらゆるデバイスにも使用可能であることは認められよう。すなわち、2つの構造がある距離だけ離れている場合、この方法は、一方の構造上にスペーサを形成し、他方の構造上にはスペーサを全く形成しないことを可能とする。例えば、2つの構造は、双方ともゲートとすることができ、スペーサは、ゲートの一方の上に形成することが望ましいが他方のゲート上では全く望ましくない場合がある。従って、第1および第2の構造という言葉は、様々な異なるCMOS形成に適用可能である。しかしながら、説明の簡潔さのため、フィン型FET用途のみを詳細に説明する。「有害な変化を生じる」という言葉の意味は、望ましくないように変更されるということである。フィン型FET用途では、例えば、ゲート上のスペーサ処理により、フィン上にスペーサが形成されたりフィンを腐食させたりすることによって、フィンに有害な変化を生じる場合がある。上述のゲートの例に関して、「有害な変化を生じる」というのは、スペーサ形成が望ましくないゲート上でスペーサが形成されてしまうことが含まれる場合がある。

【0008】

添付図面を参照すると、図1は、ゲート・エッチングの後のフィン型FETの先行構造10の斜視図である。処理のこの時点で、構造10は、基板12を含み、この上に単結晶シリコンのフィン14が形成されている。ゲート構造（図示せず）は、最終的に、フィン14を覆うように構成される。また、ハードマスク16が設けられて、処理の間フィン14を保護する。ハードマスク16は、例えば、二酸化シリコン（酸化物）または窒化シリコンとすることができる。この先行構造10を形成するための実際の処理は、ハードマスク16を堆積すること、ハードマスク16およびその下にあるシリコンをエッチングしてフィン14を形成すること、シリコンの犠牲酸化およびゲート酸化を行って酸化物構造18を生成することを含むことができる。上述の処理は、単に例示であり、例示した構造を形成するために他の処理も可能であることは認められよう。フィン14は、図示のように、ゲート構造およびゲート構造のためのスペーサを生成するための準備ができています。

【0009】

図2～13は、スペーサ処理の間に、ゲートのためのスペーサおよびフィンの多くても

10

20

30

40

50

一部のためのスペーサを形成するための方法を示す。図面において、「A」と標示した図は、図1に示すようにフィン14をA-Aで切った断面図を示し、「B」と標示した図は、図1に示すようにB-Bで切った断面図を示す(いったん形成されたゲート構造を貫く)。

#### 【0010】

第1のステップにおいて、図2~3に示すように、フィン14を覆うように、ゲート構造を生成するための第1の材料20を堆積する。また、図2~3は、第1の材料20を覆うように第2の材料22、122を形成する第2のステップも示す。(第2の材料22、122は、二重の記号表示である。なぜなら、材料は2つの異なる形態で設けることができるからである。これについては後で詳細に説明する。)また、以下で更に詳細に説明するが、第2の材料22、122は、第1の材料20とは異なる。

10

#### 【0011】

図4~5は、第1の材料20および第2の材料22、122にゲート構造24を形成する次のステップを示す。形成は、第1の材料および第2の材料22、122の上に、例えば酸化物(TEOS)等のハードマスク26を適用して(例えばリソグラフィによって)パターンニングし、材料をエッチングしてゲート構造24を形成することを含む場合がある。図5に示すように、これらのステップは、フィン14の最終的なソースおよびドレイン領域28にも適用される。この後、既知の方法で、ハードマスク26を除去する。

#### 【0012】

図6~7および図8~9は、第1の材料20の上に第2の材料22、122を張り出すようにする次のステップの2つの実施形態を示す。上述のように、第2の材料22、122は、第1の材料20とは異なる。

20

#### 【0013】

図6~7は、第1の実施形態を示し、第2の材料22は、多結晶シリコン(以後、「ポリシリコン」と呼ぶ)として(図2~3に示すステップで)形成され、第1の材料20よりも速い酸化速度を有するようになっている。これらの異なる酸化速度を与えるため、1つの実施形態では、第2の材料22は、第1の材料20の一部に、既知の方法でドーパントを注入したものとすることができる。ドーパントは、ポリシリコンの第2の材料22を非ドーパのポリシリコンよりも速い速度で酸化させるいずれかの材料とすれば良い。ドーパントは、例えば、ヒ素(As)(好適)、ゲルマニウム(Ge)、セシウム(Cs)、アルゴン(Ar)もしくはフッ素(F)またはそれらの組み合わせとすることができる。別の実施形態では、第1の材料20よりも酸化速度が速い第2の材料22を、第1の材料の上に堆積することができ、例えば多結晶シリコン-ゲルマニウム合金とすることができる。第1の材料20は、例えば、非ドーパのポリシリコンとすれば良い。この実施形態によれば、第2の材料22は、例えば800~950で酸化を行うことによって、第1の材料20の上に張り出すようになっている。材料間の異なる酸化速度によって、フィン14および第1の材料20に対して、ゲート構造24の第2の材料22から、より厚い酸化物が発生する。この結果、第1の材料20に隣接して、フィン14の張り出し部40が発生する。図6~7は、結果として得られる構造を示し、第2の材料22が、その導電性の下部32の上に張り出すゲート構造24の上部30を形成する。また、酸化プロセスにより、薄い酸化物層34(例えば第2の材料22の約10分の1の薄さ)が、第1の材料20の側面(例えば下部32)およびゲート構造24外部のフィン14の側方に形成することができる。酸化物層34は、フィン14を酸化させることなく、フィン14の幅を維持することができる。

30

40

#### 【0014】

図8~9は、第1の材料20の上に第2の材料122を張り出させるための第2の代替的な実施形態を示す。この場合、第2の材料122は、第1の材料20とは異なる熱リフロー特性を有するいずれかの材料として(図2~3に示すステップで)設けられる。1実施形態では、第1の材料20は、ポリシリコンまたは、コバルト-シリサイドもしくはタングステン等の金属として設けられ、第2の材料122は、ホウ素-リン-シリケート・

50

ガラス（BPSG：boro-phospho-silicate glass）またはリン-シリケート・ガラス（PSG：phospho-silicate glass）等のガラスとして設けられる。第1の材料20上に第2の材料122を張り出させるステップは、熱プロセスを実行して、材料122をリフローさせて張り出し140を形成することを含む。熱プロセスは、例えば、少なくとも第2の材料を約10分間、非酸化雰囲気において約850で加熱することを含む場合がある。図8～9は、結果として得られる構造を示し、第2の材料122は、その導電性の下部132の上に張り出すゲート構造124の上部130を形成する。

#### 【0015】

更に図6～7および図8～9に関連して、例示したような第2の材料22、122の形状は、使用する実施形態および実行する具体的な処理に応じて異なる場合があることは認められよう。従って、図面では、材料20、22、122について、膨らんだまたは傘のような形状を示すが、張り出しを与える他の形状も可能である。

10

#### 【0016】

次のステップは、張り出し40、140の下にスペーサを形成することを含む。スペーサは、上述のいずれの実施形態の構造上にも形成することができる。しかしながら、図10～11および図12～13は、簡潔さのため、図6～7の実施形態のみを示す。スペーサを形成するための1実施形態では、スペーサ材料42は、図10～11に示すように、コンフォーマルに（conformally）堆積する。スペーサ材料は、例えば、窒化シリコン、酸化シリコン、またはそれらの組み合わせとすれば良い。最後に、図12～13に示すように、方向性反応イオンエッチング・プロセスを用いて、スペーサ材料42をエッチングして、オーバーハング40、140の下を除いた全ての場所で材料を除去して、スペーサ44を形成する。

20

#### 【0017】

この後、仕上げ処理（図示せず）を行っても良い。この処理は、例えば、フィン14の側面からの酸化物34の除去（ドーピングしたポリシリコンを用いる場合、上部30として酸化物が残っている）、または（用いた場合）ゲート構造124からの上部130すなわちガラスの除去を含み得る。フィン型FET用途では、最終処理は、例えば、閾値電圧（ $V_t$ ）を設定するための注入、フィン14のソース/ドレイン領域28のドーピング、フィン14上でソース/ドレイン領域28を広げるための選択的シリコン成長、残っている酸化物の除去およびコバルト-シリサイド（CoSi）の形成、従来のコンタクト処理、適切な金属レベルの仕上げ等が含まれる場合がある。

30

#### 【0018】

図12～13に示す、結果として得られるフィン型FET100は、とりわけ、導電性の下部32、132および張り出した上部30、130を含むゲート構造24、124と、下部を貫通して延在するフィン14と、導電性下部32、132に隣接してゲート構造24、124の上部30、130の下に位置するスペーサ44とを含む。上部30、130は、上述のように、下部32、132の材料（例えばポリシリコン）とは異なる材料（例えば酸化物またはガラス）から成る。

#### 【0019】

これまでの記載において、「ゲート構造」24、124は、上部30、130および下部32、132を含むものとして説明した。しかしながら、上部30、130は、最終的に、実際に用いるゲートの動作すなわちアクティブな部分を形成しない場合があることは認められよう。例えば、上部30、130もしくは張り出し40、140または双方の少なくとも一部を除去して、ゲート構造24、124の下部32、132に対するコンタクトを形成することも可能である。

40

#### 【0020】

本発明について、いくつかの好適な実施形態に関連付けて説明したが、特許請求の範囲の精神および範囲内で、様々な変形で本発明を実施可能であることは、当業者には認められよう。

#### 【産業上の利用可能性】

50

【0021】

本発明は、フィンに有害な変更を生じることなく、フィン型FETのゲート、およびフィンの多くても一部のためのスペーサを形成するのに有用である。

【図面の簡単な説明】

【0022】

【図1】ゲート材料なしの、フィンを含むフィン型FETの先行構造の斜視図を示す。

【図2】この方法の第1および第2のステップの断面図を示す。

【図3】この方法の第1および第2のステップの断面図を示す。

【図4】この方法の第3のステップの断面図を示す。

【図5】この方法の第3のステップの断面図を示す。

【図6】この方法の第1の実施形態による第4のステップの断面図を示す。

【図7】この方法の第1の実施形態による第4のステップの断面図を示す。

【図8】この方法の第2の実施形態による第4のステップの断面図を示す。

【図9】この方法の第2の実施形態による第4のステップの断面図を示す。

【図10】この方法の第5のステップの断面図を示す。

【図11】この方法の第5のステップの断面図を示す。

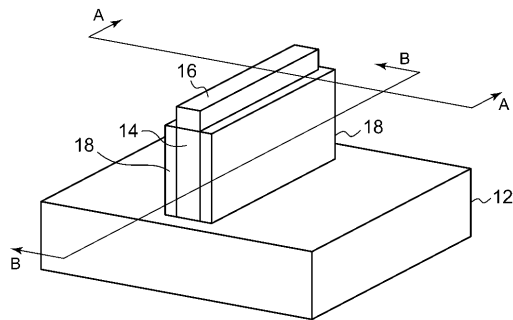
【図12】この方法の第6のステップならびに結果として得られるゲート構造および関連するスペーサの断面図を示す。

【図13】この方法の第6のステップならびに結果として得られるゲート構造および関連するスペーサの断面図を示す。

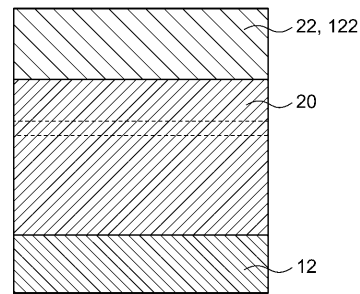
10

20

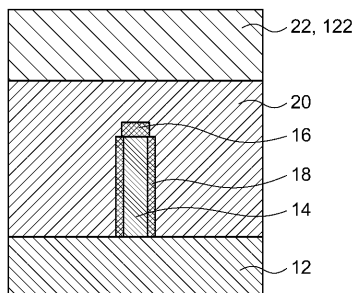
【図1】



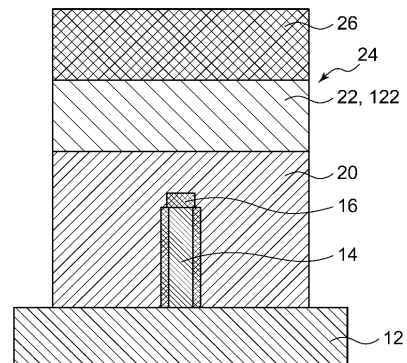
【図3】



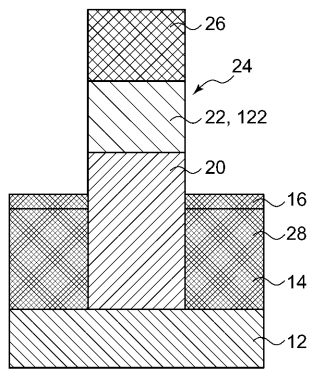
【図2】



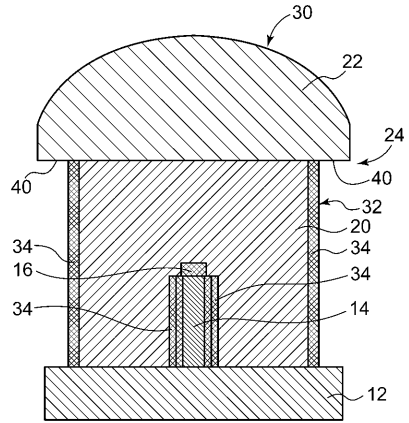
【図4】



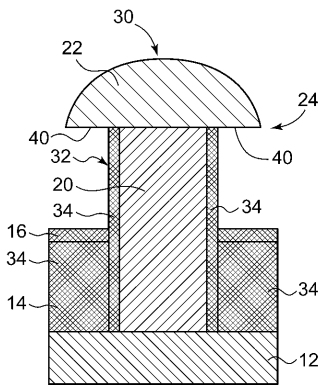
【図5】



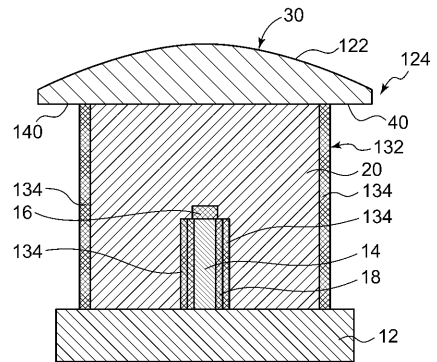
【図6】



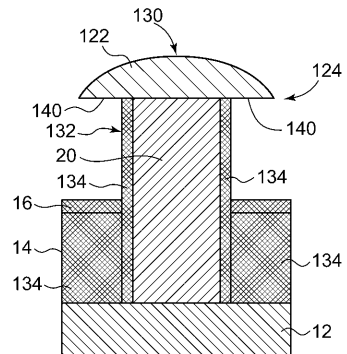
【図7】



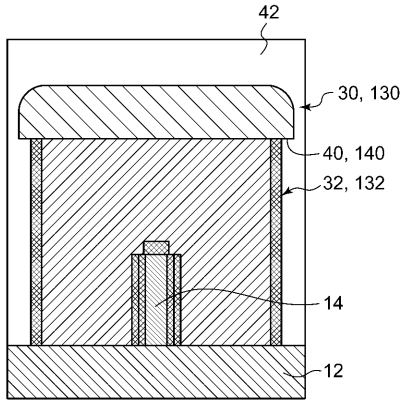
【図8】



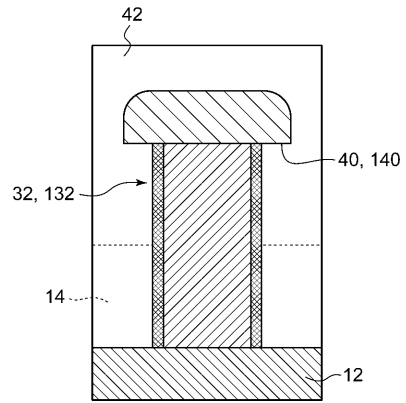
【図9】



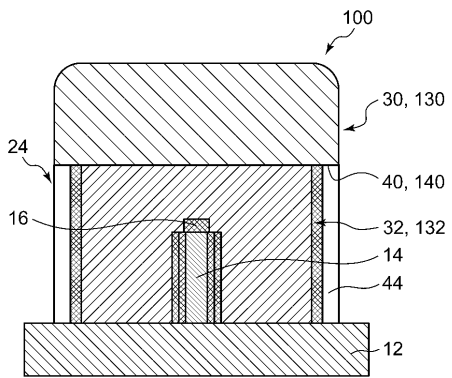
【図 10】



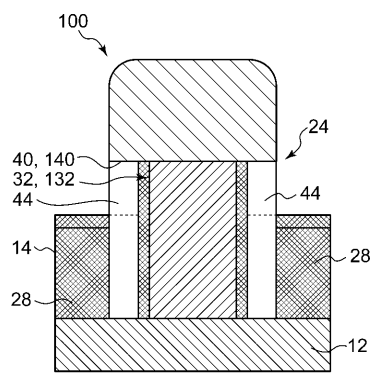
【図 11】



【図 12】



【図 13】





---

フロントページの続き

- (72)発明者 フライド、デイヴィッド、エム  
アメリカ合衆国14850 ニューヨーク州イサカ メイプル・アヴェニュー201 ビー2
- (72)発明者 ノック、エドワード、ジェイ  
アメリカ合衆国05452 ヴァーモント州エセックス・ジャンクション ウインドリッジ・ロード8
- (72)発明者 レイニー、ベスアン  
アメリカ合衆国05403 ヴァーモント州サウス・パーリントン オールド・オーチャード・パーク2 アpartment219

審査官 綿引 隆

- (56)参考文献 特表2003-528448(JP,A)  
特開平11-135788(JP,A)  
特開昭64-015979(JP,A)  
特開昭63-122274(JP,A)  
特開平02-050437(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786