[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G11C 14/00
H01L 27/10

[12]发明专利说明书

[21] ZL 专利号 96100612.9

[45]授权公告日 2002 年 4 月 24 日

[11]授权公告号 CN 1083607C

[22]申请日 1996.1.4 [24]颁证日 2002.4.24
[21]申请号 96100612.9
[30]优先权
[32]1995.1.5 [33]JP [31]000295/95
[32]1995.6.2 [33]JP [31]136857/95
[73]专利权人 株式会社东芝
地址 日本神奈川
[72]发明人 高导大三郎 大胁幸人
[56]参考文献
US5,337,270 1994. 9. 9 G11B11/24
审查员 王晓光

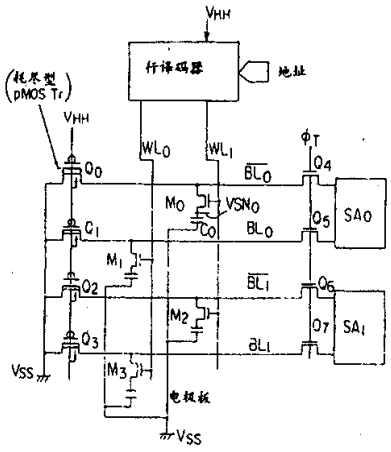
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 冯赓宣

权利要求书 3 页 说明书 33 页 附图页数 44 页

[54]发明名称 半导体存储器

[57]摘要

一种结构与 DRAM 相同、不需刷新操作、且一旦断电后仍能保 持数据的半导体存储器。它有将由一个晶体管和一个电容器构成的 存储单元有选择地配置在多条字线 WL 和多条位线 BL 的交点的存 储单元阵列，通电有效时，连接所选择字线 WLO 的存储单元 M1、M3 内的各晶体管导通，通电有效时连接非选择字线 WL1 的存储单元 M0、M2 内的各晶体管呈截止状态，通电待用时，断电时，电 源接通时及电源切断时，全部存储单元 M0 ~ M4 内的各晶体管呈 截止状态。



ISSN1008-4274

权 利 要 求 书

1. 一种半导体存储器，其存储单元由一个晶体管和一个电容器构成，晶体管的栅极连接字线，漏极连接位线，源极连接电容器的一端而构成存储节点，电容器的另一端连接电极板，该存储单元有选择地配置在多条字线和多条位线的交点上，该半导体存储器的特征在于：电源通电有效时，连接所选择字线的存储单元内的各晶体管导通，电源通电有效时，连接非选择字线的存储单元内的各晶体管呈截止状态，电源通电待用时、电源断电时、电源接通时、以及电源断掉时，全部存储单元内的各晶体管呈截止状态。

2. 根据权利要求 1 所述的半导体存储器，其特征在于：上述晶体管是在 SiO_2 等绝缘物上形成的 *pMOS* 或 *nMOs*。

3. 根据权利要求 1 或 2 所述的半导体存储器，其特征在于：上述半导体晶体管呈截止状态时，字线电位和电极板电位之差经常保持一定，而且位线电位在上述晶体管为 *nMOS* 时比字线电位高，为 *pMOS* 时比字线电位低。

4. 根据权利要求 1 或 2 所述的半导体存储器，其特征在于：上述电极板在上述晶体管为 *nMOS* 的情况下，与电源的通/断无关而连接于 *Vss*，在上述晶体管为 *pMOS* 的情况下，与电源的通/断无关而连接于 *Vcc*。

5. 根据权利要求 1 或 2 所述的半导体存储器，其特征在于：

断电时，为了使全部字线与地线电位相同，或者为了使全部位线与地线电位相同，用耗尽型 $pMOS$ 或 $nMOS$ 连接这些节点。

6. 根据权利要求 2 所述的半导体存储器，其特征在于：上述晶体管中的沟道部分的全部或一部分的 Si 的厚度比源极或漏极的 Si 的厚度薄。

7. 根据权利要求 1 或 2 所述的半导体存储器，其特征为：电源通/断时、或者在断电期间，字线驱动电源接地。

8. 根据权利要求 1 或 2 所述的半导体存储器，其特征在于：字线驱动电源升压滞后于电源 Vcc，字线驱动电源降压超前于电源 Vcc。

9. 根据权利要求 1 或 2 所述的半导体存储器，其特征在于：上述电极板电位在通电时低于存储单元晶体管的阈值 V_T，而且设定在 $0V$ 以上。

10. 一种半导体存储器，其存储单元由一个晶体管和一个电容器构成，且有选择地配置在多条字线和多条位线的交点，该半导体存储器的特征在于：备有在电源接通或切断前将特定的信号或特别的命令从外部输入芯片内的装置，或在芯片内部设有检测电源接通或电源切断信息的电路，以便即使电源切断后再次接通时，存储数据也不会从存储单元的电容器消失。

11. 一种半导体存储器，它备有由一个晶体管和一个电容器构成的存储单元有选择地配置在多条字线和多条位线的交点上的存储单元阵列，将外部电源电压在内部降压后使用，或者在外部电源和内部电源之间设置开关，该半导体存储器的特征在于：备有内部降压电路，它与从外部电源施加 Vcc 无关，通过输入外部

信号或命令而停止动作，使内部电源或降压电位为Vss。

12. 一种半导体存储器，它备有将由一个晶体管和一个电容器构成的存储单元配置成阵列状的半导体存储器主体，以及控制该半导体存储器主体的控制器，该半导体存储器的特征在于：一边保持上述半导体存储器主体中的写入数据，一边将上述控制器的电源断开。

说　明　书

半导体存储器

本发明涉及把信息存入电容器的半导体存储器，尤其涉及即使断电也能保持存储数据的半导体存储器。

现在，半导体存储器不仅用于计算机，而且还被广泛地用于汽车、录音、录像、电视等方面。

特别是 *DRAM*（动态 *RAM*），其存储单元可由一个晶体管和一个电容器简单地构成，从存储单元尺寸小、容易加工、高可靠性、以及速度等方面与其它种类的存储器相比较，获得广泛应用，目前正大量生产着 4*M* 及 16*M* 的 *DRAM*。这种 *DRAM* 存在以下问题。

如图 42（*a*）所示，*DRAM* 由一个晶体管和一个电容器构成，电容器中存储的例如写入“1”的单元数据主要通过结漏电流，使电荷从与存储节点 V_N 连接的晶体管的源极一侧的扩散层流到基片或阱。因此，如图 42(*b*)所示，电位下降，数据从“1”变为“0”。

这样一来，*DRAM* 便是数据随时间而消失的易失性存储器。因此，如图 42（*c*）所示，在接通电源后，写入 *DRAM* 的数据必须在数据保持最长时间内进行再次读出数据后重新写入的刷新操作。另外，如果使电源降压，不仅上述漏电流，而且断电时上述的结变成正向偏置，单元晶体管导通，数据保持无保障，单元数据被破坏。

在现有的 *DRAM* 操作中，利用试制的 64*kB DRAM* 测试设备进行了实际断电后再接通电源、然后读出单元数据的实验，其结果示于图 44。

图 44(a)表示将数据写入存储单元后，在继续通电的状态下，等待 0.4 秒后(即保持数据 0.4 秒后)读出单元数据的结果。横轴表示电极板电压(VPL)，纵轴表示位线预充电电压(VBL)。可知以往是以 $DRAM$ 的等待方式保持单元数据。

图 44(b)表示用同一设备，将数据写入存储单元后断开电源，经过 0.4 秒的断电时间后，再次接通电源并读出单元数据的结果。横轴表示电极板电压(VPL)，纵轴表示位线预充电电压(VBL)。可知在现有的 $DRAM$ 方式中，无论在 VPL、还是在 VBL 条件下，单元数据均被破坏。

其原因 不仅是由于上述的电源被断开，电极板电压从 $1/2Vcc$ 下降到 $0V$，而且电源通/断时，$DRAM$ 的内部电路误动作而导致错误的字线选择，结果电源通/断时字线浮动，存储单元电荷流出，引起数据破坏。

例如，假定以往当电极板电位为 $1/2Vcc$ 时写入“0”，即 Vss 写入时将电源断开，则电极板电位变为 Vss，存储节点电位变为 $-1/2Vcc$，而且由于 $nMOS$ 传输门晶体管的导通及 Pn 结的正向偏置，“0”数据被破坏。

各种半导体存储器示于图 42(d)。$SRAM$(静态 RAM)与 $DRAM$ 一样高速动作，而且不需要刷新，但它是断电后单元数据便被完全破坏的易失性存储器。

与此相反，即使断电，数据也不会被破坏的存储器、即非易失性存储器有 $MROM$(掩模型 ROM) 、$EPROM$、E^2PROM、$FRAM$(铁电 RAM)等，但它们读写慢，而且数据的改写次数受限制。例如，$MROM$ 不能改写，$EPROM$、E^2PROM 等只能保证改写 10^5 次

左右。这是因为利用隧道效应等，使电子在栅极氧化膜中通过，进行写入/擦除，从原理上说是一种破坏性地使用器件，而且写入速度慢。

FRAM 采用强电介质膜，利用极化保持数据，但膜的可靠性及改写电路(10^5～10^{11} 次左右)有问题。

另外，通过 *DRAM* 等的超高密度化来提高器件的可靠性，为了抑制消耗功率的增大，不得不降低电源电压。与此相反，为了抑制晶体管的亚阈值电流的增加，不能降低阈值电压。于是存在 *DRAM* 动作即使达到微细化也不会变快的问题。

要想跟踪 *CPU* 等的动作，如果既降低电源、又降低阈值电压，则如图 43 所示，接通电源时的漏电流随其世代呈指数函数关系而增大。为了维持电池长时间工作，本发明者们已提出了电池后备时(休眠状态时) 或等待时降低该漏电流的方法(特开平 6—208790 号公报)，但不存在使漏电流完全为 0 的方法。

这样，在现有的 *DRAM* 中，虽可高速动作且改写次数无限大，但是第 1，即使在通电的情况下，也必须频繁地进行刷新动作；第 2，一旦断电，单元数据便被破坏，即使再通电也不能保持数据；第 3，等待时或在“休眠”状态下，也有漏电流，存在消耗电力的问题。另一方面，其它非易失性存储器，其改写次数受限制，像 *DRAM*、*SRAM* 那样不能自由利用，其用途受到限制。

本发明就是考虑到上述情况而开发的，其目的在于提供一种其结构与 *DRAM* 相同，不需要进行刷新操作，而且一旦断电后再次通电也能保持数据的半导体存储器。

为了解决上述课题，本发明采用下述结构。

即本发明的半导体存储器的存储单元(权利要求1)由一个电容器和一个晶体管构成，晶体管的栅极连接在字线上，漏极连接在位线上，源极连接在电容器的一端而构成存储节点，电容器的另一端连接在电极板上，该存储单元有选择地配置在多条字线和多条位线的交点上，该半导体存储器的特征在于：电源有效通电时，连接在所选择字线上的存储单元内的各晶体管呈导通状态，电源通电且有效时，连接在非选择字线上的存储单元内的各晶体管呈截止状态，而当电源通电等待时、电源断电时、电源接通时、以及电源断掉时，上述存储单元的全部晶体管均呈截止状态。

这里，作为本发明的好的实施形态，可举例如下。

(1) 晶体管是在 SiO_2 等绝缘物上形成的 $pMOS$ 或 $nMOS$。

(2) 晶体管呈截止状态时，字线电位与电极板电位之差始终保持一定，而且位线电位在晶体管为 $nMOS$ 时比字线电位高，为 $nMOS$ 时比字线电位低。

(3) 当晶体管为 $nMOS$ 时，电极板与电源的通、断无关而连接在 Vss 上，为 $PMOS$ 时，电极板与电源的通、断无关而连接在 Vcc 上。

(4) 晶体管的阈值电压是将电流为 $1\mu A$ 时的电压设定为阈值电压，且在 S 因子×10以上。

(5) 设定电流为 $1\mu A$ 时的电压为晶体管的阈值电压，且使阈值电压在 S 因子×18以上。

(6) 为了在电源断电时使全部字线和地线电位相同，或者使全部位线和地线电位相同，而用耗尽型的 $pMOS$ 或 $nMOS$ 连接它们的节点。

(7) 电源通电时，电极板电位在 $nMOS$ 晶体管的情况下比 Vss 低，在 $pMOS$ 晶体管的情况下比 Vcc 低。

(8) 除电源断电时、电源接通时及电源断掉时以外，电源通电等待时或有效时，电极板电位比 Vss 低。

(9) 单元晶体管中的沟道部分的全部或一部分 Si 的厚度比源极或漏极的 Si 的厚度薄。

(10) 在源极或漏极与沟道部分之间夹着绝缘物，或者使绝缘物进入沟道部分内的一部分区域。

(11) 电源通、断时或电源断电时，字线驱动电源接地。

(12) 字线驱动电源电压上升比电源 Vcc 滞后，字线驱动电源电压下降比电源 Vcc 超前。

(13) 将耗尽型 $nMOS$ 或耗尽型 $PMOS$ 晶体管的漏极与行译码器最后一级的字线驱动晶体管并联，源极接地。

(14) 将有选择地把字线驱动电源供给行译码器的电路的输出端作为漏极，连接使源极接地的耗尽型 $nMOS$ 或 $pMOS$。

(15) 电源通电时，电极板电位在单元晶体管的 V_T 以下、而在 $0V$ 以上。

另外，在本发明的半导体存储器(权利要求 10)中，由 1 个晶体管和 1 个电 容器构成的存储单元有选择地配置在多条字线和多条位线的交点上，该半导体存储器的特征在于：备有在电源接通或电源切断前将特定的信号或特殊命令从外部输入芯片的装置，以便切断电源后再次接通电源时存储数据不会从存储单元的电容器消失，或者在芯片内部具有检测电源接通或电源切断的电路。

在本发明的半导体存储器(权利要求 11)中，有由一个晶体管和

一个电容器构成的存储单元有选择地配置在多条字线和多条位线的交点的存储单元阵列，将外部电源在内部降压后使用或在外部电源与内部电源之间设置开关，该半导体存储器的特征在于：备有通过输入外部信号或命令而与从外部电源施加 Vcc 无关地停止动作、使内部电源或降压电位达到 Vss 的内部降压电路。

在本发明的半导体存储器(权利要求 12 中)，备有将由一个晶体管和一个电容器构成的存储单元配置成阵列状的半导体存储器主体和控制该半导体存储器主体的控制器，该半导体存储器的特征在于：能保持上述半导体存储器主体中的写入数据而将上述控制器的电源断开。

在本发明的半导体存储器(权利要求 13)中，备有将由一个晶体管和一个电容器构成的存储单元配置成阵列状的半导体存储器主体和控制该半导体存储器主体的控制器，该半导体存储器的特征在于：能保持上述半导体存储器主体中的写入数据而将上述控制器和上述半导体存储器主体的电源断开。

如果采用本发明(权利要求 1)，则能控制存储单元的传输门的栅极、源极、漏极之间的偏置条件，还能控制基片和源极之间的反向偏置条件，以便在电源有效通电时只导通与所选择字线连接的存储单元的传输门，在有效时间内未选择的其它存储单元及等待时的全部存储单元不言而喻呈截止状态，而且在电源断电时、电源接通时及电源断掉时，全部存储单元的传输门的晶体管都呈截止状态。因此，在切断电源后再接通电源、直至再次读出时，能防止电荷从存储节点处的电容器流到其它节点，即使再接通电源，写入数据也不会被破坏。

由于采用 *SOI* 结构，所以只将与存储节点连接的 *pn* 结作为晶体管的沟道部分。即由于晶体管的源极和基片之间无 *pn* 结，所以无 *pn* 结漏电流，可使电源切断后至电源再接通的时间更长。这是由于晶体管截止时的沟道漏电流小，或电容器绝缘膜的漏电流小，而决定了电荷的保持时间。

由于晶体管处于截止状态时，字线电位和电极板电位之差始终保持一定，而且位线电位在晶体管为 *nMOS* 时比字线电位高，为 *pMOS* 时比字线电位低，所以即使切断电源，使晶体管持续处于截止状态，也能设定该晶体管的偏置条件。而且，如果能一边保持晶体管截止时的字线电位和电极板电位的电位差一定，一边设定位线电位比字线电位高(*nMOS* 时)或低(*pMOS* 时)，则即使断开电源也能保存单元数据。

nMOS 时，如果使电极板电位为 *Vss*，则即使断开电源，存储节点的电位也不变化，截止时栅极电位也为 *Vss* 时，即使仍保持断开电源，这些晶体管的栅极—源极之间的电位仍为 0*V*，数据也不会被破坏。*PMOS* 时也一样，假定电源通电时电极板电位为 *Vcc*、晶体管截止时栅极电位为 *Vcc*，则尽管断开电源，两节点一起变为 *Vss*，但晶体管仍为截止状态，数据也不会被破坏。

使用 *SOI* 等晶体管时没有结漏电流，主要的漏电流源是单元晶体管，如果提高其截止特性，可长时间使 *DRAM* 的电源处于断开状态。如果将该晶体管的阈值电压提高到 *S* 因子的 10 倍以上，则即使将电源断开达 1 分钟左右，数据仍能保持。如果达 1 分钟左右，则电源断开时的效果大。另外，如果将阈值电压设定在 *S* 因子的约 18 倍以上，则单元数据能保持 10 年之久，所以达到了与其它非易失性

存储器同样的技术规格，虽然是 *DRAM*，但也能作为非易失性存储器使用。

顺便说一下，假设通电电流为 $20mA$、通电时间为 $200\mu S$、维持电流为 $100\mu A$，则如果是 $40mS$ 以上的暂停特性，将电源断开后效果好。暂停 $1S$ 时维持电流降低到 1/30，暂停 1 分钟时，降低到 1/1800。

由于用耗尽型的 *pMOS* 或 *nMOS* 连接这些节点，以便在断电期间使全部字线、全部电极板和全部位线电位相同，所以实际上因电源断掉或升压时的各种噪声而在字线和电极板之间产生电位差，但可不致使处于截止状态的单元晶体管导通。

电源完全断开时，由于 *DRAM* 内部的全部电路不与电源接通，因此这时甚至使字线和电极板短路。另外，使用耗尽型晶体管，以便位线也能短路。耗尽型晶体管的栅极为 $0V$ 时，由于处于“导通”状态，所以即使电源断开时，也能使各节点间短路。

电源通电时，例如为 *nMOS* 单元晶体管时，通过使电极板电位为低于 *Vss* 的负值，则电源断开时，存储节点的电压为“0”时，变成其电位比 *Vss* 高。因此，为了防止电源接通、降压或断开电源时的噪声，使字线与存储节点之间的电位差（控制极电压—源极电压）＝负值，使晶体管不易导通。另外，有基片时，使源极—基片之间的 *pn* 结经常呈反向偏置，即使电源断开时有噪声。

在 *SOI* 等晶体管的情况下，漏电流主要是由单元晶体管产生的，因此通过使沟道部分的全部或一部分的 *Si* 的厚度比源极或漏极的 *Si* 的厚度薄，能减少单元晶体管截止时的漏电流。通过将绝缘物夹在源极或漏极与沟道部分之间，可进一步减少晶体管截止时的

漏电流。

如果采用本发明(权利要求10)，由于为防止当电源升压、降压时产生的噪声使单元晶体管导通而从芯片外部输入表示电源接通时各电源或内部电路达到稳定的期间的外部信号、外部命令，或者在芯片内部具有表示电源接通后到达某一时间的电路，所以能在变成完全待用之前，使字线、电极板及位线等的电位稳定，能防止存储单元中的数据丢失。

如果在断电前输入特定的信号、命令，或在芯片内部具有检测断电的电路，则利用该信号，不致由于断电时产生的噪声而造成字线、位线、电极板等的电位变动，而使这些电位稳定，能保护存储单元数据不被破坏。

如果采用本发明(权利要求11)，则在应用产生比外部电源电压低的内部电源的*DRAM*的情况下，或采取只将开关装在外部电源和内部之间的方式时，由于在将外部电源断开之前，使降压电路停止工作，或者通过切断上述开关，停止内部电源供电，使电压降至*Vss*，所以能不消耗芯片内部电路的电力。当然，由上述(权利要求1)可知，这时也能保持单元数据。

如果采用本发明(权项12、13)，则由于在"休眠"状态时不需要*DRAM*控制器，所以可通过停止其动作，降低系统整体的功率。

图1是与第1实施例有关的半导体存储器的电路结构图。

图2是表示第1实施例中的驱动信号的图。

图3是第1实施例中的元件结构的断面图。

图4是表示在第1实施例中延长*DRAM*暂停特性的条件的图。

图5是表示第2实施例中的驱动信号的图。

图 6 是第 3 实施例的结构图。

图 7 是第 4 实施例的框图。

图 8 是第 4 实施例中的变形例的框图。

图 9 是第 5 实施例的电路结构图和信号波形图。

图 10 是第 6 实施例的电路结构图和信号波形图。

图 11 是第 6 实施例中的变形例图。

图 12 是与第 7 实施例有关的行译码电路图。

图 13 是第 8 实施例的电路结构图。

图 14 是第 9 实施例的电路结构图。

图 15 是第 10 实施例的电路结构图和信号波形图。

图 16 是第 11 实施例的电路结构图。

图 17 是表示第 11 实施例中的驱动信号的图。

图 18 是第 12 实施例的电路结构图。

图 19 是表示第 12 实施例中的驱动信号的图。

图 20 是第 13 实施例的电路结构图。

图 21 是表示第 13 实施例中的驱动信号的图。

图 22 是第 14 实施例的电路结构图。

图 23 是第 15 实施例的电路结构图。

图 24 是表示第 15 实施例中的驱动信号的图。

图 25 是第 16 实施例的电路结构图和信号波形图。

图 26 是第 17 实施例的元件结构断面图。

图 27 是第 18 实施例的电路结构图。

图 28 是第 18 实施例中的信号波形图。

图 29 是第 19 实施例的电路结构图。

图 30 是第 19 实施例中的信号波形图。

图 31 是第 20 实施例的电路结构图和信号波形图。

图 32 是第 21 实施例的电路结构图。

图 33 是第 21 实施例中的信号波形图。

图 34 是第 22 实施例的电路结构图 。

图 35 是第 22 实施例中的信号波形图。

图 36 是表示将本发明应用于 16*MBDRAM* 类时的效果的图。

图 37 表示将本发明应用于 1*GBDRAM* 类时的效果的图。

图 38 是表示本发明中的暂停特性对电极板电压的依赖关系的实验结果的图。

图 39 是表示本发明中的暂停特性的字线电源的升压/降压与 *Vcc* 的时间差的实验结果的图。

图 40 是表示本发明的电源断开时间和以往的电源接通后直接暂停时间的实施比较结果的图。

图 41 是表示本发明中反复进行电源 *Vcc* 的接通、断开时的实验结果的图。

图 42 是现有的半导体存储器的说明图。

图 43 是 *DRAM* 各世代与漏电流及阈值电压之间的关系的图。

图 44 是表示在现有的 *DRAM* 中电源接通后保持的暂停特性和将电源断开一下后再接通时的暂停特性的图。

图中 *M*： 存储单元

Q:晶体管

C:电容器

WL: 字线

BL：位线

SA：读出放大器

下面参照附图说明本发明的实施例。

实施例 1：

图 1(*a*)是与本发明的第 1 实施例有关的半导体存储器的电路结构图。该图中 *M*0～*M*3 表示由一个晶体管和一个电容器构成的存储单元。*BLO*、$\overline{BLO}$、*BL*1、$\overline{BL1}$ 表示读出单元数据的位线。*WLO*、*WL*1 表示选择存储单元的字线，用行译码器控制。*SAO*、*SA*1 表示放大 *BLO* 和 $\overline{BLO}$、*BL*1 和 $\overline{BL1}$ 的微小电位差的读出放大器。*Q*0～*Q*3 是连接位线和 *Vss* 的晶体管，用 V_{HH} 信号控制。*Q*4～*Q*7 是将单元阵列和读出放大器隔离的晶体管，用 Φ_T 时钟控制。

在第 1 实施例中，将数据写入 *DRAM* 的存储单元后，为了在将电源 *Vcc* 断掉并再次将电源接通而读出数据时能将数据不被破坏地读出，进行了各种研究。

第 1，电极板以往固定在 1/2*Vcc*，而在本实施例中固定在 *Vss*。

例如考虑选择字线 *WL*1，将“ 0”数据写入存储单元 *M*0 的存储节点 *VSN*0 时，在写入结束后，使字线 *WL*1 返回 *Vss*，然后断掉电源。这时，在以往的电极板 1/2*Vcc* 的情况下，电极板的 1/2*Vcc* 电位随时间而下降，由于电源断开而最后降至 *Vss*。于是，该 *VSN*0 的电位通过大容量的单元电容器 *CO* 的耦合，下降到－1/2*Vcc*。这时，字线 *WL*1 的电位变为 *Vss*，位线 *BL*0 也变为 *Vss*。

在此状态下，由于 *MO* 的单元晶体管的源极即存储节点为－1/2*Vcc*，栅极即字线为 *Vss*，漏极即位线为 *Vss*，所以晶体管呈导通状态，存储节点的电位由 *Vss* 下降相当于阈值电压的大小后，变为

$Vss-V_T$，存储单元数据的大部分在位线中漏掉，数据被破坏。

然后接通电源，使电极板回到 $1/2Vcc$ 后，存储节点变成 $1/2Vcc-V_T>Vss$，数据变小，可知容易产生误动作。同样，在断开电源时，在用整体 *Si* 晶体管构成 *DRAM* 的情况下，在存储节点即源极的 *pn* 结的偏置状态下，由于 *n* 型存储节点为 $-1/2Vcc$，*p* 型基片为 Vss，所以 *pn* 结二极管变成正向偏置，单元电荷漏光。于是，存储节点变为 $Vss-V_B$。V_B 表示 *pn* 结的内建电压。将电源再次接通后，存储节点变成 $-V_B+1/2Vcc>Vss$，信号量大幅度下降，导致读"0"误动作。

与此不同，在本实施例中，即使电源通电时，也使电极板电位为 Vss，写入"0"时，将 Vss 写入存储节点，将电源断掉，即使位线 $\overline{BLO}$、字线 $WL1$ 及电极板全部变为 Vss，M_0 的晶体管的偏置条件也不变，由于晶体管的源极、漏极及栅极全部变为 Vss，所以存储单元晶体管不导通。于是，存储节点保持 Vss，即使再次接通电源，仍为 Vss，信号量不降低，可读出数据。

同样，即使在有基片的情况下，存储节点、基片之间的 *pn* 结的两端仍然都为 Vss、Vss 正向不变，无大电流流动。因此，即使再接入电源，存储节点仍为 Vss，不降低信号量，即能读出。从理论上说，"0"数据信号线电位不降低的电极板电位的条件与存储单元漏电流有关，相对于单元晶体管的 V_T 来说，电源通电时，电极板电位最好在 V_T 以下，与 *pn* 结漏电流相关，电极板电位最好在 V_S 以下。

第 2，利用检测电源的接通及电压下降时的信号即 V_{HH} 信号，防止由于电源接通、电压下降的噪声而使得存储单元数据流出。这在电源接通时，在电源从 $0V$ 上升到 Vcc 的过程中，当 Vcc 在 $2V_T$（晶

体管的V_T是阈值电压）以下时，*DRAM*的外部电路、磁心电路等电路的各节点的电位不能稳定在*Vss*或*Vcc*，内部如何动作不明确。这时，可考虑例如字线*WL1*上升到*Vss*以上，位线$\overline{BLO}$由于噪声有可能下降到*Vss*以下。

电源接通后，*Vcc*即使在$2V_T$以上，由于在*DRAM*芯片内存在多个电路，所以进行逻辑输送直至稳定也达不到正确的待用状态，有可能将噪声加到字线，位线等上。全部单元的信号即使漏掉一个，*DRAM*也会误动作，因此对噪声采取措施是重要的。该噪声在电源降压时也一样。另外，即使在电源断掉的状态下，从外部引脚接收噪声也会造成误动作。

本发明给出这样的实施例，例如即使从插座拔出*DRAM*芯片，也不产生误动作，其它实施例中也含有达到安全的措施。

针对上述问题，相对于位线噪声，各位线和*Vss*之间如图1(*a*)所示的阈值为正，即栅极为*0V*时，连接导通的耗尽型*pMOS*晶体管*Q0*～*Q3*，用V_{HH}信号控制。

图2中示出了该动作。最好在接通电源时使V_{HH}信号为低电平。该耗尽型晶体管*Q0*～*Q3*由于源极为*Vss*，所以呈导通状态，由于能将位线固定在*Vss*，所以能防止因电压上升时的噪声而使存储单元晶体管导通。这可防止由于噪声而使位线降到*Vss*以下后存储单元晶体管写入“1”的信息在位线中消失。此后，如果达到稳定状态，使V_{HH}信号为高电平，使晶体管*Q0*～*Q3*呈截止状态，进入通常的*DRAM*动作方式。电源降压时，从待用时起降低V_{HH}后将*Q0*～*Q3*导通，在以后的时间内断开电源，防止噪声。

同样，字线电位从*Vss*上升，为了防止数据“1”及数据“0”从存

储单元流出，将 V_{HH} 加到行译码电路，升压、降压时、字线间从 Vss 浮空，单元数据被输入破坏的电路。详细的电路例示于后面所述的图 12～图 14、图 27～图 35 等。

该耗尽型 $pMOS$ 晶体管当然在电源断开状态下仍旧导通，所以断电时将位线、字线固定在 Vss，电极板也为 Vss，所以全部存储单元晶体管经常保持截止状态，防止单元数据的破坏。

$DRAM$ 动作时，使位线预充电电位为以往的 $1/2Vcc$ 时，在用耗尽型晶体管连接位线和 Vss 的情况下，如图 2 中的例(*B*)所示，接通电源时，使 V_{HH} 升为高电平后，将 Φ_T 接通，使位线为 $1/2Vcc$，电源降压时，将 Φ_T 断开后，使 V_{HH} 为低电平，如使位线电位为 Vss，则读出放大器部分的 $1/2Vcc$ 和 Vss 不短路。

例(*A*)表示位线 Vss 预充电方式，这时即使随着电源接入、降压，使 Φ_T 升高、使 Φ_T 降低，也不会引起上述的短路。为了用位线 Vss 预充电方式正确地增大位线电位差，需要有图 1(*b*)所示的外部写入型的空单元。动作时因晶体管 $Q0$～$Q3$ 是截止的，所以位线上升到 Vcc，V_{HH} 需达到比 Vcc 高的电位。

图 3 表示本发明中有效的 SOI 型存储单元。(*a*)表示栈单元，(*b*)表示沟单元。图中所示以 $nMOS$ 为例，但在 $pMOS$ 情况下，也可将导电型示于括号( )内。

栈/沟单元都在 Si 基片上有氧化膜，在其上面形成 Si 层。因此，存储单元晶体管的源极、漏极、沟道部分都在其上部 Si 层上形成。与源极部分连接的存储节点用氧化膜等绝缘物包围，包括电极板在内用强电介质膜等绝缘物电容器包围。因此，源极部分即存储节点像以往的整体晶体管那样，在与基片之间不存在 pn 结，不存在较大

的 pn 结反向漏电流，只有较小的绝缘物漏电流。因此，只在 SOI 的沟道部分存在写入的单元信息漏掉的情况。

因此，只要减少该 SOI 晶体管截止时的漏电流，$DRAM$ 的暂停特性就能飞跃延长。该条件示于图 4。

图 4 中的曲线表示 SOI 单元晶体管的特性，横轴表示栅极—源极之间的电压 Vgs，纵轴表示该晶体管中的电流 Ids。当 Ids 约在 $1\mu A$ 以下时，晶体管呈截止状态，Ids 以对数标尺向 Vgs 的负向减小。作为 SOI 晶体管的特征，其截止特性的斜率的倒数。

S 因子 $=\triangle Vgs/\log(Ids)$ 因沟道基板间无电容，所以近似于理想的截止特性(在室温下为 $60mV/dec$)，斜率变大，能实现以 Vgs 的微小变化获得截止特性的极大改进。

在该 SOI 晶体管中，能实现例如 S 因子 $=70mV/dec$ 的特性，而且如果设计该晶体管的 Ids 在 $1\mu A$ 以下时使阈值电压达到 $1.13V$ 以上，则可得在字线电压为 $0V$、位线电压为 $0V$、存储节点电压为 $0V$ 或在 Vcc 时的漏电流达到 $Ileak=10^{(-1.13/70mV)}\times10^{-6}=7\times10^{-23}A$ 以下，存储单元中写入 $1.5V$ 时，如设单元电容 $Cs=30fF$，则单元蓄积电荷为

$(-1.5V\ -1/2Vcc)\times30fF=22.5fQ$ 因此，可以在单元电荷的漏出时间达

$t=Q/i=22.5fQ/7\times10^{-23}A=3.2\times10^{-8}$ 秒 $=10$ 年。

以上的期间记录数据，能实现与 E^2PROM 等非易失性存储器同样的技术规格即 10 年内不需刷新，如果将本发明的可断电电路组合起来，则能将 $DRAM$ 作为完全非易失性存储器。另外，如果用 S 因子 $=100mV/dec$，使 $V_T=1.61V$ 以上，则 10 年内不需刷新。

这样，如果设漏电流 $Ileak$ 为 $1\mu A$，则阈值电压 V_T 的条件为

$V_T > S$ 因子 $\times log$(10 年内的漏电流 $Ileak/10^{-6}$) $= S$ 因子 $\times log$ $(7\times10^{-23}A/10^{-6}A) = S$ 因子 $\times 16.15$

如果用不着维持 10 年而是 1 分钟不需要刷新，则即使是电源掉电也十分有效，其条件为

$V_T > S$ 因子 $\times log(3.75\times10^{-6}A/10^{-6}A) = S$ 因子 $\times 9.46$

这样，SOI 不限于整体的，暂停特性越好，本发明就越有效。再将稍微具体一些的结果示于图 36。横轴表示暂停时间或断电时间，纵轴表示维持电流。图中(a) 表示现有 $DRAM$ 中的 $16MBDRAM$ 类的维护电流。约为 $100\mu A$，与暂停时间无关。

与此不同，(b)表示本发明的维持电流，随着断电时间的增长而减小。这是因为在本发明中，使 $DRAM$ 通电后有通电电流，在 $DRAM$ 技术规格下，通电电流($I\ power-on$) $= 20mA$，通电时间 ($T\ power-on$) $= 200\mu S$，通电时需要一定的 $20mA\times200\mu S$ 的电荷。此外，在断电过程中，由于从 Vcc 流入的电流为零，表示本发明的维持电流，随着断电时间增长而减小。(b)中的 $16M \cdot 64M \cdot 256M \cdot 1G$ 表示各 $DRAM$ 世代的暂停时间技术规格，可知即使在通常的技术规格下，本发明也有效。

图 37 表示 $1GBDRAM$ 的情况。在现有的 $DRAM$ 中，待用过程中晶体管的漏电流分量与 $16M$ 类的相比有所增大($120\mu A \sim 8mA$)。该值表示 $Vcc = 1.5V$，阈值电压 $= 0.2Vcc \cdot$ 阈值偏差 $\triangle Vt = \pm 0.1V$。利用阈值电压的换算，随着世代的增长，阈值电压下降，该值由于阈值电压的偏差而有偏差，在最坏的情况下会达到 $8mA$。另外，伴随微细化，由于引起缺陷的字线和位线的短路还产生大量的

待用状态漏电流。每一缺陷的漏电流达120μA，如果芯片中有60个这样的缺陷，则与晶体管的漏电流的大小相等。

以往，刷新电流与其相比较，与暂停时间成反比例下降。可知在1*GbDRAM*类中，漏电流分量已经比刷新电流大。与图36一样，本发明中的漏电流示于图中下侧。可知，在本发明中以10秒的暂停时间进行比较，漏电流分量比以往下降4.5位。即使加上刷新分量，也能大幅度地下降2.5位。

*SOI*晶体管中，与*nMOS*相比较，*pMOS*的沟道部分的碰撞离子化率小，截止特性也好，现在考虑将*nMOS*的存储单元晶体管换成*pMOS*的情况。在这种情况下，也如图3(*a*)·(*b*)及图4中的括号( )中所示，如果将源极、沟道及漏极作成$p-n-P$，则容易实现，*DRAM*磁心电路如使*pMOS*·*nMOS*相反，则也容易实现。

该例还示于后面所述的图16等中。另外，存储单元晶体管的驱动能力不那么成问题，因此如后面所述的图26等所示，只考虑改进截止特性的各种方法。

在图3(*a*)·(*b*)所示的存储单元晶体管中，主要为了用栅极—沟道之间的功函数差提高阈值，最好在*nMOS*单元晶体管中采用*P*型栅极，在*pMOS*单元晶体管中采用*n*型栅极。另外，图1中的耗尽型晶体管可以有基片触点，也可以没有。如果使用*SOI*晶体管，与图4中的电流线*A*·*C*相反，如*B*·*D*所示，*Vgs*变成负值时，由于带间隧道电流的作用，漏电流往往反而变大。这时，如图2中的例(*A*)所示，如为*Vss*预充电方式，则即使待用时，也能减小电流。

实施例2：

图5表示本发明的第2实施例。它是通过从*DRAM*芯片外部的

引脚输入将 *DRAM* 的电源接通、降压通知 *DRAM* 芯片，保护存储单元信息，以防通电时、降压时的噪声影响。

如图 5 所示，使控制信号 V_{HH} 在接入电源 Vcc 后，经过准备时间后达到高电平，待用时使 V_{HH} 为低电平，然后经过芯片停止时间后，将电源断开。

实施例 3：

图 6 表示本发明的第 3 实施例。即使有知道该芯片的准备及停止的引脚，但由于来自芯片外部的噪声而变动，破坏了存储单元的电极板、位线、字线之间的关系、不可将单元数据遗失。另外，为了在将 *DRAM* 芯片从插座拔出时也要将数据保护 10 年，就必须避免由进入引脚的静电等产生的噪声。

图 6(*a*)表示防护这种输入噪声的电路。通常使输入保护电路为正，将电容 *CO* 和电阻 *RO* 连接在端子之间，少许来自外部 V_{HH} 引脚的噪声脉冲通过 *RO* 加到 Vss 上，将内部 V_{HH} 固定为 Vss。哪怕是暂时的大脉冲，通过设置 *CO* 也可简单地使 V_{HH} 不改变。

图 6(*b*)表示噪声更强的输入电路。信号以长脉冲进入 V_{HH}，按 *R*1、*C*1 的时间常数通过 *R*1，只要节点 *A* 的电位不变成高电平，通过阈值比 0*V* 稍正的耗尽型晶体管 *Q*29，V_{HH} 中的噪声在 Vss 消失。正常地使 V_{HH} 达到高电平时，在基片偏置的作用下，阈值稍许变成负向，*Q*29 截止，正常动作。

实施例 4：

图 7 及图 8 表示本发明的第 4 实施例。

如图 7(*a*)所示，上述那种 V_{HH} 信号也可从 *DRAM* 控制器芯片或 *CPU* 芯片发生，如图 7(*b*)所示，也可从功率控制芯片发生。另

外，如图 7(c)所示，也可从含电源的功率控制电路发生。

有功率控制电路或芯片内备有检测接通电源时的电路，还备有检测发生 V_{HH} 信号及电源降压的电路，也可使 V_{HH} 为低电平。另外，控制芯片等也可通过从计算机等外部输入命令或接入开关人为地升压、降压，产生 V_{HH}。当然也可检测电池的电压降低及外部电源停电，产生 V_{HH}。此外，也可通过命令，改变 V_{HH}。

图 8 表示除了将系统电源或 *DRAM* 电源完全断开的方式外，还考虑到断开“休眠”方式时的电源的方式而予以图示。

在“休眠”方式下，用功率控制电路断开 *CPU* 的电源，只接通 *DRAM* 控制器及 *DRAM* 的电源，这是迄今已有的例，但在本实施例中，作为第 1 种方式，在“休眠”方式下，不仅将 *CPU* 的、而且还将 *DRAM* 不需要的 *DRAM* 控制器的电源断开。这是因为在此时间内不需要刷新，由于将在刷新信号 *REF* 等或 $\overline{CAS}$ 之前使用 $\overline{RAS}$ 等的 $\overline{RAS}$、$\overline{CAS}$ 的信号组合构成的刷新信号本身停止，所以可将 *DRAM* 控制器的电源断掉。

在刷新电路内部装有 *DRAM* 时，只断开该电路的电源。作为第 2 种方式，是将 *CPU*、*DRAM* 控制器及 *DRAM* 的全部电源断开的方式。

实施例 5：

图 9 表示本发明的第 5 实施例。(*a*)是电路结构图，(*b*)是信号波形图。

在使用方面，外部输入的 V_{HH} 可以与 Vcc 的振幅相同。可是，如上述图 1 所示，由于使用耗尽型晶体管 $Q0 \sim Q3$，所以为了使该晶体管截止，实际上需要 Vcc 以上的高电平，可在外部输入比 Vcc

高的 V_{HH}，如图 9 所示，也可在芯片内部将外部 V_{HH} 升压，产生高的 V_{HH}。

图 9 中的电路用升压电路将振幅为外部 Vcc 的 V_{HH} 升压。由于外部电源 Vcc 升压后不久，内部 V_{HH} 信号便上升，V_{HH} 下降后，Vcc 便断开，所以在 Vcc 接通过程中，V_{HH} 为高电平，因此内部 V_{HH} 发生电路也可作为电源产生 Vcc、Vss。

该电路中，外部 V_{HH} 限于低电平，用 Q30 将内部 V_{HH} 降低到 Vss，而且不使振荡器动作，所以内部 V_{HH} 保持为 Vss，使外部 V_{HH} 达到高电平后，振荡器动作，用激励电路(升压电路)产生升压的 V_{HH}，达到一定的升压电平后，振荡器停止信号变成低电平，振荡器停止。

实施例 6：

图 10 表示本发明的第 6 实施例。(*a*)是电路结构图，(*b*)是信号波形图。

外部电源接通后，随着时间的推移，*PWRON* 信号从低电平变为高电平。*DRAM* 芯片内部具有电源接通检测电路，如果利用该电路将内部 V_{HH} 信号达到高电平，则有关电源的升压就不需要外部 V_{HH} 信号等。

该电源接通电路信号还可用于芯片内的各种电路的复位，本实施例不仅用 V_{HH} 信号、而且还可用该复位信号将各种电路复位，以便尽可能地在接通电源时无误动作。另外，电源通/断时，V_{HH} 信号就像具有与待用同样的逻辑电路一样，使芯片内部的主要电路复位，以便 $\overline{RAS}$、$\overline{CAS}$、$\overline{WE}$ 等内部信号无误动作。

关于电源降压，也可如图 10 所示那样从外部输入停止信号，也

可如图 11(*a*)所示，在降低 $\overline{RAS}$ 之前，先降低 $\overline{CAS}$、$\overline{WE}$，再使 $\overline{WE}$ 反复 4 次为低电平高电平，用一定的命令在内部发生停止信号。如图 11(*b*)所示，可在芯片内部设有这样的电路，即电源断开时，*Vcc* 下降，并由一定的 *Vcc—min* 下降后，使停止信号达到高电平的电路。

在图 10 所示的逻辑电路中，电源升压时噪声加在停止信号上，V_{HH} 也能正确地动作。因此，图 11(*b*)中的例(*A*)、例(*B*)两者中即使发生停止(*Halt*)信号，也能发生所希望的 V_{HH}。

这样，也可从芯片外部输入表示电源是升压还是降压时的信号，两者都可输入 *DRAM* 芯片内检测用的电路。两者输入后，与其它非易失性存储器一样，电源能容易地通/断。

实施例 7：

图 12 是与本发明的第 7 实施例有关的行译码电路结构图。

本实施例通过在现有的行译码电路中增加含有耗尽型晶体管的电路，抑制在电源升压、降压及断开状态下加在字线上的噪声。

通常，从待用时至有效时，$\overline{PRCH}$ 信号从低电平变为高电平，只是从地址输入 *XAO*、*XBO*、*XCO*、*XDO* 选择的行译码部分的 *XAO*～*XDO* 全部变为高电平，节点 *B* 变为低电平。这样一来，节点 *C* 也变成低电平，字线驱动信号 *WDRVO*～*WDRVm*—1 中 1 条变成高电平处的字线 *WLO*～*WLm*—1 中的 1 条变成高电平，所以能选择存储单元。

在该电路中，待用时节点 *C* 必须变成高电平，*WDRVO*～*WDRVm*—1 及 *WLO*～*WLm*—1 必须变为 *Vss*。电源接通时、降压时或断开时与待用时一样，*WLO*～*WLm*—1 必须固定在 *Vss*。

因此，本实施例增加耗尽型 *pMOS* 晶体管 Q14、Q15、Q16，在上述电源接通、降压及断开时，V_{HH} 达到 Vss，将 Vss 线和 *WLO*～*WLm*—1 导通，以便使行译码器内的电路不会因噪声而产生误动作。

除电源升压、降压时及断开时以外，在待用时及有效时，使 V_{HH} 呈高电平，将 Q14～Q16 截止，以便不影响有效动作。在电源升压、降压时及断开时，将晶体管 Q8～Q10 导通，为了使 *WLO*～*WLm*—1 中无漏电流，就必须使节点 *CO* 的电位不从 *WDRVO*～*WDRVm*—1 的电位下降。因此使用晶体管 Q17、Q18，将地址信号节点 *D* 和 V_{HH} 信号的“与非”电路 1 Q17～Q20)装入行译码器内，当 V_{HH} 为低电平时，与节点 *D* 的电位无关，一定要将升压电位 V_{SV} 和节点 *C* 短路，以便不使晶体管 Q8～Q10 导通。

如果当 V_{HH} 为高电平、节点 *D* 为低电平时，节点 *C* 为高电平，而当节点 *D* 为高电平时，节点 *C* 为低电平，则可进行通常的 *DRAM* 动作。这时 V_{HH} 的高电平必须比 V_{SC} 高。

实施例 8：

图 13 表示本发明的第 8 实施例。

该图示出了装入图 12 所示的晶体管 Q8～Q10 中的 *WDRVO*～*WDRVm*—2 用的驱动电路例。

图 12 中的晶体管 Q8～Q10 尽管在有噪声时会有漏电流，但电源升压、降压时及断开时，只要 *WDRVO*～*WDRVm*—2 本身的电平为 Vss 即可。因此，在 *WDRV* 驱动电路本身中，通过在前一级取得 V_{HH} 信号和单元阵列激活信号的“与非”，就能在电源升压、降压及断开时，将 *WDRV* 线固定在 Vss。

实施例 9：

图 14 表示本发明的第 9 实施例。

该实施例是不使用 $WDRV0 \sim WDRVm-2$，而升压的 V_{SV} 电位加在字线驱动晶体管 Q103 上的例子。晶体管 Q104 降至 Vss，使用“与非”电路(Q99～Q101)，将节点 E 与 V_{SV} 连接，当电源升压、降压及断开时，使字线 WLO 不高于 Vss。

虽然字线的驱动能力下降，但将 $nMOS$ 晶体管插入图 12、图 14 中的晶体管 Q 8～Q10 与字线 $WLO \sim WLm-1$ 之间，以及晶体管 Q103 与字线 WLO 之间，使栅极电位为 V_{HH}，在有效时及待用时，将这些晶体管导通，在电源升压、降压时及断开时，$V_{HH}=Vss$，将这些晶体管截止，也可以只用晶体管 Q14～Q16、Q104 降至 Vss。

实施例 10：

图 15 表示本发明的第 10 实施例，(a) 是电路结构图，(b)是框图，(c)是信号波形图。这是图 2 所示的例(B)中的 Φ_T 动作所必要的电路。

为了在解除位线和 Vss 的短路后，使 Φ_T 电平升高，将位线预充电到 1/2Vcc，用内部 V_{HH} 信号进行上述解除后，附加延迟，使 Φ_T 上升，为此，在图 15 所示的电路中生成比 V_{HH} 滞后变成高电平的 VHH' 信号。

电源降压时，使 VHH' 为低电平，延迟后使 VHH 为低电平，容易防止 1/2Vcc 预充电电路和 Vss 的短路。

实施例 11：

本发明的第 11 实施例示于图 16，图 17 表示其驱动信号。这是将图 1 中的 $nMOS$ 存储单元晶体管作为 $pMOS$ 时的磁心电路例。

与图 1 相比较，基本上是使 *pn* 相反，将电压反向。电极板连接 *Vcc*，字线低于 *Vcc*，将存储单元晶体管导通。位线预充电电压也与图 2 中的例(*A*) 、例(*B*)相反，示出的是 *Vcc* 预充电(例(*A*))和 1/2*Vcc* 预充电(例(*B*))的例。电源升压、降压及断开时，如果通过控制使电极板为 *Vss*，使字线不低于 *Vss*，使位线不高于 *Vss*，则电荷不会从存储单元流出。

如果将 *pMOS* 用于 *SOI* 存储单元晶体管，则容易改进截止特性，这时本实施例有效。*VHH* 信号也与图 2 相反而作为 $\overline{VHH}$，电源升压不久，与 *Vcc* 相等，在进入待用状态之前低于 *Vss*。另外，电源断掉时，与 *Vcc* 一样仍降至 *Vss*。

实施例 12：

图 18 表示本发明的第 12 实施例，其驱动信号示于图 19。这是从图 1 除去使位线和 *Vss* 短路的耗尽型 *pMOS* 晶体管后的情况。

如例(*B*) 所示，通常由于 1/2*Vss* 位线预充电，电源升压、降压时，位线低于 *Vss*，不易变成负值。另外由于位线 *BLO*、$\overline{BLO}$、*BL*1、$\overline{BL1}$ 具有大电容，所以不易变。

因此，不管怎么说，电源升压、降压时，容易引起字线电位浮动。因此，只要将 *VHH* 输入行译码器即可。另外，如果在芯片内部对噪声采取适当的措施，使单元晶体管的阈值电压上升，即使只有电极板 *Vss*，单元电荷也能不漏掉。

除了至此的例(*A*)、例(*B*)之外，即使在与 *Vcc* 上升的同时使 Φ_T 上升的例(*C*)中，可以设有连接位线和 *Vss* 的耗尽型晶体管。这时，如果与 *Vcc* 上升的同时，进行位线的预充电，则单元电荷不会漏掉，*Vcc* 下降时，如果位线电容大、位线电位虽然从 1/2*Vss* 下降

到 Vss，但需花费时间，则单元电荷不会通过晶体管漏到位线。

实施例 13：

图 20 表示本发明的第 13 实施例，图 21 表示其驱动信号。与图 1 不同，这是不使用耗尽型 $pMOS$ 晶体管，而是使用耗尽型 $nMOS$ 晶体管的例。如果用 $\overline{VHH}$ 信号代替 VHH，则其动作可与图 1 相同。

实施例 14：

图 22 表示将 $pMOS$ 用于存储单元晶体管时与图 16 对应的行译码器。基本上与图 12 对应，使 $pMOS$ 和 $nMOS$ 相反，如果使 Vss 达到 Vcc，使 VHH、VSV、$WDRVO \sim WDRVm-2$ 等的上升电压为比 Vss 负的电压 $\overline{VHH}$、$\overline{VSV}$、$\overline{WDRVO} \sim \overline{WDRVm-2}$，则容易实现。

实施例 15：

图 23 表示本发明的第 15 实施例，图 24 表示其驱动信号。

这是在图 18 所示的实施例中，在电源接通不久使电极板为比 Vss 负的值，使 $DRAM$ 动作，在断开电源之前，使电极板回到 Vss 后再断开电源。

因此，在电源升压、降压时及断开时，存储节点的电位比存储单元写入时向正方向移动，因此即使字线多少受到噪声影响，但存储单元晶体管的源极电位浮置、位线一侧的漏极也上升 Vss，同时上升 $1/2Vcc$ 时，存储单元信息也不会从单元晶体管漏掉，该晶体管仍截止。

在例(B) 中，电极板与 VHH 信号无关，由于电容大，所以即使慢慢上升，也有同样效果。但电源断掉时，电极板必须随之或者

提前变为 *Vss*。在例(*B*)的情况下，字线中即使多少有些噪声，但不需要 *VHH* 信号等，用简单的电路就能实现本发明的可断电的 *DRAM*。

前面虽已讲过，但如果使单元晶体管的阈值电压比图 4 情况下所述的值高，则使电极板仍为 *Vss*，即使无 *VHH* 信号等，也能实现可断电 *DRAM*。

实施例 16：

图 25 表示本发明的第 16 实施例，(*a*)是框图，(*b*)是信号波形图。

即使不断开外部电源，在长时间的“休眠”状态下如果也能不消耗电力(或者小到可忽视的程度)，这当然很好，相对于外部 *Vcc*，构成内部电源 *Vint*，一旦输入外部 *VHH* 信号脉冲，连接内部电源 *Vint* 和 *Vss* 的开关便断开，在“休眠”状态下使 *Vint* 完全降至 *Vss*，可使内部电路完全不消耗电力。

这时，在将内部 *Vint* 看作外部 *Vcc* 的情况下，在图 25(*a*)所示的选择延迟电路中因此产生脉宽小的内部 *VHH* 信号，在内部电源升压、降压时及断开时，控制存储单元晶体管的偏置条件，以便不漏掉存储单元数据。

也可使该内部电源 *Vint* 的电位与外部 *Vcc* 相同，为了提高可靠性、减小有效时的消耗电力，使降压后的 *Vint* 比外部 *Vcc* 低即可。

实施例 17：

图 26 是本发明的第 17 实施例的元件结构断面图。

在本发明中在使用 *SOI* 晶体管存储单元的情况下，只要该晶体

管的截止特性好，断电的时间变长，在该期间内可不消耗电力。

图 26(*a*)表示减小截止漏电流的一种方法，将有漏电流的沟道的厚度减薄一些，就能减少漏电流。

图 26(*b*) 所示的方法是将绝缘物或半绝缘物插入沟道的一部分中，尽量减少截止漏电流。在这种情况下，也会减少导通电流，这是预料到的，但由于 *DRAM* 存储单元晶体管导通时的驱动力不需要很大，因此即使减少导通电流，而能减少截止漏电流则是重要的。

实施例 18：

图 27 表示本发明的第 18 实施例，图 28 表示其驱动信号。

在电源升压、降压时，以及在偶尔断电过程中，非选择字线在 0*V* 附近浮动，为了防止由于误动作而高于 0*V*，作为另一个重要条件，是这时应将字线电源本身固定在 0*V*，电压就不会供给非选择字线了。

电源升压较慢，外部 *VHH* 信号变成高电平，在电源升压前，外部 *VHH* 信号能降到低电平。根据该信号形成内部 *VHH*0、*VHH*1 信号。*VHH*0 信号比 *VHH*1 信号稍慢一些，稍微上升便快速下降。

*VHH*0、*VHH*1 上升时，电源已接通，待用时，确定块选择地址及行地址，防止误动作。如果 *VHH*0 变成高电平，则内部的 *VSV* 升压电路便动作，字线驱动电源 *VSV* 达到升压电位。电源降压时，为了防止由于电源 降压而产生的误动作使得非选择字线电位上升，利用外部 *VHH* 信号在电源降压之前将 *VSV* 电位降至 *Vss*。当然在断电过程中也将 *VSV* 降至 *Vss*。因此，能防止因非选择字线电位上升而使单元数据破坏。

晶体管 Q111 用来在 *VHH*0 为低电平而接通电源时将 *VSV* 降至 *Vss*。因此，在断电前使 *VHH*0 为低电平时能迅速降至 *VSV*。

从 *VSV* 至 *W DRV*0、而且由于 *WL*0 的 *VSV* 电源流径系统的误动作引起的 *VSV* 电位漏至 *WL* 的系统因此而放心，但是例如由于误动作，Q108 导通、Q109 截止时，或者 Q108、Q109 两者都截止时，*WL* 有可能是浮动的。这时，由于因电源通/断而来自单元阵列及各处的噪声的作用，*WL* 有可能从 0*V* 上升。这里如果使用图 12 等中所使用的耗尽型 *nMOS* 或 *pMOS* 晶体管为好。

实施例 19：

图 27 是使用耗尽型 *nMOS* 的情况，图 29 是使用耗尽型 *pMOS* 时的第 19 实施例，图 30 是其动作图。

只是该晶体管的控制信号 $\overline{VHH1}$、*VHH*1'及其控制电路与图 27 和图 29 不同。在图 27 中，电源通/断时及在断电期间 $\overline{VHH1}$ 为 *Vss*，只在内部 *VHH*1 变为高电平时，才使 $\overline{VHH1}$ 的比 *Vss* 负的电位，将耗尽型 *nMOS* 晶体管截止，进行 *DRAM* 的通常动作。除此之外为 *Vss* 或 *Vcc*(例 *A*、例 *B*)，防止非选择的 *RWL* 浮动。

断电前，内部 *VHH*1 从高电平降到低电平时，为了使 $\overline{VHH1}$ 从负电位迅速回到 *Vss*，而使用晶体管 Q110～Q114 的电路及负电压发生器。在电源通电期间，$\overline{VB}$ 发生负电压，利用该负电压，使 *VHH*1 信号以 *Vss*—$\overline{VB}$ 之间的振幅进行电位变换，控制晶体管 Q110。因此，*VHH*1 如降到低电平，则 Q110 的栅极降到 $\overline{VB}$ 电位，将 $\overline{VHH1}$ 升至 *Vss*。当然，电源接通时只要 *VHH*1 不升至高电平，就将 $\overline{VHH1}$ 保持在 *Vss* 或 *Vcc*。

此外，电源通/断时，以及在断电期间，为了使 $\overline{VHH1}$ 稳定并

保持在 Vss，可安装稳定电容 $C2$，并利用电阻 $R2$，即使有噪声等，也能返回 Vss。如果 $R2$ 小，则容易达到 Vss，但在通电期间漏电流增大，所以如果 $R2$ 小，保持 Vss 的效果差，可选择适当的值。$VHH0$ 和 $VHH1$ 之所以有延迟差，是为了不产生穿透电流，在无穿透电流的范围内减小延迟差即可。

图 29 只是将 VHH' 取为正电压，采用耗尽型 $pMOs$，其原理与图 27 相同，但 VHH 降至低电平时，$VHH1'$ 也必须下降到 Vss，但这可像晶体管 Q119 那样通过简单的控制来实现。

如图 27 所示，这是因为不需要变换电源。另外，图 27、图 29 中的晶体管 Q103、Q104、Q105、Q115、Q116、Q117 并非全部需要，只在必要的位置安装即可，以便抑制在 Vss。

相对于外部 VHH，通过某几个电路发生 $VHH1'$、$\overline{VHH1}$ 等，相对于来自 VHH 的外部引线的噪声，这些信号是很强的。例如，升压电路等激励电路还能接通电源且时间长，如果环路或激励电路不动作，则不发生内部 $VHH1'$、$\overline{VHH1}$ 等，还有稳定用的 $C2$、$R2$、$R3$、$C3$ 及稳定用的晶体管 Q103、Q110、Q118、Q119。

作为图 27 和图 29 的优点和缺点，由于 $VHH1$ 具有负值，变换电路等的使用复杂，另一方面与 $VHH1$ 相比较，$\overline{VHH1}$ 的振幅小也可以。这是因为在 VSV 的升压电位比 Vss 高的情况下施加 VSV 时，为使晶体管 Q103、Q104、Q105 截止需要比 VSV 高的电位，与此相反，由于 VSV、$WPRV0$、WL 等的下限为 Vss，所以使 $\overline{VHH1}$ 的值低于 Vss 就能截止。

另外，图 27 及图 29 中的阵列块选择器及行译码器的地址输入信号电路，如图 12，图 13、图 14 及图 22 所示，采用前一级的耗尽

型晶体管的“与非”电路即可，也可采用通常的电路。图12、图13、图14中使用的是耗尽型*pMOS*，但如图27所示，作为输入$\overline{VHH1}$用，也可采用耗尽型*nMOS*。

实施例20：

图31表示本发明的第20实施例。(*a*)、(*b*)是电路结构图，(*C*)是信号波形图。在该例中，不使用耗尽型*Tr*，将*VSV*作为与*VSV'*不同的电源，*VSV'*与电源联动进行升压和降压，*VSV*升压慢、降压快。

这种情况下，*VSV*升压时，*VSV'*预先升压，节点*A*、*B*的电位已经变成*VSV'*，不受*VSV'*上升时的噪声影响。与此相反，当*VSV*=*VSV'*时，在*VSV*上升时，有可能从前一级及其以前的电路产生误动作。由于*VSV*下降时*VSV*照旧升压，因此这时前一级也稳定，因保持*VSV'*，从而能防止误动作。

这样分成*VSV*、*VSV'*，如果前一级也使用耗尽型*nMOS*或*pMOS*，则能防止直至前一级的误动作。

实施例21：

图32表示本发明的第21实施例，其驱动信号示于图33。

这是不分成*VSV'*和*VSV*且为了缩小前一级的电路规模而使用耗尽型晶体管的不使用“与非”电路时的例，*VSV*、$\overline{VHH1}$及*VHH1*的上升、下降定时与图27、图28相反。

驱动*WDRV0*、*WL*的电路控制信号在*VSV*上升、下降时产生误动作，即使*VSV*的电位漏到*WL*上，也能由耗尽型晶体管控制在*Vss*。但是，为了不穿透而采用晶体管Q103。如果有必要，可使用不同定时的*VHH1'*、$\overline{VHH1}$。

实施例 22：

图 34 表示本发明的第 22 实施例，其驱动信号示于图 35。

这是不分成 *VSV'* 和 *VSV* 且为了缩小前一级的电路规模而使用耗尽型晶体管的不使用“ 与非”电路时的例，*VSV*、$\overline{VHH1}$ 及 *VHH1* 的上升、下降定时与图 29、图 30 相反。

驱动 *WDRV0*、*WL* 的电路控制信号在 *VSV* 上升、下降时产生误动作。即使 *VSV* 的电位漏到 *WL* 上，也能由耗尽型晶体管控制在 *Vss*。但是，为了不穿透而采用晶体管 *Q115*。如果有必要，可使用不同定时的 *VHH1'*、$\overline{VHH1}$。

以上如图 27～图 35 所示，电源升压、降压时，由于非选择字线误动作，由 0*V* 上升，为了防止单元数据被破坏，使用外部 *VHH* 信号，在断电前将字线驱动电源 *VSV* 降至 0*V*，通电后不久，便可使 *VSV* 升压。另外，如图 1、图 18、图 20 等所示，以往由于断电，电极板电位从 1/2*Vcc* 降到 0*V*，因此为了防止“0”数据被破坏，与电源的接通或断开无关，而将电极板电压设定在 0*V* 即可。

为了证实这一点，在本发明中，试制了 64*kbDRAM* 测试装置，并进行了评价。图 38～图 41 表示该实验结果。

图 38 表示将数据写入单元后，将电源断开，经过 0.4 秒后再接通电源，然后进行读出操作的结果。作为条件，按照本发明，在断电延迟 t_{DELAY}(10μS)前，使字线驱动电源 *VSV* 为 0*V*，通电后经过 t_{DELAY}(10μS)之后，使 *VSV* 升压。作为参数，分配电极板电压(*VPL*)、位线预充电电压(*VBL*)。其结果如本发明所示，断电前使字线驱动电源 *VSV* 为 0*V*，通电后不久使 *VSV* 升压，而且如果使电极板电压在 0*V* 或 0*V* 附近，即使断电也能保持存储单元数据。

图 39 表示使电极板电压为 0V、将上述 t_{DELAY} 作为参数的断电时间，如图所示，可知只要在 800nS 以上的 t_{DELAY} 期间使字线驱动电源 VSV 为 0V，就能避免由电源通/断所产生的字线的误选择而引起的字线电位的浮动。

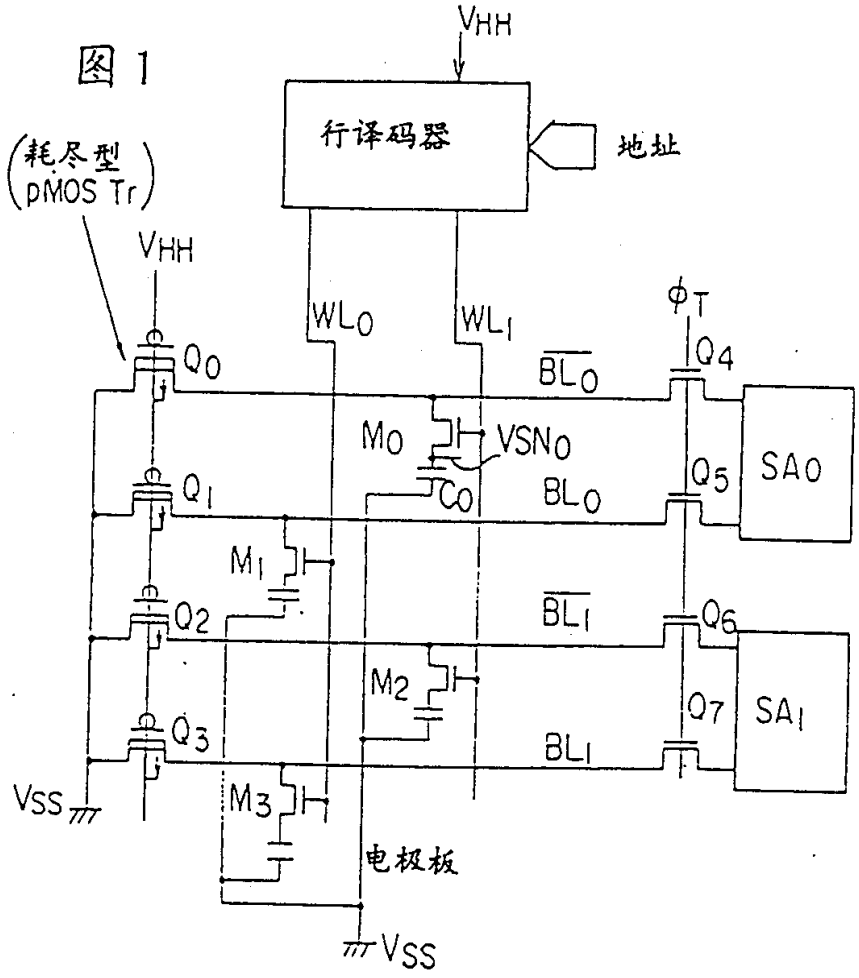
图 40 表示根据图 38、图 39 的结果，在 $VPL=0V$、$t_{DELAY}=10\mu S$ 的条件下、原有的 DRAM 电源接通后直接进入待用状态时的数据保持时间、以及本发明的将断电时间作为参数而试制的 64kbDRAM 读出结果的累积不良位数。由该图可知，以往和本发明的数据一致，显然，按照本发明，与电源通/断无关，能保持单元数据。

如图 41 所示进行了硬件试验。图 41 表示将数据写入单元后，进行断电、通电、然后读出等动作，另外表示将断电、通电、然后读出的动作重复 100 次时的断电时间。即使将电源通/断重复 100 次，也未发现数据意外地被破坏，断电时间也未缩短，可知如果采用本发明，则动作稳定。这样，即使进行电源通/断，单元数据也不被破坏，此外使用 SOI 等，只要能延长断电时间，就能长时间断电，而且与其它非易失性存储器相比，能实现具有写入次数无限大、快速等优点的存储器。

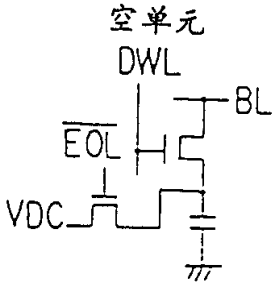
如以上详细说明的那样，如果采用本发明，则与原来的一断电存储单元数据就被破坏的 DRAM 相比，将单元数据写入后，将电源断开，然后再接通电源，还能正确地读出前面的数据。另外，由于具有良好的存储单元的截止特性，所以能长时间地断开电源。

说　明　书　附　图

图 1


VHH
行译码器
地址
(耗尽型 pMOS Tr)
VHH
WL0
WL1
φT
Q0
Q4
BL0
M0
VSN0
C0
Q1
Q5
SA0
BL0
M1
Q2
BL1
Q6
M2
Q3
Q7
SA1
BL1
VSS
M3
电极板
VSS

(a)


空单元
DWL
BL
EQL
VDC

(b)

图 2

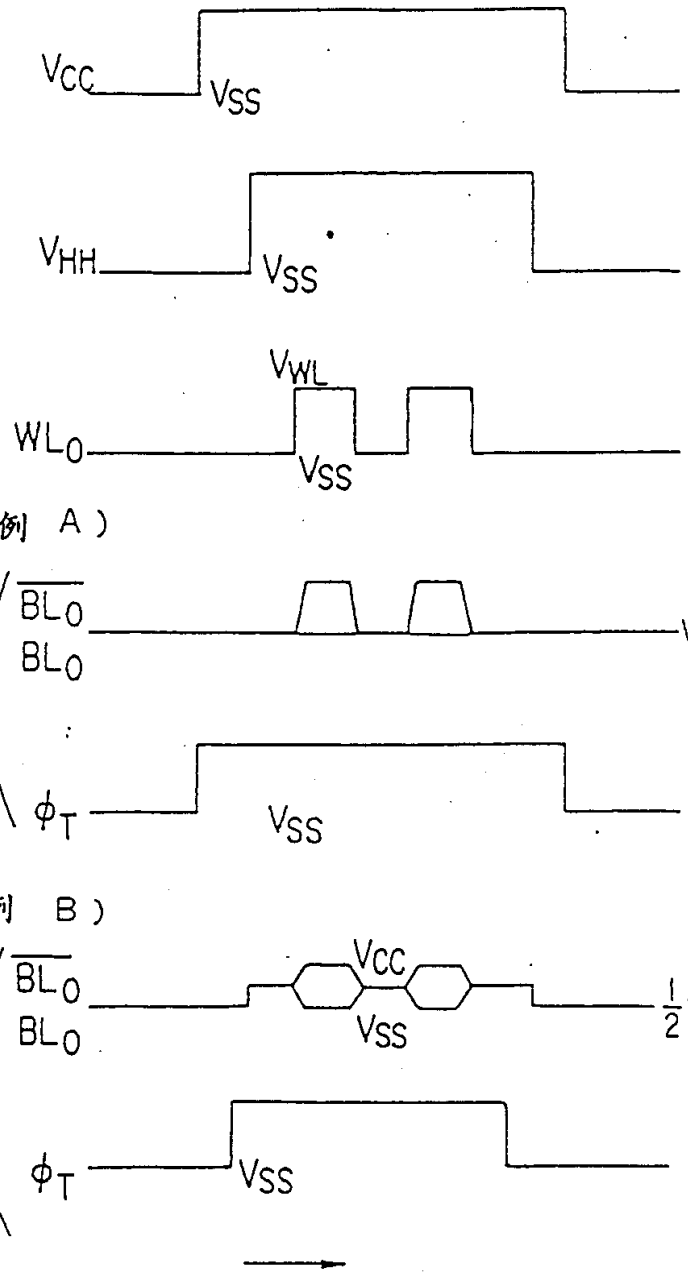
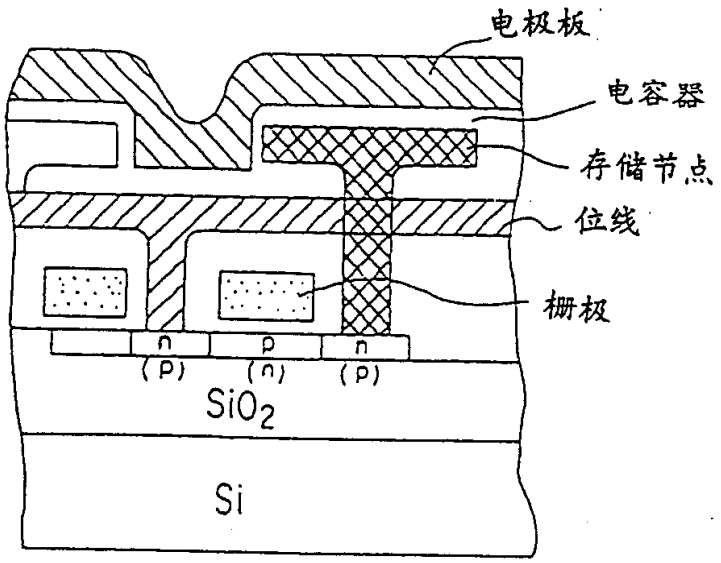

Vcc
Vss
VHH
Vss
VWL
WL0
Vss
(例 A)
BL0
BL0
Vss
φT
Vss
(例 B)
BL0
BL0
Vcc
Vss
1/2 Vcc
φT
Vss

图 3

(a)


电极板
电容器
存储节点
位线
栅极
n
(P)
p
(n)
n
(P)
SiO_2
Si

(b)

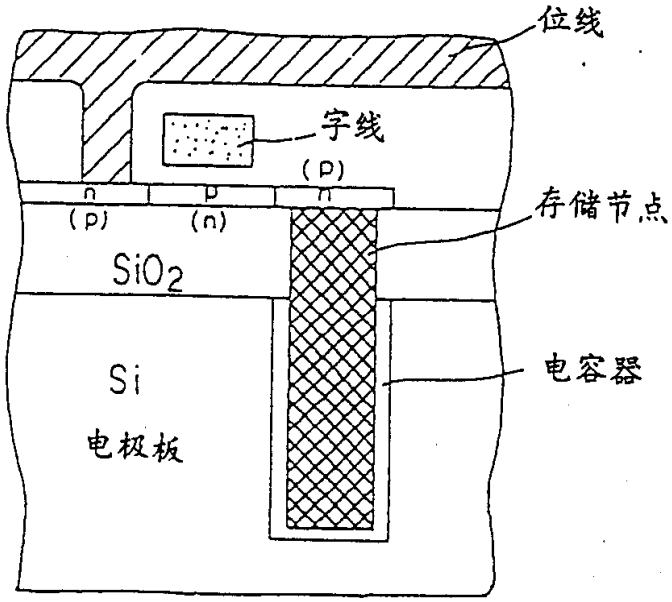

位线
字线
(P)
n
(P)
p
(n)
n
存储节点
SiO_2
Si
电极板
电容器

图 4

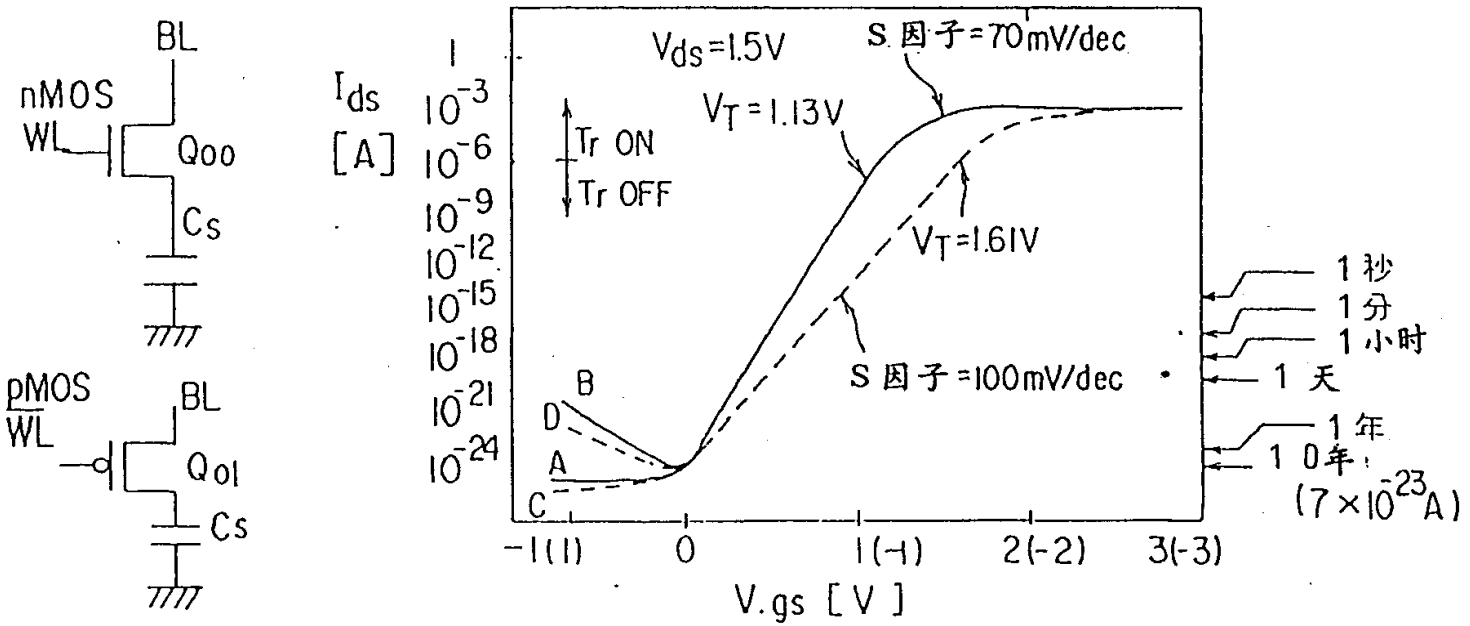
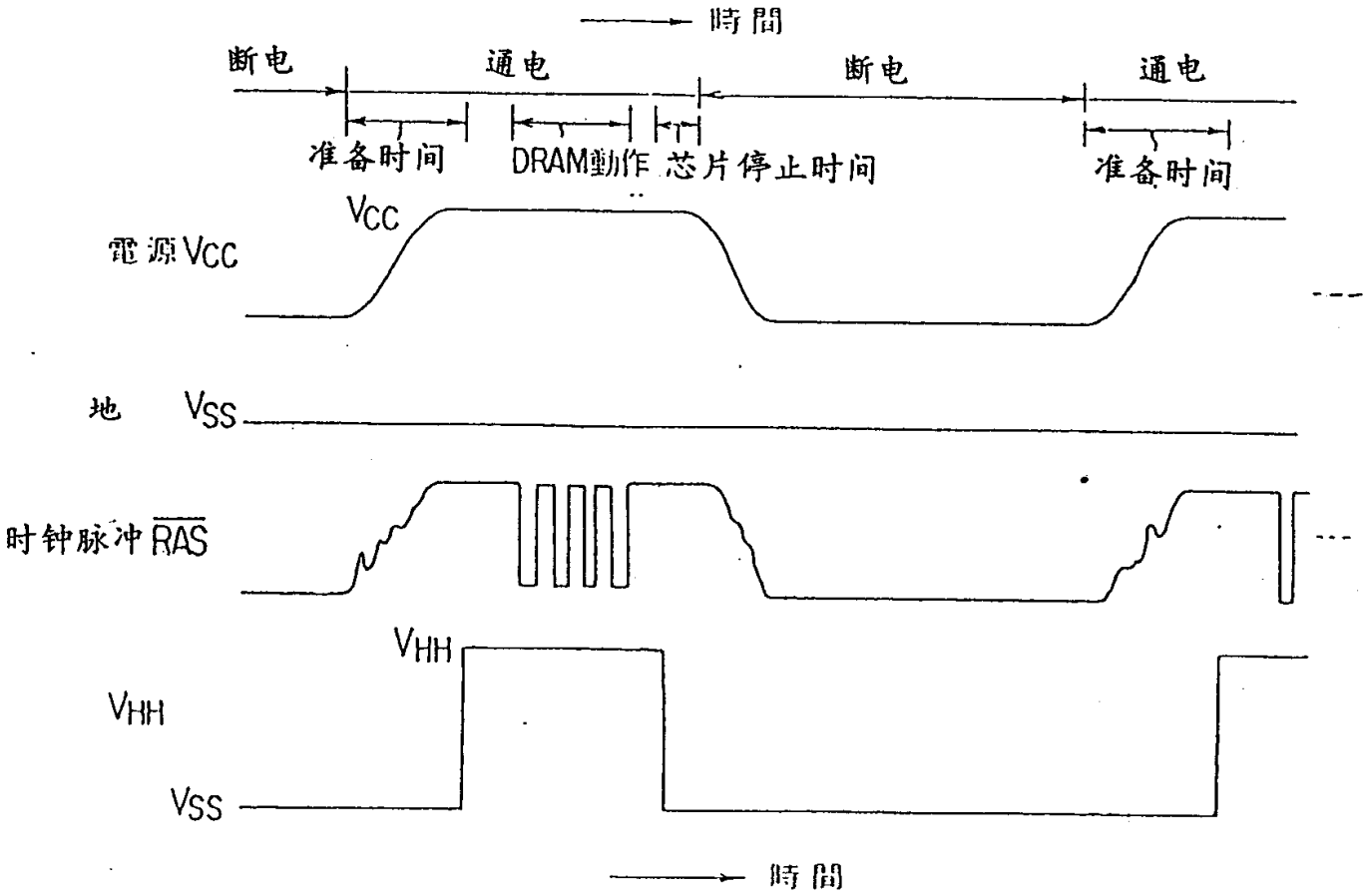

BL
nMOS
WL
Qoo
Cs
pMOS
WL
BL
Qol
Cs
Ids
[A]
1
10-3
10-6
10-9
10-12
10-15
10-18
10-21
10-24
Vds=1.5V
S 因子=70mV/dec
VT=1.13V
Tr ON
Tr OFF
VT=1.61V
S 因子=100mV/dec
B
D
A
C
1 秒
1 分
1 小时
1 天
1 年
10年
(7×10-23A)
-1(1)
0
1(-1)
2(-2)
3(-3)
V.gs [V]

图 5


時間
断电
通电
断电
通电
准备时间
DRAM動作
芯片停止时间
准备时间
Vcc
電源Vcc
地
Vss
时钟脉冲 RAS
VHH
VHH
Vss
時間

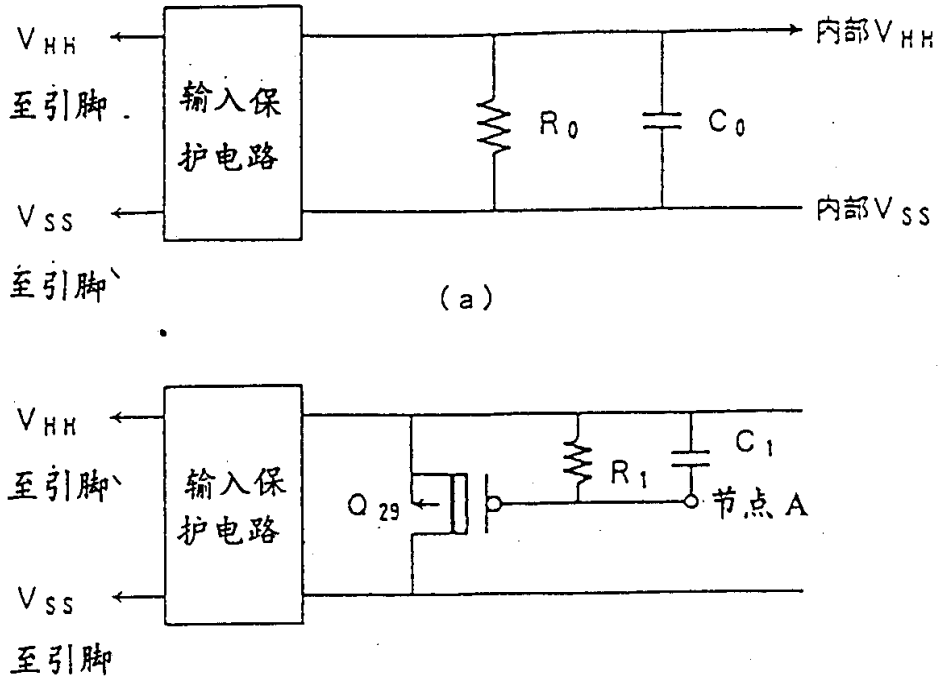

V_{HH}
至引脚
输入保护电路
V_{SS}
至引脚
R_0
C_0
内部V_{HH}
内部V_{SS}
(a)
V_{HH}
至引脚
输入保护电路
V_{SS}
至引脚
Q_{29}
R_1
C_1
节点A

图 6

图 7

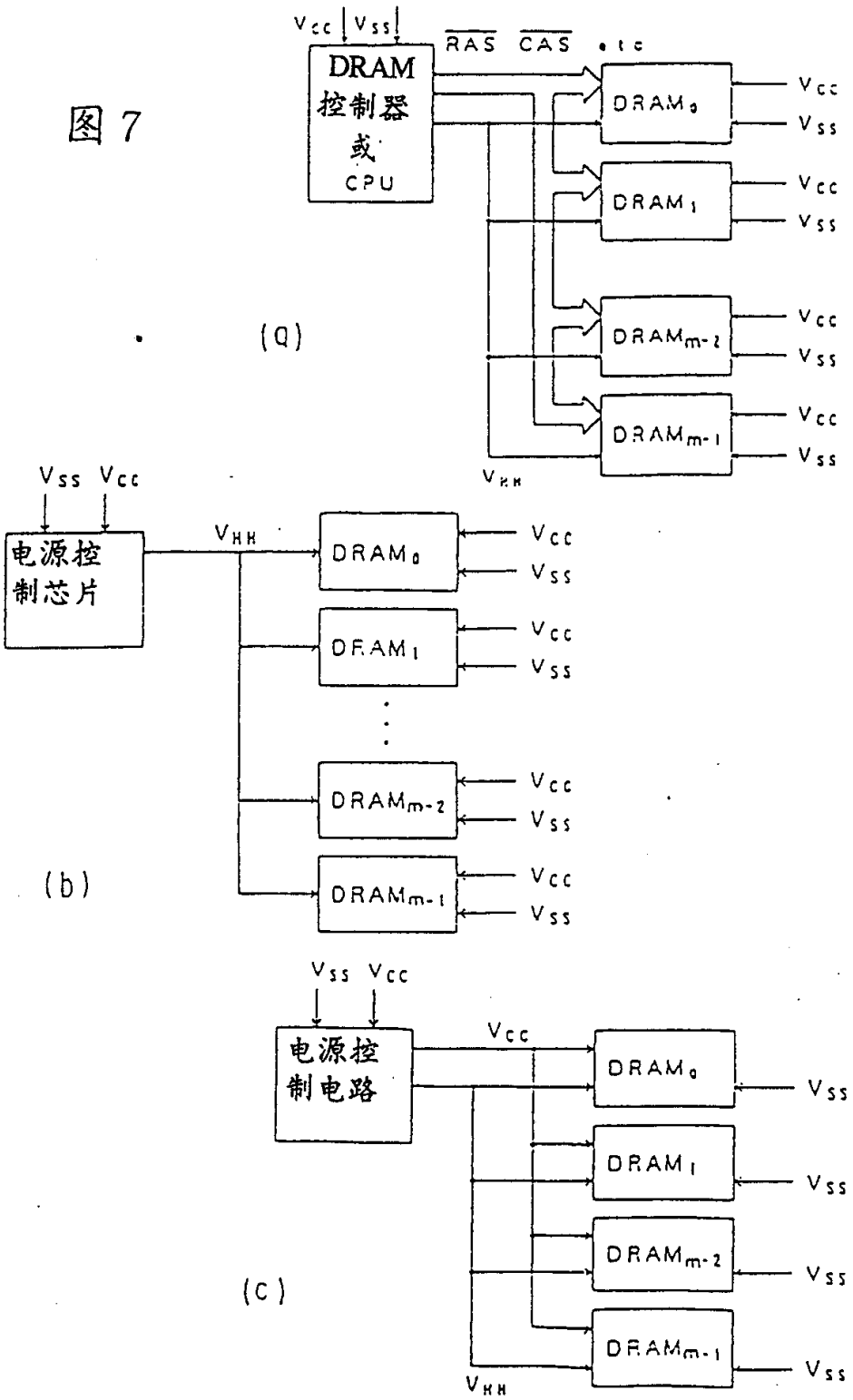

Vcc Vss
DRAM 控制器 或 CPU
RAS CAS etc
DRAM0
DRAM1
DRAMm-2
DRAMm-1
Vcc
Vss
VHH
(a)
Vss Vcc
电源控制芯片
(b)
电源控制电路
(c)

图 8

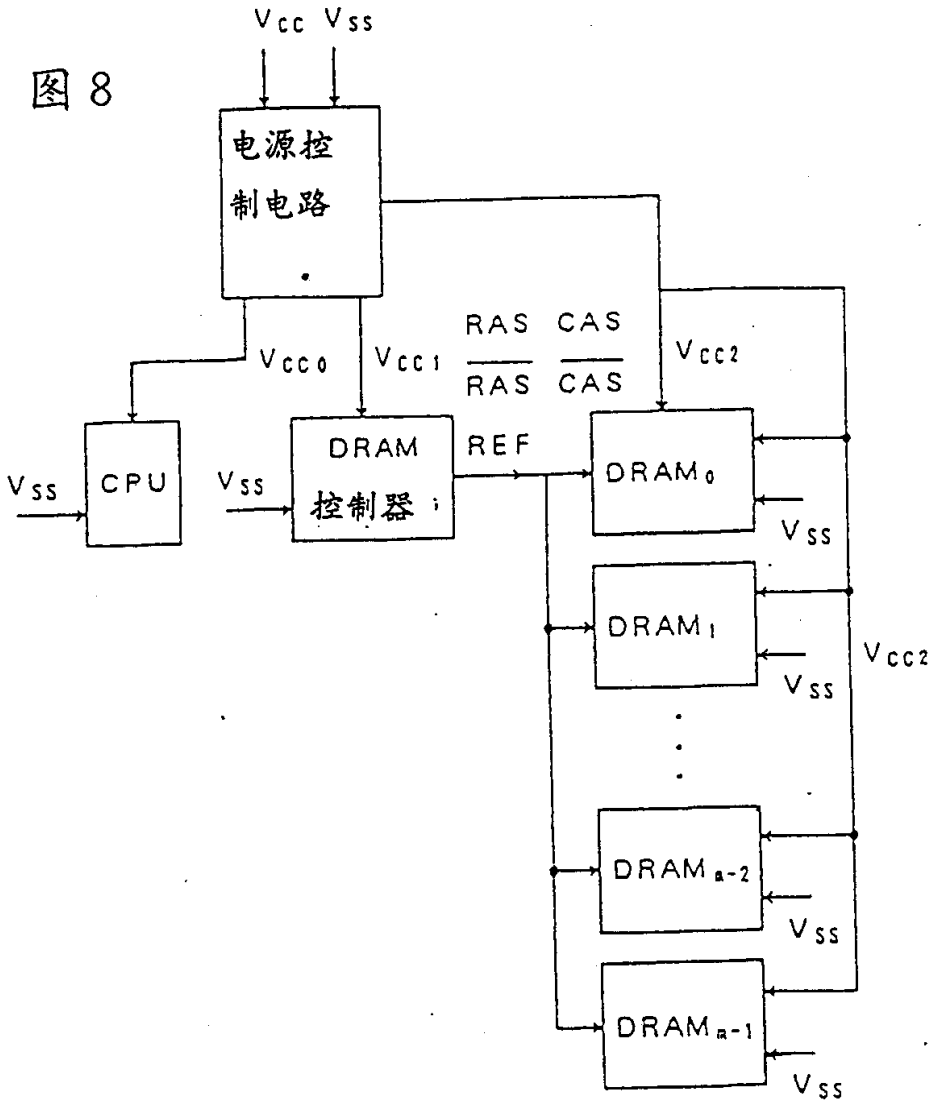

Vcc Vss
电源控制电路
Vcc0
Vcc1
RAS CAS
RAS CAS
Vcc2
Vss
CPU
Vss
DRAM 控制器
REF
DRAM0
Vss
DRAM1
Vss
Vcc2
DRAMn-2
Vss
DRAMn-1
Vss

图 9

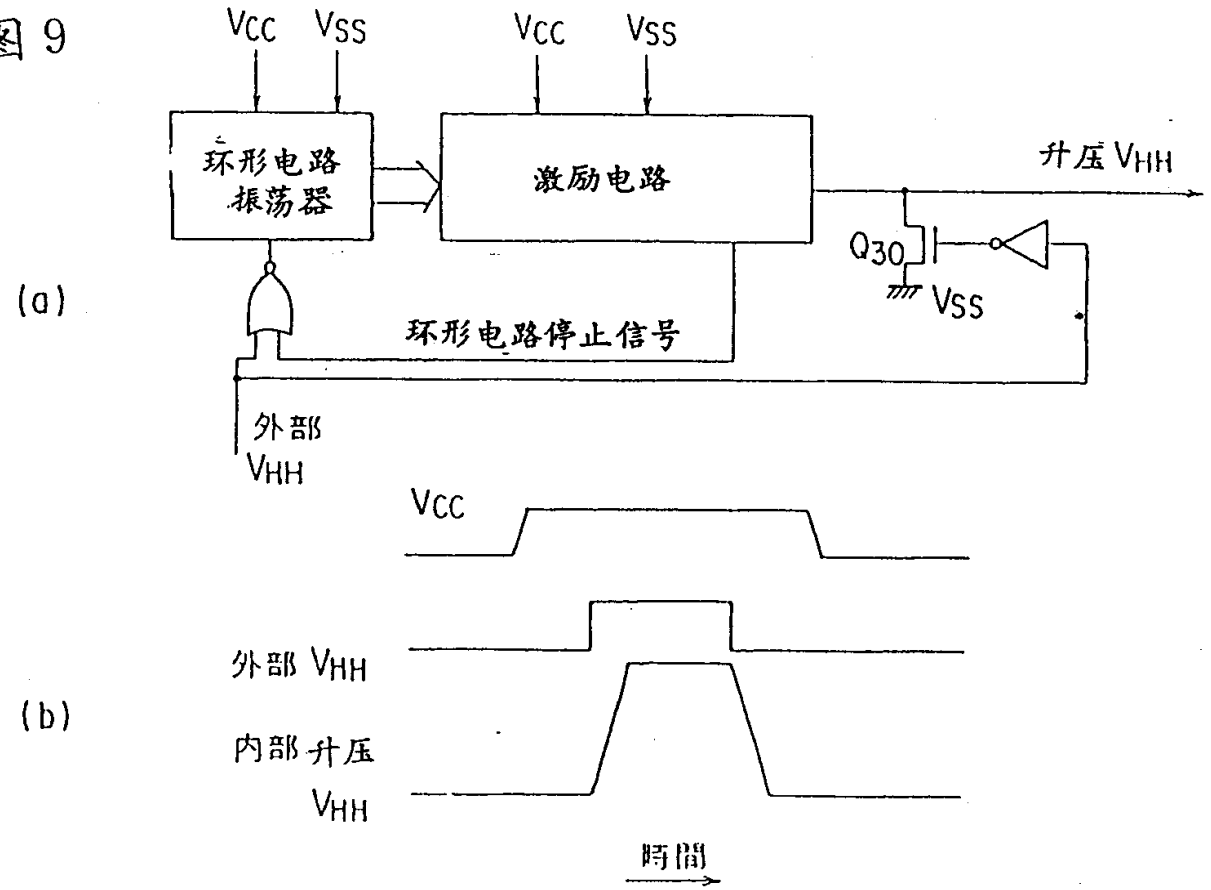
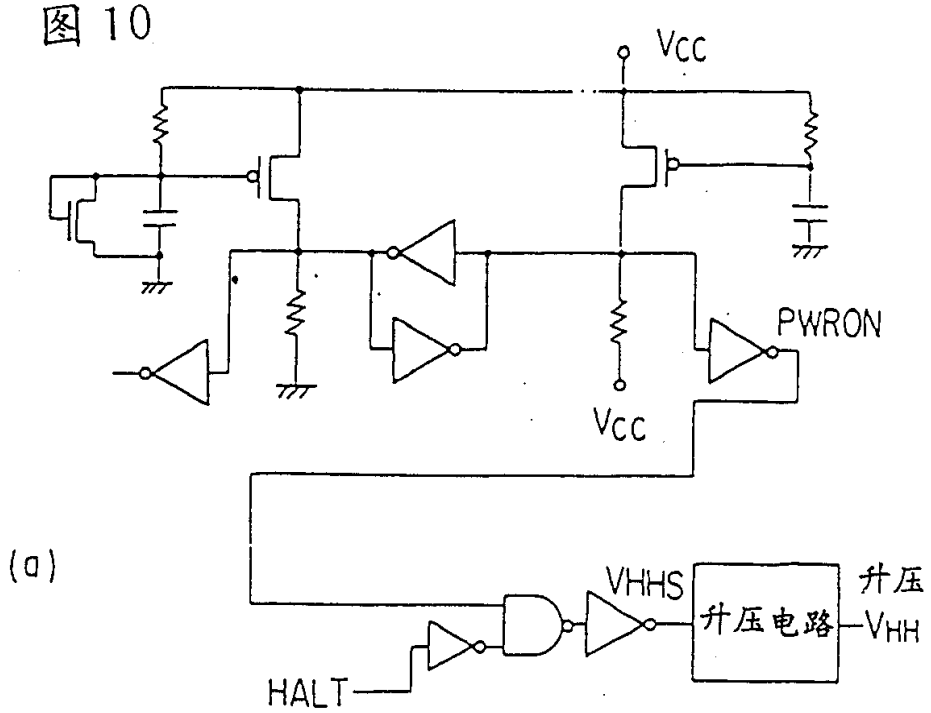

(a)
Vcc
Vss
Vcc
Vss
环形电路
振荡器
激励电路
升压 VHH
Q30
Vss
环形电路停止信号
外部
VHH
(b)
Vcc
外部 VHH
内部升压
VHH
時間

图 10


Vcc
PWRON
Vcc
(a)
VHHS
升压电路
升压
VHH
HALT

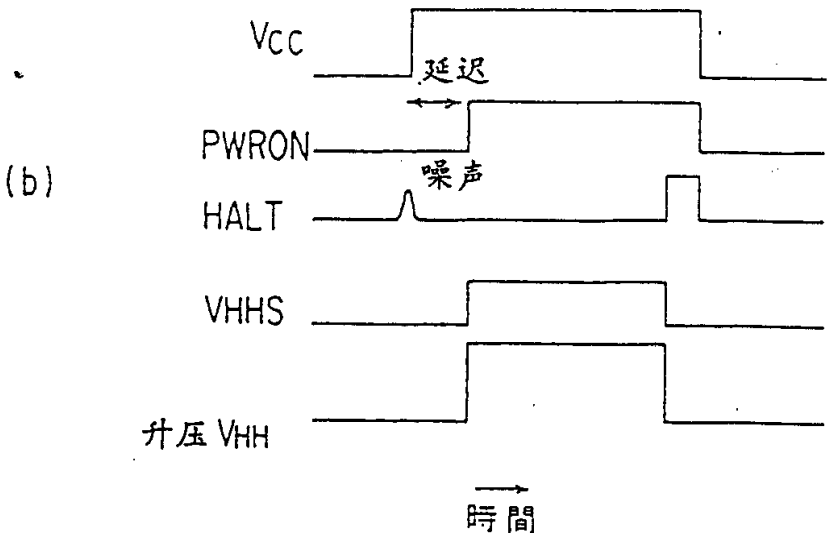
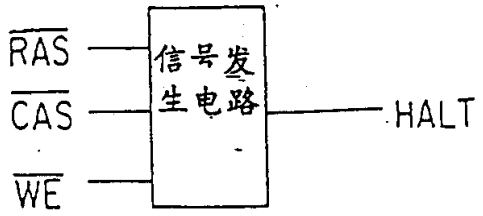
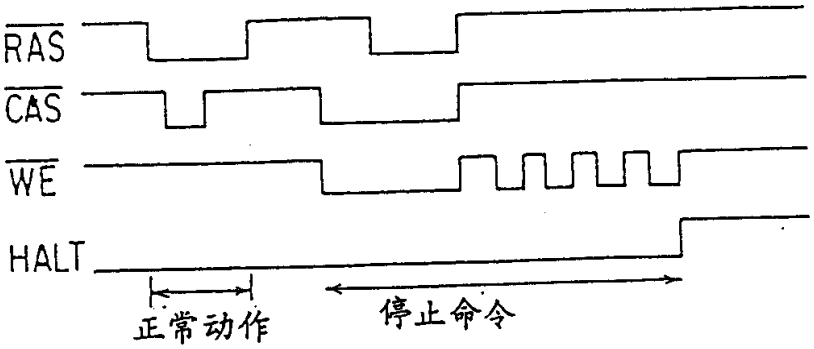
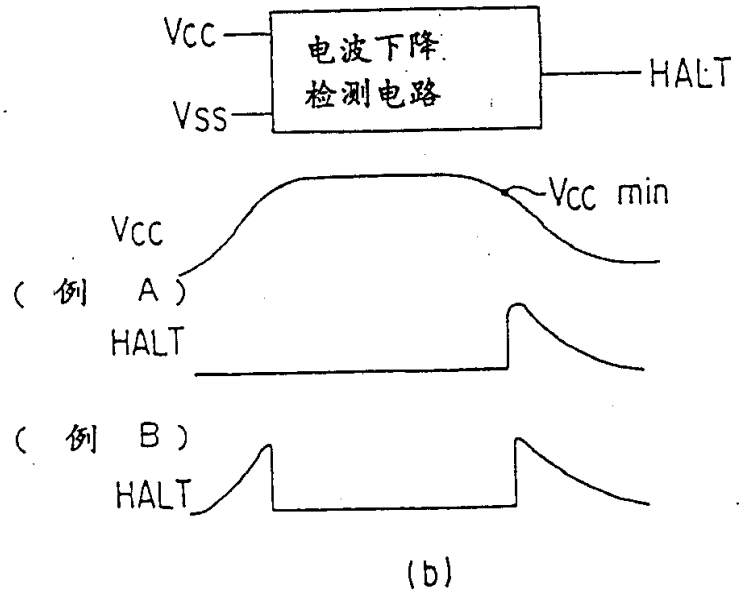

Vcc
延迟
PWRON
(b)
噪声
HALT
VHHS
升压 VHH
時間

图 11


RAS
CAS
WE
信号发生电路
HALT


RAS
CAS
WE
HALT
正常动作
停止命令

(a)


Vcc
Vss
电波下降检测电路
HALT
Vcc min
Vcc
(例 A)
HALT
(例 B)
HALT

(b)

图 12

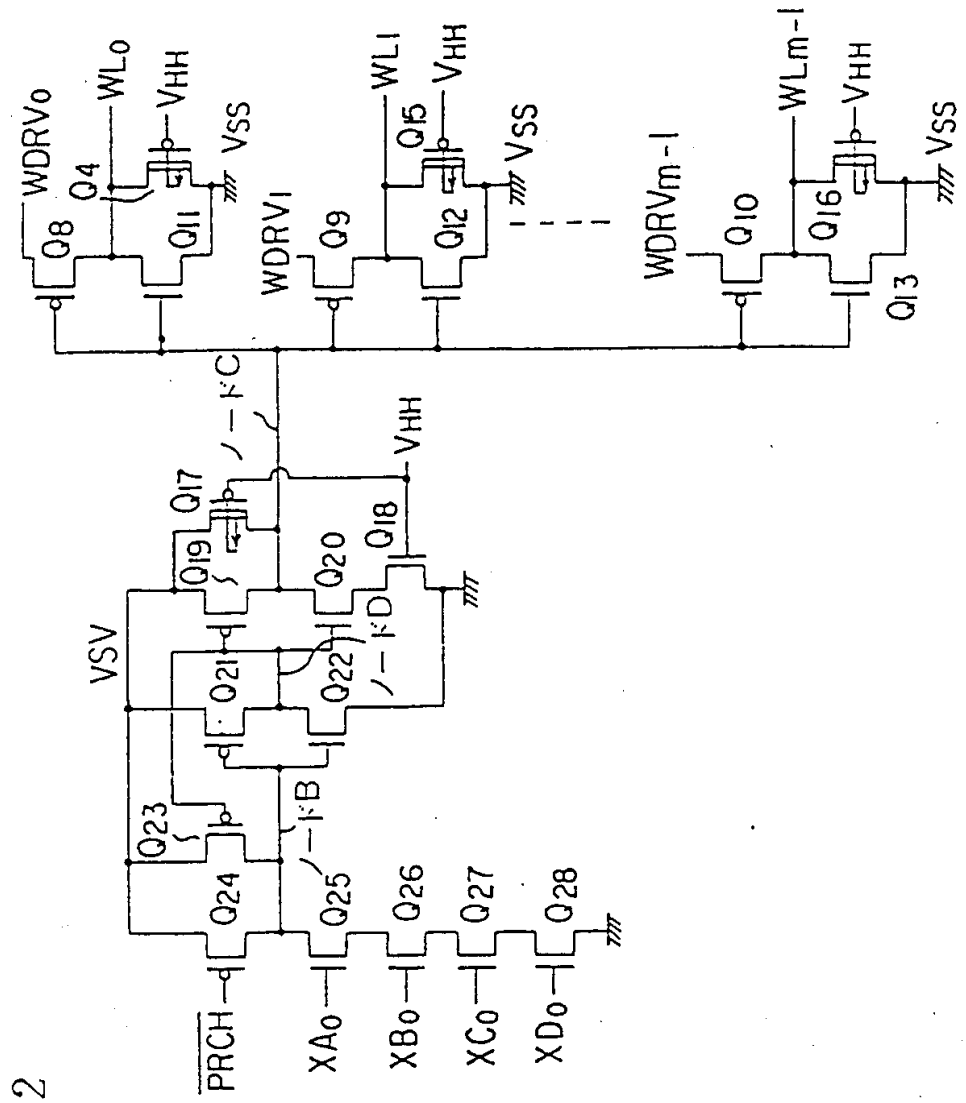

WDRV0
WL0
VHH
VSS
Q4
Q8
Q11
WDRV1
Q9
WL1
Q15
Q12
WDRVm-1
Q10
WLm-1
Q16
Q13
VSV
Q17
Q19
Q18
Q20
Q21
Q22
Q23
Q24
Q25
Q26
Q27
Q28
PRCH
XA0
XB0
XC0
XD0

图 13

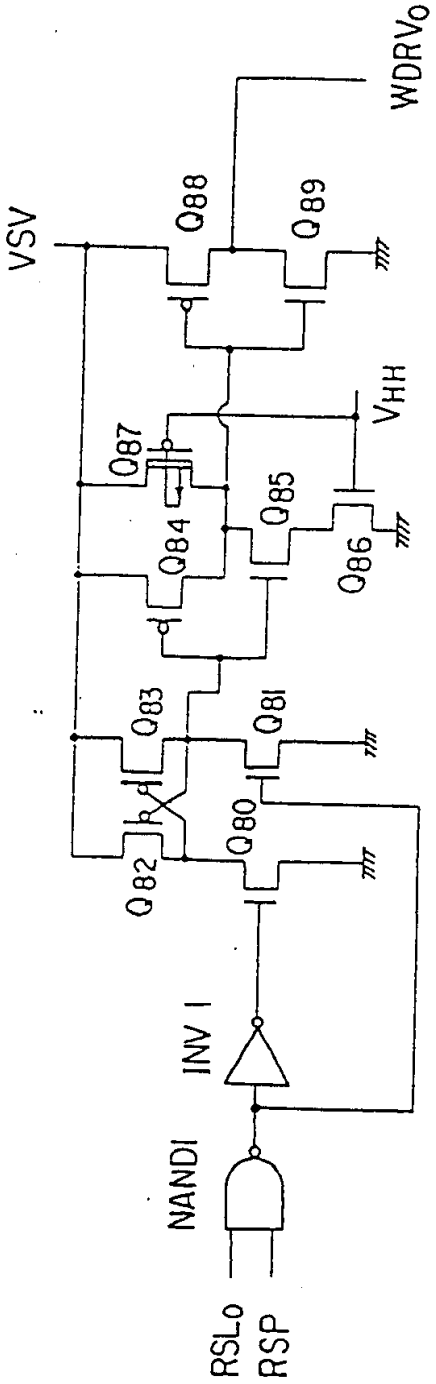

WDRVo
VSV
Q88
Q89
VHH
Q87
Q84
Q85
Q86
Q83
Q81
Q82
Q80
INV 1
NANDI
RSLo
RSP

图 14

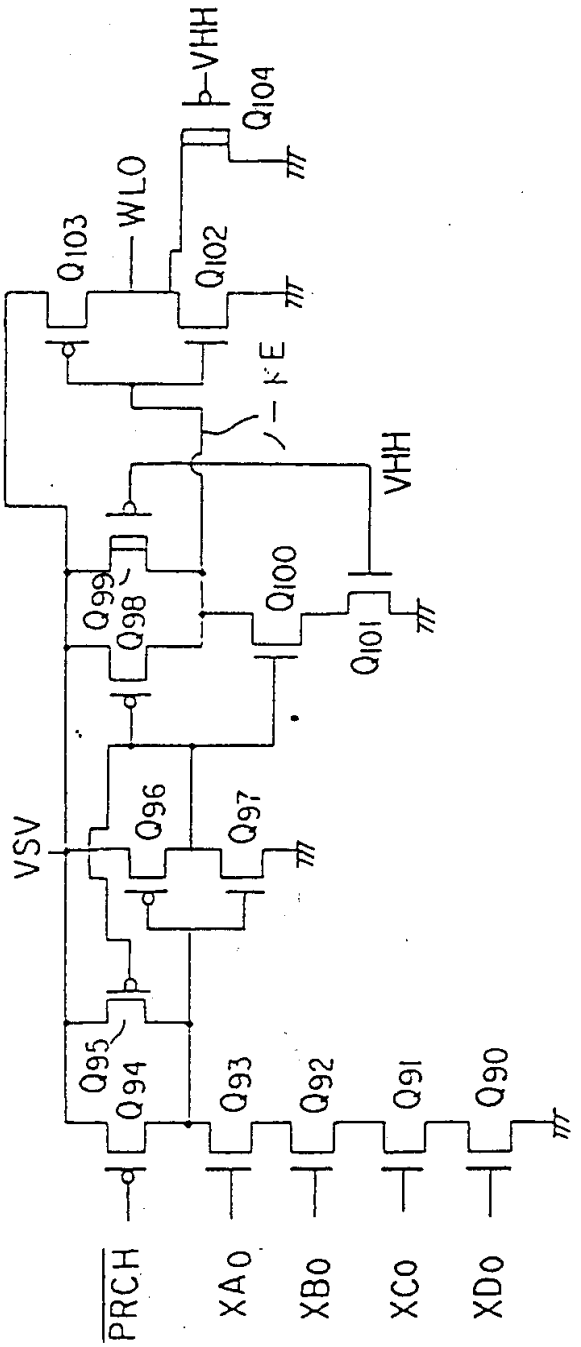
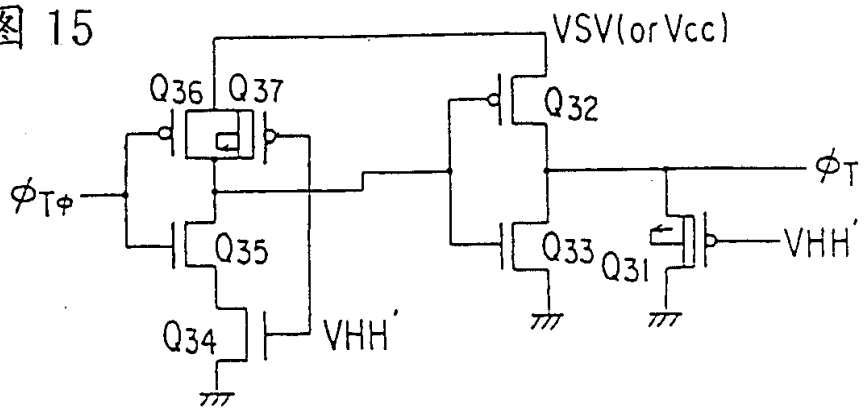
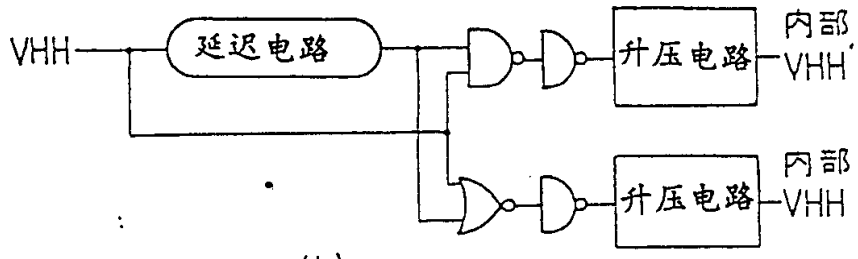

VHH
Q104
WL0
Q103
Q102
VHH
Q100
Q99
Q98
Q101
VSV
Q96
Q97
Q95
Q94
Q93
Q92
Q91
Q90
PRCH
XA0
XB0
XC0
XD0

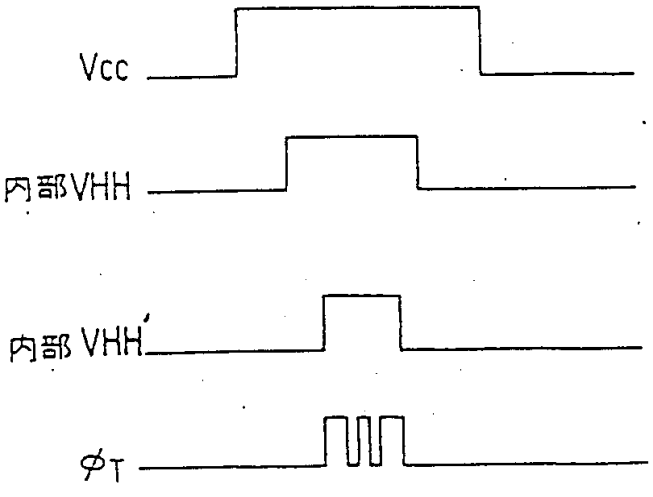
图 15


VSV(or Vcc)
Q36
Q37
Q32
ϕ_T
$\phi_{T\phi}$
Q35
Q33
Q31
VHH'
Q34
VHH'

(a)


VHH
延迟电路
升压电路
内部 VHH'
升压电路
内部 VHH

(b)


Vcc
内部VHH
内部 VHH'
ϕ_T

(c)

时間

图 16

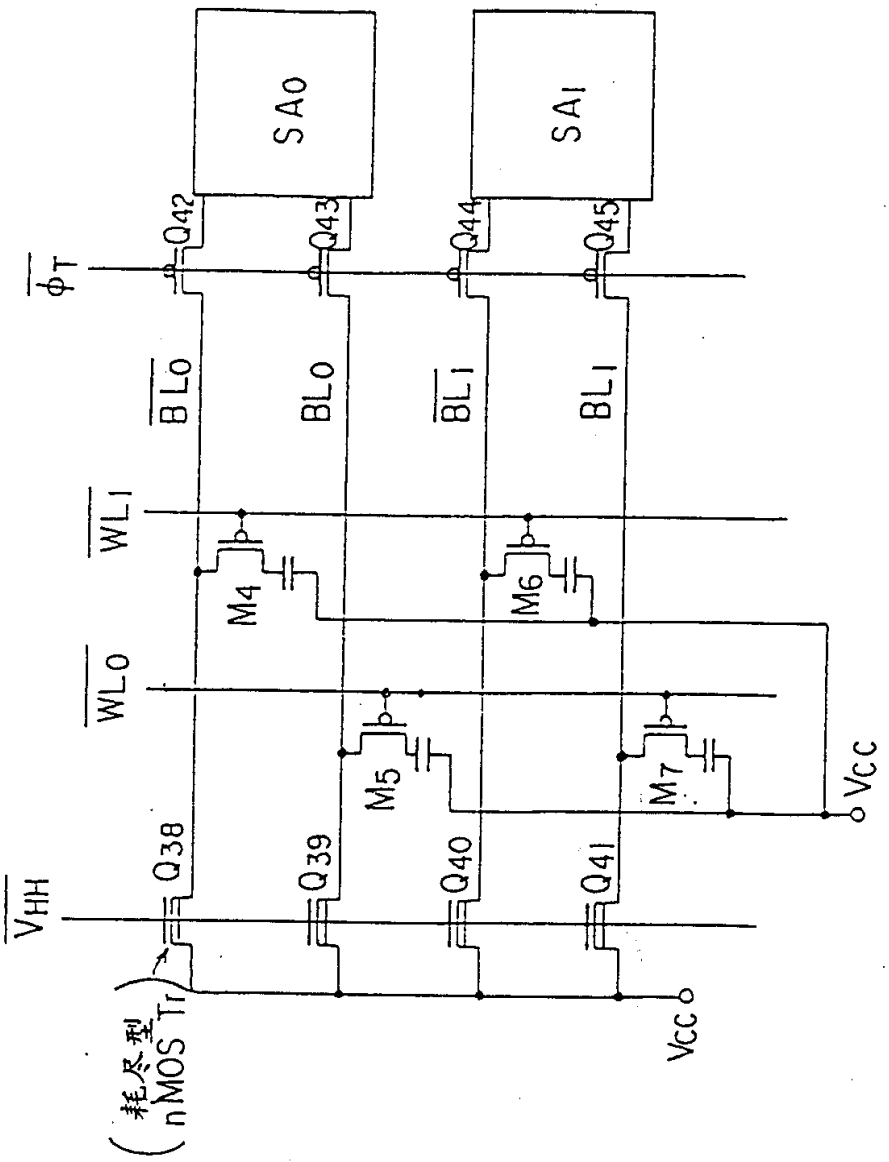
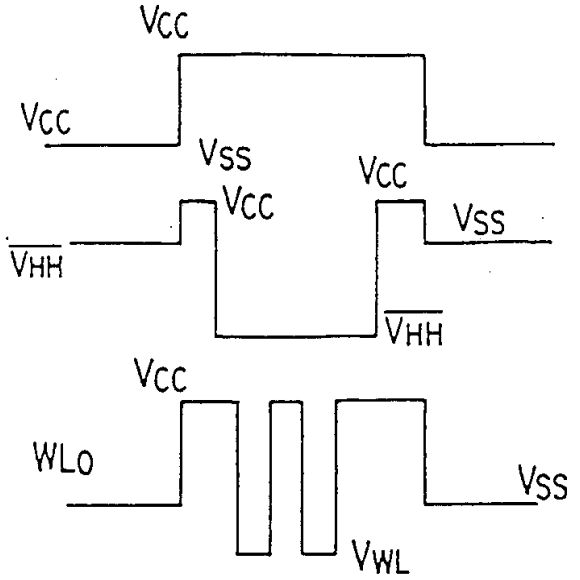
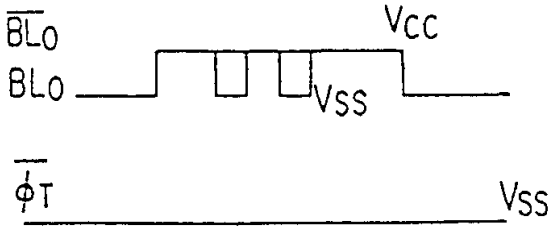

SA0
SA1
$\overline{\phi_T}$
Q42
Q43
Q44
Q45
$\overline{BL0}$
BL0
$\overline{BL1}$
BL1
$\overline{WL1}$
$\overline{WL0}$
M4
M5
M6
M7
Q38
Q39
Q40
Q41
$\overline{V_{HH}}$
(耗尽型 nMOS Tr)
Vcc
Vcc

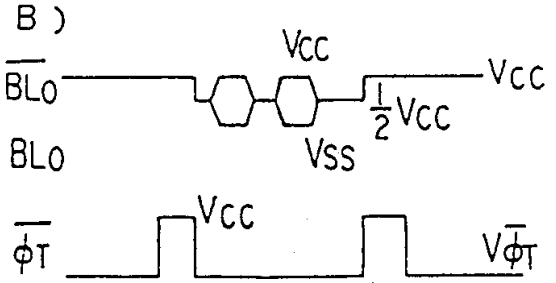
图 17


Vcc
Vcc
Vss
Vcc
Vcc
Vss
VHH
VHH
Vcc
WLo
Vss
VWL

(例 A)


BLo
Vcc
BLo
Vss
φT
Vss

(例 B)


Vcc
BLo
Vcc
½Vcc
BLo
Vss
Vcc
φT
Vφ̄T

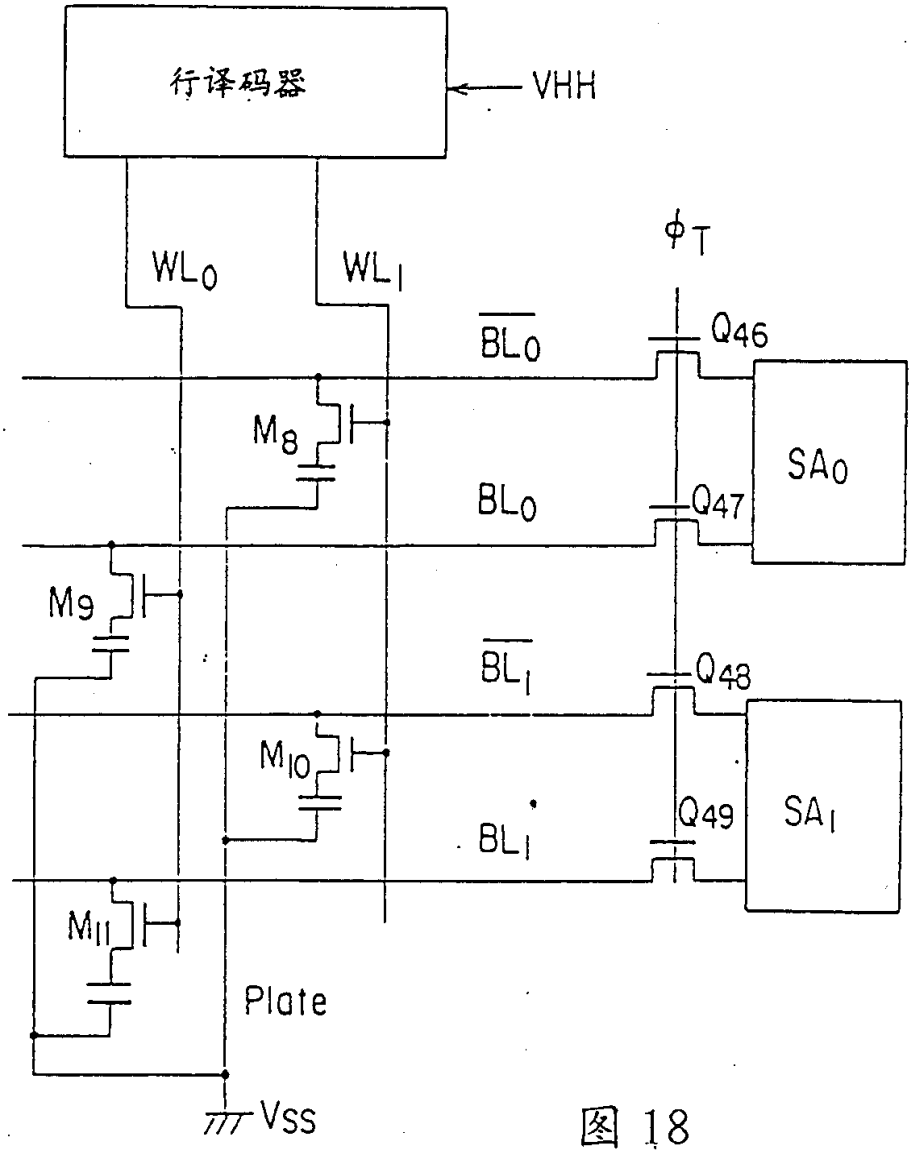
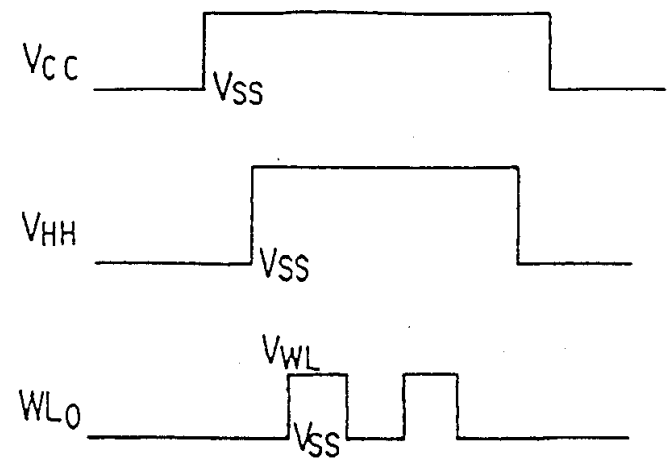
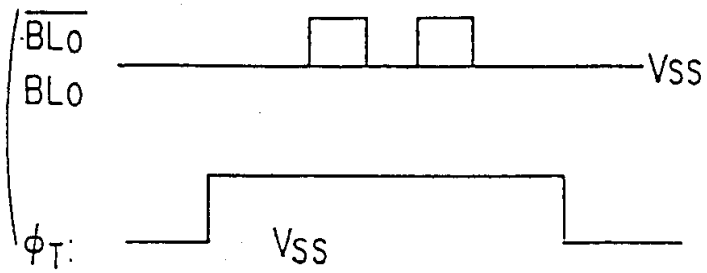

行译码器
VHH
WL0
WL1
φT
BL0
Q46
M8
SA0
BL0
Q47
M9
BL1
Q48
M10
Q49
SA1
BL1
M11
Plate
Vss

图 18

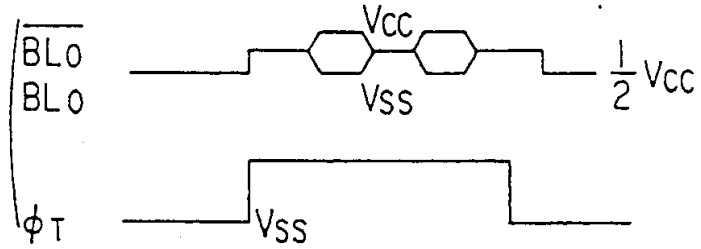
图 19


Vcc
Vss
VHH
Vss
VWL
WLo
Vss

(例 A)


BLo
BLo
Vss
φT
Vss

(例 B)


Vcc
BLo
BLo
Vss
1/2 Vcc
φT
Vss

(例 C)

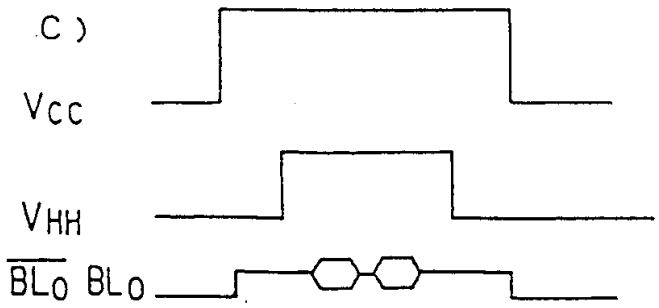

Vcc
VHH
BLo BLo

图 20

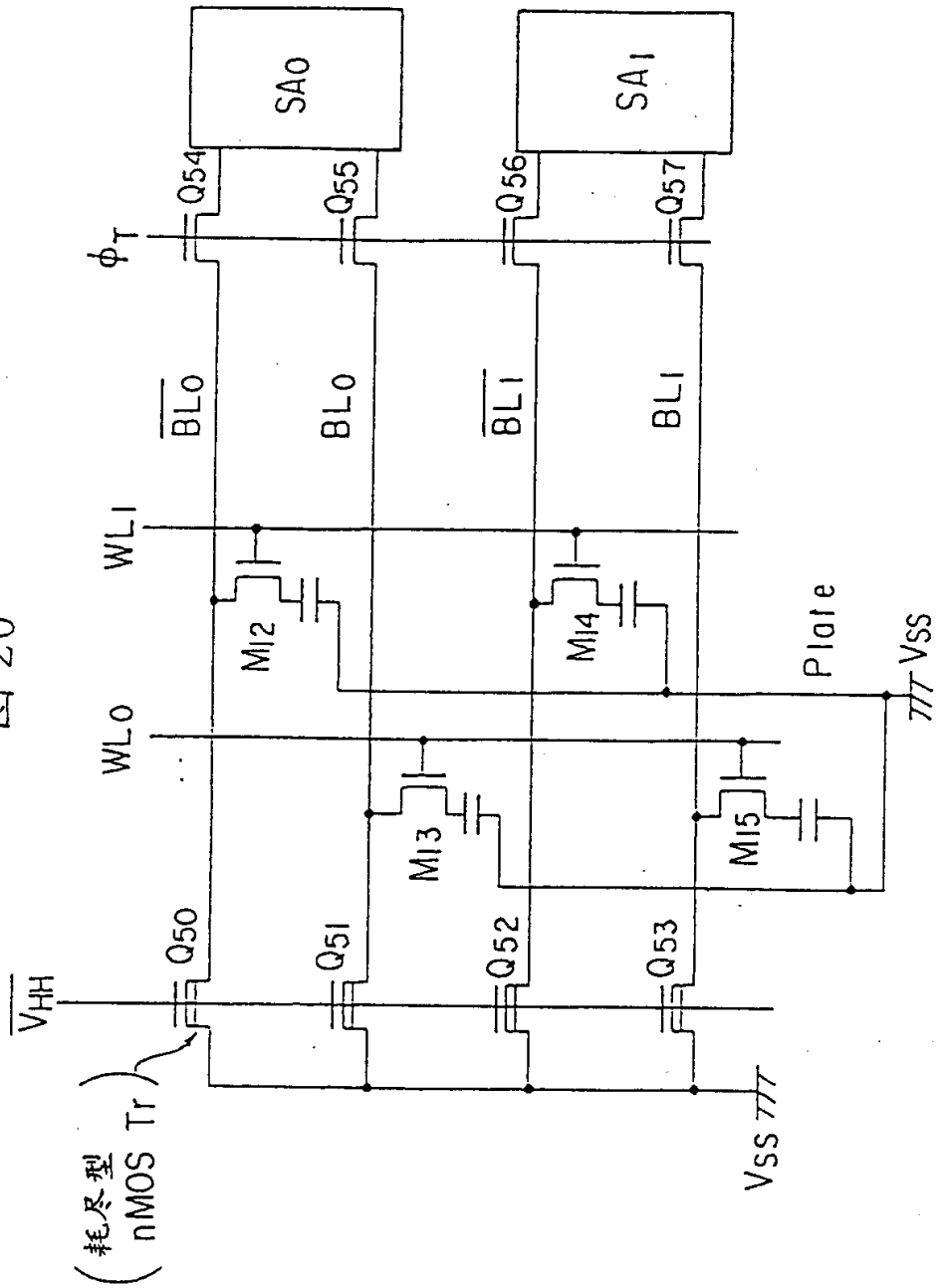
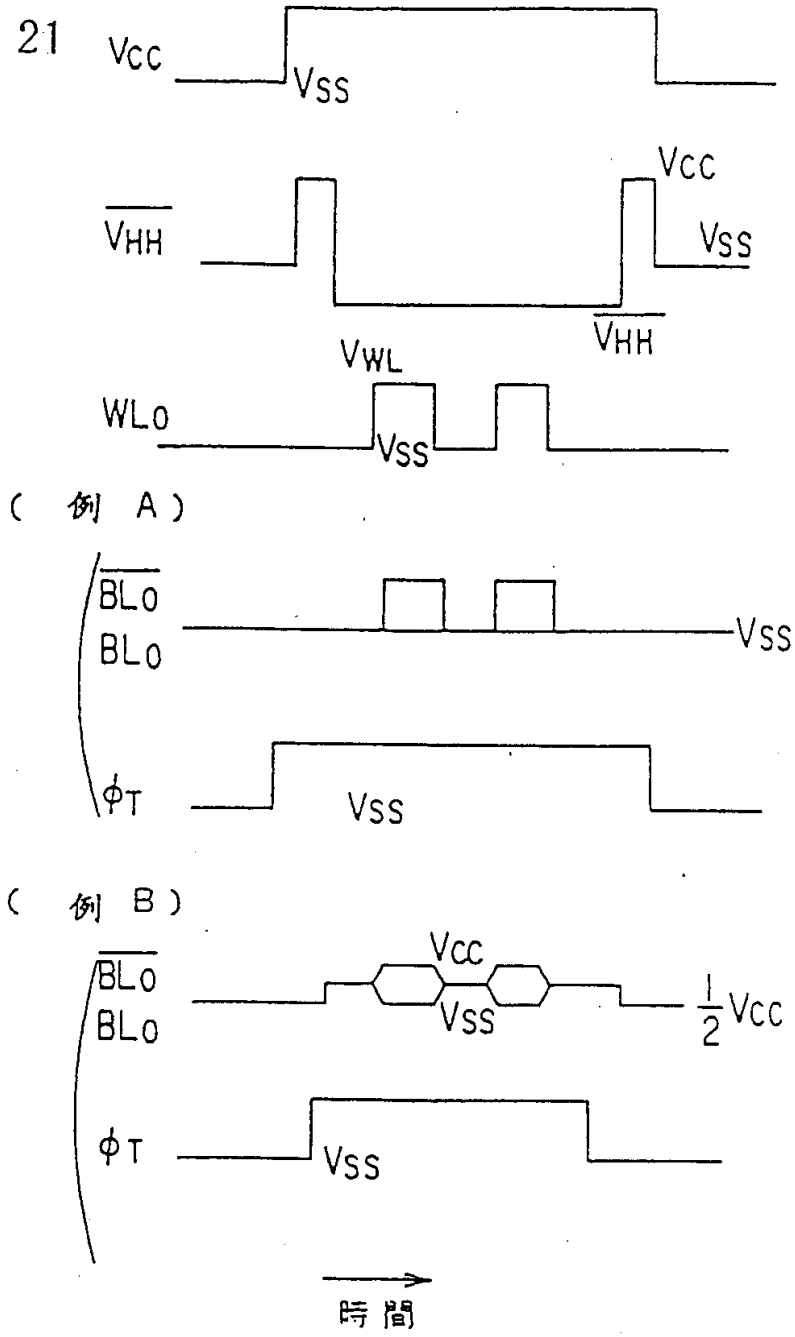

SA0
SA1
Q54
Q55
Q56
Q57
φT
BL0
BL0
BL1
BL1
WL1
WL0
M12
M14
M13
M15
Plate
VSS
Q50
Q51
Q52
Q53
VHH
(耗尽型 nMOS Tr)
VSS

图 21


Vcc
Vss
$\overline{V_{HH}}$
Vcc
Vss
$\overline{V_{HH}}$
V_{WL}
WLo
Vss
(例 A)
$\overline{BL_o}$
BLo
Vss
ϕ_T
Vss
(例 B)
$\overline{BL_o}$
BLo
Vcc
Vss
$\frac{1}{2}$Vcc
ϕ_T
Vss
時間

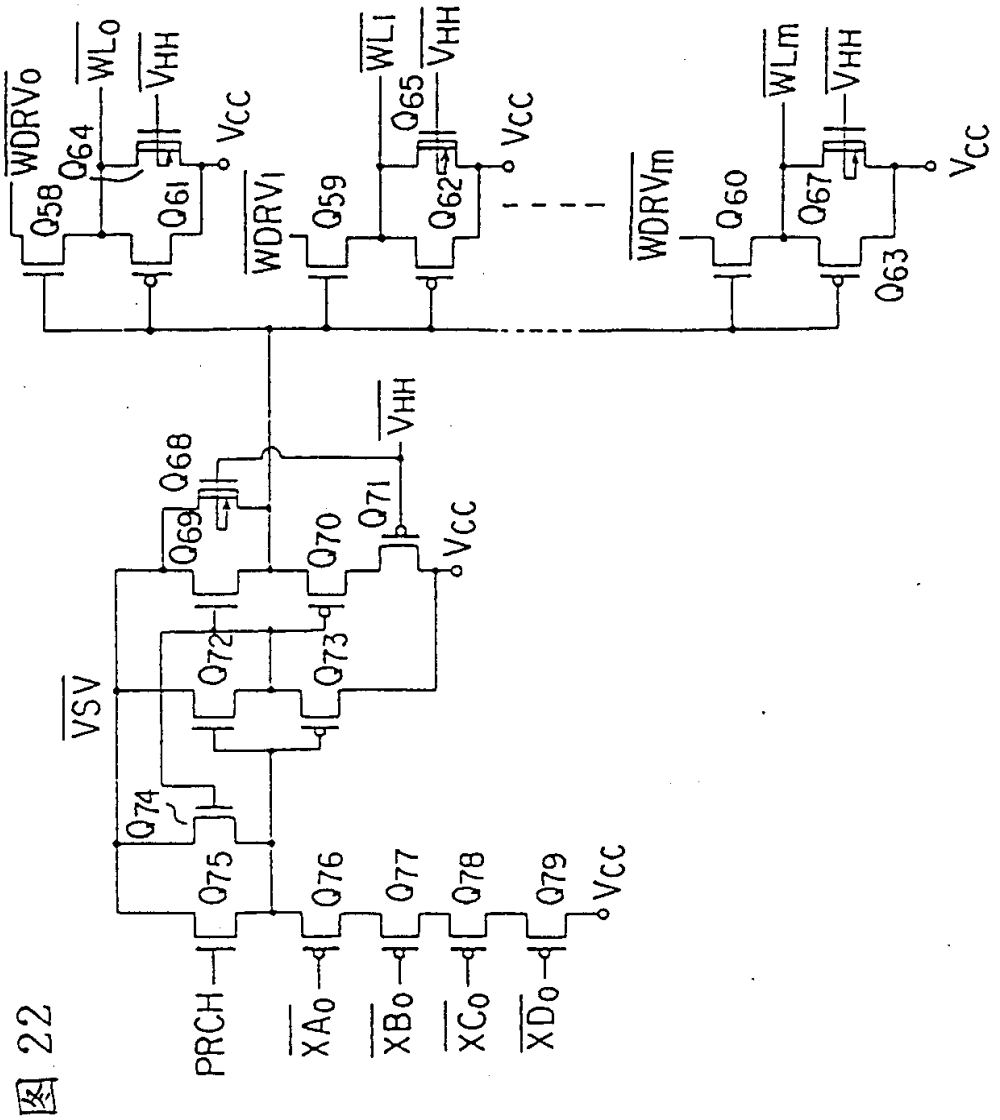

WDRV0
WL0
VHH
Q64
Q58
Q61
Vcc
WDRV1
WL1
Q65
VHH
Q59
Q62
Vcc
WDRVm
WLm
VHH
Q60
Q67
Vcc
Q63
VHH
Q68
Q69
Q70
Q71
Vcc
VSV
Q72
Q73
Q74
Q75
Q76
Q77
Q78
Q79
Vcc
PRCH
XA0
XB0
XC0
XD0

图 22

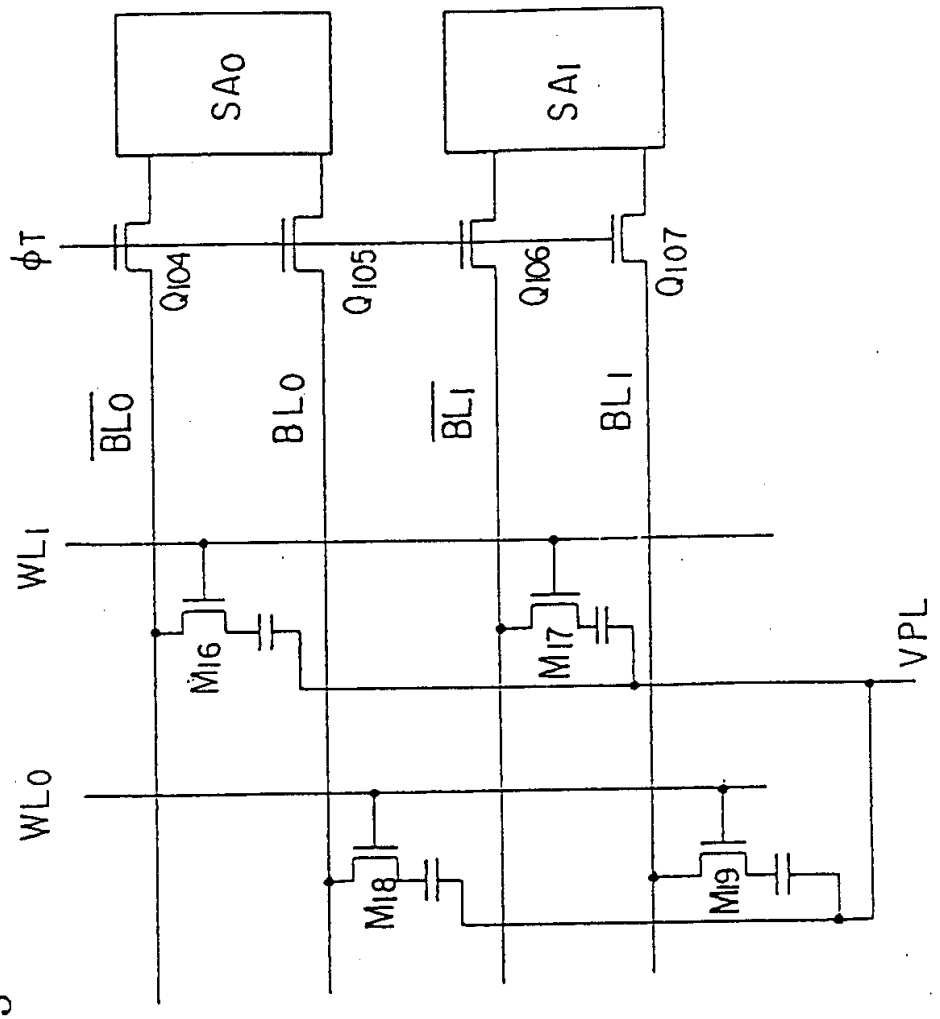
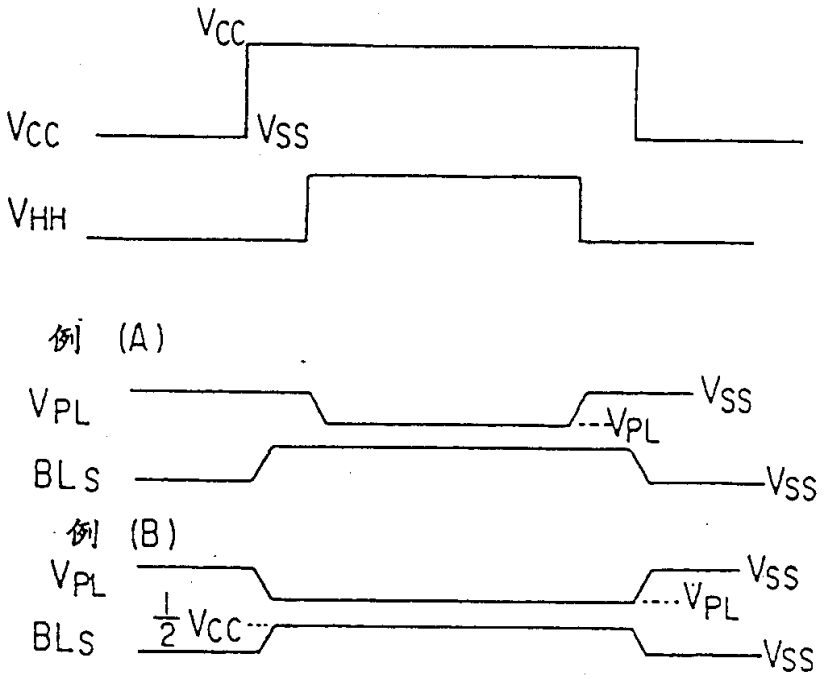
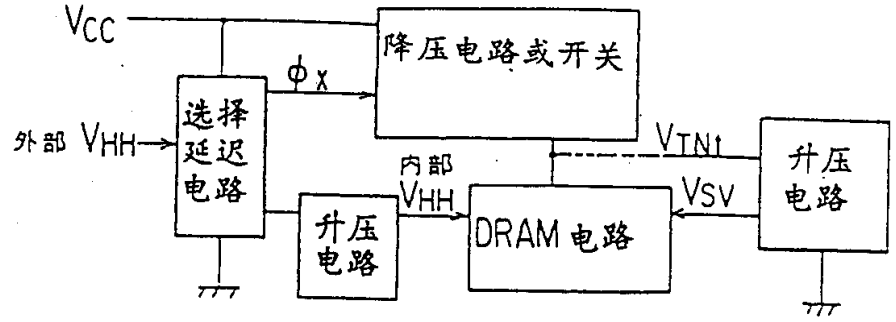

SA0
SA1
φT
Q104
Q105
Q106
Q107
BL0
BL0
BL1
BL1
WL1
WL0
M16
M17
M18
M19
VPL

图 23

图 24


Vcc
Vcc
Vss
VHH
例 (A)
VPL
Vss
VPL
BLs
Vss
例 (B)
VPL
Vss
VPL
1/2 Vcc
BLs
Vss

(a)


Vcc
降压电路或开关
φx
选择延迟电路
外部 VHH
VTN1
内部 VHH
升压电路
DRAM 电路
Vsv
升压电路

(b)

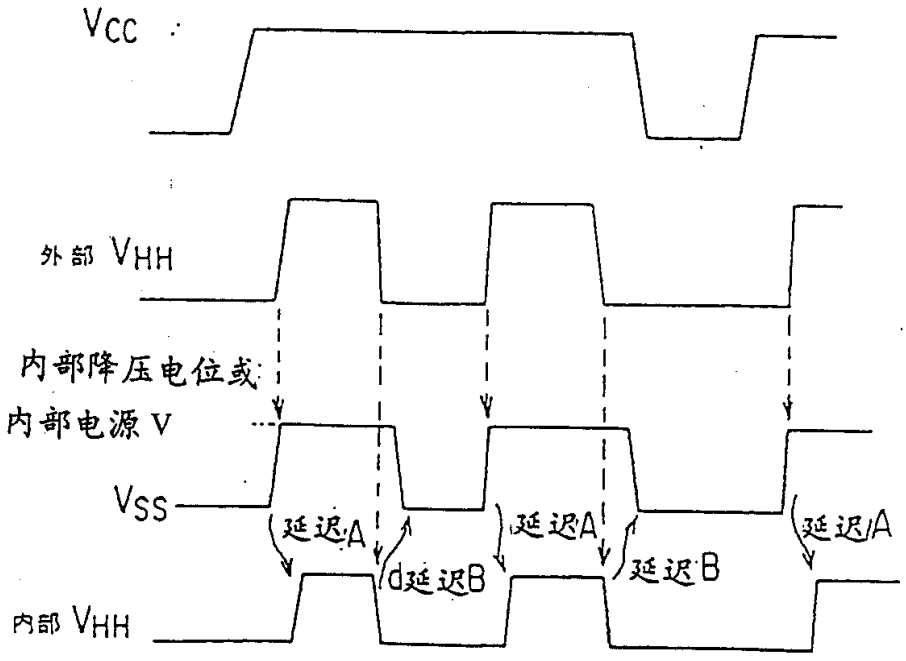
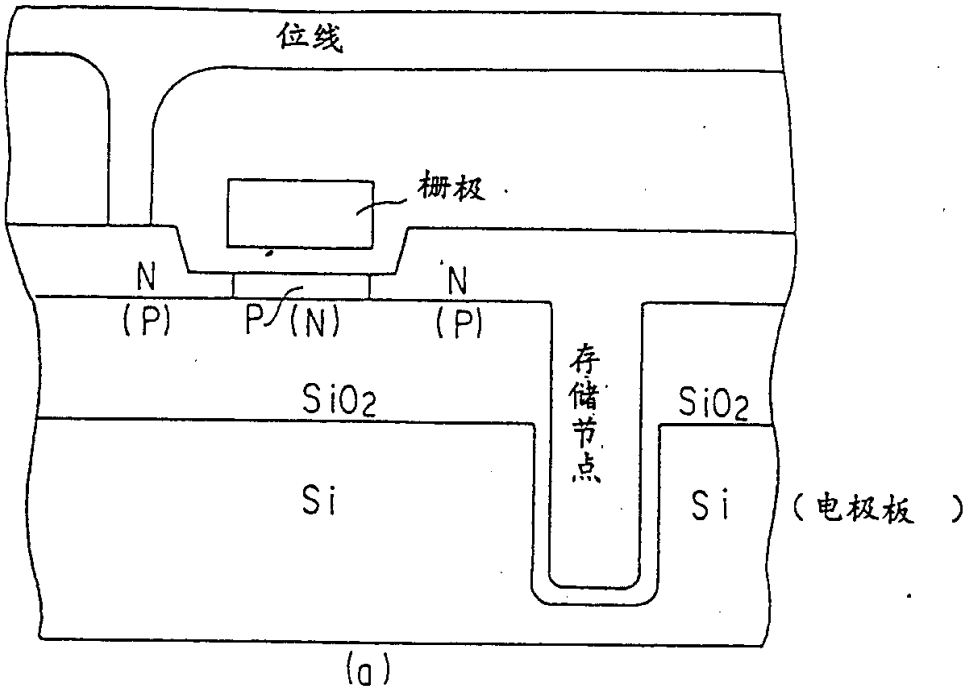
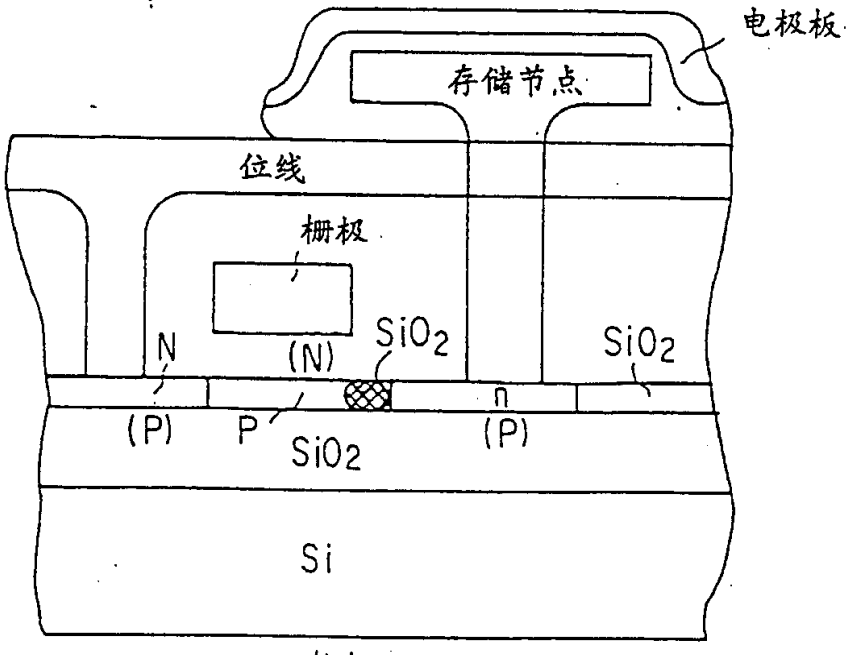

Vcc
外部 VHH
内部降压电位或
内部电源 V
Vss
延迟A
d延迟B
延迟A
延迟B
延迟A
内部 VHH

图 25


位线
栅极
N
(P)
P
(N)
N
(P)
存储节点
SiO2
SiO2
Si
Si
(电极板)

(a)


电极板
存储节点
位线
栅极
N
(N)
SiO2
SiO2
(P)
P
SiO2
n
(P)
Si

(b)

图 26

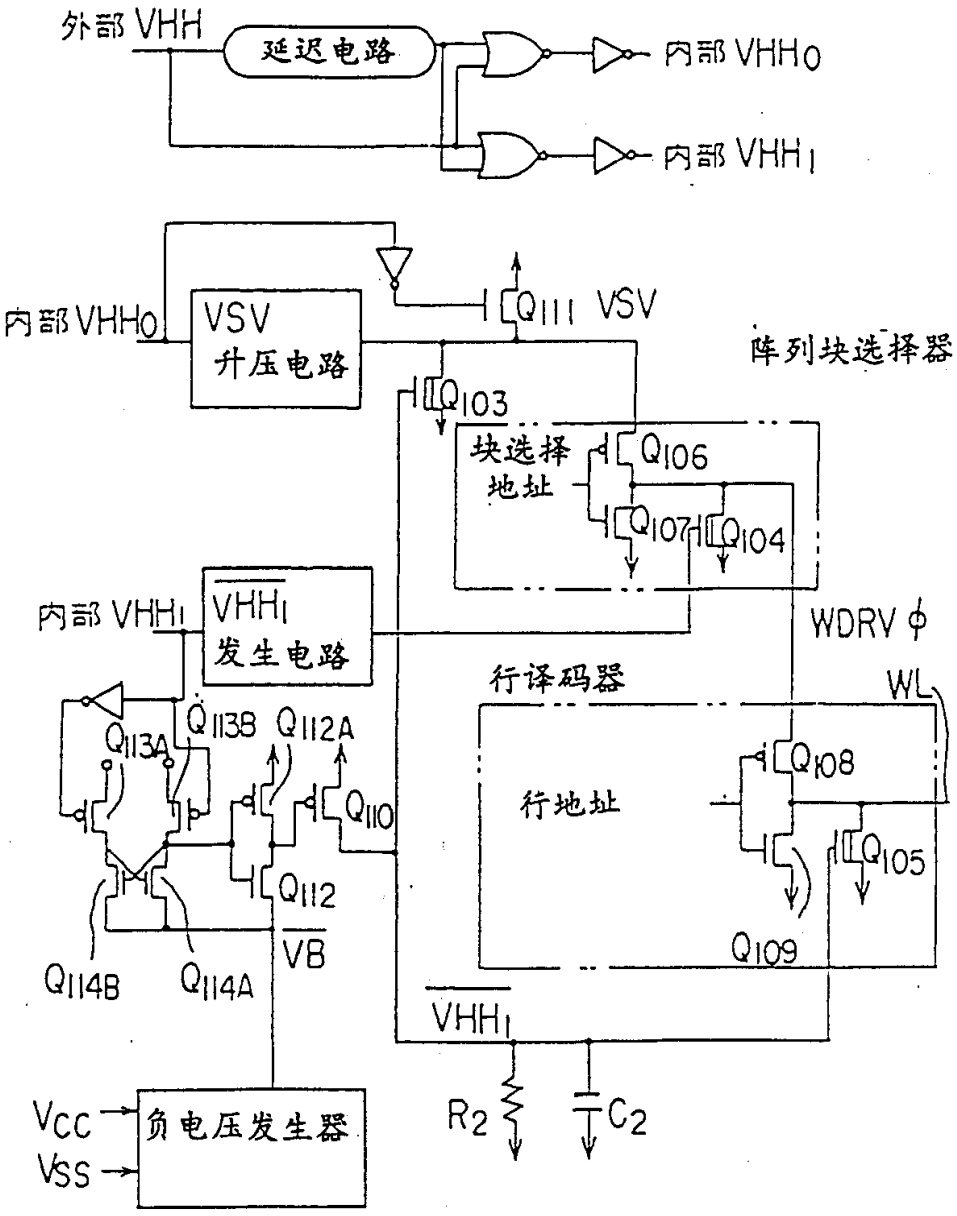
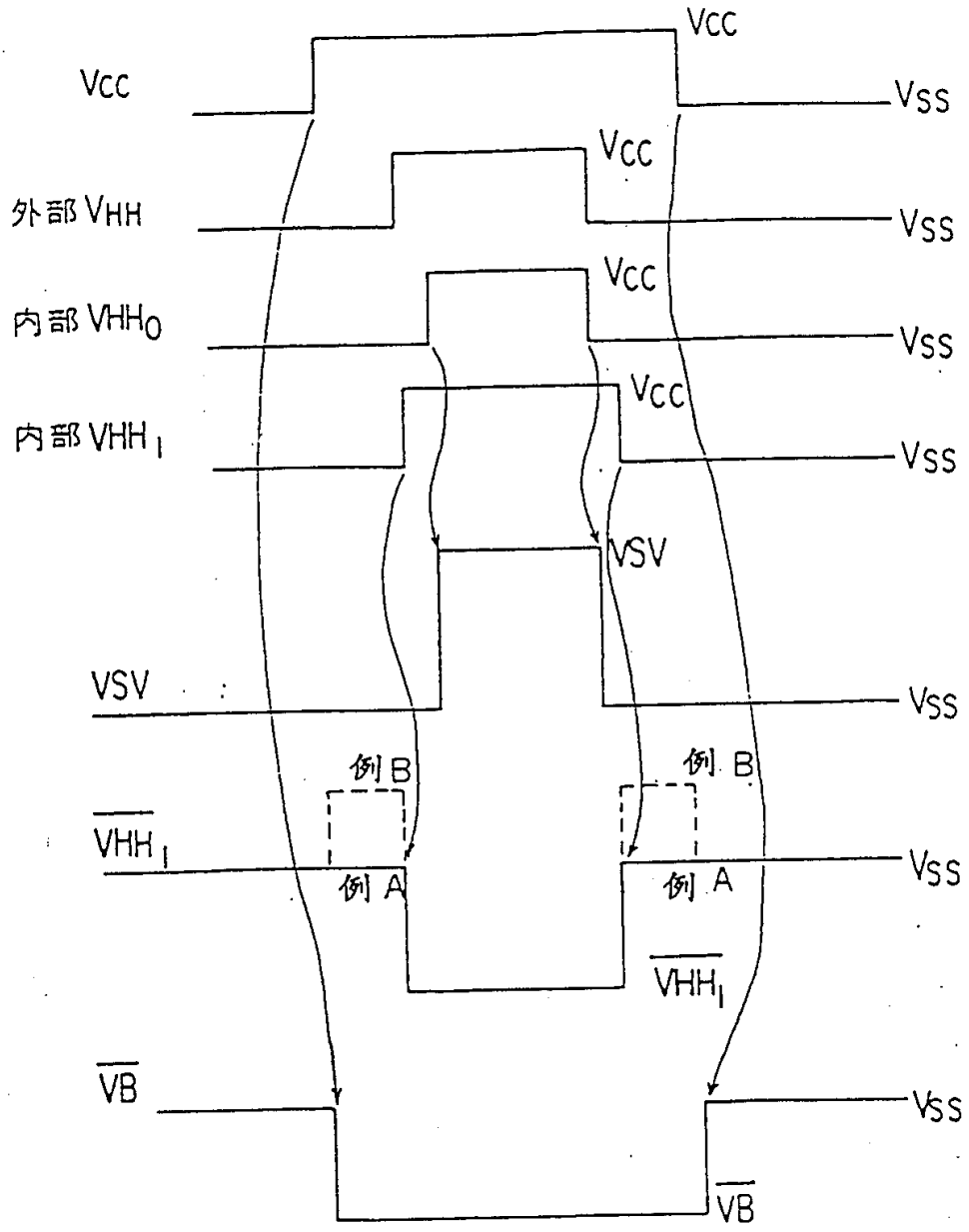

外部 VHH
延迟电路
内部 VHH0
内部 VHH1
内部 VHH0
VSV
升压电路
Q111 VSV
阵列块选择器
Q103
块选择
地址
Q106
Q107
Q104
内部 VHH1
VHH1
发生电路
WDRV φ
行译码器
WL
Q113A
Q113B
Q112A
Q110
Q108
行地址
Q105
Q112
Q109
VB
Q114B
Q114A
VHH1
R2
C2
Vcc
Vss
负电压发生器

图 27

图 28


Vcc
Vcc
Vss
外部 VHH
Vcc
Vss
内部 VHH0
Vcc
Vss
内部 VHH1
Vcc
Vss
VSV
VSV
Vss
例 B
例 B
VHH1
例 A
例 A
Vss
VHH1
VB
Vss
VB

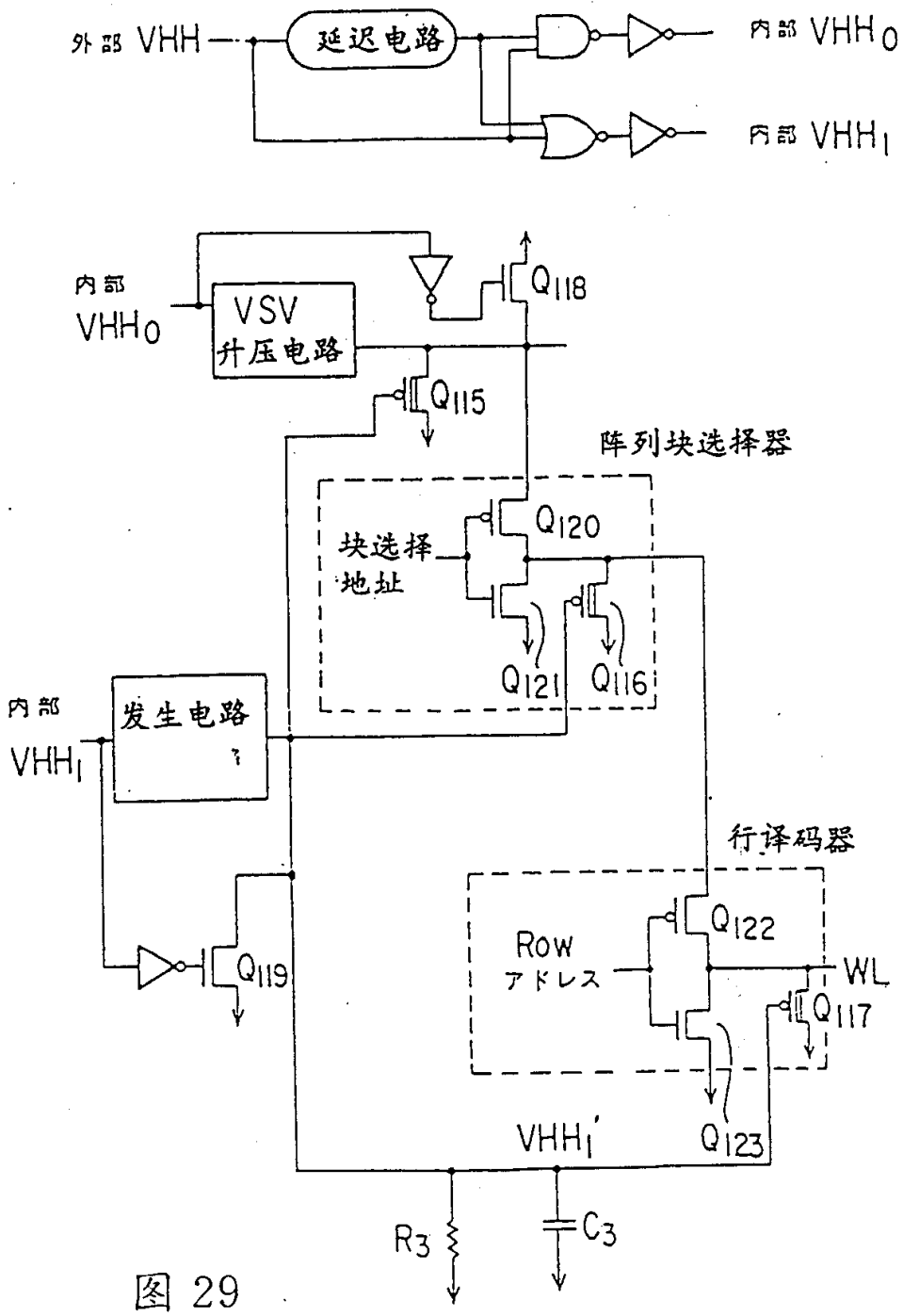

外部 VHH
延迟电路
内部 VHH0
内部 VHH1
内部
VHH0
VSV
升压电路
Q118
Q115
阵列块选择器
块选择
地址
Q120
Q121
Q116
内部
VHH1
发生电路
行译码器
Row
アドレス
Q122
WL
Q117
Q119
VHH1'
Q123
R3
C3

图 29

图 30

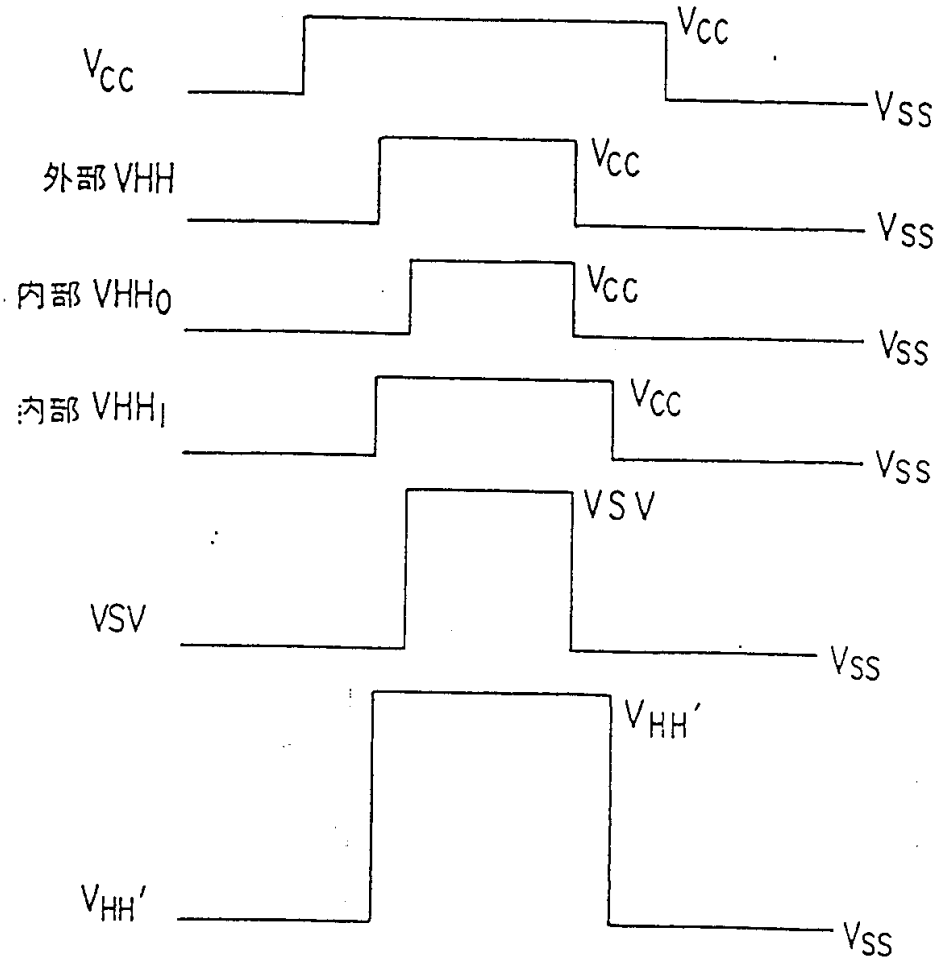

Vcc
Vcc
Vss
外部 VHH
Vcc
Vss
内部 VHH0
Vcc
Vss
内部 VHH1
Vcc
Vss
VSV
VSV
Vss
VHH'
VHH'
Vss

图 31

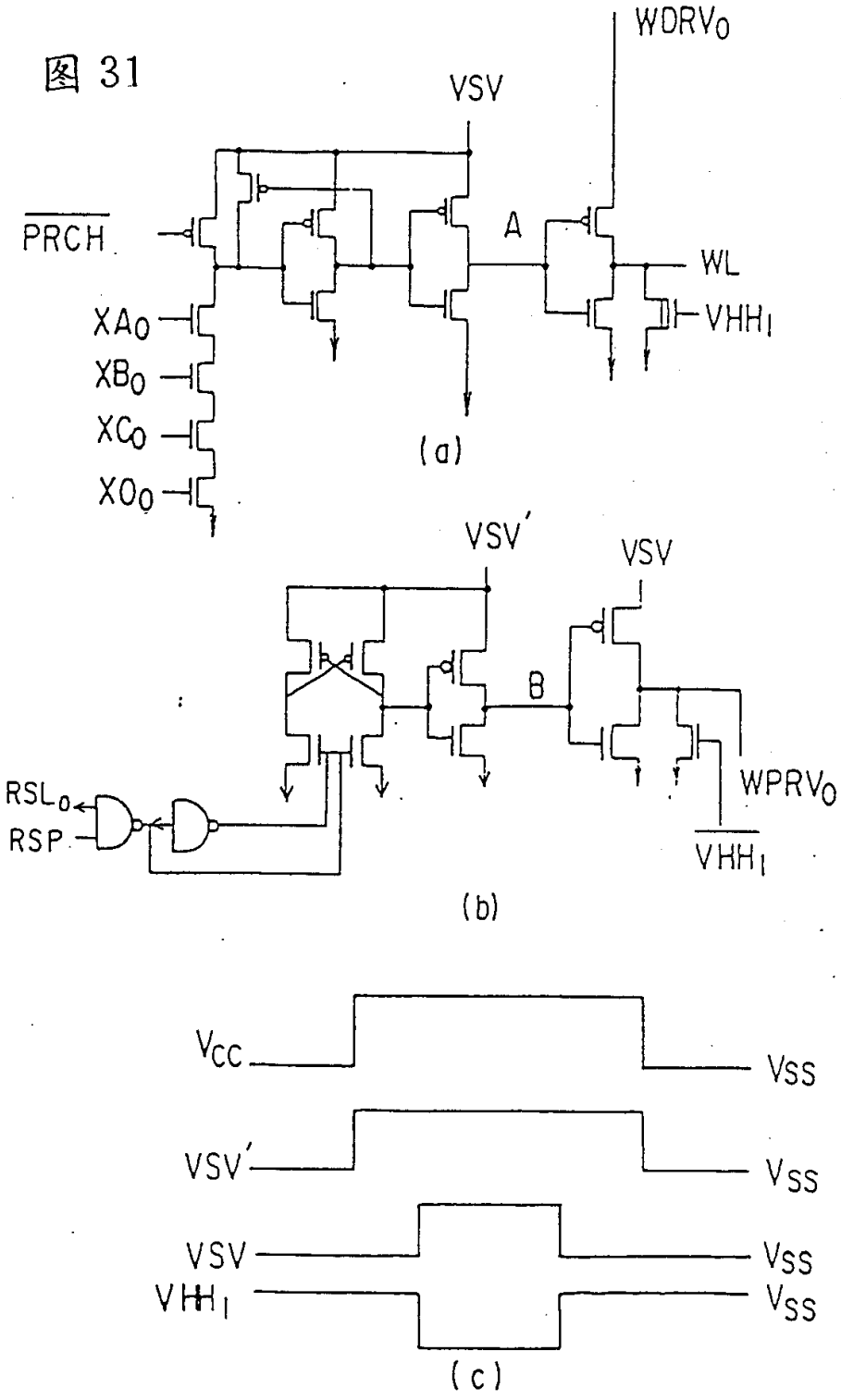

WDRV0
VSV
PRCH
A
WL
XA0
XB0
XC0
XO0
VHH1
(a)
VSV'
VSV
B
RSL0
RSP
WPRV0
VHH1
(b)
Vcc
Vss
VSV'
Vss
VSV
Vss
VHH1
Vss
(c)

图 32

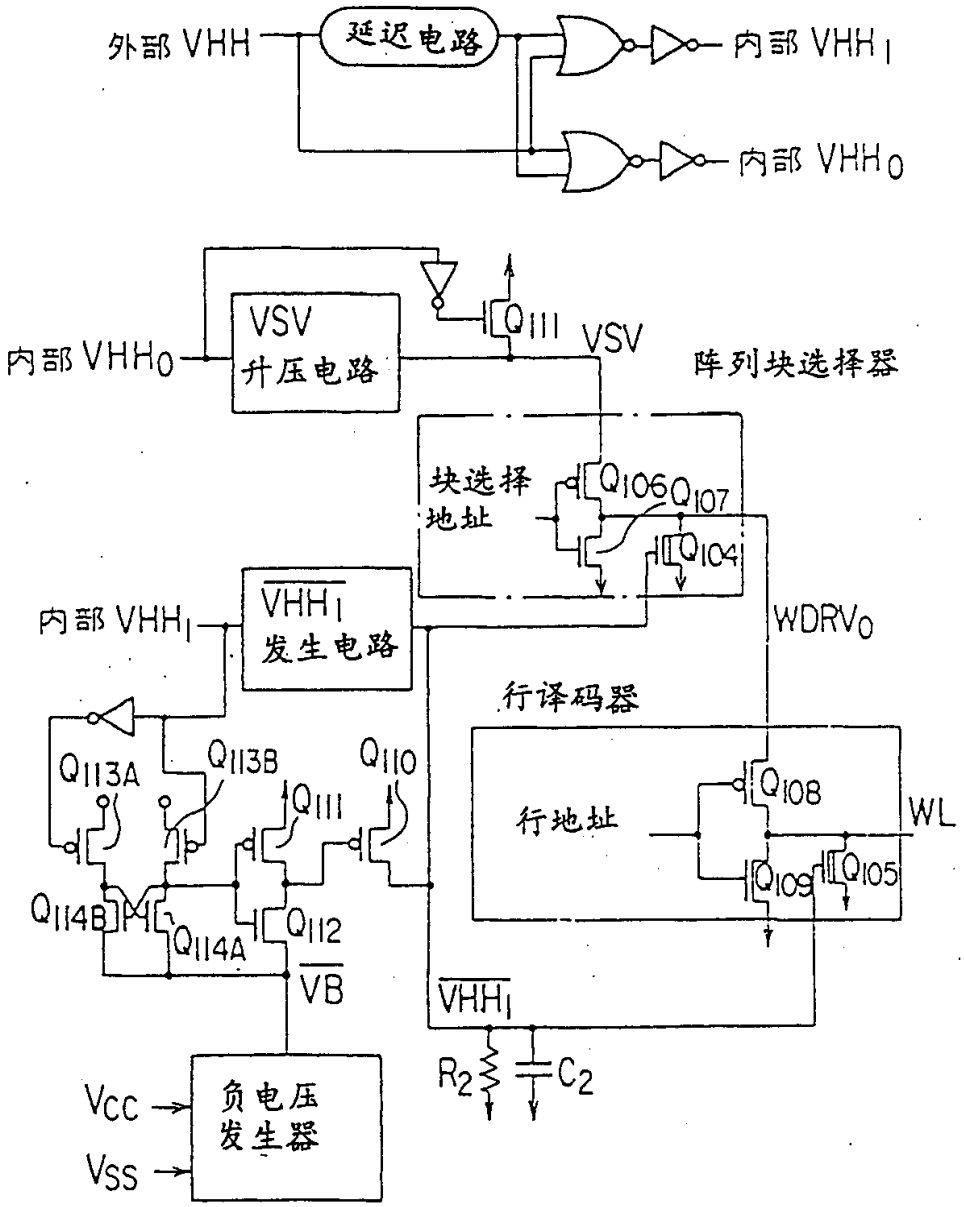
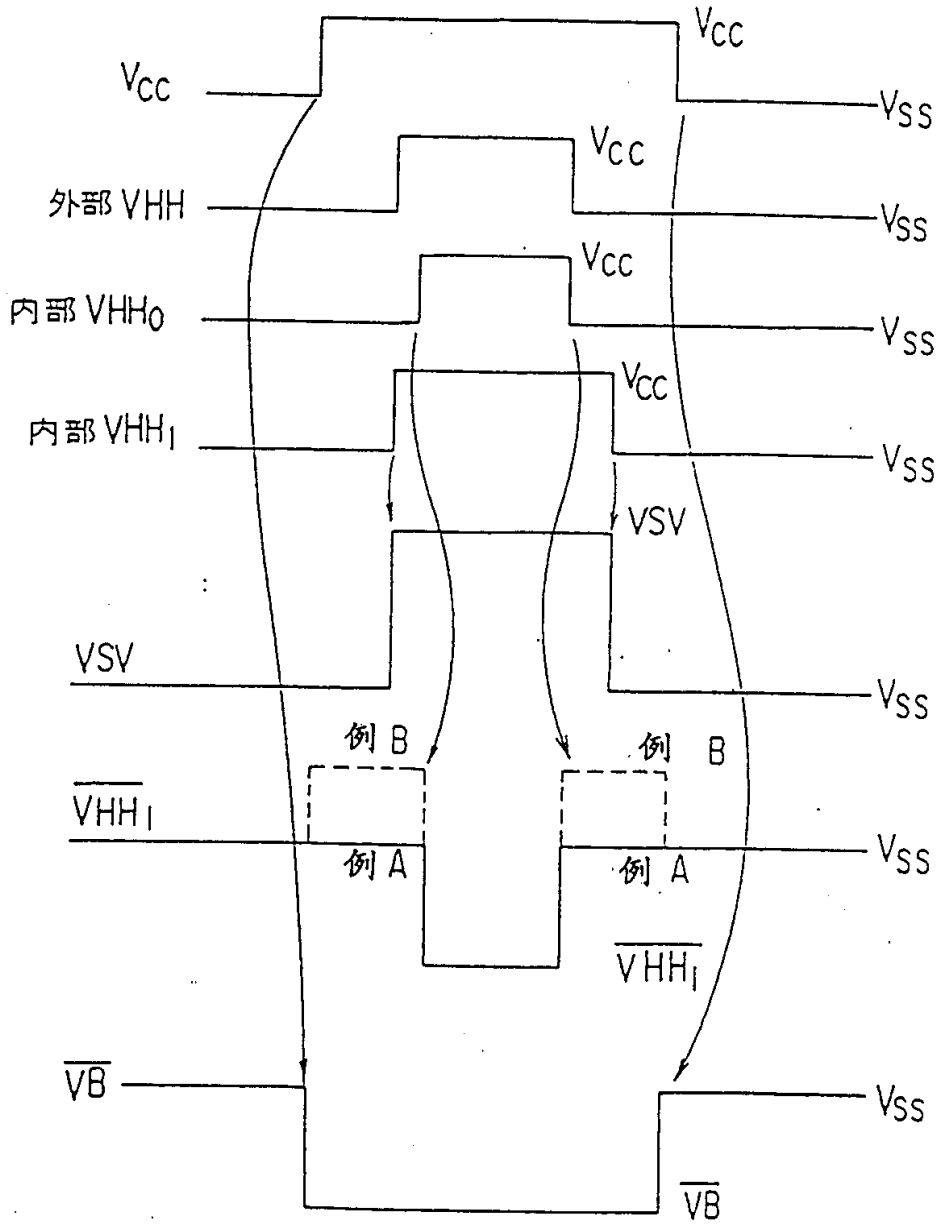

外部 VHH
延迟电路
内部 VHH1
内部 VHH0
VSV
升压电路
Q111
VSV
阵列块选择器
内部 VHH0
块选择
地址
Q106
Q107
Q104
内部 VHH1
VHH1
发生电路
WDRV0
行译码器
Q113A
Q113B
Q110
Q111
Q108
WL
行地址
Q109
Q105
Q114B
Q114A
Q112
VB
VHH1
R2
C2
Vcc
Vss
负电压
发生器

图 33


Vcc
Vcc
Vss
外部 VHH
Vcc
Vss
内部 VHH0
Vcc
Vss
内部 VHH1
Vcc
Vss
VSV
VSV
Vss
例 B
例 B
VHH1
Vss
例 A
例 A
VHH1
VB
Vss
VB

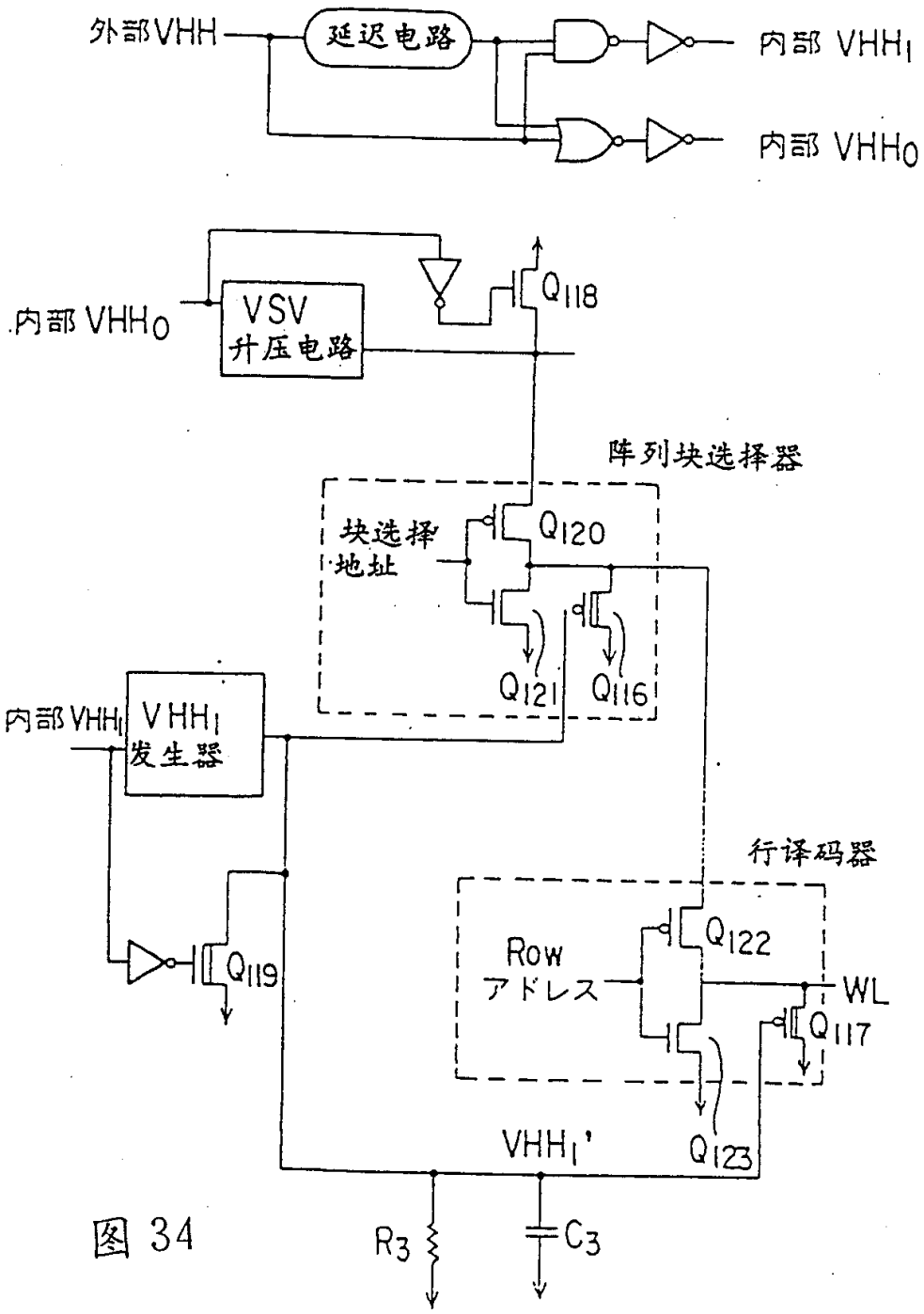

外部VHH
延迟电路
内部 VHH1
内部 VHH0
内部 VHH0
VSV
升压电路
Q118
阵列块选择器
块选择
地址
Q120
Q121
Q116
内部VHH1
VHH1
发生器
行译码器
Q119
Row
アドレス
Q122
WL
Q117
VHH1'
Q123
R3
C3

图 34

图 35

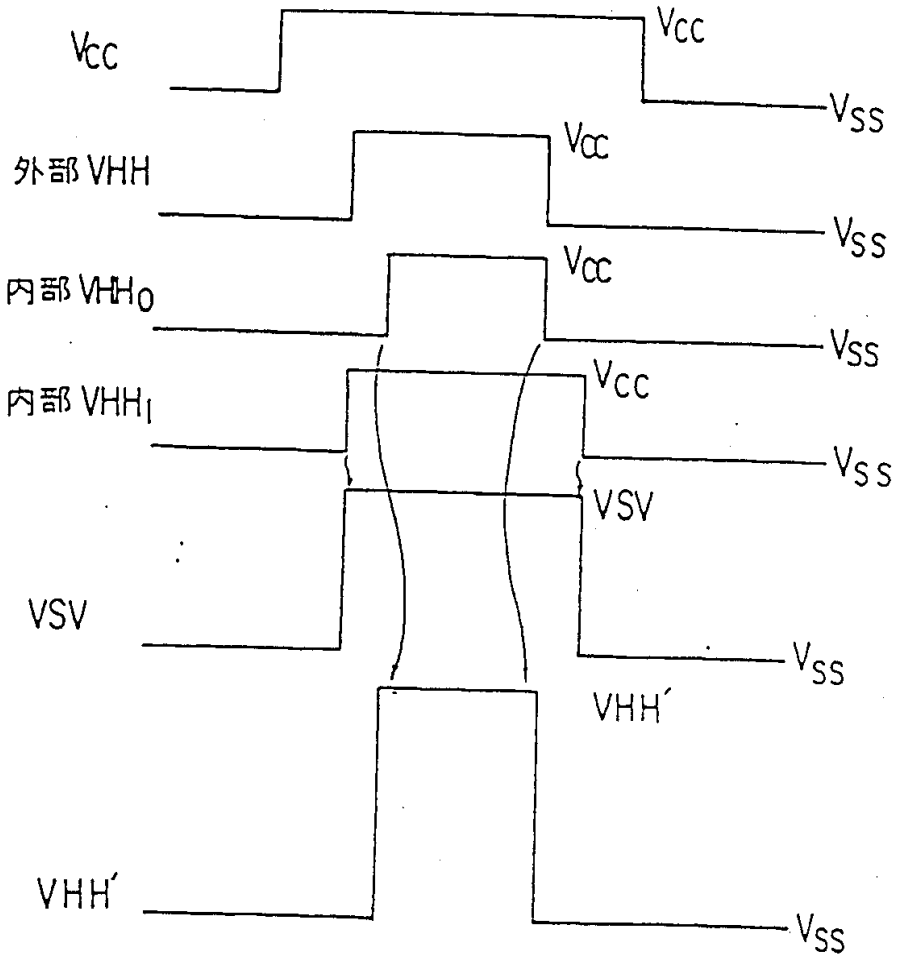

Vcc
Vcc
Vss
外部 VHH
Vcc
Vss
内部 VHH0
Vcc
Vss
内部 VHH1
Vcc
Vss
VSV
VSV
Vss
VHH'
VHH'
Vss

图 36

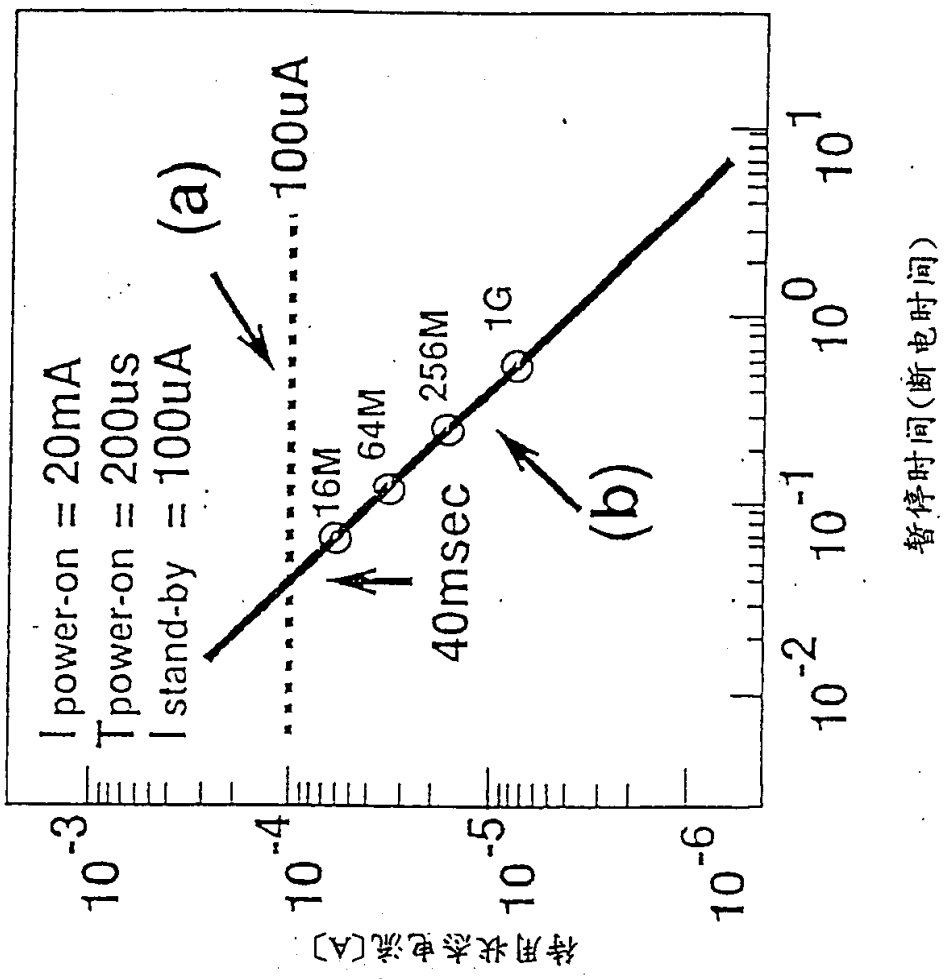

I power-on = 20mA
T power-on = 200us
I stand-by = 100uA
(a)
100uA
16M
64M
256M
1G
40msec
(b)
待机状态电流[A]
暂停时间(断电时间)

图 37

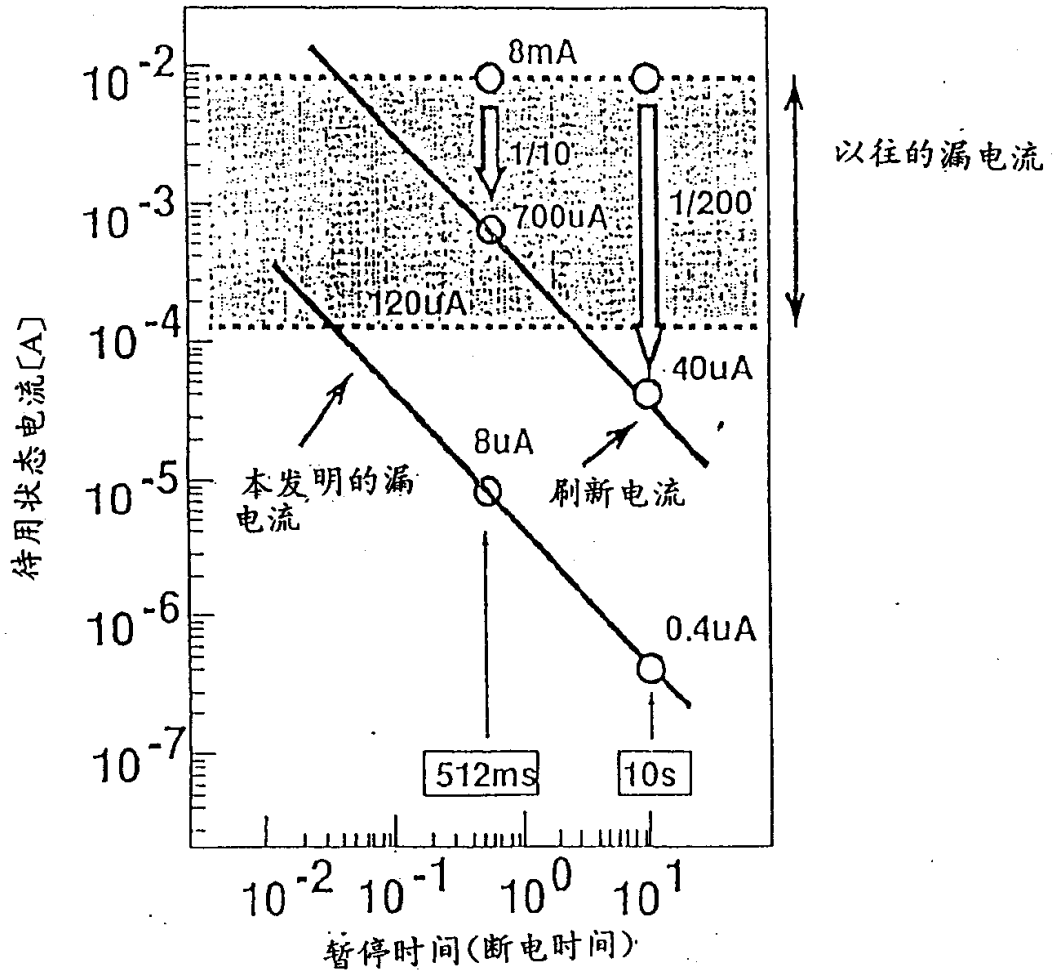
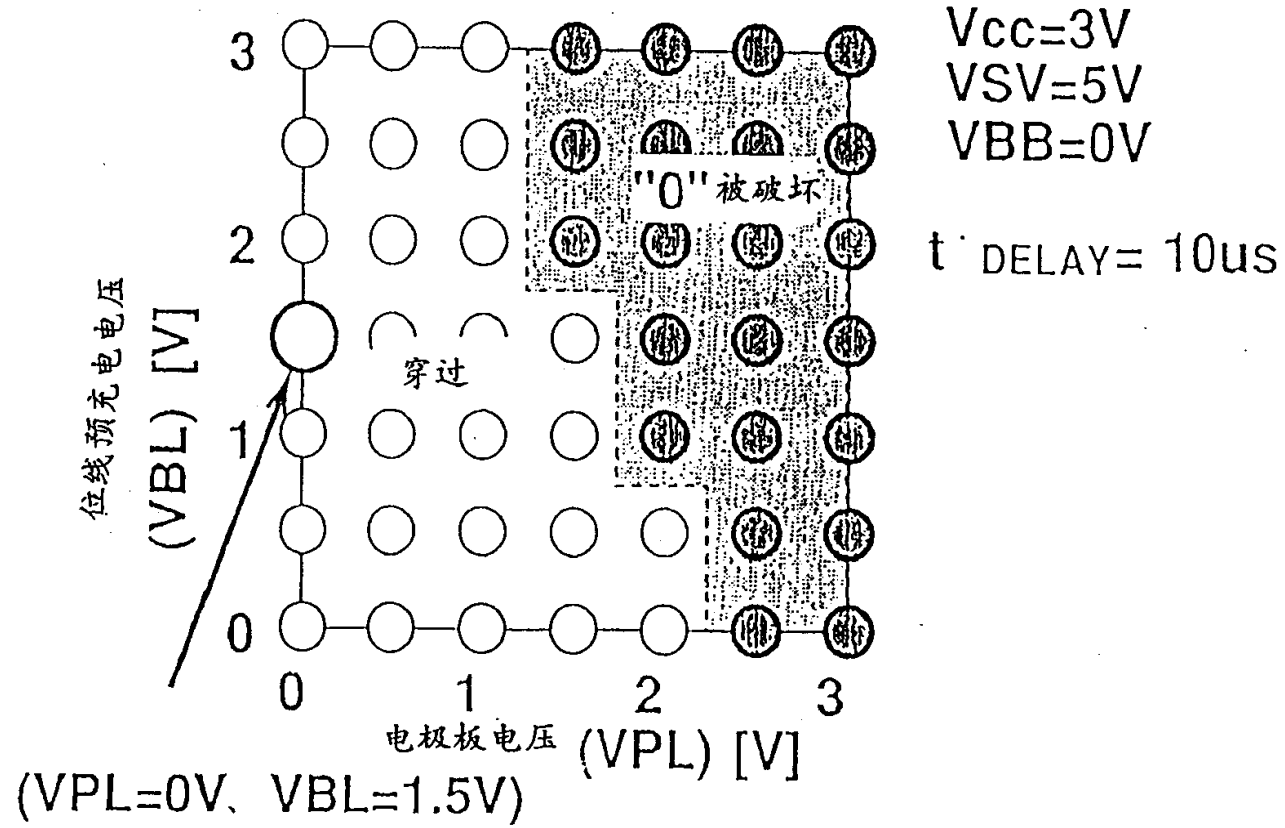

8mA
1/10
700uA
1/200
120uA
40uA
以往的漏电流
8uA
本发明的漏电流
刷新电流
0.4uA
512ms
10s
待用状态电流[A]
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
10^{-7}
10^{-2} 10^{-1} 10^{0} 10^{1}
暂停时间(断电时间)

图 38



(VPL=0V、VBL=1.5V)

图 39

条件：电极板电压为 OV 时

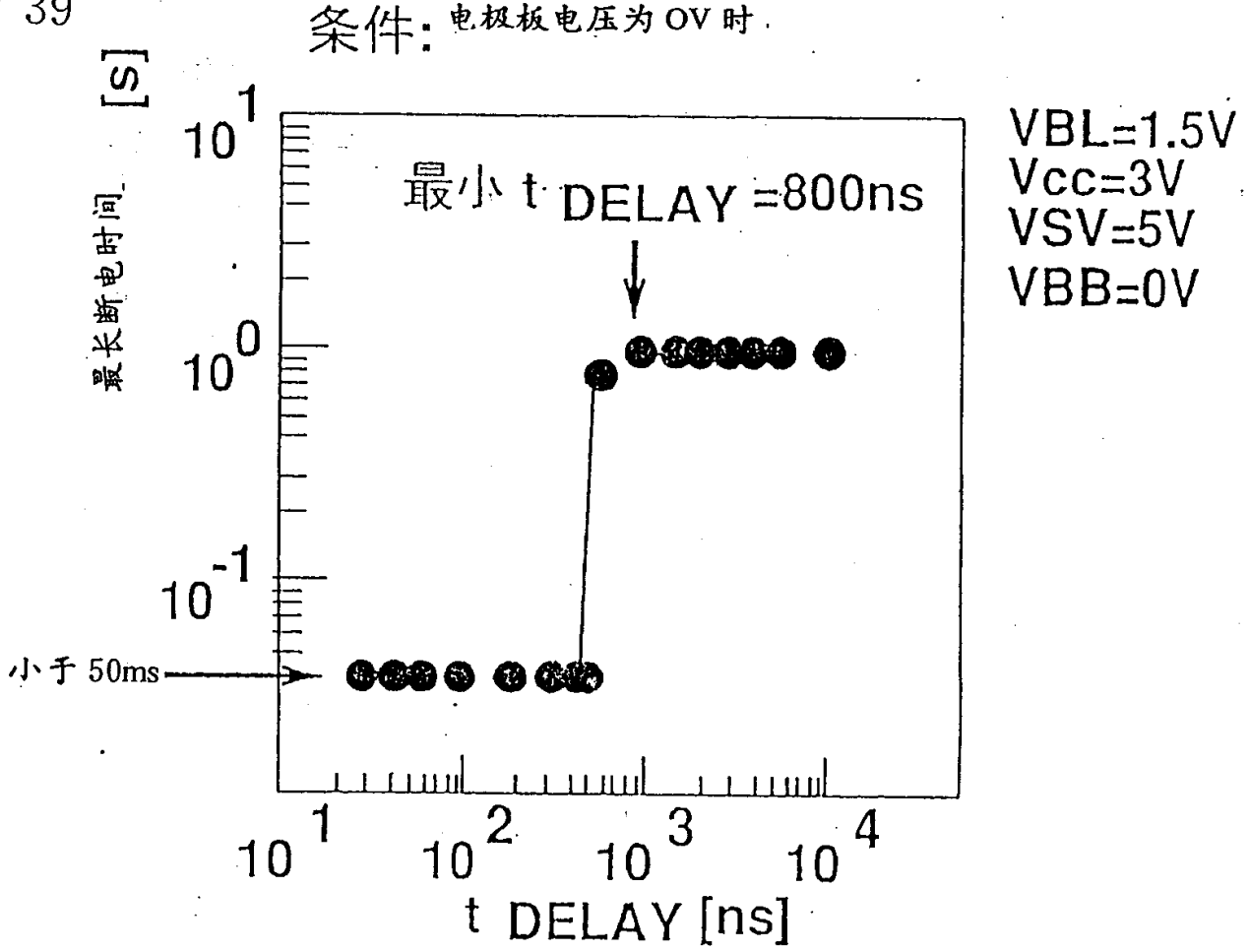
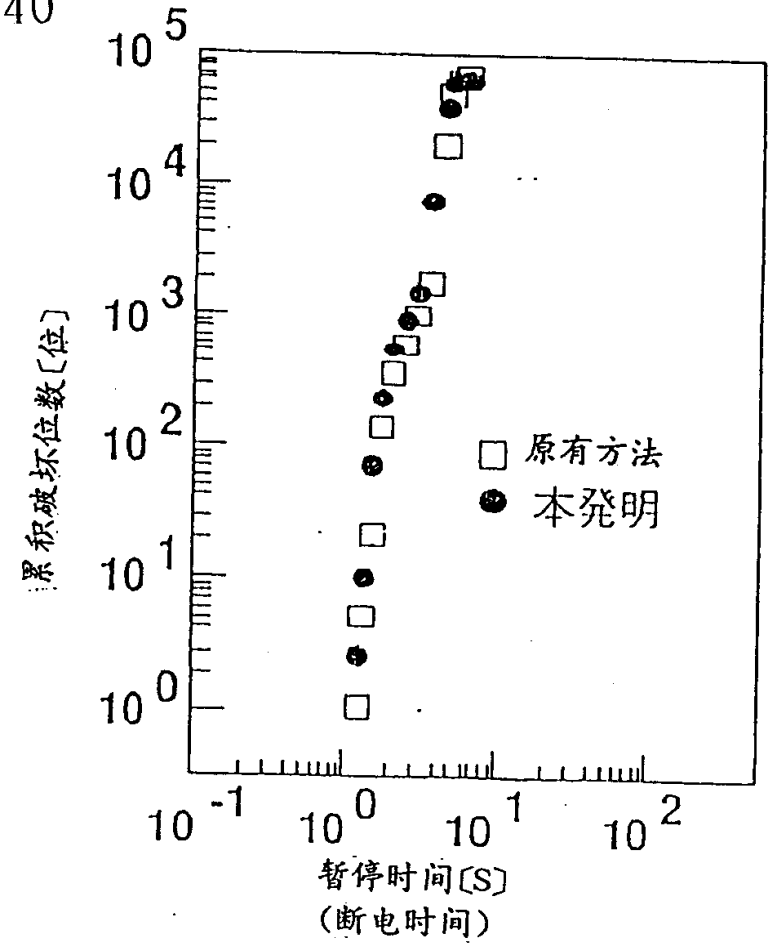


图 40



条件：

原有方法

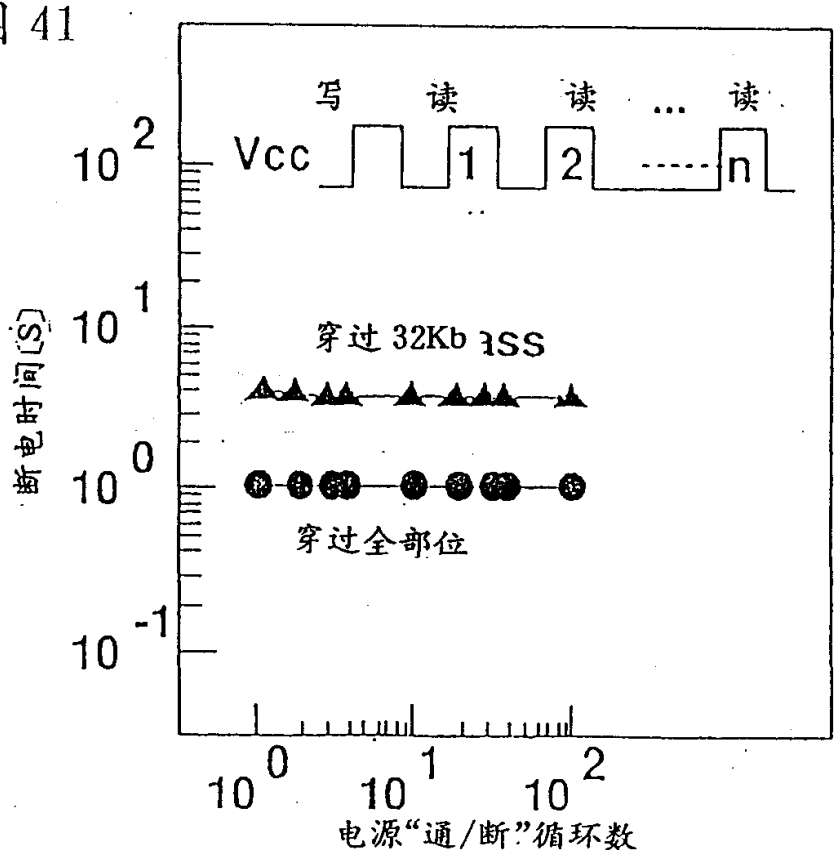
$\left(\begin{array}{l} t_{DELAY}=10us \\ VPL=0V \end{array}\right)$

本发明

(VPL=0V)

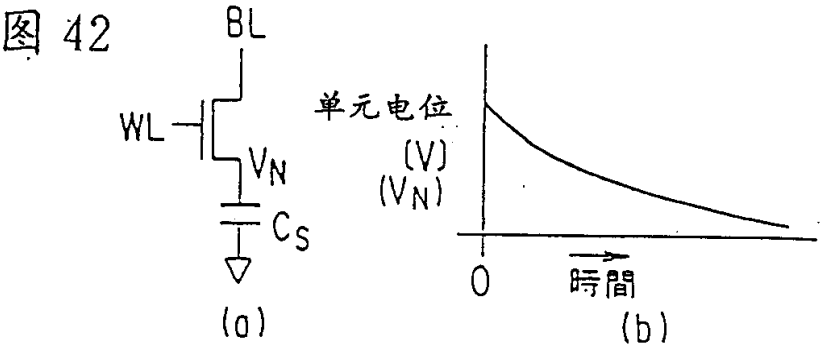
VBL=1.5V
Vcc=3V
VSV=5V
VBB=0V

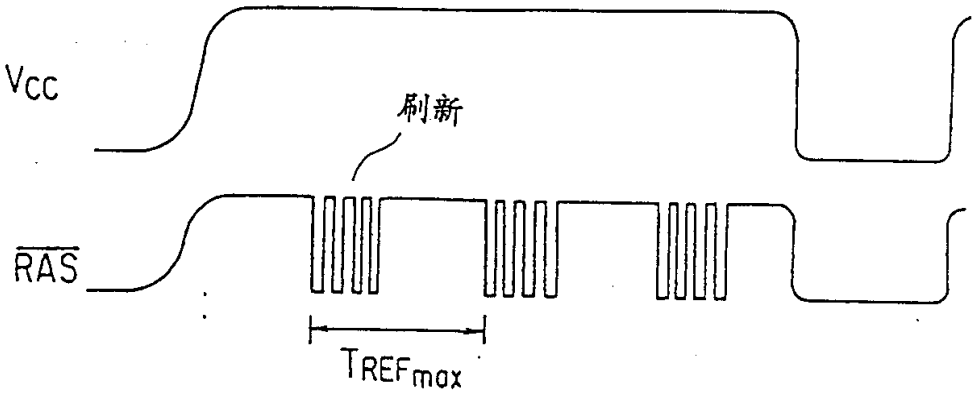
图 41



t_{DELAY} =10us
VPL=0V
VBL=1.5V
Vcc=3V
VSV=5V
VBB=0V

图 42





(c)

	存储器种类	改写次数	速度
可断电非易失性存储器	MROM . EPROM E^2PROM FRAM(铁电体 RAM)	无限(约 10^5次)	慢
不可断电易失性存储器	DRAM SRAM	无限制	快

(d)

图 43

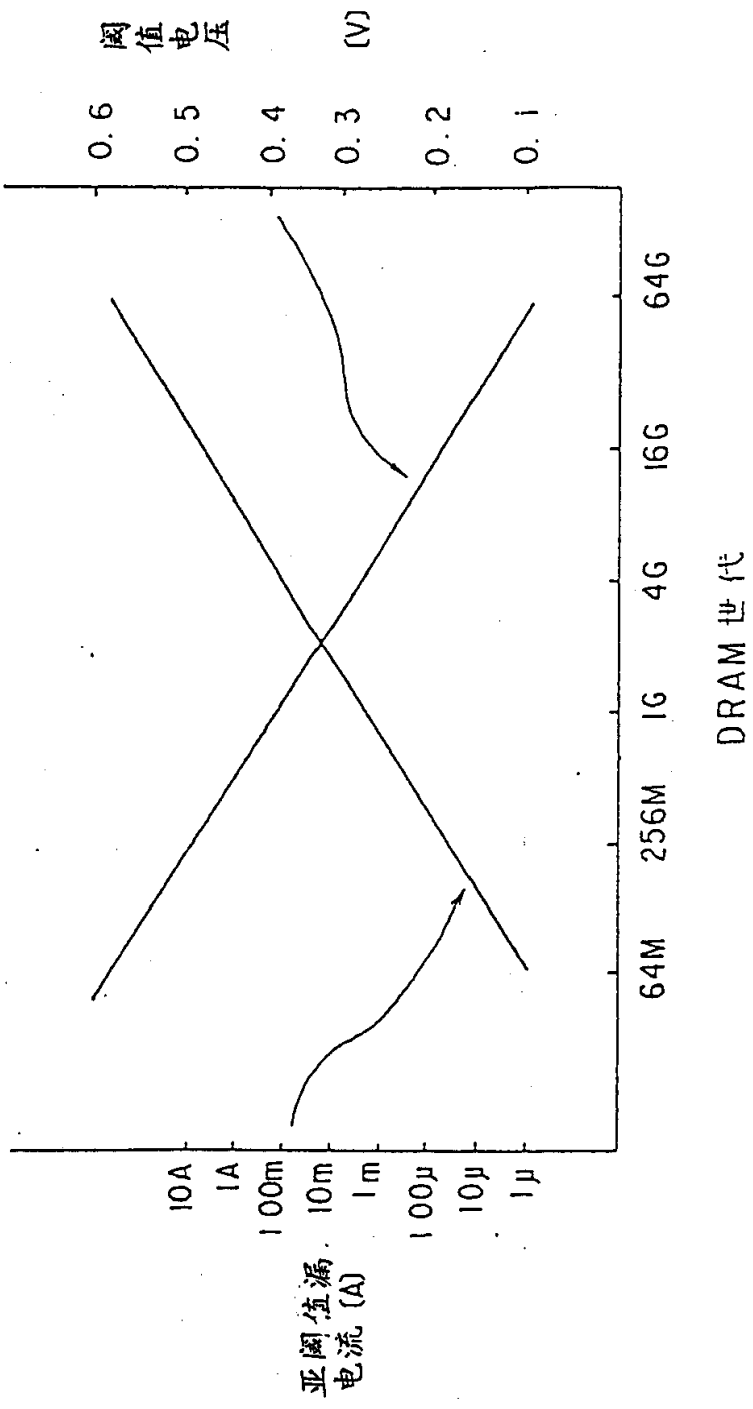
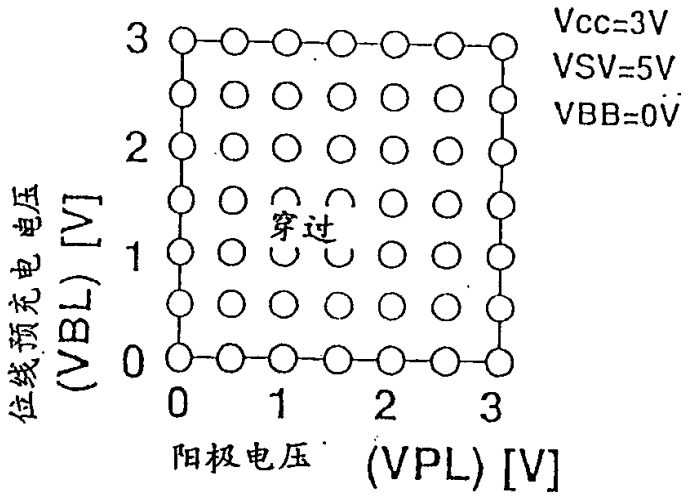
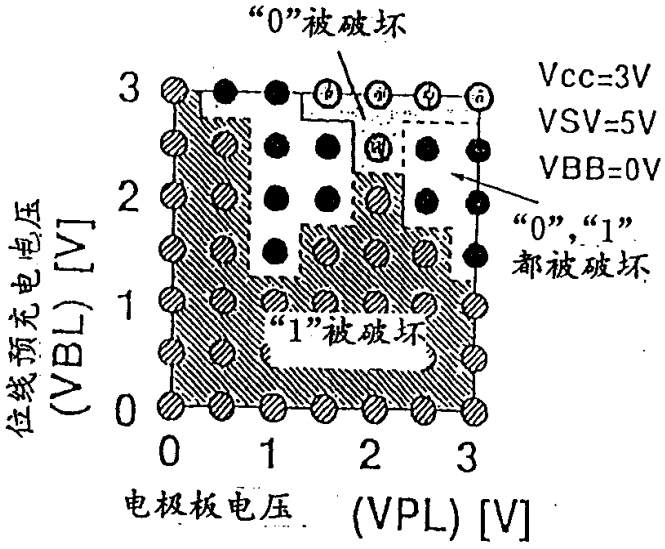

阈值电压 (V)
0.6
0.5
0.4
0.3
0.2
0.1
亚阈值漏电流 (A)
10A
1A
100m
10m
1m
100μ
10μ
1μ
64M
256M
1G
4G
16G
64G
DRAM 世代

图 44



a)不断电时

(t_{REFmax}=0.4S 时的施莫(Schmoo)图)



b)断电时

($t_{POFFmax}$=0.4S 时的施莫(Schmoo)图)