

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-503352

(P2024-503352A)

(43)公表日 令和6年1月25日(2024.1.25)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 23/12 (2006.01)	H 0 1 L 23/12	Q 5 E 3 3 8
H 0 5 K 1/02 (2006.01)	H 0 5 K 1/02	J

審査請求 未請求 予備審査請求 未請求 (全33頁)

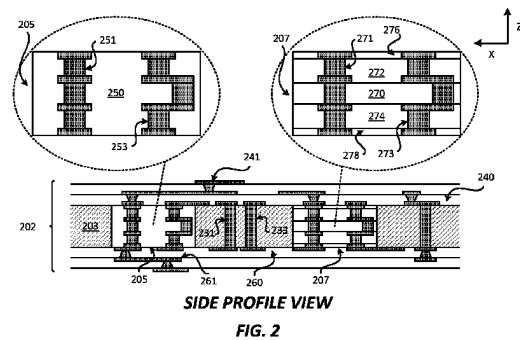
(21)出願番号	特願2023-540569(P2023-540569)	(71)出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(86)(22)出願日	令和3年12月10日(2021.12.10)	(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
(85)翻訳文提出日	令和5年6月30日(2023.6.30)	(72)発明者	パティル、アニケット アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、 モアハウス・ドライブ 5 7 7 5
(86)国際出願番号	PCT/US2021/062859	(72)発明者	ブオト、ジョアン・レイ・ピラーバ アメリカ合衆国、カリフォルニア州 9
(87)国際公開番号	WO2022/154914		
(87)国際公開日	令和4年7月21日(2022.7.21)		
(31)優先権主張番号	17/148,257		
(32)優先日	令和3年1月13日(2021.1.13)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		最終頁に続く

(54)【発明の名称】 スキューマッチングのために構成されたコア層中に相互接続を備える基板

(57)【要約】

集積デバイスと基板とを備えるパッケージ。集積デバイスは基板に結合される。基板は、コア層、コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、コア層の第2の面に結合された少なくとも1つの第2の誘電体層とを含む。基板は、コア層中に配置されたマッチ構造を含む。マッチ構造は、マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続を含む。マッチ構造はまた、マッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を含む。少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、スキューマッチングのために構成される。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

基板であって、
コア層と、

前記コア層中に配置されたマッチ構造と、前記マッチ構造は、

前記マッチ構造中で垂直方向および水平方向に延在する少なくとも 1 つの第 1 のマッチ相互接続、および

前記マッチ構造中で垂直方向に延在する少なくとも 1 つの第 2 のマッチ相互接続を備え、
ここにおいて、前記少なくとも 1 つの第 1 のマッチ相互接続と前記少なくとも 1 つの第 2 のマッチ相互接続とは、スキューマッチングのために構成される、

10

前記コア層の第 1 の面に結合された少なくとも 1 つの第 1 の誘電体層と、
前記コア層の第 2 の面に結合された少なくとも 1 つの第 2 の誘電体層と、
を備える、基板。

【請求項 2】

前記マッチ構造は、少なくとも 1 つの構造誘電体層をさらに備える、請求項 1 に記載の基板。

【請求項 3】

前記マッチ構造は、
構造コア層と、

少なくとも 1 つの構造誘電体層と、

をさらに備える、請求項 1 に記載の基板。

20

【請求項 4】

前記少なくとも 1 つの第 1 のマッチ相互接続は、正の信号のための電気経路を提供するように構成され、

前記少なくとも 1 つの第 2 のマッチ相互接続は、負の信号のための電気経路を提供するように構成される、

請求項 1 に記載の基板。

【請求項 5】

前記正の信号と前記負の信号とは、差動信号のペアとして構成される、請求項 4 に記載の基板。

30

【請求項 6】

前記少なくとも 1 つの第 1 のマッチ相互接続と前記少なくとも 1 つの第 2 のマッチ相互接続とは、マッチ相互接続の差動ペアとして構成される、請求項 1 に記載の基板。

【請求項 7】

前記少なくとも 1 つの第 2 のマッチ相互接続は、相互接続の少なくとも 1 つのターンを含む、請求項 1 に記載の基板。

【請求項 8】

前記少なくとも 1 つの第 1 のマッチ相互接続を含む 2 つの第 1 の端子間の第 1 の電気経路距離は、前記少なくとも 1 つの第 2 のマッチ相互接続を含む 2 つの第 2 の端子間の第 2 の電気経路距離とほぼ同じである、請求項 1 に記載の基板。

40

【請求項 9】

前記少なくとも 1 つの第 1 のマッチ相互接続は、前記マッチ構造の構造誘電体層中で垂直方向および水平方向に延在し、

前記少なくとも 1 つの第 2 のマッチ相互接続は、前記マッチ構造の前記構造誘電体層中で垂直方向に延在する、

請求項 1 に記載の基板。

【請求項 10】

前記基板は、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、スマートフォン、スマートフォン、携帯情報端末 (P D A)、固定ロケーション端末、タブレットコンピュータ、コンピュ

50

ータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット（IoT）デバイス、および自動車両中のデバイスからなるグループから選択されるデバイスに組み込まれる、請求項1に記載の基板。

【請求項11】

パッケージであって、
集積デバイスと、
前記集積デバイスに結合された基板と、を備え、前記基板は、
コア層と、
前記コア層中に配置されたマッチ構造と、前記マッチ構造は、
前記マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続、および

前記マッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を備え、ここにおいて、前記少なくとも1つの第1のマッチ相互接続と前記少なくとも1つの第2のマッチ相互接続とは、スキューマッチングのために構成される、
前記コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、
前記コア層の第2の面に結合された少なくとも1つの第2の誘電体層と、
を備える、パッケージ。

【請求項12】

前記マッチ構造は、少なくとも1つの構造誘電体層をさらに備える、請求項11に記載のパッケージ。

【請求項13】

前記マッチ構造は、
構造コア層と、
少なくとも1つの構造誘電体層と、
をさらに備える、請求項11に記載のパッケージ。

【請求項14】

前記少なくとも1つの第1のマッチ相互接続は、正の信号のための電気経路を提供するように構成され、
前記少なくとも1つの第2のマッチ相互接続は、負の信号のための電気経路を提供するように構成される、
請求項11に記載のパッケージ。

【請求項15】

前記正の信号と前記負の信号とは、差動信号のペアとして構成される、請求項14に記載のパッケージ。

【請求項16】

前記少なくとも1つの第1のマッチ相互接続と前記少なくとも1つの第2のマッチ相互接続とは、相互接続の差動ペアとして構成される、請求項11に記載のパッケージ。

【請求項17】

前記少なくとも1つの第1のマッチ相互接続を含む2つの第1の端子間の第1の電気経路距離は、前記少なくとも1つの第2のマッチ相互接続を含む2つの第2の端子間の第2の電気経路距離とほぼ同じである、請求項11に記載のパッケージ。

【請求項18】

装置であって、
コア層と、
前記コア層中に配置されたスキューマッチングのための手段と、スキューマッチングのための前記手段は、

スキューマッチングのための前記手段中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続、および

スキューマッチングのための前記手段中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を備え、ここにおいて、前記少なくとも1つの第1のマッチ相互接続と

10

20

30

40

50

前記少なくとも1つの第2のマッチ相互接続とは、第1の信号と第2の信号とに時間信号マッチングを提供するように構成される、

前記コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、
前記コア層の第2の面に結合された少なくとも1つの第2の誘電体層と、
を備える、装置。

【請求項19】

前記少なくとも1つの第1のマッチ相互接続は、正の信号のための電気経路を提供するように構成され、

前記少なくとも1つの第2のマッチ相互接続は、負の信号のための電気経路を提供するように構成される、

請求項18に記載の装置。

【請求項20】

前記少なくとも1つの第1のマッチ相互接続を含む2つの第1の端子間の第1の電気経路距離は、前記少なくとも1つの第2のマッチ相互接続を含む2つの第2の端子間の第2の電気経路距離とほぼ同じである、請求項18に記載の装置。

【請求項21】

基板を作製するための方法であって、

コア層に少なくとも1つのキャビティを提供することと、

前記コア層の前記少なくとも1つのキャビティ中にマッチ構造を配置することと、前記マッチ構造は、

前記マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続、および

前記マッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を備え、ここにおいて、前記少なくとも1つの第1のマッチ相互接続と前記少なくとも1つの第2のマッチ相互接続とは、スキューマッチングのために構成される、

前記コア層の第1の面の上に少なくとも1つの第1の誘電体層を形成することと、

前記コア層の第2の面の上に少なくとも1つの第2の誘電体層を形成することと、

を備える、方法。

【請求項22】

前記マッチ構造は、

構造コア層と、

少なくとも1つの構造誘電体層と、

をさらに備える、請求項21に記載の方法。

【請求項23】

前記少なくとも1つの第1のマッチ相互接続は、正の信号のための電気経路を提供するように構成され、

前記少なくとも1つの第2のマッチ相互接続は、負の信号のための電気経路を提供するように構成される、

請求項21に記載の方法。

【請求項24】

前記少なくとも1つの第1のマッチ相互接続を含む2つの第1の端子間の第1の電気経路距離は、前記少なくとも1つの第2のマッチ相互接続を含む2つの第2の端子間の第2の電気経路距離とほぼ同じである、請求項21に記載の方法。

【発明の詳細な説明】

【優先権の主張】

【0001】

相互参照 / 関連出願に対する優先権の主張

[0001]本出願は、その内容全体が以下に全体として完全に記載されるかのように、すべての適用可能な目的のために参照により本明細書に組み込まれる、2021年1月13日に米国特許商標庁で出願された非仮出願第17/148,257号の優先権および利益

10

20

30

40

50

を主張する。

【技術分野】

【0002】

【0002】様々な特徴は、パッケージと基板（substrates）とに関するが、より詳細には、相互接続を含む基板に関する。

【背景技術】

【0003】

【0003】図1は、基板102と、集積デバイス106と、集積デバイス108とを含むパッケージ100を示す。集積デバイス106は、基板102の面に結合される。集積デバイス108は、基板102の面に結合される。第1の基板102は、少なくとも1つの誘電体層120と、複数の相互接続122とを含む。複数のはんだ相互接続130は、基板102に結合される。基板102中の相互接続は多くの空間を占めることがあり、基板102中の相互接続の設計を改善および最適化する必要が目下ある。

10

【発明の概要】

【0004】

【0004】様々な特徴は、パッケージと基板とに関するが、より詳細には、相互接続を含む基板に関する。

【0005】

【0005】一例は、コア層、コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、コア層の第2の面に結合された少なくとも1つの第2の誘電体層とを含む基板を提供する。基板は、コア層中に配置されたマッチ構造（match structure）を含む。マッチ構造は、コア層中で垂直方向および水平方向に延在する（extending）少なくとも1つの第1のマッチ相互接続（match interconnect）を含む。マッチ構造はまた、マッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を含む。少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、スキューマッチング（skew matching）を提供するように構成される。

20

【0006】

【0006】別の例は、基板と、基板に結合された集積デバイスとを含むパッケージを提供する。基板は、コア層、コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、コア層の第2の面に結合された少なくとも1つの第2の誘電体層とを含む。基板は、コア層中に配置されたマッチ構造を含む。マッチ構造は、マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続を含む。マッチ構造はまた、マッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を含む。少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、スキューマッチングを提供するように構成される。

30

【0007】

【0007】別の例は、コア層と、スキューマッチングのための手段と、コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、コア層の第2の面に結合された少なくとも1つの第2の誘電体層とを備える装置を提供する。スキューマッチングのための手段は、コア層中に配置される。スキューマッチングのための手段は、スキューマッチングのための手段中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続、ならびにスキューマッチングのための手段中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を含む。少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、第1の信号と第2の信号とに時間信号マッチングを提供するように構成される。

40

【0008】

【0008】別の例は、基板を作製するための方法を提供する。本方法は、コア層に少なくとも1つのキャビティ（cavity）を提供する。本方法は、コア層の少なくとも1つのキャビティ中にマッチ構造を配置する。マッチ構造は、マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続、ならびにマッチ構造中で垂直方

50

向に延在する少なくとも1つの第2のマッチ相互接続を含む。少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、スキューマッチングを提供するように構成される。本方法は、コア層の第1の面の上に少なくとも1つの第1の誘電体層を形成する。本方法は、コア層の第2の面の上に少なくとも1つの第2の誘電体層を形成する。

【0009】

【0009】様々な特徴、性質、および利点は、同様の参照符号が全体を通じて対応して識別する図面とともに読めば、以下に記載される詳細な説明から明らかになり得る。

【図面の簡単な説明】

【0010】

【図1】【0010】基板と集積デバイスとを含むパッケージを示す図。

【図2】【0011】スキューマッチングのために構成されたコア層中に相互接続を含む例示的な基板の断面図。

【図3】【0012】スキューマッチングのために構成された相互接続のペアの図。

【図4】【0013】相互接続のペアがどのようにスキューマッチングのために構成され得るかの図。

【図5】【0014】スキューマッチングのために構成されたコア層中に相互接続を含む例示的な基板の断面図。

【図6】【0015】スキューマッチングのために構成されたコア層中に相互接続を含む基板を含む例示的なパッケージの断面図。

【図7A】【0016】スキューマッチングのために構成されたコア層中に相互接続を含む基板を作製するための例示的なシーケンスを示す図。

【図7B】スキューマッチングのために構成されたコア層中に相互接続を含む基板を作製するための例示的なシーケンスを示す図。

【図7C】スキューマッチングのために構成されたコア層中に相互接続を含む基板を作製するための例示的なシーケンスを示す図。

【図7D】スキューマッチングのために構成されたコア層中に相互接続を含む基板を作製するための例示的なシーケンスを示す図。

【図8】【0017】スキューマッチングのために構成されたコア層中に相互接続を含む基板を作製するための方法の例示的な流れ図を示す。

【図9A】【0018】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図9B】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図9C】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図9D】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図10A】【0019】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図10B】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図10C】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図10D】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図10E】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

【図10F】スキューマッチングのために構成された相互接続のペアを備えるマッチ構造を作製するための例示的なシーケンスを示す図。

10

20

30

40

50

【図 1 1】[0020]本明細書で説明されるダイ、集積デバイス、集積受動デバイス（IPD）、デバイスパッケージ、パッケージ、集積回路および/またはPCBを統合し得る様々な電子デバイスを示す図。

【発明を実施するための形態】

【0011】

[0021]以下の説明では、本開示の様々な態様の完全な理解を与えるために具体的な詳細が与えられる。しかしながら、態様はこれらの具体的な詳細なしに実践され得ることが当業者によって理解されよう。たとえば、不必要な詳細で態様を不明瞭にするのを避けるために、回路がブロック図で示されることがある。他の事例では、本開示の態様を不明瞭にしないために、よく知られている回路、構造、および技法が詳細に示されないことがある。

10

【0012】

[0022]本開示では、基板と、基板に結合された少なくとも1つの集積デバイスとを含むパッケージについて説明する。基板は、コア層、コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、コア層の第2の面に結合された少なくとも1つの第2の誘電体層とを含む。基板は、コア層中に配置されたマッチ構造を含む。マッチ構造は、マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続を含む。マッチ構造はまた、マッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を含む。少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、スキューマッチング（たとえば、差動信号のペアのためのスキューマッチング）を提供するように構成される。マッチ構造は、少なくとも1つの誘電体層を含み得る。マッチ構造は、構造コア層と、少なくとも1つの誘電体層とを含み得る。少なくとも1つの第1のマッチ相互接続は、第1の信号（たとえば、正の信号）のための電気経路を提供するように構成され得る。少なくとも1つの第2のマッチ相互接続は、第2の信号（たとえば、負の信号）のための電気経路を提供するように構成され得る。正の信号と負の信号とは、差動信号のペアとして構成され得る。第2の信号は第1の信号の反転信号であり得、その逆も同様である。

20

基板のコア層中にマッチ構造を備える例示的なパッケージ

[0023]図2は、スキューマッチングおよび/または信号時間マッチングを提供するように構成された相互接続をもつ少なくとも1つのマッチ構造を含む基板202を示す。基板202は、少なくとも1つの集積デバイスとともにパッケージ中に実装され得る。基板202は、コア層203と、少なくとも1つの第1の誘電体層240と、第1の複数の相互接続241と、少なくとも1つの第2の誘電体層260と、第2の複数の相互接続261と、マッチ構造205と、マッチ構造207と、第1のコア相互接続231と、第2のコア相互接続233とを含む。

30

【0013】

[0024]マッチ構造205はコア層203中に配置される。マッチ構造207はコア層203中に配置される。第1のコア相互接続231と第2のコア相互接続233とは、コア層203中に配置され、コア層203を通過して延在する。第1のコア相互接続231と第2のコア相互接続233とは、差動信号のペアのために構成された電気経路のペアの一部であり得る。少なくとも1つの第1の誘電体層240と、第1の複数の相互接続241とは、コア層203の第1の面（たとえば、上面）に結合される。少なくとも1つの第2の誘電体層260と、第2の複数の相互接続261とは、コア層203の第2の面（たとえば、底面）に結合される。

40

【0014】

[0025]第1の複数の相互接続241は、マッチ構造205、マッチ構造207、第1のコア相互接続231、および/または第2のコア相互接続233に結合される（たとえば、電氣的に結合される）。第2の複数の相互接続261は、マッチ構造205、マッチ構造207、第1のコア相互接続231、および/または第2のコア相互接続233に結合される（たとえば、電氣的に結合される）。

50

【 0 0 1 5 】

【0026】マッチ構造 2 0 5 および / または マッチ構造 2 0 7 は、差動シグナリングにおけるスキューマッチングおよび / または信号時間マッチングを助け得る。マッチ構造 2 0 5 および / または マッチ構造 2 0 7 は、スキューマッチングのための手段であり得る。差動シグナリング（たとえば、差動信号のペア）の使用は、いくつかの利点を提供する。たとえば、差動シグナリングは、電磁干渉（EMI）および / またはクロストークに対してより耐性がある。差動シグナリングはまた、出射する（outgoing）EMI およびクロストークを低減する。差動シグナリングは、シングルエンド信号よりも低い電圧で動作し得る。しかしながら、差動シグナリングでは、各それぞれの信号が進む長さが互いにマッチする（かまたは可能な限り互いに近い）ことが必要になる。したがって、第 1 の信号が距離 X 進む場合、差動信号のペアの一部である第 2 の信号は、理想的には距離 X 進むか、または可能な限り距離 X に近く進むべきである。たとえば、第 1 の信号のための 2 つの端子間の電気経路が有効距離 / 長さ X を有する場合、第 2 の信号のための 2 つの他の端子間の別の電気経路は、有効距離 / 長さ X を有する（かまたは可能な限り X に近い）（たとえば、2 つの有効距離 / 長さ間の差は、有効距離 / 長さ X の 2 % 以内である）。差動シグナリングペアでは、第 1 の信号が第 2 の信号と同じ距離を進み、その逆も同様であることを保証するために、少なくとも 1 つのマッチ構造（たとえば、2 0 5、2 0 7）が使用され得る。異なる実装形態は、端子を別様に画定し得る。端子は集積デバイスの一部であり得る。2 つの端子間の電気経路は、2 つの集積デバイス間の電気経路であり得る。差動信号のペアでは、各それぞれの信号は、集積デバイスの同じペアのために異なる端子のペアに結合され得る。たとえば、(i) 第 1 の集積デバイスと第 2 の集積デバイスとの間の第 1 の信号は、第 1 の集積デバイスの第 1 の端子と第 2 の集積デバイスの第 1 の端子とに結合される（たとえば、電気的に結合される）ように構成された第 1 の電気経路を通して進み得、(i i) 第 1 の集積デバイスと第 2 の集積デバイスとの間の第 2 の信号は、第 1 の集積デバイスの第 2 の端子と第 2 の集積デバイスの第 2 の端子とに結合される（たとえば、電気的に結合される）ように構成された第 2 の電気経路を通して進み得、ここで、第 1 の信号と第 2 の信号とは、差動信号のペアの一部である。

10

20

【 0 0 1 6 】

【0027】マッチ構造 2 0 5 は、少なくとも 1 つの誘電体層 2 5 0（たとえば、構造誘電体層）と、第 1 の複数のマッチ相互接続 2 5 1 と、第 2 の複数のマッチ相互接続 2 5 3 とを含む。第 1 の複数のマッチ相互接続 2 5 1 は、マッチ構造 2 0 5 の少なくとも 1 つの誘電体層 2 5 0 を通って延在する（たとえば、垂直方向に延在する）。第 2 の複数のマッチ相互接続 2 5 3 は、マッチ構造 2 0 5 の少なくとも 1 つの誘電体層 2 5 0 を通って延在する（たとえば、垂直方向および / または水平方向に延在する）。

30

【 0 0 1 7 】

【0028】第 1 の複数のマッチ相互接続 2 5 1 と第 2 の複数のマッチ相互接続 2 5 3 とは、相互接続の差動ペアである。第 1 の複数のマッチ相互接続 2 5 1 は、第 1 の信号のための電気経路を提供するように構成される。第 2 の複数のマッチ相互接続 2 5 3 は、第 2 の信号のための電気経路を提供するように構成される。第 1 の信号と第 2 の信号とは、高速信号であり得る。第 1 の信号と第 2 の信号とは、差動信号のペアであり得る。第 1 の信号は正の信号であり得、第 2 の信号は負の信号であり得る。第 2 の信号は正の信号であり得、第 1 の信号は負の信号であり得る。第 2 の信号は第 1 の信号の反対の信号であり得、その逆も同様である。第 2 の信号は第 1 の信号の反転信号であり得、その逆も同様である。

40

【 0 0 1 8 】

【0029】第 1 の複数のマッチ相互接続 2 5 1 は、第 1 の電気経路長さ（たとえば、第 1 の有効電気経路長さ）を有する。第 2 の複数のマッチ相互接続 2 5 3 は、第 2 の電気経路長さ（たとえば、第 2 の有効電気経路長さ）を有する。第 1 の複数のマッチ相互接続 2 5 1 は、第 2 の複数のマッチ相互接続 2 5 3 の電気経路長さよりも小さい電気経路長さを有する。第 1 の複数のマッチ相互接続 2 5 1 は、2 つの第 1 の端子（たとえば、第 1 の集積デバイスの第 1 の端子および第 2 の集積デバイスの第 1 の端子）間の第 1 の電気経路の一

50

部である。第2の複数のマッチ相互接続253は、2つの第2の端子（たとえば、第1の集積デバイスの第2の端子および第2の集積デバイスの第2の端子）間の第2の電気経路の一部である。第2の複数のマッチ相互接続253は、マッチ構造205中に様々なターンをもつ蛇行設計（serpentine design）を有し得る。マッチ構造205は、2つの第1の端子間の第1の電気経路長さが、2つの第2の端子間の第2の電気経路長さと同じまたはほぼ同じになることを保証するのを助ける。2つの第1の端子は、2つの集積デバイス間の端子のペアであり得る。2つの第2の端子は、同じ2つの集積デバイス間の端子のペアであり得る。2つの集積デバイスは、基板202、他の基板および/またはボード（たとえば、プリント回路板）に結合され得る。

【0019】

[0030] マッチ構造207は、構造コア層270と、誘電体層272（たとえば、構造誘電体層）と、誘電体層274（たとえば、構造誘電体層）と、誘電体層276（たとえば、構造誘電体層）と、誘電体層278（たとえば、構造誘電体層）と、第1の複数のマッチ相互接続271と、第2の複数のマッチ相互接続273とを含む。第1の複数のマッチ相互接続271は、マッチ構造207の誘電体層を通して延在する（たとえば、垂直方向に延在する）。第2の複数のマッチ相互接続273は、マッチ構造207の誘電体層を通して延在する（たとえば、垂直方向および/または水平方向に延在する）。

【0020】

[0031] 第1の複数のマッチ相互接続271と第2の複数のマッチ相互接続273とは、相互接続の差動ペアである。第1の複数のマッチ相互接続271は、第3の信号のための電気経路を提供するように構成される。第2の複数のマッチ相互接続273は、第4の信号のための電気経路を提供するように構成される。第3の信号と第4の信号とは、高速信号であり得る。第3の信号と第4の信号とは、差動信号のペアであり得る。第3の信号は正の信号であり得、第4の信号は負の信号であり得る。第4の信号は正の信号であり得、第3の信号は負の信号であり得る。第4の信号は第3の信号の反対の信号であり得、その逆も同様である。第4の信号は第3の信号の反転信号であり得、その逆も同様である。

【0021】

[0032] 第1の複数のマッチ相互接続271は、第3の電気経路長さ（たとえば、第3の有効電気経路長さ）を有する。第2の複数のマッチ相互接続273は、第4の電気経路長さ（たとえば、第4の有効電気経路長さ）を有する。第3の複数のマッチ相互接続271は、第2の複数のマッチ相互接続273の電気経路長さよりも小さい電気経路長さを有する。第1の複数のマッチ相互接続271は、2つの第1の端子間の第3の電気経路の一部である。第2の複数のマッチ相互接続273は、2つの第2の端子間の第4の電気経路の一部である。第2の複数のマッチ相互接続273は、マッチ構造207中に様々なターンをもつ蛇行設計を有し得る。マッチ構造207は、2つの第1の端子間の第3の電気経路長さが、2つの第2の端子間の第4の電気経路長さと同じまたはほぼ同じになることを保証するのを助ける。2つの第1の端子は、2つの集積デバイス間の端子のペアであり得る。2つの第2の端子は、同じ2つの集積デバイス間の端子のペアであり得る。2つの集積デバイスは、基板202、他の基板および/またはボード（たとえば、プリント回路板）に結合され得る。

【0022】

[0033] 図3は、差動シグナリングペアの一部である相互接続の例示的なペアを示す。図3は、第1の複数の相互接続301と第2の複数の相互接続303とを示している。第1の複数の相互接続301は、第1の複数のマッチ相互接続251および/または第1の複数のマッチ相互接続271の表現であり得る。第1の複数の相互接続303は、第2の複数のマッチ相互接続253および/または第2の複数のマッチ相互接続273の表現であり得る。

【0023】

[0034] 第1の複数の相互接続301は、相互接続310（たとえば、パッド（pad））と、相互接続311（たとえば、ビア（via））と、相互接続312（たとえば、パッ

10

20

30

40

50

ド)と、相互接続 3 1 3 (たとえば、ビア)と、相互接続 3 1 4 (たとえば、パッド)と、相互接続 3 1 5 (たとえば、ビア)と、相互接続 3 1 6 (たとえば、パッド)とを含む。複数の相互接続 3 0 1 は垂直方向に延在する。いくつかの実装形態では、第 1 の複数の相互接続 3 0 1 は、2 つの第 1 の端子 (たとえば、第 1 の集積デバイスの第 1 の端子および第 2 の集積デバイスの第 1 の端子)間の第 1 の電気経路の一部である。

【0024】

[0035]第 2 の複数の相互接続 3 0 3 は、相互接続 3 3 0 (たとえば、パッド)と、相互接続 3 3 1 (たとえば、ビア)と、相互接続 3 3 2 (たとえば、トレース (trace)、パッド)と、相互接続 3 3 3 (たとえば、ビア)と、相互接続 3 3 4 (たとえば、トレース、パッド)と、相互接続 3 3 5 (たとえば、ビア)と、相互接続 3 3 6 (たとえば、パッド)とを含む。複数の相互接続 3 0 3 は、垂直方向および水平方向に延在する。いくつかの実装形態では、第 2 の複数の相互接続 3 0 3 は、2 つの第 2 の端子 (たとえば、第 1 の集積デバイスの第 2 の端子および第 2 の集積デバイスの第 2 の端子)間の第 2 の電気経路の一部である。

10

【0025】

[0036]図 4 は、マッチ構造を実装することがどのようにパッケージおよび/または基板を改善することに役立つかを示す。図 4 は、基板 4 0 2 の第 1 の設計 4 0 0 と、基板 4 0 2 の第 2 の設計 4 0 1 とを示している。基板 4 0 2 の設計 4 0 0 は、少なくとも 1 つの相互接続 4 1 0 と、少なくとも 1 つの相互接続 4 1 2 と、複数の相互接続 4 1 4 と、少なくとも 1 つの相互接続 4 2 0 と、少なくとも 1 つの相互接続 4 2 2 と、複数の相互接続 4 2 4 と、はんだレジスト層 4 3 0 とを含む。少なくとも 1 つの相互接続 4 1 0 と少なくとも 1 つの相互接続 4 1 2 とは、様々な金属層上にパッドを含み得る。少なくとも 1 つの相互接続 4 1 0 と、少なくとも 1 つの相互接続 4 1 2 と、複数の相互接続 4 1 4 とは、差動信号のペアからの第 1 の信号のための第 1 の電気経路の一部である。少なくとも 1 つの相互接続 4 2 0 と少なくとも 1 つの相互接続 4 2 2 とは、様々な金属層上にパッドを含み得る。少なくとも 1 つの相互接続 4 2 0 と、少なくとも 1 つの相互接続 4 2 2 と、複数の相互接続 4 2 4 とは、差動信号のペアからの第 2 の信号のための第 2 の電気経路の一部である。複数の相互接続 4 2 4 は、第 2 の電気経路の全長 (たとえば、有効長さ)が第 1 の電気経路の全長 (たとえば、有効長さ)にマッチすることを保証するために、基板 4 0 2 の誘電体層上に形成される。

20

30

【0026】

[0037]基板 4 0 2 の設計 4 0 1 は、少なくとも 1 つの相互接続 4 1 0 と、少なくとも 1 つの相互接続 4 1 2 と、複数の相互接続 4 1 4 と、少なくとも 1 つの相互接続 4 2 0 と、少なくとも 1 つの相互接続 4 2 2 と、複数の相互接続 4 2 6 と、はんだレジスト層 4 3 0 とを含む。設計 4 0 1 は設計 4 0 0 と同様であり得る。ただし、設計 4 0 0 の複数の相互接続 4 2 4 は、複数の相互接続 4 2 6 として実装されている。複数の相互接続 4 2 6 は、基板 4 0 2 のコア層中に実装され得る。複数の相互接続 4 2 6 は、複数の相互接続 3 0 3、複数のマッチ相互接続 2 5 3、および/または複数のマッチ相互接続 2 7 3 として実装され得る。

【0027】

[0038]少なくとも 1 つの相互接続 4 2 0 と、少なくとも 1 つの相互接続 4 2 2 と、複数の相互接続 4 2 6 とは、差動信号のペアからの第 2 の信号のための第 2 の電気経路の一部である。複数の相互接続 4 2 6 は、第 2 の電気経路の全長 (たとえば、有効長さ)が第 1 の電気経路の全長 (たとえば、有効長さ)にマッチすることを保証するために、基板 4 0 2 のコア層中に形成される。設計 4 0 1 では、他の相互接続のルーティングのために使用され得る空間 4 5 0 を基板 4 0 2 中に作成する。図 4 は、コア層における蛇行設計が、回路の任意の追加の相互接続のための追加の空間を作成することによって、どのように基板における相互接続の改善された全体的なルーティングをもたらすことができるかを示している。

40

【0028】

50

[0039]異なるマッチ構造は、異なる設計および/または形状を有し得る。図5は、スキューマッチングおよび/または信号時間マッチングを提供するように構成された相互接続をもつ少なくとも1つのマッチ構造を含む基板502を示す。基板502は、少なくとも1つの集積デバイスとともにパッケージ中に実装され得る。基板502は、図2に記載されている基板202と同様である。基板502は、基板202と同じまたは同様の構成要素を含み得る。基板502は、基板202について記載されているマッチ構造とは異なるマッチ構造を含む。

【0029】

[0040]図5に示されているように、基板502は、マッチ構造505とマッチ構造507とを含む。マッチ構造505および/またはマッチ構造507は、スキューマッチングのための手段であり得る。マッチ構造505および507は、マッチ構造205および/または207の相互接続とは異なる設計をもつ相互接続を含む。たとえば、マッチ構造205および/または207は、異なる数のターンをもつ相互接続を含む。マッチ構造505および507は、コア層203中に配置される。マッチ構造505および/または507は、第1の複数の相互接続241および/または第2の複数の相互接続261に結合される。

10

【0030】

[0041]マッチ構造505は、少なくとも1つの誘電体層250と、第1の複数のマッチ相互接続551と、第2の複数のマッチ相互接続553とを含む。第1の複数のマッチ相互接続551は、マッチ構造505の少なくとも1つの誘電体層250を通して延在する(たとえば、垂直方向に延在する)。第2の複数のマッチ相互接続553は、マッチ構造505の少なくとも1つの誘電体層250を通して延在する(たとえば、垂直方向および/または水平方向に延在する)。

20

【0031】

[0042]第1の複数のマッチ相互接続551と第2の複数のマッチ相互接続553とは、相互接続の差動ペアである。第1の複数のマッチ相互接続551は、第1の信号のための電気経路を提供するように構成される。第2の複数のマッチ相互接続553は、第2の信号のための電気経路を提供するように構成される。第1の信号と第2の信号とは、高速信号であり得る。第1の信号と第2の信号とは、差動信号のペアであり得る。第1の信号は正の信号であり得、第2の信号は負の信号であり得る。第2の信号は正の信号であり得、第1の信号は負の信号であり得る。第2の信号は第1の信号の反対の信号であり得、その逆も同様である。第2の信号は第1の信号の反転信号であり得、その逆も同様である。

30

【0032】

[0043]第1の複数のマッチ相互接続551は、第1の電気経路長さを有する。第2の複数のマッチ相互接続553は、第2の電気経路長さを有する。第1の複数のマッチ相互接続551は、第2の複数のマッチ相互接続553の電気経路長さよりも小さい電気経路長さを有する。第1の複数のマッチ相互接続551は、2つの第1の端子間の第1の電気経路の一部である。第2の複数のマッチ相互接続553は、2つの第2の端子間の第2の電気経路の一部である。第2の複数のマッチ相互接続553は、様々なターンをもつ蛇行設計を有し得る。マッチ構造505は、2つの第1の端子間の第1の電気経路長さが、2つの第2の端子間の第2の電気経路長さと同じまたはほぼ同じになることを保証するのを助ける。2つの第1の端子は、2つの集積デバイス間の端子のペアであり得る。2つの第2の端子は、同じ2つの集積デバイス間の端子のペアであり得る。2つの集積デバイスは、基板502、他の基板および/またはボード(たとえば、プリント回路板)に結合され得る。

40

【0033】

[0044]マッチ構造507は、構造コア層270と、誘電体層272と、誘電体層274と、誘電体層276と、誘電体層278と、誘電体層572(たとえば、構造誘電体層)と、誘電体層574(たとえば、構造誘電体層)と、第1の複数のマッチ相互接続571と、第2の複数のマッチ相互接続573とを含む。第1の複数のマッチ相互接続571

50

は、マッチ構造 5 0 7 の少なくとも 1 つの誘電体層を通して延在する（たとえば、垂直方向に延在する）。第 2 の複数のマッチ相互接続 5 7 3 は、マッチ構造 5 0 7 の誘電体層を通して延在する（たとえば、垂直方向および / または水平方向に延在する）。

【 0 0 3 4 】

[0045] 第 1 の複数のマッチ相互接続 5 7 1 と第 2 の複数のマッチ相互接続 5 7 3 とは、相互接続の差動ペアである。第 1 の複数のマッチ相互接続 5 7 1 は、第 3 の信号のための電気経路を提供するように構成される。第 2 の複数のマッチ相互接続 5 7 3 は、第 4 の信号のための電気経路を提供するように構成される。第 3 の信号と第 4 の信号とは、高速信号であり得る。第 3 の信号と第 4 の信号とは、差動信号のペアであり得る。第 3 の信号は正の信号であり得、第 4 の信号は負の信号であり得る。第 4 の信号は正の信号であり得、第 3 の信号は負の信号であり得る。第 4 の信号は第 3 の信号の反対の信号であり得、その逆も同様である。第 4 の信号は第 3 の信号の反転信号であり得、その逆も同様である。

10

【 0 0 3 5 】

[0046] 第 1 の複数のマッチ相互接続 5 7 1 は、第 3 の電気経路長さを有する。第 2 の複数のマッチ相互接続 5 7 3 は、第 4 の電気経路長さを有する。第 3 の複数のマッチ相互接続 5 7 1 は、第 2 の複数のマッチ相互接続 5 7 3 の電気経路長さよりも小さい電気経路長さを有する。第 1 の複数のマッチ相互接続 5 7 1 は、2 つの第 1 の端子間の第 3 の電気経路の一部である。第 2 の複数のマッチ相互接続 5 7 3 は、2 つの第 2 の端子間の第 4 の電気経路の一部である。第 2 の複数のマッチ相互接続 5 7 3 は、様々なターンをもつ蛇行設計を有し得る。マッチ構造 5 0 7 は、2 つの第 1 の端子間の第 3 の電気経路長さが、2 つの第 2 の端子間の第 4 の電気経路長さと同じまたはほぼ同じになることを保証するのを助ける。2 つの第 1 の端子は、2 つの集積デバイス間の端子のペアであり得る。2 つの第 2 の端子は、同じ 2 つの集積デバイス間の端子のペアであり得る。2 つの集積デバイスは、基板 5 0 2、他の基板および / またはボード（たとえば、プリント回路板）に結合され得る。

20

【 0 0 3 6 】

[0047] 図 6 は、基板 2 0 2 と、集積デバイス 3 0 4 と、集積デバイス 3 0 8 とを含むパッケージ 6 0 0 を示す。集積デバイス 3 0 4 は、複数のはんだ相互接続 3 4 0 を通って基板 2 0 2 に結合される。集積デバイス 3 0 8 は、複数のはんだ相互接続 3 8 0 を通って基板 2 0 2 に結合される。

30

【 0 0 3 7 】

[0048] いくつかの実装形態では、集積デバイス 3 0 4 は、差動シグナリングペアとしてマッチ構造 2 0 5 を通って別の集積デバイスに電氣的に結合されるように構成され得る。たとえば、集積デバイス 3 0 4 は、複数のはんだ相互接続 3 4 0 と、第 1 の複数の相互接続 2 4 1 と、マッチ構造 2 0 5 の相互接続と、第 2 の複数の相互接続 2 6 1 とに電氣的に結合されるように構成され得る。マッチ構造 2 0 5 は、集積デバイス 3 0 4 におよび / またはそれから進む信号のペアにスキューマッチングおよび / または信号時間マッチングを提供するように構成され得る。たとえば、マッチ構造 2 0 5 は、集積デバイス 3 0 4 に進んでいる第 1 の信号が、集積デバイス 3 0 4 に進んでいる第 2 の信号と同時に到着することを保証するのを助け、ここで、第 1 の信号と第 2 の信号とは、差動信号のペアである。別の例では、マッチ構造 2 0 5 は、集積デバイス 3 0 4 から進んでいる第 1 の信号が、集積デバイス 3 0 4 から進んでいる第 2 の信号と同時に別の集積デバイスに到着することを保証するのを助け、ここで、第 1 の信号と第 2 の信号とは、差動信号のペアである。マッチ構造 2 0 5 を通して集積デバイス 3 0 4 から / に第 1 の信号と第 2 の信号とを受信および / または送信するように構成された他の集積デバイスは、基板 3 0 2、別の基板、またはボード（たとえば、プリント回路板）に結合され得る。

40

【 0 0 3 8 】

[0049] いくつかの実装形態では、集積デバイス 3 0 8 は、差動シグナリングペアとしてマッチ構造 2 0 7 を通って別の集積デバイスに電氣的に結合されるように構成され得る。たとえば、集積デバイス 3 0 8 は、複数のはんだ相互接続 3 8 0 と、第 2 の複数の相互

50

接続 2 4 1 と、マッチ構造 2 0 7 の相互接続と、第 2 の複数の相互接続 2 6 1 とに電氣的に結合されるように構成され得る。マッチ構造 2 0 7 は、集積デバイス 3 0 8 におよび / またはそれから進む信号のペアにスキューマッチングおよび / または信号時間マッチングを提供するように構成され得る。たとえば、マッチ構造 2 0 7 は、集積デバイス 3 0 8 に進んでいる第 1 の信号が、集積デバイス 3 0 8 に進んでいる第 2 の信号と同時に到着することを保証するのを助け、ここで、第 1 の信号と第 2 の信号とは、差動信号のペアである。別の例では、マッチ構造 2 0 7 は、集積デバイス 3 0 8 から進んでいる第 1 の信号が、集積デバイス 3 0 8 から進んでいる第 2 の信号と同時に別の集積デバイスに到着することを保証するのを助け、ここで、第 1 の信号と第 2 の信号とは、差動信号のペアである。マッチ構造 2 0 7 を通して集積デバイス 3 0 8 から / に第 1 の信号と第 2 の信号とを受信および / または送信するように構成された他の集積デバイスは、基板 3 0 2、別の基板、またはボード（たとえば、プリント回路板）に結合され得る。

10

【 0 0 3 9 】

【0050】本開示で説明される基板（たとえば、5 0 2）のいずれもパッケージとともに実装され得ることに留意されたい。また、マッチ構造（たとえば、2 0 5、2 0 7、5 0 5、5 0 7）のいずれも基板中に実装され得ることに留意されたい。また、基板は、任意の数のマッチ構造および / または異なるマッチ構造の異なる組合せを含み得ることに留意されたい。様々なマッチ構造をもつ様々な基板について説明したが、次に、基板を作製するためのプロセスについて以下で説明される。

20

マッチ構造を含む基板を作製するための例示的なシーケンス

【0051】いくつかの実装形態では、マッチ構造を含む基板を作製することは、いくつかのプロセスを含む。図 7 A ~ 図 7 D は、少なくとも 1 つのマッチ構造を含む基板を提供または作製するための例示的なシーケンスを示す。いくつかの実装形態では、図 7 A ~ 図 7 D のシーケンスは、図 2 の基板 2 0 2 を提供または作製するために使用され得る。しかしながら、図 7 A ~ 図 7 D のプロセスは、本開示で説明される基板のいずれをも作製するために使用され得る。

【 0 0 4 0 】

【0052】図 7 A ~ 図 7 D のシーケンスは、基板を提供または作製するためのシーケンスを簡略化および / または明確化するために、1 つまたは複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序が変更または修正され得る。いくつかの実装形態では、プロセスのうちの 1 つまたは複数が、本開示の趣旨から逸脱することなく、交換または代用され得る。

30

【 0 0 4 1 】

【0053】段階 1 は、図 7 A に示されているように、コア層 2 0 3 が用意された後の状態を示す。コア層 2 0 3 は金属層（たとえば、箔（foil））を含み得る。

【 0 0 4 2 】

【0054】段階 2 は、複数のキャビティ 7 0 1 がコア層 2 0 3 中に形成された後の状態を示す。複数のキャビティ 7 0 1 は、コア層 2 0 3 を通って延在し得る。複数のキャビティ 7 0 1 を形成するためにレーザープロセス（たとえば、レーザーアブレーション）が使用され得る。

40

【 0 0 4 3 】

【0055】段階 3 は、コア層 2 0 3 がテープ 7 1 0 に結合された後の状態、またはその逆の状態を示す。テープ 7 1 0 は粘着テープを含み得る。

【 0 0 4 4 】

【0056】段階 4 は、少なくとも 1 つのマッチ構造 2 0 5 がキャビティ 7 0 1 中に配置され、少なくとも 1 つのマッチ構造 2 0 7 が別のキャビティ 7 0 1 中に配置された後の状態を示す。異なる実装形態は、キャビティ 7 0 1 中に異なるマッチ構造（たとえば、5 0 5、5 0 7）を配置し得る。異なる実装形態は、キャビティ中に異なる数のマッチ構造および / またはマッチ構造の異なる組合せを配置し得る。コア層 2 0 3 のキャビティ 7 0 1 中にマッチ構造を配置するためにピックアンドペースプロセスが使用され得る。マッチ構

50

造がどのように作製されるかの例は、図 9 A ~ 図 9 D および / または 図 10 A ~ 図 10 F において図示および説明される。

【 0 0 4 5 】

【0057】段階 5 は、図 7 B に示されているように、誘電体層 7 2 0 が、コア層 2 0 3 の第 1 の面（たとえば、上面）と、マッチ構造 2 0 5 と、マッチ構造 2 0 7 との上に形成された後の状態を示す。誘電体層 7 2 0 を形成するために堆積プロセスが使用され得る。

【 0 0 4 6 】

【0058】段階 6 は、テープ 7 1 0 がコア層 2 0 3 から分離され、誘電体層 7 3 0 が、コア層 2 0 3 の第 2 の面（たとえば、底面）と、マッチ構造 2 0 5 と、マッチ構造 2 0 7 との上に形成された後の状態を示す。誘電体層 7 3 0 を形成するために堆積プロセスが使用され得る。

10

【 0 0 4 7 】

【0059】段階 7 は、複数のキャビティ 7 2 1 が誘電体層 7 2 0 を通って形成され、複数のキャビティ 7 2 3 がコア層 2 0 3 を通って形成され、複数のキャビティ 7 3 3 が誘電体層 7 3 0 を通って形成された後の状態を示す。キャビティを形成するためにレーザープロセス（たとえば、レーザーアブレーション）が使用され得る。

【 0 0 4 8 】

【0060】段階 8 は、複数の相互接続 7 2 2 と、複数の相互接続 7 3 2 と、複数の相互接続 7 2 4 とが形成された後の状態を示す。複数の相互接続 7 2 4 はキャビティ 7 2 3 中に形成される。相互接続 7 2 2、7 2 4、および / または 7 3 2 を形成するためにめっきプロセスまたはペースト化プロセスが使用され得る。

20

【 0 0 4 9 】

【0061】段階 9 は、図 7 C に示されているように、誘電体層 7 4 0 が形成され、誘電体層 7 5 0 が形成された後の状態を示す。誘電体層 7 4 0 を形成するために堆積プロセスが使用され得る。誘電体層 7 4 0 は誘電体層 7 2 0 を含み得る。誘電体層 7 5 0 を形成するために堆積プロセスが使用され得る。誘電体層 7 5 0 は誘電体層 7 3 0 を含み得る。

【 0 0 5 0 】

【0062】段階 1 0 は、複数のキャビティ 7 4 1 が誘電体層 7 4 0 中に形成され、複数のキャビティ 7 5 1 が誘電体層 7 5 0 中に形成された後の状態を示す。キャビティ 7 4 1 および 7 5 1 を形成するためにレーザープロセス（たとえば、レーザーアブレーション）、リソグラフィプロセス（たとえば、露光（exposure）および現像（development））、ならびに / またはエッチングプロセスが使用され得る。

30

【 0 0 5 1 】

【0063】段階 1 1 は、（ i ）複数の相互接続 7 4 2 が誘電体層 7 4 0 中におよび / またはその上に形成され、（ i i ）複数の相互接続 7 5 2 が誘電体層 7 5 0 中におよび / またはその上に形成された後の状態を示す。相互接続 7 4 2 および 7 5 2 を形成するためにパターンニングプロセスおよびめっきプロセスが使用され得る。相互接続 7 4 2 のいくつかはキャビティ 7 4 1 中に形成され得る。相互接続 7 5 2 のいくつかはキャビティ 7 5 1 中に形成され得る。複数の相互接続 7 4 2 および 7 5 2 は、ビア、パッドおよび / またはトレースを含み得る。

40

【 0 0 5 2 】

【0064】段階 1 2 は、図 7 D に示されているように、誘電体層 7 6 0 が形成され、誘電体層 7 7 0 が形成された後の状態を示す。誘電体層 7 6 0 は誘電体層 7 4 0 上に形成される。誘電体層 7 7 0 は誘電体層 7 5 0 上に形成される。誘電体層 7 6 0 を形成するために堆積プロセスが使用され得る。誘電体層 7 7 0 を形成するために堆積プロセスが使用され得る。

【 0 0 5 3 】

【0065】段階 1 3 は、複数のキャビティ 7 6 1 が誘電体層 7 6 0 中に形成され、複数のキャビティ 7 7 1 が誘電体層 7 7 0 中に形成された後の状態を示す。キャビティ 7 6 1 および 7 7 1 を形成するためにレーザープロセス（たとえば、レーザーアブレーション）、

50

リソグラフィプロセス（たとえば、露光および現像）、ならびに／またはエッチングプロセスが使用され得る。

【0054】

[0066]段階14は、(i)複数の相互接続762が誘電体層760中におよび／またはその上に形成され、(ii)複数の相互接続772が誘電体層770中におよび／またはその上に形成された後の状態を示す。相互接続762および772を形成するためにパターンングプロセスおよびめっきプロセスが使用され得る。相互接続762のいくつかはキャビティ761中に形成され得る。相互接続772のいくつかはキャビティ771中に形成され得る。相互接続762および772は、ビア、パッドおよび／またはトレースを含み得る。

10

【0055】

[0067]段階14は、マッチ構造205とマッチ構造207とを含む基板202を示し得る。誘電体層740および760は、少なくとも1つの第1の誘電体層240によって表され得る。複数の相互接続742および762は、第1の複数の相互接続241によって表され得る。誘電体層750および770は、少なくとも1つの第2の誘電体層260によって表され得る。複数の相互接続752および772は、第2の複数の相互接続261によって表され得る。

マッチ構造を含む基板を作製するための方法の例示的な流れ図

[0068]いくつかの実装形態では、少なくとも1つのマッチ構造を含む基板を作製することは、いくつかのプロセスを含む。図8は、少なくとも1つのマッチ構造を含む基板を提供または作製するための方法800の例示的な流れ図を示す。いくつかの実装形態では、図8の方法800は、図2の基板202を提供または作製するために使用され得る。しかしながら、方法800は、本開示で説明されるいかなる基板を作製するためにも使用され得る。

20

【0056】

[0069]図8のシーケンスは、基板を提供または作製するための方法を簡略化および／または明確化するために、1つまたは複数のプロセスを組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序が変更または修正され得る。

【0057】

[0070]方法は、(805において)コア層(たとえば、203)を提供する。コア層は、少なくとも1つの金属層を含み得る。コア層は、コア基板であり得る。図7Aの段階1は、コア層を提供する一例を図示および説明している。

30

【0058】

[0071]方法は、(810において)コア層203中に複数のキャビティ701を形成する。複数のキャビティ701は、コア層203を通して延在し得る。複数のキャビティ701を形成するためにレーザープロセスが使用され得る。図7Aの段階2は、コア層中にキャビティを形成する一例を図示および説明している。

【0059】

[0072]方法は、(815において)コア層203をテープ710に結合する。図7Aの段階3は、コア層をテープに結合する一例を図示および説明している。方法はまた、(815において)コア層203のキャビティ(たとえば、701)中に少なくとも1つのマッチ構造(たとえば、205、207、505、507)を配置する。少なくとも1つのマッチ構造を配置するためにピックアッププロセスが使用され得る。図7Aの段階4は、コア層のキャビティ中にマッチ構造を配置する一例を図示および説明している。

40

【0060】

[0073]方法は、(820において)コア層およびマッチ構造上に誘電体層を形成する。誘電体層(たとえば、720、730)を形成するために堆積プロセスが使用され得る。誘電体層は、コア層203の第1の面と、少なくとも1つのマッチ構造の第1の面との上に形成され得る。別の誘電体層は、コア層203の第2の面と、少なくとも1つのマッ

50

チ構造の第2の面との上に形成され得る。いくつかの実装形態では、テープ（たとえば、710）は、誘電体層がコア層の面上に形成される前に、コア層203から分離され得る。図7Bの段階5～6は、誘電体層の形成およびテープ分離の一例を図示および説明している。

【0061】

[0074]方法は、（825において）コア層（たとえば、203）および誘電体層（たとえば、720、730）中にキャビティを形成する。キャビティ（たとえば、721、723、731）を形成するためにレーザープロセス（たとえば、レーザーアブレーション）、リソグラフィプロセス（たとえば、露光および現像）、ならびに/またはエッチングプロセスが使用され得る。図7Bの段階7は、キャビティを形成する一例を図示および説明している。

10

【0062】

[0075]方法は、（830において）コア層（たとえば、203）および誘電体層（たとえば、720、730）中に相互接続を形成する。相互接続（たとえば、722、724、732）を形成するためにパターンニングプロセスおよびめっきプロセスが使用され得る。図7Bの段階8は、相互接続を形成する一例を図示および説明している。

【0063】

[0076]方法は、（835において）誘電体層（たとえば、720、730）上に追加の誘電体層（たとえば、740、760、750、770）および相互接続（たとえば、742、752、762、772）を形成する。追加の誘電体層および相互接続を形成することは、誘電体層を堆積させること、誘電体層中にキャビティを形成すること、および相互接続を形成するためのめっきプロセスを含み得る。図7C～図7Dの段階9～14は、追加の誘電体層および相互接続を形成することを図示および説明している。

20

マッチ構造を作製するための例示的なシーケンス

[0077]いくつかの実装形態では、マッチ構造を作製することは、いくつかのプロセスを含む。図9A～図9Dは、マッチ構造を提供または作製するための例示的なシーケンスを示す。いくつかの実装形態では、図9A～図9Dのシーケンスは、図2のマッチ構造207を提供または作製するために使用され得る。しかしながら、図9A～図9Dのプロセスは、本開示で説明されるマッチ構造のいずれをも作製するために使用され得る。

【0064】

30

[0078]図9A～図9Dのシーケンスは、マッチ構造を提供または作製するためのシーケンスを簡略化および/または明確化するために、1つまたは複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序が変更または修正され得る。いくつかの実装形態では、プロセスのうちの1つまたは複数が、本開示の趣旨から逸脱することなく、交換または代用され得る。

【0065】

[0079]段階1は、図9Aに示されているように、コア層270が用意された後の状態を示す。コア層270は金属層（たとえば、910、920）を含み得る。

【0066】

[0080]段階2は、複数のキャビティ901が、金属層910、コア層270、金属層920を通して形成された後の状態を示す。キャビティ901を形成するためにレーザープロセス（たとえば、レーザーアブレーション）が使用され得る。

40

【0067】

[0081]段階3は、第1のドライフィルム930がコア層270の第1の面および/または金属層910上に形成された後の状態を示す。段階3はまた、第2のドライフィルム940がコア層270の第2の面および/または金属層920上に形成された後の状態を示す。ドライフィルム（たとえば、930、940）を形成するために堆積プロセスが使用され得る。

【0068】

[0082]段階4は、複数のキャビティ901が、ドライフィルム930と、金属層91

50

0と、コア層270と、金属層920と、ドライフィルム940とを通過して形成された後の状態を示す。段階4はまた、複数のキャビティ931がドライフィルム930を通過して形成され、複数のキャビティ941がドライフィルム940を通過して形成された後の状態を示す。キャビティを形成するためにレーザープロセス（たとえば、レーザーアブレーション）が使用され得る。キャビティを形成することは、ドライフィルム露光および現像を含み得る。

【0069】

【0083】段階5は、図9Bに示されているように、複数の相互接続912がコア層270中におよびその上に形成された後の状態を示す。相互接続912を形成するためにめっきプロセスまたはペースト化プロセスが使用され得る。段階5は、ドライフィルム（たとえば、930、940）が除去された後の状態を示す。

10

【0070】

【0084】段階6は、誘電体層272が形成され、誘電体層274が形成された後の状態を示す。誘電体層272と誘電体層274とを形成するために堆積プロセスが使用され得る。段階6はまた、誘電体層272上に形成された金属層972と、誘電体層274上に形成された金属層974とを示す。金属層972および974は箔を含み得る。

【0071】

【0085】段階7は、複数のキャビティ973が金属層972と誘電体層272とを通過して形成された後の状態を示す。段階7はまた、金属層974と誘電体層274とを通過して形成された複数のキャビティ975を示す。キャビティ973および975を形成するためにレーザープロセス（たとえば、レーザーアブレーション）、リソグラフィプロセス（たとえば、露光および現像）、ならびに/またはエッチングプロセスが使用され得る。

20

【0072】

【0086】段階8は、図9Cに示されているように、第1のドライフィルム950が誘電体層272と金属層972との上に形成され、第2のドライフィルム960が誘電体層274と金属層974との上に形成された後の状態を示す。ドライフィルム（たとえば、950、960）を形成するために堆積プロセスが使用され得る。

【0073】

【0087】段階9は、複数のキャビティ951がドライフィルム950を通過して形成され、複数のキャビティ961がドライフィルム960を通過して形成された後の状態を示す。キャビティを形成するためにレーザープロセス（たとえば、レーザーアブレーション）が使用され得る。キャビティを形成することは、ドライフィルム露光および現像を含み得る。

30

【0074】

【0088】段階10は、図9Dに示されているように、複数の相互接続952が誘電体層272中におよびその上に形成され、複数の相互接続962が誘電体層274中におよびその上に形成された後の状態を示す。相互接続952および962を形成するためにめっきプロセスまたはペースト化プロセスが使用され得る。段階10は、ドライフィルム（たとえば、950、960）が除去された後の状態を示す。

【0075】

【0089】段階11は、誘電体層276が誘電体層272上に形成され、誘電体層278が誘電体層274上に形成された後の状態を示す。誘電体層276と誘電体層278とを形成するために堆積プロセスが使用され得る。誘電体層272、274、276および/または278は、プリプレグ（prepreg）を含み得る。誘電体層272および/または274中のビアは、25マイクロメートル～80マイクロメートルの範囲内の厚さを有し得る。コア層270中のビアは、40マイクロメートル～250マイクロメートルの範囲内の厚さを有し得る。

40

【0076】

【0090】段階12は、マッチ構造207aおよびマッチ構造207bなど、いくつかのマッチ構造を形成するシングュレーション（singulation）の後の状態を示す。マッチ

50

構造 207a は、第 1 の複数のマッチ相互接続 271 と、第 2 の複数のマッチ相互接続 273 とを含む。マッチ構造 207b は、第 1 の複数のマッチ相互接続 271 と、第 2 の複数のマッチ相互接続 273 とを含む。

マッチ構造を作製するための例示的なシーケンス

[0091]いくつかの実装形態では、マッチ構造を作製することは、いくつかのプロセスを含む。図 10A ~ 図 10F は、マッチ構造を提供または作製するための例示的なシーケンスを示す。いくつかの実装形態では、図 10A ~ 図 10F のシーケンスは、図 2 のマッチ構造 205 を提供または作製するために使用され得る。しかしながら、図 10A ~ 図 10F のプロセスは、本開示で説明されるマッチ構造のいずれをも作製するために使用され得る。

10

【0077】

[0092]図 10A ~ 図 10F のシーケンスは、マッチ構造を提供または作製するためのシーケンスを簡略化および / または明確化するために、1 つまたは複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序が変更または修正され得る。いくつかの実装形態では、プロセスのうち 1 つまたは複数が、本開示の趣旨から逸脱することなく、交換または代用され得る。

【0078】

[0093]段階 1 は、図 10A に示されているように、誘電体層 1000 が用意された後の状態を示す。誘電体層 1000 は金属層（たとえば、1002、1004）を含み得る。誘電体層 1000 はプリプレグを含み得る。金属層（たとえば、1002、1004）は銅箔を含み得る。

20

【0079】

[0094]段階 2 は、複数のキャビティ 1003 が金属層 1002 と誘電体層 1000 とを通過して形成された後の状態を示す。キャビティ 1003 を形成するためにレーザープロセス（たとえば、レーザーアブレーション）が使用され得る。

【0080】

[0095]段階 3 は、ドライフィルム 1006 が金属層 1002 と誘電体層 1000 との上に形成された後の状態を示す。ドライフィルム 1006 を形成するために堆積プロセスが使用され得る。段階 3 はまた、複数のキャビティ 1005 がドライフィルム 1006 を通過して形成された後の状態を示す。キャビティを形成することは、ドライフィルム露光および現像を含み得る。

30

【0081】

[0096]段階 4 は、複数の相互接続 1007 が誘電体層 1000 中におよびその上に形成された後の状態を示す。相互接続 1007 を形成するためにめっきプロセスまたはペースト化プロセスが使用され得る。段階 4 は、ドライフィルム 1006 が除去された後の状態を示す。

【0082】

[0097]段階 5 は、図 10B に示されているように、誘電体層 1010 が誘電体層 1000 と複数の相互接続 1007 との上に形成された後の状態を示す。誘電体層 1010 を形成するために堆積プロセスが使用され得る。

40

【0083】

[0098]段階 6 は、複数のキャビティ 1013 が誘電体層 1010 を通過して形成された後の状態を示す。キャビティ 1013 を形成するためにレーザープロセス（たとえば、レーザーアブレーション）、リソグラフィプロセス（たとえば、露光および現像）、またはエッチングプロセスが使用され得る。

【0084】

[0099]段階 7 は、ドライフィルム 1016 が誘電体層 1010 上に形成された後の状態を示す。ドライフィルム 1016 を形成するために堆積プロセスが使用され得る。

【0085】

[00100]段階 8 は、図 10C に示されているように、複数のキャビティ 1015 がド

50

ライフィルム 1016 を通って形成された後の状態を示す。キャビティ 1015 を形成することは、ドライフィルム露光および現像を含み得る。

【0086】

[00101]段階 9 は、複数の相互接続 1017 が誘電体層 1010 中におよびその上に形成された後の状態を示す。相互接続 1017 を形成するためにめっきプロセスまたはペースト化プロセスが使用され得る。段階 9 は、ドライフィルム 1016 が除去された後の状態を示す。

【0087】

[00102]段階 10 は、誘電体層 1020 が誘電体層 1010 と複数の相互接続 1017 との上に形成された後の状態を示す。誘電体層 1020 を形成するために堆積プロセスが使用され得る。 10

【0088】

[00103]段階 11 は、図 10D に示されているように、複数のキャビティ 1023 が誘電体層 1020 を通って形成された後の状態を示す。キャビティ 1023 を形成するためにレーザープロセス（たとえば、レーザーアブレーション）、リソグラフィプロセス（たとえば、露光および現像）、またはエッチングプロセスが使用され得る。

【0089】

[00104]段階 12 は、ドライフィルム 1026 が誘電体層 1020 上に形成された後の状態を示す。ドライフィルム 1026 を形成するために堆積プロセスが使用され得る。

【0090】

[00105]段階 13 は、複数のキャビティ 1025 がドライフィルム 1026 を通って形成された後の状態を示す。キャビティを形成することは、ドライフィルム露光および現像を含み得る。 20

【0091】

[00106]段階 14 は、図 10E に示されているように、複数の相互接続 1027 が誘電体層 1020 中におよびその上に形成された後の状態を示す。相互接続 1027 を形成するためにめっきプロセスまたはペースト化プロセスが使用され得る。段階 14 は、ドライフィルム 1026 が除去された後の状態を示す。

【0092】

[00107]段階 15 は、複数の相互接続 1029 が誘電体層 1000 上に形成された後の状態を示す。相互接続 1029 を形成するためにめっきプロセスまたはペースト化プロセスが使用され得る。相互接続 1029 は金属層 1004 を含み得る。いくつかの実装形態では、金属層 1004 は、相互接続 1029 を形成する前に除去され得る。 30

【0093】

[00108]段階 16 は、図 10F に示されているように、誘電体層 1030 が誘電体層 1020 上に形成され、誘電体層 1040 が誘電体層 1000 上に形成された後の状態を示す。誘電体層 1030 および 1040 を形成するために堆積プロセスが使用され得る。

【0094】

[00109]段階 17 は、マッチ構造 205a およびマッチ構造 205b など、いくつかのマッチ構造を形成するシンギュレーションの後の状態を示す。マッチ構造 205a は、少なくとも 1 つの誘電体層 250 と、第 1 の複数のマッチ相互接続 251 と、第 2 の複数のマッチ相互接続 253 とを含む。少なくとも 1 つの誘電体層 250 は、誘電体層 1000、1010、1020、1030、および / または 1040 を表し得る。誘電体層 1000、1010、1020、1030、および / または 1040 は、プリプレグを含み得る。誘電体層 1000、1010 および / または 1020 中のビアは、25 マイクロメートル ~ 80 マイクロメートルの範囲内の厚さを有し得る。第 1 の複数のマッチ相互接続 251 は、複数の相互接続 1007、1017、1027 および / または 1029 からの第 1 の相互接続を含み得る。第 2 の複数のマッチ相互接続 253 は、複数の相互接続 1007、1017、1027 および / または 1029 からの第 2 の相互接続を含み得る。 40

例示的な電子デバイス

【00110】図11は、上述のデバイス、集積デバイス、集積回路（IC）パッケージ、集積回路（IC）デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、パッケージオンパッケージ（PoP）、システムインパッケージ（SiP）、またはシステムオンチップ（SoC）のいずれかと統合され得る様々な電子デバイスを示す。たとえば、スマートフォンデバイス1102、ラップトップコンピュータデバイス1104、固定ロケーション端末デバイス1106、ウェアラブルデバイス1108、または自動車両1110は、本明細書で説明されるようなデバイス1100を含み得る。デバイス1100は、たとえば、本明細書で説明されるデバイスおよび/または集積回路（IC）パッケージのいずれかであり得る。図11に示されているデバイス1102、1104、1106、および1108ならびに車両1110は、例示的なものにすぎない。他の電子デバイス10はまた、限定はしないが、モバイルデバイス、ハンドヘルドパーソナル通信システム（PCS）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（GPS）対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器などの固定ロケーションデータユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス（たとえば、時計、眼鏡）、モノのインターネット（IoT）デバイス、サーバ、ルータ、自動車両（たとえば、自律車両）において実装される電子デバイス、またはデータもしくはコンピュータ命令を記憶するかもしくは取り出す任意の他のデバイス、あるいはそれらの任意の組合せを含むデバイス（たとえば、電子デバイス）の群を含む、デバイス1100を特徴付け得る。20

【0095】

【00111】図2～図6、図7A～図7D、図8、図9A～図9D、図10A～図10F、および/または図11に示されている構成要素、プロセス、特徴、および/または機能のうちの1つまたは複数は、単一の構成要素、プロセス、特徴または機能に再構成され得るおよび/または組み合わせられ得るか、あるいはいくつかの構成要素、プロセス、または機能において具現化され得る。本開示から逸脱することなく、追加の要素、構成要素、プロセス、および/または機能も追加され得る。本開示における図2～図6、図7A～図7D、図8、図9A～図9D、図10A～図10F、および/または図11ならびにその対応する説明は、ダイおよび/またはICに限定されないことにも留意されたい。いくつかの実装形態では、図2～図6、図7A～図7D、図8、図9A～図9D、図10A～図10F、および/または図11ならびにその対応する説明は、デバイスおよび/または集積デバイス30を製造、作成、提供、および/または生成するために使用され得る。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、集積受動デバイス（IPD）、ダイパッケージ、集積回路（IC）デバイス、デバイスパッケージ、集積回路（IC）パッケージ、ウエハ、半導体デバイス、パッケージオンパッケージ（PoP）デバイス、熱放散デバイスおよび/またはインターポーザを含み得る。

【0096】

【00112】本開示における図は、様々な部品、構成要素、物体、デバイス、パッケージ、集積デバイス、集積回路、および/またはトランジスタの実際の表現および/または概念的な表現を表し得ることが留意されたい。いくつかの事例では、図は一定の縮尺ではないことがある。いくつかの事例では、明快にするために、すべての構成要素および/または部品が示され得るとは限らない。いくつかの事例では、図における様々な部品および/または構成要素の位置、ロケーション、サイズ、および/または形状は、例示的なものであり得る。いくつかの実装形態では、図における様々な構成要素および/または部品は、任意選択であり得る。40

【0097】

【00113】「例示的」という単語は、本明細書では「例、事例、または例示の働きをすること」を意味するために使用される。「例示的」として本明細書で説明されるいかなる実装形態または態様も、必ずしも本開示の他の態様よりも好ましいまたは有利であると解釈されるべきであるとは限らない。同様に、「態様」という用語は、本開示のすべての態50

様が、説明される特徴、利点、または動作モードを含むことを必要としない。「結合される」という用語は、本明細書では、2つの物体間の直接的または間接的結合（たとえば、機械的結合）を指すために使用される。たとえば、物体Aが物体Bに物理的に接触し、物体Bが物体Cに接触する場合、物体Aおよび物体Cは、それらが互いに直接物理的に接触しない場合でも、やはり互いに結合されていると見なされ得る。「電氣的に結合される」という用語は、電流（たとえば、信号、電力、接地）が2つの物体の間を移動し得るように、2つの物体が直接または間接的に互いに結合されることを意味し得る。電氣的に結合される2つの物体は、2つの物体の間を移動する電流を有してもよく、または有しなくてもよい。「第1の」、「第2の」、「第3の」、および「第4の」（および/または第4のを超えるものは何でも）という用語の使用は、任意である。説明される構成要素のいずれも、第1の構成要素、第2の構成要素、第3の構成要素、または第4の構成要素であり得る。たとえば、第2の構成要素と呼ばれる構成要素は、第1の構成要素、第2の構成要素、第3の構成要素、または第4の構成要素であり得る。「カプセル化する」という用語は、物体が別の物体を部分的にカプセル化し得るか、または完全にカプセル化し得ることを意味する。「上部」および「底部」という用語は、任意である。上部に位置する構成要素は、底部に位置する構成要素の上に位置し得る。上部の構成要素が底部の構成要素と見なされてもよく、その逆も同様である。本開示で説明されるように、第2の構成要素の「上に」位置する第1の構成要素は、底部または上部がどのように任意に定義されるかに応じて、第1の構成要素が第2の構成要素の上方または下方に位置することを意味し得る。別の例では、第1の構成要素は、第2の構成要素の第1の面の上に（たとえば、上方に）位置し得、第3の構成要素は、第2の構成要素の第2の面の上に（たとえば、下方に）位置し得、第2の面は、第1の面に対向している。1つの構成要素が別の構成要素の上に位置するという文脈において本出願で使用される「~の上に（over）」という用語は、別の構成要素の上に（on）および/または別の構成要素の中に（in）ある（たとえば、構成要素の表面にあるかまたは構成要素の中に埋め込まれている）構成要素を意味するために使用され得ることにさらに留意されたい。したがって、たとえば、第2の構成要素の上に（over）ある第1の構成要素は、（1）第1の構成要素が第2の構成要素の上に（over）あるが、第2の構成要素と直接接触していないこと、（2）第1の構成要素が第2の構成要素の上に（on）（たとえば、その表面に）あること、および/または（3）第1の構成要素が第2の構成要素の中に（in）ある（たとえば、その中に埋め込まれている）ことを意味し得る。第2の構成要素の中に（in）位置する第1の構成要素は、第2の構成要素の中に部分的に位置し得るか、または第2の構成要素の中に完全に位置し得る。本開示で使用される「約（about）'値X'」または「およそ（approximately）値X」という用語は、「値X'の10パーセント以内を意味する。たとえば、約1またはおよそ1の値は、0.9~1.1の範囲内の値を意味することになる。

【0098】

[00114]いくつかの実装形態では、相互接続は、2つの点、要素および/または構成要素の間の電気接続を可能にするかまたは容易にする、デバイスまたはパッケージの要素または構成要素である。いくつかの実装形態では、相互接続は、トレース、ビア、パッド、ピラー、メタライゼーション層、再分配層、および/またはアンダーバンプメタライゼーション（UBM）層/相互接続を含み得る。いくつかの実装形態では、相互接続は、信号（たとえば、データ信号）、接地および/または電力のための電気経路を提供するように構成され得る電気伝導性材料を含み得る。相互接続は、2つ以上の要素または構成要素を含み得る。相互接続は、1つまたは複数の相互接続によって画定され得る。相互接続は、1つまたは複数の金属層を含み得る。相互接続は、回路の一部であり得る。異なる実装形態は、相互接続を形成するために異なるプロセスおよび/またはシーケンスを使用し得る。いくつかの実装形態では、相互接続を形成するために化学気相堆積（CVD）プロセス、物理気相堆積（PVD）プロセス、スパッタリングプロセス、スプレーコーティング、および/またはめっきプロセスが使用され得る。

【0099】

10

20

30

40

50

[00115]また、本明細書に含まれている様々な開示は、フローチャート、流れ図、構造図、またはブロック図として示されるプロセスとして説明されることがあることに留意されたい。フローチャートは、動作を逐次プロセスとして説明することがあるが、動作の多くは並行してまたは同時に実施され得る。加えて、動作の順序は並べ替えられ得る。プロセスは、その動作が完了したときに終了する。

【0100】

[00116]以下で、本発明の理解を容易にするためにさらなる例について説明される。

【0101】

[00117]態様1：基板であって、コア層と、コア層中に配置されたマッチ構造と、コア層の第1の面に結合された少なくとも1つの第1の誘電体層と、コア層の第2の面に結合された少なくとも1つの第2の誘電体層とを備える、基板。マッチ構造は、マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続、ならびにマッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を含み、ここにおいて、少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、スキューマッチングのために構成される。

10

【0102】

[00118]態様2：マッチ構造が、少なくとも1つの構造誘電体層をさらに備える、態様1の基板。

【0103】

[00119]態様3：マッチ構造が、構造コア層と、少なくとも1つの構造誘電体層とをさらに備える、態様1の基板。

20

【0104】

[00120]態様4：少なくとも1つの第1のマッチ相互接続が、正の信号のための電気経路を提供するように構成され、少なくとも1つの第2のマッチ相互接続が、負の信号のための電気経路を提供するように構成された、態様1～3の基板。

【0105】

[00121]態様5：正の信号と負の信号とが、差動信号のペアとして構成された、態様4の基板。

【0106】

[00122]態様6：少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とが、マッチ相互接続の差動ペアとして構成された、態様1～5の基板。

30

【0107】

[00123]態様7：少なくとも1つの第2のマッチ相互接続が、相互接続の少なくとも1つのターンを含む、態様1～6の基板。

【0108】

[00124]態様8：少なくとも1つの第1のマッチ相互接続を含む2つの第1の端子間の第1の電気経路距離が、少なくとも1つの第2のマッチ相互接続を含む2つの第2の端子間の第2の電気経路距離とほぼ同じである、態様1～7の基板。

【0109】

[00125]態様9：少なくとも1つの第1のマッチ相互接続が、マッチ構造の構造誘電体層中で垂直方向および水平方向に延在し、少なくとも1つの第2のマッチ相互接続が、マッチ構造の構造誘電体層中で垂直方向に延在する、態様1～8の基板。

40

【0110】

[00126]態様10：基板が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、スマートフォン、スマートフォン、携帯情報端末(PDA)、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット(IoT)デバイス、および自動車両中のデバイスからなるグループから選択されるデバイスに組み込まれた、態様1～9の基板。

【0111】

50

[00127]態様 1 1 : 集積デバイスと、集積デバイスに結合された基板とを備えるパッケージ。基板は、コア層と、コア層中に配置されたマッチ構造と、コア層の第 1 の面に結合された少なくとも 1 つの第 1 の誘電体層と、コア層の第 2 の面に結合された少なくとも 1 つの第 2 の誘電体層とを含む。マッチ構造は、マッチ構造中で垂直方向および水平方向に延在する少なくとも 1 つの第 1 のマッチ相互接続、ならびにマッチ構造中で垂直方向に延在する少なくとも 1 つの第 2 のマッチ相互接続を含み、ここにおいて、少なくとも 1 つの第 1 のマッチ相互接続と少なくとも 1 つの第 2 のマッチ相互接続とは、スキューマッチングのために構成される。

【0112】

[00128]態様 1 2 : マッチ構造が、少なくとも 1 つの構造誘電体層をさらに備える、態様 1 1 のパッケージ。

10

【0113】

[00129]態様 1 3 : マッチ構造が、構造コア層と、少なくとも 1 つの構造誘電体層とをさらに備える、態様 1 1 のパッケージ。

【0114】

[00130]態様 1 4 : 少なくとも 1 つの第 1 のマッチ相互接続が、正の信号のための電気経路を提供するように構成され、少なくとも 1 つの第 2 のマッチ相互接続が、負の信号のための電気経路を提供するように構成された、態様 1 1 ~ 1 3 のパッケージ。

【0115】

[00131]態様 1 5 : 正の信号と負の信号とが、差動信号のペアとして構成された、態様 1 4 のパッケージ。

20

【0116】

[00132]態様 1 6 : 少なくとも 1 つの第 1 のマッチ相互接続と少なくとも 1 つの第 2 のマッチ相互接続とが、相互接続の差動ペアとして構成された、態様 1 1 ~ 1 5 のパッケージ。

【0117】

[00133]態様 1 7 : 少なくとも 1 つの第 1 のマッチ相互接続を含む 2 つの第 1 の端子間の第 1 の電気経路距離が、少なくとも 1 つの第 2 のマッチ相互接続を含む 2 つの第 2 の端子間の第 2 の電気経路距離とほぼ同じである、態様 1 1 ~ 1 6 のパッケージ。

【0118】

[00134]態様 1 8 : 装置であって、コア層と、コア層中に配置されたスキューマッチングのための手段と、コア層の第 1 の面に結合された少なくとも 1 つの第 1 の誘電体層と、コア層の第 2 の面に結合された少なくとも 1 つの第 2 の誘電体層とを備える、装置。スキューマッチングのための手段は、スキューマッチングのための手段中で垂直方向および水平方向に延在する少なくとも 1 つの第 1 のマッチ相互接続、ならびにスキューマッチングのための手段中で垂直方向に延在する少なくとも 1 つの第 2 のマッチ相互接続を含み、ここにおいて、少なくとも 1 つの第 1 のマッチ相互接続と少なくとも 1 つの第 2 のマッチ相互接続とは、第 1 の信号と第 2 の信号とに時間信号マッチングを提供するように構成される。

30

【0119】

[00135]態様 1 9 : 少なくとも 1 つの第 1 のマッチ相互接続が、正の信号のための電気経路を提供するように構成され、少なくとも 1 つの第 2 のマッチ相互接続が、負の信号のための電気経路を提供するように構成された、態様 1 8 の装置。

40

【0120】

[00136]態様 2 0 : 少なくとも 1 つの第 1 のマッチ相互接続を含む 2 つの第 1 の端子間の第 1 の電気経路距離が、少なくとも 1 つの第 2 のマッチ相互接続を含む 2 つの第 2 の端子間の第 2 の電気経路距離とほぼ同じである、態様 1 8 ~ 1 9 の装置。

【0121】

[00137]態様 2 1 : 基板を作製するための方法。本方法は、コア層に少なくとも 1 つのキャビティを提供する。本方法は、コア層の少なくとも 1 つのキャビティ中にマッチ構

50

造を配置する。マッチ構造は、マッチ構造中で垂直方向および水平方向に延在する少なくとも1つの第1のマッチ相互接続、ならびにマッチ構造中で垂直方向に延在する少なくとも1つの第2のマッチ相互接続を備え、ここにおいて、少なくとも1つの第1のマッチ相互接続と少なくとも1つの第2のマッチ相互接続とは、スキューマッチングのために構成される。本方法は、コア層の第1の面の上に少なくとも1つの第1の誘電体層を形成する。本方法は、コア層の第2の面の上に少なくとも1つの第2の誘電体層を形成する。

【0122】

[00138]態様22：マッチ構造が、構造コア層と、少なくとも1つの構造誘電体層とをさらに備える、態様21の方法。

【0123】

[00139]態様23：少なくとも1つの第1のマッチ相互接続が、正の信号のための電気経路を提供するように構成され、少なくとも1つの第2のマッチ相互接続が、負の信号のための電気経路を提供するように構成される、態様21～22の方法。

【0124】

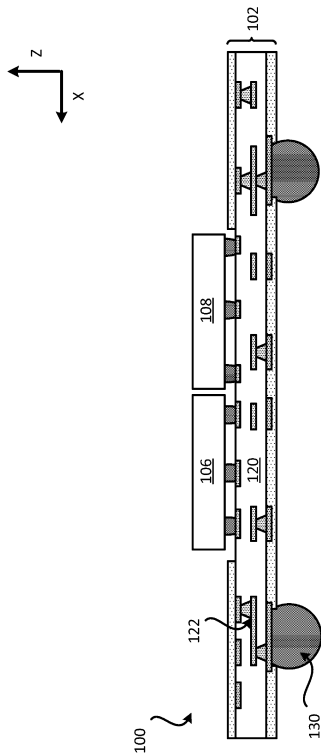
[00140]態様24：少なくとも1つの第1のマッチ相互接続を含む2つの第1の端子間の第1の電気経路距離が、少なくとも1つの第2のマッチ相互接続を含む2つの第2の端子間の第2の電気経路距離とほぼ同じである、態様21～23の方法。

【0125】

[00141]本明細書で説明される本開示の様々な特徴は、本開示から逸脱することなく、異なるシステムにおいて実装され得る。本開示の上記の態様は例にすぎず、本開示を限定するものと解釈されるべきではないことに留意されたい。本開示の態様の説明は、例示的なものであることが意図されており、特許請求の範囲を限定することは意図されていない。したがって、本教示は他のタイプの装置に容易に適用されることが可能であり、多くの代替形態、修正形態、および変形形態が当業者に明らかとなる。

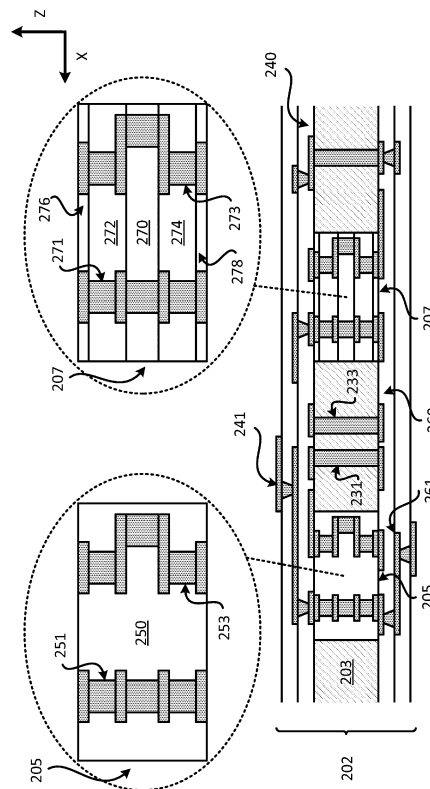
【図面】

【図1】



(従来技術)
FIG. 1

【図2】



側面断面図
FIG. 2

10

20

30

40

50

【 図 3 】

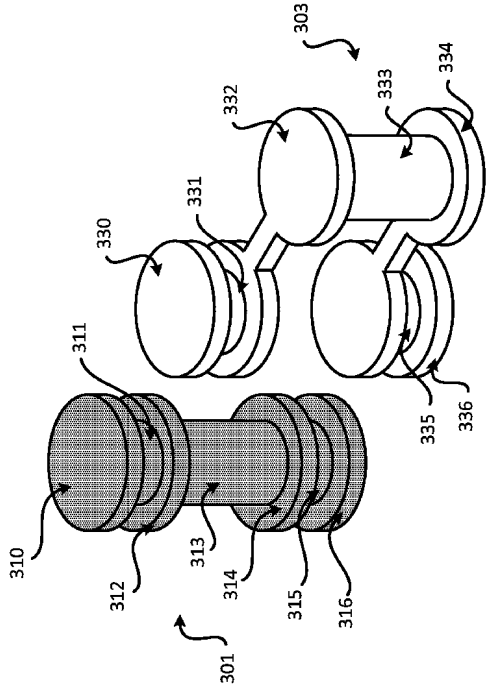


FIG. 3

【 図 4 】

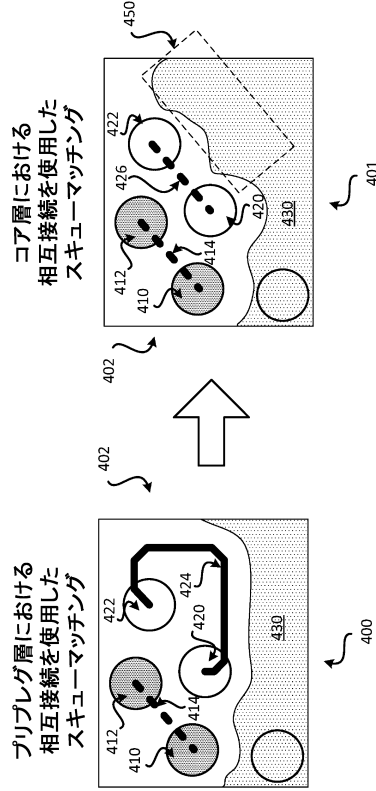


FIG. 4

【 図 5 】

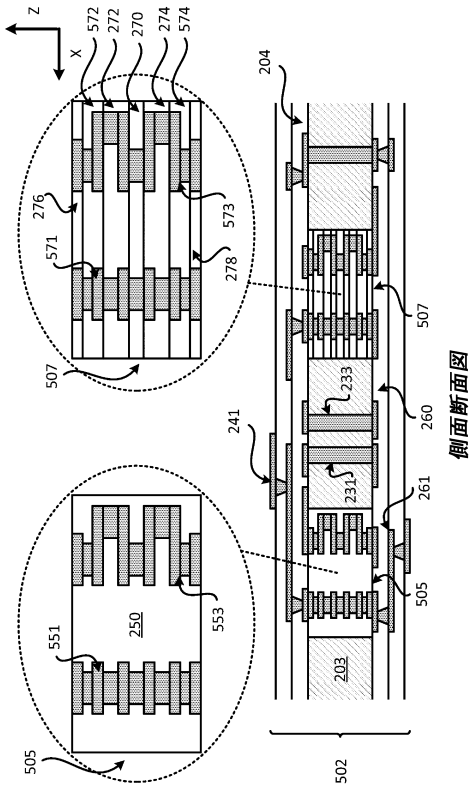


FIG. 5

【 図 6 】

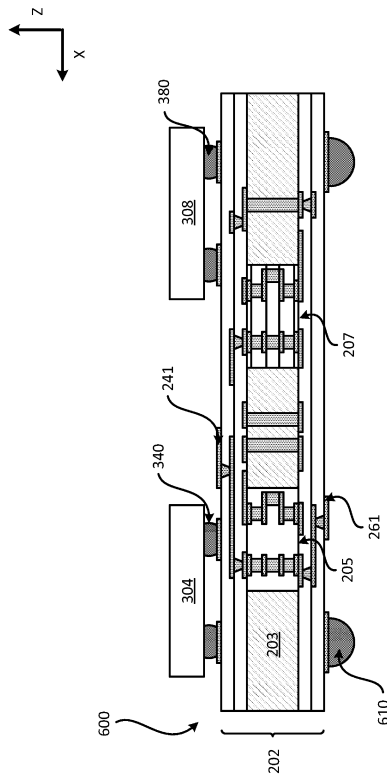


FIG. 6

10

20

30

40

50

【 図 7 A 】

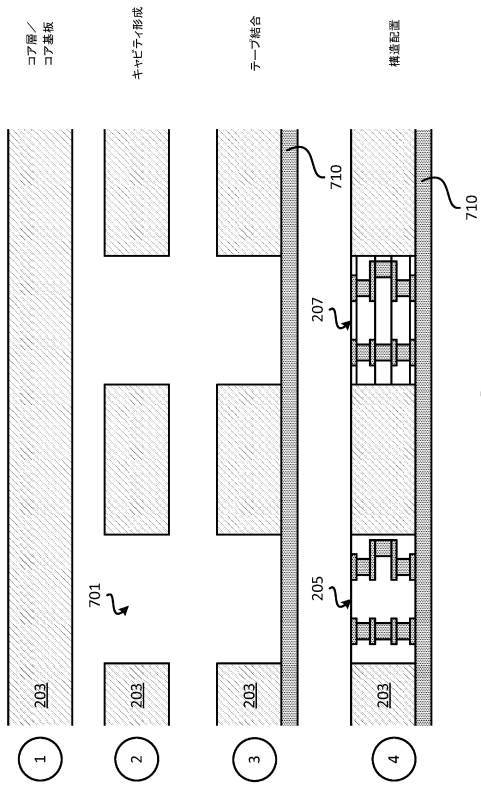


FIG. 7A

【 図 7 B 】

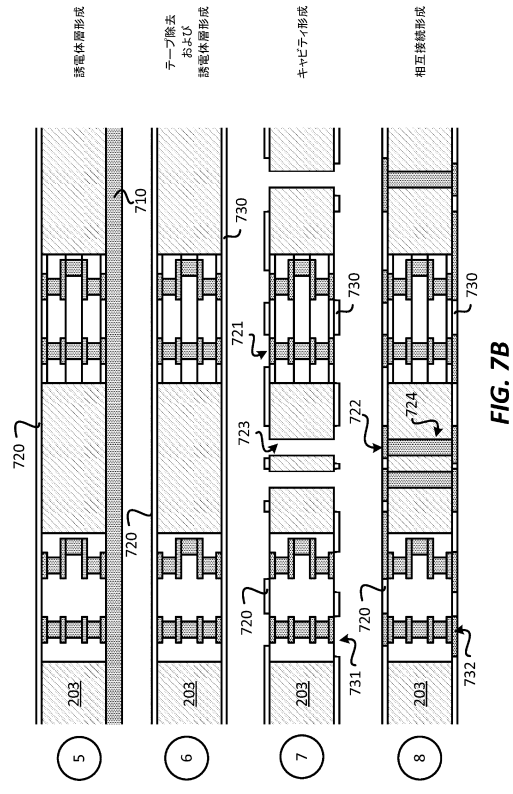


FIG. 7B

【 図 7 C 】

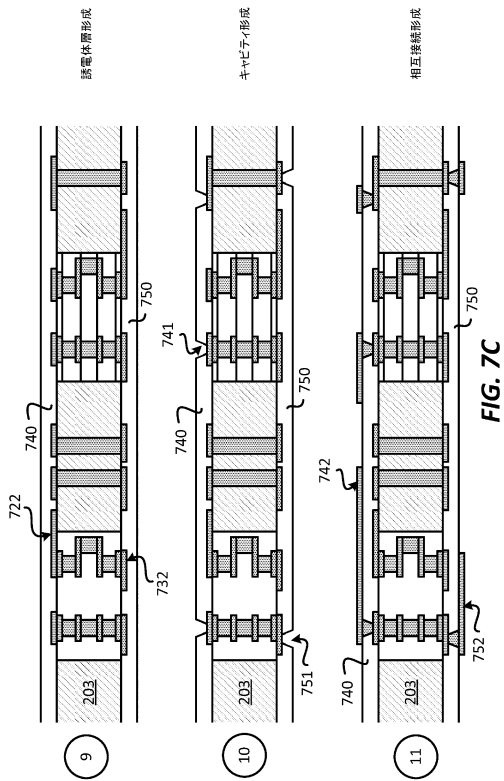


FIG. 7C

【 図 7 D 】

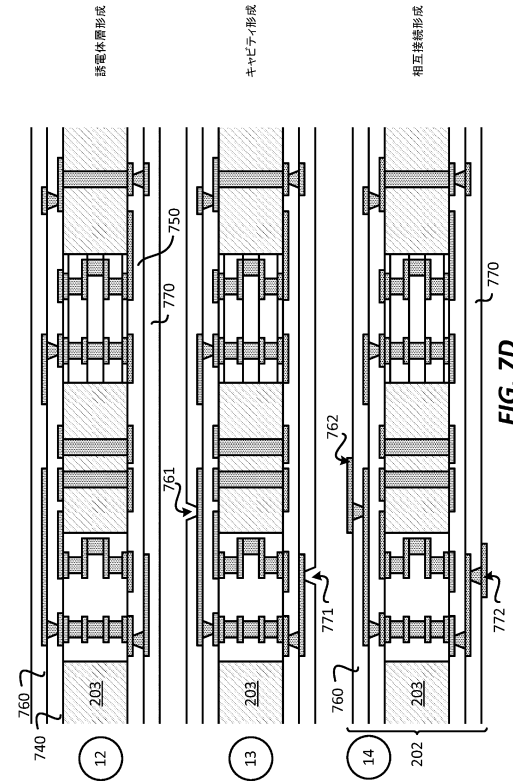


FIG. 7D

10

20

30

40

50

【 図 8 】

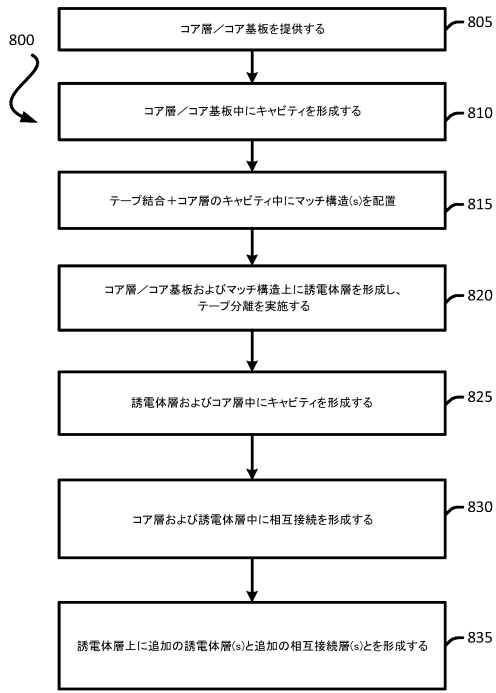


FIG. 8

【 図 9 A 】

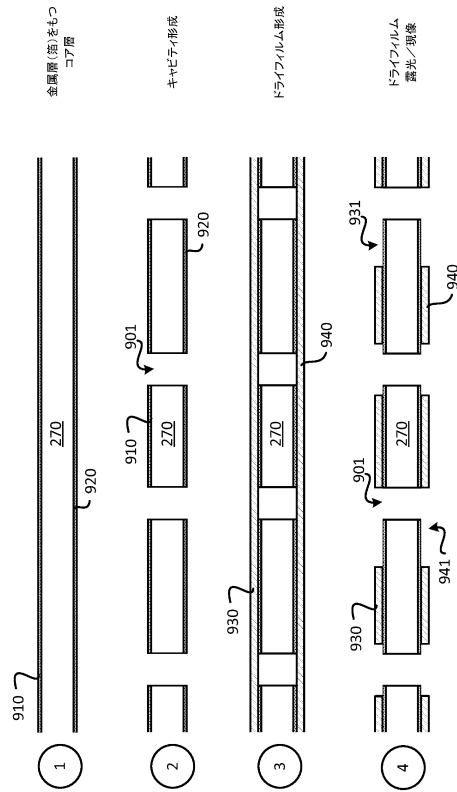


FIG. 9A

10

20

【 図 9 B 】

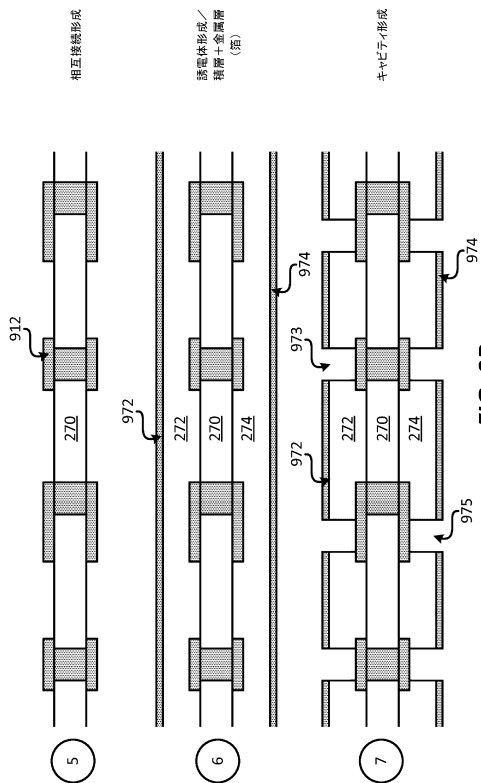


FIG. 9B

30

【 図 9 C 】

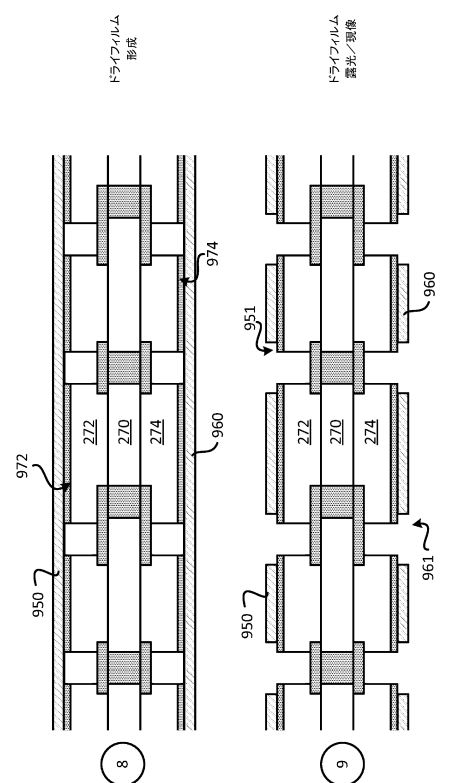


FIG. 9C

40

50

【 図 9 D 】

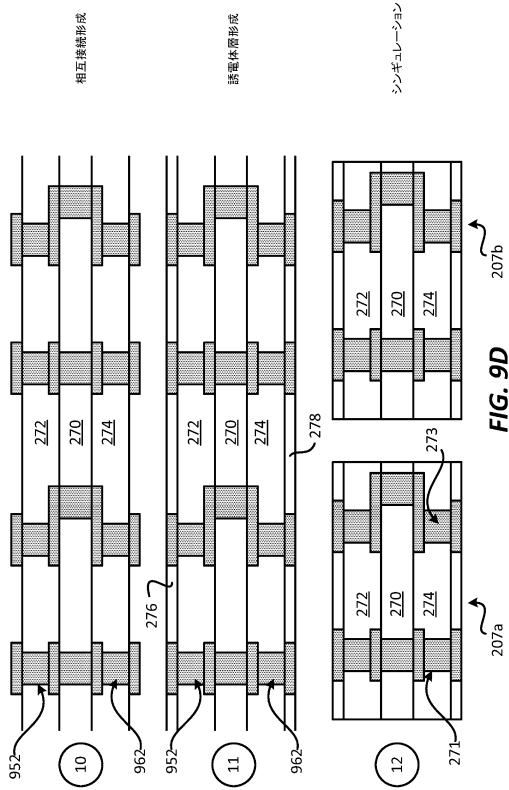


FIG. 9D

【 図 10 A 】

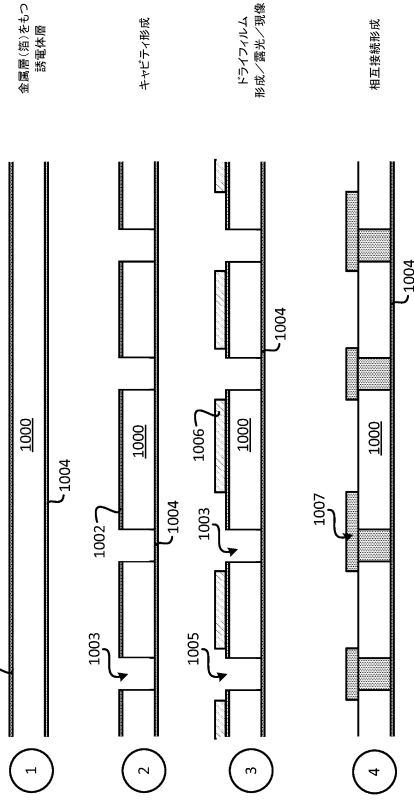


FIG. 10A

【 図 10 B 】

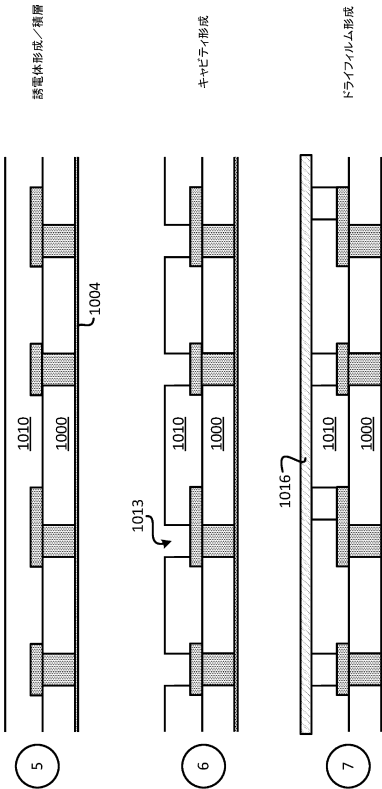


FIG. 10B

【 図 10 C 】

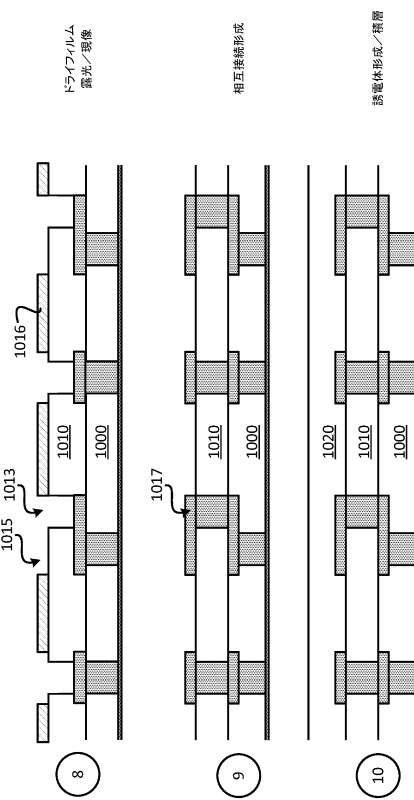


FIG. 10C

10

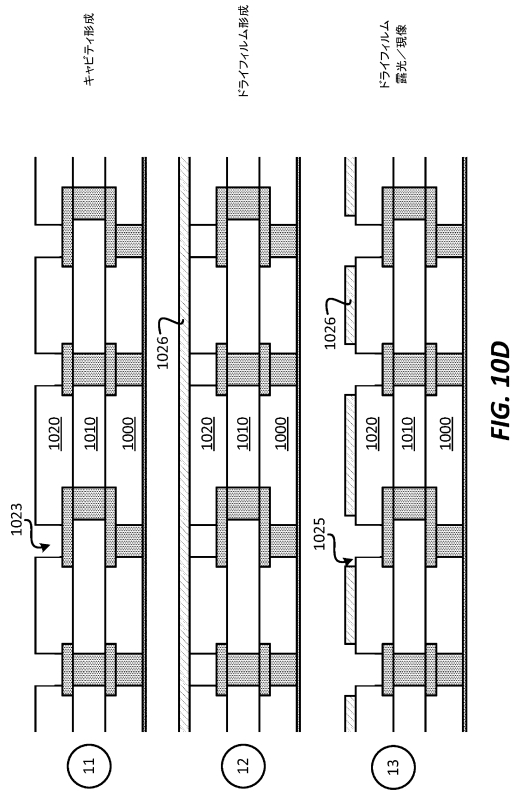
20

30

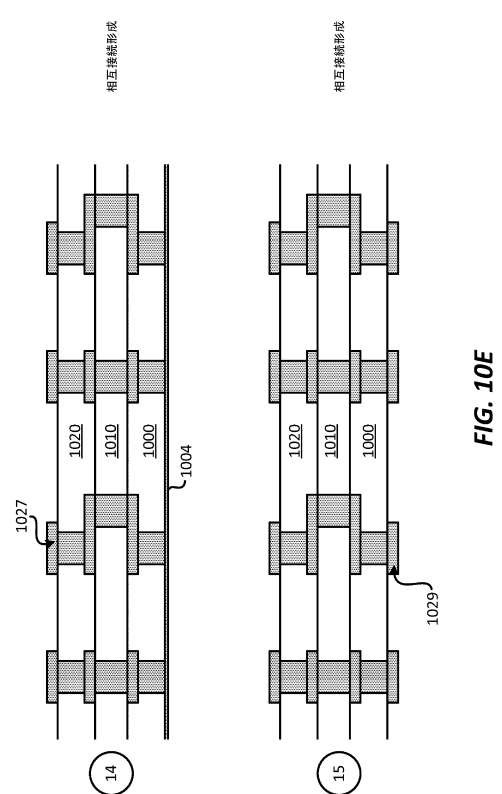
40

50

【 図 1 0 D 】



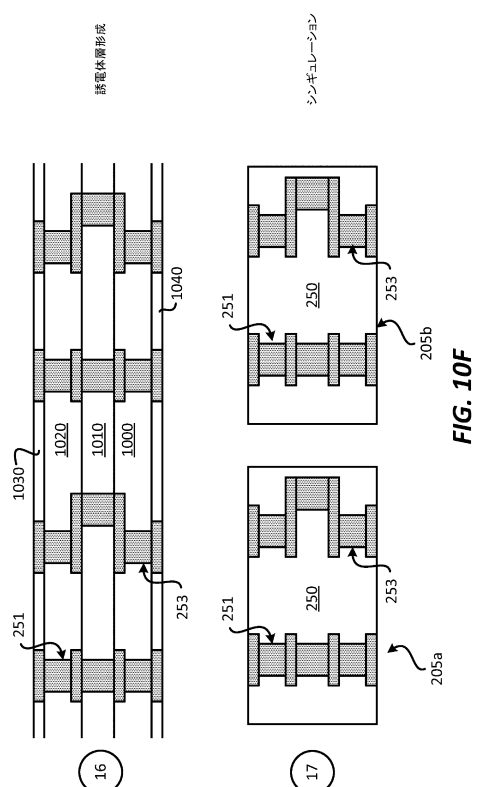
【 図 1 0 E 】



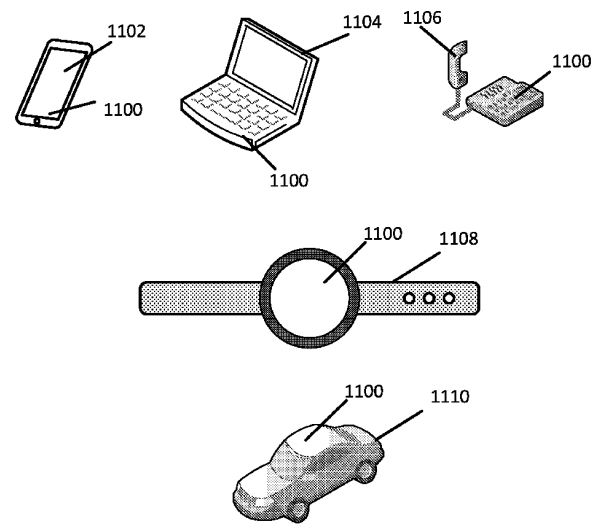
10

20

【 図 1 0 F 】



【 図 1 1 】



30

40

FIG. 11

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2021/062859

A. CLASSIFICATION OF SUBJECT MATTER
 INV. H01L23/498 H05K1/02
 ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7 180 011 B1 (HALL JEFFREY [US] ET AL) 20 February 2007 (2007-02-20) abstract figures 3,5,7,8 column 4, line 27 - column 5, line 6 -----	1-24
A	US 2008/083560 A1 (NGK SPARK PLUG CO) 10 April 2008 (2008-04-10) abstract figures 1-3 -----	1-24
A	JP 2012 009510 A (SUMITOMO BAKELITE CO) 12 January 2012 (2012-01-12) abstract figures 6,7 -----	1-24
	----- -/--	

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search: **28 March 2022**

Date of mailing of the international search report: **07/04/2022**

Name and mailing address of the ISA/
 European Patent Office, P.B. 5618 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Authorized officer:
Deconinck, Eric

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2021/062859

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013/098670 A1 (NGK SPARK PLUG CO) 25 April 2013 (2013-04-25) abstract figure 1 <p style="text-align: center;">-----</p>	1-24

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2021/062859

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 7180011	B1	20-02-2007	NONE

US 2008083560	A1	10-04-2008	CN 101160019 A
			KR 20080031656 A
			US 2008083560 A1

JP 2012009510	A	12-01-2012	CN 102316668 A
			JP 2012009510 A
			KR 20110139105 A
			TW 201230902 A

US 2013098670	A1	25-04-2013	CN 103077936 A
			JP 2013093405 A
			KR 20130045206 A
			TW 201324699 A
			US 2013098670 A1

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ウィ、ホン・ボク

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

Fターム(参考) 5E338 CD13 EE23