

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 7 月 5 日(05.07.2012)



(10) 国際公開番号
WO 2012/091126 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/363* (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2011/080483
- (22) 国際出願日: 2011 年 12 月 28 日(28.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-292929 2010 年 12 月 28 日(28.12.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社神戸製鋼所 (KABUSHIKI KAISHA KOBE SEIKO SHO) [JP/JP]; 〒6518585 兵庫県神戸市中央区脇浜町 2 丁目 10 番 26 号 Hyogo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森田 晋也 (MORITA, Shinya). 三木 綾 (MIKI, Aya). 安野 聡 (YASUNO, Satoshi). 釘宮 敏洋 (KUGIMIYA, Toshihiro). 岸 智弥 (KISHI, Tomoya).
- (74) 代理人: 植木 久一, 外 (UEKI, Kyuichi et al.); 〒5300003 大阪府大阪市北区堂島 2 丁目 1 番 16 号 フジタ東洋紡ビル 9 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: OXIDE FOR SEMICONDUCTOR LAYER OF THIN FILM TRANSISTOR, SPUTTERING TARGET, AND THIN-FILM TRANSISTOR

(54) 発明の名称: 薄膜トランジスタの半導体層用酸化物およびスパッタリングターゲット、並びに薄膜トランジスタ

(57) Abstract: This oxide for a semiconductor layer of a thin film transistor contains: In; Zn; and at least one element (group X element) selected from a group formed from Al, Si, Ta, Ti, La, Mg, and Nb. According to the present invention, the switching characteristics and resistance to stress are excellent in a thin-film transistor provided with an In-Zn-O oxide semiconductor that does not contain Ga, and specifically, an oxide for a semiconductor layer of a thin-film transistor that has a small amount of change in the threshold voltage before and after the application of a positive bias stress and superior stability can be provided.

(57) 要約: 本発明の薄膜トランジスタの半導体層用酸化物は、In と; Zn と; Al、Si、Ta、Ti、La、Mg、および Nb よりなる群から選択される少なくとも一種の元素 (X 群元素) と、を含むものである。本発明によれば、Ga を含まない In-Zn-O の酸化物半導体を備えた薄膜トランジスタのスイッチング特性およびストレス耐性が良好であり、特に正バイアスストレス印加前後のしきい値電圧変化量が小さく安定性に優れた薄膜トランジスタ半導体層用酸化物を提供することができる。

WO 2012/091126 A1

明 細 書

発明の名称：

薄膜トランジスタの半導体層用酸化物およびスパッタリングターゲット、
並びに薄膜トランジスタ

技術分野

[0001] 本発明は、液晶ディスプレイや有機ELディスプレイなどの表示装置に用いられる薄膜トランジスタの半導体層用酸化物および上記酸化物を成膜するためのスパッタリングターゲット、並びに上記酸化物を備えた薄膜トランジスタに関するものである。

背景技術

[0002] アモルファス（非晶質）酸化物半導体は、汎用のアモルファスシリコン（ $a-Si$ ）に比べて高いキャリア移動度（電界効果移動度とも呼ばれる。以下、単に「移動度」と呼ぶ場合がある。）を有し、光学バンドギャップが大きく、低温で成膜できるため、大型・高解像度・高速駆動が要求される次世代ディスプレイや、耐熱性の低い樹脂基板などへの適用が期待されている。

[0003] 酸化物半導体のなかでも特に、インジウム、ガリウム、亜鉛、および酸素からなるアモルファス酸化物半導体（ $In-Ga-Zn-O$ 、以下「 $IGZO$ 」と呼ぶ場合がある。）は、非常に高いキャリア移動度を有するため、好ましく用いられている。例えば非特許文献1および2には、 $In:Ga:Zn=1.1:1.1:0.9$ （原子%比）の酸化物半導体薄膜を薄膜トランジスタ（TFT）の半導体層（活性層）に用いたものが開示されている。また、特許文献1には、 In 、 Zn 、 Sn 、 Ga などの元素と、 Mo と、を含み、アモルファス酸化物中の全金属原子数に対する Mo の原子組成比率が0.1～5原子%のアモルファス酸化物が開示されており、実施例には、 $IGZO$ に Mo を添加した活性層を用いたTFTが開示されている。

[0004] 酸化物半導体を薄膜トランジスタの半導体層として用いる場合、キャリア濃度（移動度）が高いだけでなく、TFTのスイッチング特性（トランジス

タ特性、TFT特性)に優れていることが要求される。具体的には、(1) オン電流(ゲート電極とドレイン電極に正電圧をかけたときの最大ドレイン電流)が高く、(2) オフ電流(ゲート電極に負電圧を、ドレイン電圧に正電圧を夫々かけたときのドレイン電流)が低く、(3) S値(Subthreshold Swing、サブスレッショルド スイング、ドレイン電流を1桁あげるのに必要なゲート電圧)が低く、(4) しきい値(ドレイン電極に正電圧をかけ、ゲート電圧に正負いずれかの電圧をかけたときにドレイン電流が流れ始める電圧であり、しきい値電圧とも呼ばれる)が時間的に変化せず安定であり(基板面内で均一であることを意味する)、且つ、(5) 移動度(キャリア移動度、電解効果移動度)が高いこと、などが要求される。

[0005] 更に、IGZOなどの酸化物半導体層を用いたTFTは、電圧印加や光照射などのストレスに対する耐性(ストレス耐性)に優れていることが要求される。例えば、ゲート電極に正電圧または負電圧を印加し続けたときや、光吸収が始まる青色帯を照射し続けたときに、しきい値電圧が大幅に変化(シフト)するが、これにより、TFTのスイッチング特性が変化することが指摘されている。特にしきい値電圧のシフトは、TFTを備えた液晶ディスプレイや有機ELディスプレイなどの表示装置自体の信頼性低下を招くため、ストレス耐性の向上(ストレス印加前後の変化量が少ないこと)が切望されている。

[0006] 例えば有機ELディスプレイ用途にTFTを使用する場合、発光素子が電流駆動方式であるため、ゲート電極に正電圧が長時間印加される正バイアスのストレスに強いことが要求される。ゲート電極に正バイアスが長時間印加されると、TFTにおけるゲート絶縁膜と半導体層の界面に電子が蓄積され、前述した信頼性低下の要因となるしきい値電圧のシフトが発生する。

[0007] このような正バイアスのストレスによるしきい値電圧シフトを抑制する方法として、特許文献2では、絶縁体層と同じ性質を有する酸化物含有界面安定化層を、欠陥の生じ易い酸化物半導体とゲート絶縁膜との界面に設けて絶

縁体層を積層化させる技術が開示されている。この方法によれば、正バイアスのストレス耐性は向上するものの、絶縁体層を2種類の材料で成膜しなければならず、スパッタリングターゲットや成膜チャンバーを追加する必要があるなど、コストの上昇や生産性の低下を招く。

[0008] また、周辺プロセスのチューニングによりTFTの安定性を向上させる方法として、ゲート絶縁膜に水素を含まない Al_2O_3 などの膜を使用する方法が提案されている。しかし、この方法でもやはり、 Al_2O_3 を成膜するために新たに成膜チャンバーを用意する必要があり、コストの上昇は避けられない。

[0009] 一方、IGZOを構成する金属(In、Ga、Zn)のうちGaは、バンドギャップの増加作用に優れ、酸素との結合も強いが、移動度を低下させる作用がある。よって、Gaを含まないIn-Zn-Oの酸化物半導体(IZO)はIGZOに比べて高い移動度が得られる反面、酸素欠損を発生し易く、TFT特性が不安定になり易いという問題がある。

先行技術文献

特許文献

[0010] 特許文献1：特開2009-164393号公報

特許文献2：特開2010-016347号公報

非特許文献

[0011] 非特許文献1：固体物理、VOL44、P621(2009)

非特許文献2：Nature、VOL432、P488(2004)

発明の概要

発明が解決しようとする課題

[0012] 本発明は上記事情に鑑みてなされたものであって、その目的は、Gaを含まないIn-Zn-Oの酸化物半導体を備えた薄膜トランジスタのスイッチング特性およびストレス耐性が良好であり、特に正バイアスストレス印加後のしきい値電圧変化量が小さく安定性に優れており、特に有機EL表示装置への適用に適した薄膜トランジスタ半導体層用酸化物、および上記半導体

層用酸化物の成膜に用いられるスパッタリングターゲット、並びに上記半導体層用酸化物を用いた薄膜トランジスタ、および表示装置を提供することにある。

課題を解決するための手段

- [0013] 上記課題を解決し得た本発明に係る薄膜トランジスタの半導体層用酸化物は、Inと；Znと；Al、Si、Ta、Ti、La、Mg、およびNbよりなる群から選択される少なくとも一種の元素（X群元素）と、を含むところに要旨を有するものである。
- [0014] 本発明の好ましい実施形態において、半導体層用酸化物に含まれるIn、Zn、X群元素の含有量（原子％）をそれぞれ、[In]、[Zn]、[X]としたとき、 $100 \times [X] / ([In] + [Zn] + [X])$ で表されるX量は0.1～5原子％である。
- [0015] 本発明の好ましい実施形態において、半導体層用酸化物に含まれるIn、Zn、X群元素の含有量（原子％）をそれぞれ、[In]、[Zn]、[X]としたとき、 $100 \times [In] / ([In] + [Zn] + [X])$ で表されるIn量は15原子％以上である。
- [0016] 本発明の好ましい実施形態において、上記X群元素はAl、Ti、またはMgである。
- [0017] 本発明の好ましい実施形態において、上記半導体層用酸化物は、スパッタリング法によって成膜されるものである。
- [0018] 本発明には、上記のいずれかに記載の半導体層用酸化物を薄膜トランジスタの半導体層として備えた薄膜トランジスタも包含される。
- [0019] 本発明の好ましい実施形態において、上記半導体層の密度は 6.0 g/cm^3 以上である。
- [0020] 本発明には、上記の薄膜トランジスタを備えた表示装置も含まれる。
- [0021] 本発明には、上記の薄膜トランジスタを備えた有機EL表示装置も含まれる。
- [0022] また上記課題を解決し得た本発明のスパッタリングターゲットは、上記の

いずれかに記載の半導体層用酸化物を成膜するためのスパッタリングターゲットであって、Inと；Znと；Al、Si、Ta、Ti、La、Mg、およびNbよりなる群から選択される少なくとも一種の元素（X群元素）と、を含むところに要旨を有するものである。

[0023] 本発明の好ましい実施形態において、スパッタリングターゲット中に含まれるIn、Zn、X群元素の含有量（原子%）をそれぞれ、[In]、[Zn]、[X]としたとき、 $100 \times [X] / ([In] + [Zn] + [X])$ で表されるX量は0.1～5原子%である。

[0024] 本発明の好ましい実施形態において、スパッタリングターゲット中に含まれるIn、Zn、X群元素の含有量（原子%）をそれぞれ、[In]、[Zn]、[X]としたとき、 $100 \times [In] / ([In] + [Zn] + [X])$ で表されるIn量は15原子%以上である。

[0025] 本発明の好ましい実施形態において、上記X群元素はAl、Ti、またはMgである。

発明の効果

[0026] 本発明の半導体層用酸化物は、薄膜トランジスタのスイッチング特性およびストレス耐性に優れ、特に正バイアス印加後のしきい値電圧変化が小さいため、TF特性および正バイアスのストレス耐性に優れた薄膜トランジスタを提供することができた。その結果、上記薄膜トランジスタを用いれば、信頼性の高い表示装置が得られる。本発明の半導体層用酸化物は、正バイアスのストレス耐性や電流ストレス耐性などが要求されるEL表示装置に、特に好適に用いられる。

図面の簡単な説明

[0027] [図1]図1は、半導体層を備えた薄膜トランジスタを説明するための概略断面図である。

[図2]図2は、図1の薄膜トランジスタにおいて、エッチストッパー層を備えた構成を説明するための概略断面図である。

[図3]図3は、酸化物半導体層にIGZO（従来例）を用いたときのTF特性

性を示す図である。

[図4]図4は、酸化物半導体層に In-Zn-Sn-O （比較例）を用いたときのTF特性を示す図である。

[図5A]図5Aの（a）～（d）は、酸化物半導体層に、X群元素＝Si、Al、Ta、Ti（本発明例）の In-Zn-X-O を用いたときのTF特性をそれぞれ、示す図であり、図5Aの（e）は、酸化物半導体層に In-Zn-Hf-O （比較例）を用いたときのTF特性を示す図である。

[図5B]図5Bの（a）～（c）は、酸化物半導体層に、X群元素＝La、Mg、Nb（本発明例）の In-Zn-X-O を用いたときのTF特性をそれぞれ、示す図である。

[図6]図6は、 In-Zn-X-O において、X量が電界効果移動度に及ぼす影響を示すグラフである。

[図7]図7は、 In-Zn-X-O において、In量が電界効果移動度に及ぼす影響を示すグラフである。

[図8A]図8Aは、酸化物半導体層に、 In-Zn-X-O （ $X=\text{Si}$ 、Al、Ta、Ti；本発明例）、または、 In-Zn-(HfまたはSn)-O （比較例）を用いたときの正バイアスストレス試験の結果を示す図である。

[図8B]図8Bは、酸化物半導体層に In-Zn-X-O （ $X=\text{La}$ 、Mg、Nb；本発明例）を用いたときの正バイアスストレス試験の結果を示す図である。

[図9A]図9Aは、 In-Zn-X-O において、X群元素の種類が、正バイアスストレスにおけるしきい値電圧の時間変化に及ぼす影響を示すグラフである。

[図9B]図9Bは、図9Aの一部拡大図である。

発明を実施するための形態

[0028] 本発明者らは、InおよびZnを含み、Gaを含まない In-Zn-O の酸化物（IZO）をTFの活性層（半導体層）に用いたときのTF特性およびストレス耐性（特に、正バイアス印加後のストレス耐性）を向上させ

るため、種々検討を重ねてきた。その結果、 In-Zn-O 中に、 Al 、 Si 、 Ta 、 Ti 、 La 、 Mg 、および Nb よりなる群（ X 群）から選択される少なくとも一種の元素（ X 群元素）を含む In-Zn-X-O を TFT の半導体層に用いれば、所期の目的が達成されることを見出し、本発明を完成した。後記する実施例に示すように、 In-Zn-O に上記 X 群に属する元素（ X 群元素）を含む酸化物半導体を備えた TFT は、 IGZO と比較して高い移動度を有し、且つ、正バイアス印加後のストレス耐性に優れている。これに対し、上記 X 群元素以外の元素（例えば Hf 、 Sn ）を含む酸化物半導体を備えた TFT は、高い移動度を有するが、正バイアス印加後のストレス耐性が著しく低下した。

[0029] すなわち、本発明に係る薄膜トランジスタ（ TFT ）の半導体層用酸化物は、 In と； Zn と； Al 、 Si 、 Ta 、 Ti 、 La 、 Mg 、および Nb よりなる X 群から選択される少なくとも一種の X 群元素と、を含んでいる。

[0030] 本明細書では、本発明の酸化物を In-Zn-X-O で表わす場合がある。また、以下の記載では、本発明の酸化物（ In-Zn-X-O ）を構成する全金属（ In 、 Zn 、 X 群元素）について、当該酸化物中に含まれる In 、 Zn 、 X 群元素の含有量（原子％）をそれぞれ、 $[\text{In}]$ 、 $[\text{Zn}]$ 、 $[\text{X}]$ としたとき、 $100 \times [\text{X}] / ([\text{In}] + [\text{Zn}] + [\text{X}])$ で表される X 量（原子％）を、単に X 量と略記する場合がある。ここで $[\text{X}]$ は、1種類の X 群元素を含むときはその単独量であり、2種以上の X 群元素を含むときは合計量である。同様に $100 \times [\text{In}] / ([\text{In}] + [\text{Zn}] + [\text{X}])$ で表される In 量（原子％）を、単に In 量と略記する場合がある。

[0031] そして本発明の特徴部分は、 In-Zn-O 中に上記 X 群元素を所定量の範囲で含有するところにある。後記する実施例に示すように、 X 群元素は、正バイアスのストレスに対する安定性（正バイアスのストレス耐性）向上作用を有しており、本発明で規定する X 群元素以外の元素（ Sn および Hf ）を添加した場合に比べ、正バイアス印加後のしきい値電圧変化 ΔV_{th} を著

しく低減できる（図8および図9を参照）。しかも本発明では、X群元素の含有量が適切に制御されているため、高い移動度を確保することができる（図6を参照）。また、X群元素の添加によるドレイン電流値の大きな低下はみられず、良好なTF特性も有している（図5を参照）。また、X群元素の添加によるウェットエッチング時のエッチング不良などの問題も見られないことを実験により確認している。X群元素は単独で添加しても良いし、2種以上を併用しても良い。好ましいX群元素の種類はAl、Ti、またはMgであり、より好ましくはAlまたはTiであり、更に好ましくはTiである。

[0032] 上記X群元素の添加による特性向上の詳細なメカニズムは不明であるが、X群元素は、酸化物半導体中で余剰電子の原因となる酸素欠損の発生抑制効果があると推察される。X群元素の添加により、酸素欠損が低減され、酸化物が安定な構造を有することにより電圧や光などのストレスに対するストレス耐性などが向上するものと考えられる。

[0033] ここで、上記のようにして算出されるX量は、In量などによっても相違するが、おおむね0.1～5原子%であることが好ましい。このX量は、キャリア密度や半導体の安定性などを考慮して決定され、X群元素の種類によっても若干相違する。厳密には、例えば後記する図6に示すように、X群元素の種類によって、同程度の作用効果（図6では電界効果移動度）を発揮し得る含有量も相違するため、X群元素の種類によって、適宜、適切に制御することが好ましい。但し、X群元素添加による効果の傾向は同じであり、X量が小さいと、酸素欠損の発生抑制効果が十分に得られず、所望とする正バイアスストレス耐性効果が発揮されない。ただし、X量が多過ぎると上記効果が飽和し、半導体中のキャリア密度が低下するため、電界効果移動度やオン電流が減少してしまう（後記する図6を参照）。より好ましいX量は、X群の種類によっても相違するが、おおむね、0.5～3原子%である。

[0034] 次に、本発明の酸化物を構成する母材成分である金属（In、Zn）について説明する。

[0035] 本発明において、上記のようにして算出される I_n 量は 15 原子%以上であることが好ましい。 I_n は、移動度向上作用を有しており、本発明の酸化物 (I_n-Z_n-X-O) においても、 I_n 量が大きくなると移動度が高くなる傾向を示すことが本発明者らの実験により明らかになった (図 7 を参照)。後記する実施例の移動度の合格基準 ($3.8 \text{ cm}^2/\text{Vs}$ 以上) を満足するには、 I_n 量は 15 原子%以上とすることが好ましく、20 原子%以上であることがより好ましい。但し、 I_n 量が多くなり過ぎると TFT の安定性が低下するため、70 原子%以下であることが好ましい。より好ましくは 50 原子%以下である。

[0036] また、母材成分である I_n と Z_n の金属について、各金属間の比率は、これら金属を含む酸化物がアモルファス相を有し、且つ、半導体特性を示す範囲であれば特に限定されない。 I_n-Z_n-O 自体は透明導電膜としても公知であり、アモルファス相を形成し得る各金属の比率 (詳細には、 I_nO 、 Z_nO の各モル比) は、例えば前述した非特許文献 1 に記載されている。

[0037] また本発明者らの検討結果によれば、 I_n-Z_n-O を構成する金属のうち I_n の比率が多すぎると、しきい値電圧が製造プロセスや時間の経過により容易に負側ヘシフトし、導体化しやすく、逆に Z_n の比率が多すぎるとウェットエッチング加工が難しく、エッチング残渣が生じ易いことが確認された。したがって、 I_n と Z_n の原子比は、 $100 \times I_n / (I_n + Z_n) = 15 \sim 70$ 原子%の範囲であることが好ましい。

[0038] 以上、本発明の酸化物について説明した。

[0039] 上記酸化物は、スパッタリング法にてスパッタリングターゲット (以下「ターゲット」ということがある。) を用いて成膜することが好ましい。塗布法などの化学的成膜法によって酸化物を形成することもできるが、スパッタリング法によれば、成分や膜厚の膜面内均一性に優れた薄膜を容易に形成することができる。

[0040] スパッタリング法に用いられるターゲットとして、前述した元素を含み、所望の酸化物と同一組成のスパッタリングターゲットを用いることが好まし

く、これにより、組成ズレの恐れがなく、所望の成分組成の薄膜を形成することができる。具体的にはターゲットとして、Inと；Znと；Al、Si、Ta、Ti、La、Mg、およびNbよりなるX群から選択される少なくとも一種のX群元素と、を含む酸化物ターゲットを用いることができ、このようなスパッタリングターゲットも本発明の範囲内に包含される。

[0041] ここで、スパッタリングターゲット中に含まれるIn、Zn、X群元素の含有量（原子%）をそれぞれ、 $[In]$ 、 $[Zn]$ 、 $[X]$ としたとき、 $100 \times [X] / ([In] + [Zn] + [X])$ で表されるX量は、好ましくは0.1～5原子%である。また、スパッタリングターゲット中に含まれるIn、Zn、X群元素の含有量（原子%）をそれぞれ、 $[In]$ 、 $[Zn]$ 、 $[X]$ としたとき、 $100 \times [In] / ([In] + [Zn] + [X])$ で表されるIn量は、好ましくは15原子%以上である。上記X群元素はAl、Ti、またはMgであることが好ましく、より好ましくはAlまたはTiであり、更に好ましくはTiである。

[0042] あるいは、組成の異なる二つのターゲットを同時放電するコスパッタ法（Co-sputter法）を用いても成膜しても良く、これにより、同一基板面内にX元素の含有量が異なる酸化物半導体膜を成膜することができる。例えば、酸化インジウムと酸化亜鉛のターゲットと、X群元素を含むターゲットを用意し、コスパッタ法によってIn-Zn-X-Oの酸化物を成膜することができる。上記X群元素を含むターゲットとしては、X群元素のみを含む純金属ターゲット、X群元素を含む合金ターゲット、X群元素を含む酸化物ターゲットなどを用いることができる。

[0043] 上記ターゲットは、例えば粉末焼結法によって製造することができる。

[0044] 上記ターゲットを用いてスパッタリングするに当たっては、基板温度を室温とし、酸素添加量を適切に制御して行なうことが好ましい。酸素添加量は、スパッタリング装置の構成やターゲット組成などに応じて適切に制御すれば良いが、おおむね、酸化物半導体のキャリア濃度が $10^{15} \sim 10^{16} \text{ cm}^{-3}$ となるように酸素量を添加することが好ましい。本実施例における酸素添加量は

添加流量比で $O_2 / (Ar + O_2) = 2\%$ とした。

[0045] また、上記酸化物を TFT の半導体層としたときの、酸化物半導体層の好ましい密度は 6.0 g/cm^3 以上である(後述する。)が、このような酸化物を成膜するためには、スパッタリング成膜時のガス圧、投入パワー、基板温度を適切に制御することが好ましい。また、酸化物の密度は、成膜後の熱処理条件によっても影響を受けるため、成膜後の熱処理条件も適切に制御することが好ましい。このような熱処理は、例えば TFT の製造過程における熱履歴において制御することも可能であり、例えば、後述するプレアニール処理(酸化物半導体層をウェットエッチングした後のパターニング直後に行なわれる熱処理)を行なうことによって膜密度が向上する。例えば成膜時のガス圧を低くするとスパッタ原子同士の散乱がなくなって緻密(高密度)な膜を成膜できると考えられるため、成膜時のガス圧は低い程良く、おおむね $1 \sim 5 \text{ m Torr}$ の範囲内に制御することが推奨される。また、投入パワーも低い程良く、おおむね 2.0 W/cm^2 以上に設定することが推奨される。成膜時の基板温度は、おおむね室温 $\sim 200^\circ\text{C}$ の範囲内に制御することが推奨される。成膜後の熱処理条件は、例えば、大気雰囲気下にて、おおむね、 $250 \sim 400^\circ\text{C}$ で $10 \text{ 分} \sim 3 \text{ 時間}$ 行なうことが推奨される。

[0046] 上記のようにして成膜される酸化物の好ましい膜厚は 30 nm 以上 200 nm 以下であり、より好ましくは 30 nm 以上 80 nm 以下である。

[0047] 本発明には、上記酸化物を TFT の半導体層として備えた TFT も包含される。TFT は、基板上に、ゲート電極、ゲート絶縁膜、上記酸化物の半導体層、ソース電極、ドレイン電極を少なくとも有していれば良く、その構成は通常用いられるものであれば特に限定されない。

[0048] ここで、上記酸化物半導体層の密度は 6.0 g/cm^3 以上であることが好ましい。酸化物半導体層の密度が高くなると膜中の欠陥が減少して膜質が向上するため、TFT 素子の電界効果移動度が大きく増加し、電気伝導性も高くなり、安定性が向上する。上記酸化物半導体層の密度は高い程良く、 6.2 g/cm^3 以上であることがより好ましく、 6.4 g/cm^3 以上であること

が更に好ましい。なお、酸化物半導体層の密度は、後記する実施例に記載の方法によって測定したものである。

[0049] 以下、図1、更には図2を参照しながら、上記TFETの製造方法の実施形態を説明する。図2は、図1に示すTFETにエッチストッパー層9が付加されたこと以外は図1と同じである。後記する実施例のTFETは、図1と同じ構造を有している。図1および図2、並びに以下の製造方法は、本発明の好ましい実施形態の一例を示すものであり、これに限定する趣旨ではない。例えば図1には、ボトムゲート型構造のTFETを示しているがこれに限定されず、酸化物半導体層の上にゲート絶縁膜とゲート電極を順に備えるトップゲート型のTFETであっても良い。

[0050] 図1に示すように、基板1上にゲート電極2およびゲート絶縁膜3が形成され、その上に酸化物半導体層4が形成されている。酸化物半導体層4上にはソース・ドレイン電極5が形成され、その上に保護膜（絶縁膜）6が形成され、コンタクトホール7を介して透明導電膜8がソース・ドレイン電極5に電氣的に接続されている。

[0051] 基板1上にゲート電極2およびゲート絶縁膜3が形成する方法は特に限定されず、通常用いられる方法を採用することができる。また、ゲート電極2およびゲート絶縁膜3の種類も特に限定されず、汎用されているものを用いることができる。例えばゲート電極2として、電気抵抗率の低いAlやCuの金属や、耐熱性の高いMo、Cr、Tiなどの高融点金属や、これらの合金を好ましく用いることができる。また、ゲート絶縁膜としては、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などが代表的に例示される。そのほか、 Al_2O_3 や Y_2O_3 などの酸化物や、これらを積層したものをを用いることもできる。

[0052] 次いで酸化物半導体層4を形成する。酸化物半導体層4は、上述したように、薄膜と同組成のスパッタリングターゲットを用いたDCスパッタリング法またはRFスパッタリング法により成膜することが好ましい。あるいは、コスパッタ法により成膜しても良い。

- [0053] 酸化物半導体層 4 をウェットエッチングした後、パターニングする。パターニングの直後に、酸化物半導体層 4 の膜質改善のために熱処理（プレアニール）を行うことが好ましく、これにより、トランジスタ特性のオン電流および電界効果移動度が上昇し、トランジスタ性能が向上するようになる。好ましいプレアニールの条件は、例えば、温度：約 250～350℃、時間：約 15～120 分である。
- [0054] プレアニールの後、ソース・ドレイン電極 5 を形成する。ソース・ドレイン電極の種類は特に限定されず、汎用されているものを用いることができる。例えばゲート電極と同様 Al、Mo や Cu などの金属または合金を用いても良いし、後記する実施例のように純 Ti を用いても良い。
- [0055] ソース・ドレイン電極 5 の形成方法としては、例えばマグネトロンスパッタリング法によって金属薄膜を成膜した後、フォトリソグラフィによりパターニングし、ウェットエッチングを行なって電極を形成することができる。
- [0056] しかし、この方法ではウェットエッチングの際に酸化物半導体層 4 がエッチングされてダメージを受け、酸化物半導体層 4 の表面に欠陥が発生するため、トランジスタ特性が低下する恐れがある。このような問題を回避するため、図 2 に示すように、酸化物半導体層 4 の上に SiO₂ などのエッチストップ層 9 を形成し、酸化物半導体層 4 を保護する方法が一般に採用されている。図 2 において、エッチストップ層 9 は、ソース・ドレイン電極 5 を成膜する前に成膜およびパターニングされ、チャネル表面を保護するように構成されている。
- [0057] ソース・ドレイン電極 5 の他の形成方法として、例えばマグネトロンスパッタリング法によって金属薄膜を成膜した後、リフトオフ法によって形成する方法が挙げられる。この方法によれば、ウェットエッチングを行わずに電極を加工することも可能である。後記する実施例では当該方法を採用しており、金属薄膜を成膜した後、リフトオフ法を用いてパターニングを行った。
- [0058] 次に、酸化物半導体層 4 の上に保護膜（絶縁膜）6 を CVD（Chemical Vapor Deposition）法によって成膜する。酸化物

半導体膜の表面は、CVDによるプラズマダメージによって容易に導通化してしまう（おそらく酸化物半導体表面に生成される酸素欠損が電子ドナーとなるためと推察される。）ため、上記問題を回避するため、後記する実施例では、保護膜の成膜前に N_2O プラズマ照射を行った。 N_2O プラズマの照射条件は、下記文献に記載の条件を採用した。

J. Parkら、Appl. Phys. Lett., 1993, 053505 (2008)

[0059] 次に、常法に基づき、コンタクトホール7を介して透明導電膜8をドレイン電極5に電氣的に接続する。透明導電膜およびドレイン電極の種類は特に限定されず、通常用いられるものを使用することができる。ドレイン電極としては、例えば前述したソース・ドレイン電極で例示したものをを用いることができる。

実施例

[0060] 以下、実施例を挙げて本発明をより具体的に説明するが、本発明は下記実施例によって制限されず、前・後記の趣旨に適合し得る範囲で変更を加えて実施することも可能であり、それらはいずれも本発明の技術的範囲に包含される。

[0061] 実施例1

前述した方法に基づき、図1に示す薄膜トランジスタ（TFET）を作製し、各特性を評価した。

[0062] まず、ガラス基板（コーニング社製イーグル2000、直径100mm×厚さ0.7mm）上に、ゲート電極としてMo薄膜を100nm、およびゲート絶縁膜 SiO_2 （200nm）を順次成膜した。ゲート電極は純Moのスパッタリングターゲットを使用してDCスパッタ法により形成した。スパッタリングの条件は、室温で成膜パワー密度：3.8W/cm²、ガス圧を2mTorr、Arガス流量を20sccmとした。また、ゲート絶縁膜はプラズマCVD法を用い、キャリアガス： SiH_4 と N_2O の混合ガス、成膜パワー：1.27W/cm³、成膜温度：320℃にて成膜した。成膜時のガス圧は

133Paとした。

[0063] 次に、後述する表1に記載の種々の組成の酸化物薄膜を、スパッタリングターゲット（後記する。）を用いてスパッタリング法によって成膜した。酸化物薄膜としては、 In-Zn-O 中にX群元素を含む In-Zn-X-O （本発明例）のほか、比較のため、X群元素以外の元素として、Gaを含む IGZO （従来例）、Snを含む In-Zn-Sn-O （従来例）、Hfを含む In-Zn-Hf-O （比較例）も成膜した。スパッタリングに使用した装置は（株）アルバック製「CS-200」であり、スパッタリング条件は以下のとおりである。

基板温度：室温

ガス圧：5mTorr

酸素分圧： $\text{O}_2 / (\text{Ar} + \text{O}_2) = 2\%$

成膜パワー密度：2.55W/cm²

膜厚：50nm

[0064] IGZO （従来例）の成膜に当たっては、 In:Ga:Zn の比（原子%比）が1:1:1であるスパッタリングターゲットを用い、DCスパッタリング法を用いて成膜した。また、酸化物薄膜 In-Zn-X-O （ $\text{X} = \text{Al}$ 、 Si 、 Ta 、 Ti 、 La 、 Mg 、 Nb ）、 In-Zn-Hf-O 、および In-Zn-Sn-O の成膜に当たっては、組成の異なる3つのスパッタリングターゲットを同時放電するCo-Sputter法を用いて成膜した。詳細にはスパッタリングターゲットとして、酸化インジウム（ In_2O_3 ）、酸化亜鉛（ ZnO ）およびX群元素の酸化物ターゲットの3種類を用いた。

[0065] このようにして得られた酸化物薄膜中の金属元素の各含有量は、XPS（X-ray Photoelectron Spectroscopy）法によって分析した。

[0066] 上記のようにして酸化物薄膜を成膜した後、フォトリソグラフィおよびウェットエッチングによりパターンニングを行った。ウェットエッチャント液としては、関東科学製「ITO-07N」を使用した。本実施例では、実験を

行ったすべての酸化物薄膜について、ウェットエッチングによる残渣はなく、適切にエッチングできたことを確認している。

[0067] 酸化物半導体膜をパターニングした後、膜質を向上させるためプレアニール処理を行った。プレアニールは、大気雰囲気にて、 350°C で1時間行なった。

[0068] 次に、純Tiを使用し、リフトオフ法によりソース・ドレイン電極を形成した。具体的にはフォトレジストを用いてパターニングを行った後、Ti薄膜をDCスパッタリング法により成膜（膜厚は 100 nm ）した。ソース・ドレイン電極用Ti薄膜の製膜条件は、前述したゲート電極の場合と同じである。次いで、アセトン液中で超音波洗浄器にかけて不要なフォトレジストを除去してリフトオフを行った。TFETのチャネル長を $10\text{ }\mu\text{ m}$ 、チャネル幅を $200\text{ }\mu\text{ m}$ とした。

[0069] このようにしてソース・ドレイン電極を形成した後、酸化物半導体層を保護するための保護膜を形成した。保護膜として、 SiO_2 （膜厚 200 nm ）と SiN （膜厚 150 nm ）の積層膜（合計膜厚 150 nm ）を用いた。上記 SiO_2 および SiN の形成は、サムコ製「PD-220NL」を用い、プラズマCVD法を用いて行なった。本実施例では、 N_2O ガスによってプラズマ処理を行った後、 SiO_2 、および SiN 膜を順次形成した。 SiO_2 膜の形成には N_2O および SiH_4 の混合ガスを用い、 SiN 膜の形成には SiH_4 、 N_2 、 NH_3 の混合ガスを用いた。いずれの場合も成膜パワーを 100 W 、成膜温度を 150°C とした。

[0070] 次にフォトリソグラフィ、およびドライエッチングにより、保護膜にトランジスタ特性評価用プロービングのためのコンタクトホールを形成した。次に、DCスパッタリング法を用い、キャリアガス：アルゴンおよび酸素ガスの混合ガス、成膜パワー： 200 W 、ガス圧： 5 mTorr にてITO膜（膜厚 80 nm ）を成膜し、図1のTFETを作製した。

[0071] このようにして得られた各TFETについて、以下のようにして、（1）トランジスタ特性（ドレイン電流－ゲート電圧特性、 I_d-V_g 特性）、（2

）しきい値電圧、（３）Ｓ値、（４）電界効果移動度、および（５）正バイアスストレス印加後のストレス耐性を調べた。

[0072] （１）トランジスタ特性の測定

トランジスタ特性の測定はAgilent Technology社製「4156C」の半導体パラメータアナライザーを使用した。詳細な測定条件は以下のとおりである。

ソース電圧 : 0 V

ドレイン電圧 : 10 V

ゲート電圧 : -30 ~ 30 V (測定間隔 : 0.25 V)

基板温度 : 室温

[0073] （２）しきい値電圧 (V_{th})

しきい値電圧とは、おおまかにいえば、トランジスタがオフ状態（ドレイン電流の低い状態）からオン状態（ドレイン電流の高い状態）に移行する際のゲート電圧の値である。本実施例では、ドレイン電流が、オン電流とオフ電流の間の1 nA付近であるときの電圧をしきい値電圧と定義した。

[0074] （３）Ｓ値

Ｓ値は、 $I_d - V_g$ 特性においてオフ状態からオン状態に立ち上がる際のドレイン電流を一桁増加させるのに必要なゲート電圧の最小値であり、Ｓ値が低いほどドレイン電流の増加が急峻となり、デバイス特性が良好であることを示す。

[0075] （４）電界効果移動度 μ_{FE}

電界効果移動度 μ_{FE} は、TFT特性から $V_d > V_g - V_{th}$ である飽和領域にて導出した。飽和領域では V_g 、 V_{th} をそれぞれゲート電圧、しきい値電圧、 I_d をドレイン電流、 L 、 W をそれぞれTFT素子のチャネル長、チャネル幅、 C_i をゲート絶縁膜の静電容量、 μ_{FE} を電界効果移動度とした。電界効果移動度 μ_{FE} は下式から導出される。本実施例では、飽和領域を満たすゲート電圧付近におけるドレイン電流－ゲート電圧特性 ($I_d - V_g$ 特性) から電界効果移動度 μ_{FE} を導出した。

[0076] [数1]

$$\mu_{FE} = \frac{\partial I_d}{\partial V_g} \left(\frac{L}{C_i W (V_g - V_{th})} \right)$$

[0077] (5) ストレス耐性の評価（ストレスとして正バイアスを印加）

本実施例では、実際のパネル駆動時の環境（ストレス）を模擬して、ゲート電極に正バイアスをかけながらストレス印加試験を行った。ストレス印加条件は以下のとおりである。特に有機ELディスプレイの場合、正バイアスストレスによりしきい値電圧が変動して電流値が低下するため、しきい値電圧の変化が小さいほどよい。

ソース電圧：0 V

ドレイン電圧：0.1 V

ゲート電圧：20 V

基板温度：60℃

ストレス印加時間：3時間

[0078] これらの結果を図3～9、および表1に示す。

[0079]

[表1]

No	組成	S値 (V/dec)	V _{th} (V)	μ_{FE} (cm ² /Vs)	ΔV_{th} (V)
No1	IGZO (In:Ga:Zn=1:1:1)	0.4	2	7.6	11.7
No2	In-Zn-Sn-O (In:Zn:Sn=30:60:10)	0.3	1	17.8	12.5
No3	In-Zn-Si-O	0.4	0	10.1	5.0
No4	In-Zn-Al-O	0.4	0	16.1	3.8
No5	In-Zn-Ta-O	0.5	-2	11.4	5.5
No6	In-Zn-Ti-O	0.4	0	10.6	2.3
No7	In-Zn-Hf-O	0.5	1	12.2	15.0
No8	In-Zn-La-O	0.7	-2	11.4	1.8
No9	In-Zn-Mg-O	0.5	-1	11.0	1.8
No10	In-Zn-Nb-O	0.5	-2	12.5	2.8

[0080] まず図3～5、および表1を参照する。詳細には図3は、従来例のIGZO (In-Ga-Zn-O) を半導体層に用いたTFTにおけるI_d-V_g

特性を示しており、 InGaZnO の組成は原子数比（モル比）で $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ である。図4は、 In-Zn-Sn-O を半導体層に用いたTFTにおける I_d-V_g 特性を示しており、 $\text{In} : \text{Zn} : \text{Sn}$ は原子数比（モル比）で $\text{In} : \text{Zn} : \text{Sn} = 30 : 60 : 10$ である（なお、 $\text{In} : \text{Zn}$ のモル比は $1 : 2$ である）。図5A（a）～（d）は、X群元素としてSi、Al、Ta、Tiを添加した In-Ga-X-O 、図5A（e）は、X群元素以外の元素として、Hfを添加した In-Ga-Hf-O を、それぞれ、半導体層に用いたTFTにおける I_d-V_g 特性を示しており、いずれもIn量は30原子%であり、（a）においてSi量は3.1原子%、（b）においてAl量は1.6原子%、（c）においてTa量は1.4原子%、（d）においてTi量は2.4原子%、（e）においてHf量は3.0原子%である。 $\text{In} : \text{Zn}$ のモル比は、いずれも約30 : 60～70である。また、図5B（a）～（c）は、X群元素としてLa、Mg、Nbを含む添加した In-Ga-X-O を半導体層に用いたTFTにおける I_d-V_g 特性を示しており、いずれもIn量は30原子%であり、（a）においてLa量は2原子%、（b）においてMg量は2原子%、（c）においてNb量は1原子%である。 $\text{In} : \text{Zn}$ のモル比は、いずれも約30 : 60～70である。

[0081] 表1は、上記の各酸化物を半導体層に用いたTFTの特性結果をまとめたものである。

[0082] まず従来例の InGaZnO （表1のNo. 1）について、図3を参照しながら I_d-V_g 特性を説明する。図3に示すように、ゲート電圧 V_g を負側から正側へ増加させていくと $V_g = 0 \text{ V}$ 付近でドレイン電流 I_d が急激に増加している様子がわかる。このようにドレイン電流の低いオフ状態からドレイン電流の高いオン状態へ移行し、スイッチング特性を示していることがわかる。また InGaZnO の各種特性は、表1に示すように、しきい値電圧 $V_{th} = 2 \text{ V}$ 、 S 値 $= 0.4 \text{ V/dec}$ 、オン電流（ $V_g = 30 \text{ V}$ のときのドレイン電流） $I_{on} = 650 \mu\text{A}$ 、電界効果移動度 $\mu_{FE} = 7.6 \text{ cm}^2/\text{Vs}$ であった。

- [0083] また、本発明で規定しないS nを含むI n-Z n-S n-O（表1のNo. 2）は、図4および表1に示すように、しきい値電圧 $V_{th}=1\text{ V}$ 、S値 $=0.3\text{ V/d e c}$ 、オン電流（ $V_g=30\text{ V}$ のときのドレイン電流） $I_{on}=2.04\text{ mA}$ 、電界効果移動度 $\mu_{FE}=17.8\text{ cm}^2/\text{V s}$ であった。このようにいずれの例も、良好な特性を有しており、特にGaを含まないNo. 2のI n-Z n-S n-Oは、IGZOに比べて高い移動度を有していた。
- [0084] 一方、X元素として本発明で規定する元素（X群元素=Si、Al、Ta、Ti、La、Mg、Nb）を含む表1のNo. 3～6、8～10、および本発明で規定しない元素（Hf）を含む表1のNo. 7は、図5A（a）～（e）、図5B（a）～（c）に示すように良好なスイッチング特性を示しており、表1に示す各特性も良好であった。特に電界効果移動度 μ_{FE} について、いずれの例も、従来例のIGZOの値（ $7.6\text{ cm}^2/\text{V s}$ ）を超える非常に高い移動度を有していた。
- [0085] 図6および図7は、I n-Z n-X-O、およびI n-Z n-Hf-OのTF Tについて、X群元素の比（X量）およびI n量が電界効果移動度 μ_{FE} に及ぼす影響について調べた結果を示すグラフである。
- [0086] このうち図6は、X群元素=Al、Si、Ta、Ti、Hf、La、Mg、Nbについて、I n-Z n-X-O（I n量=30原子%）のX量と電界効果移動度の関係を示している。図6において、■はX元素=Al、●はX元素=Si、△はX元素=Ta、□はX元素=Ti、▲はHf、○=Mg、◇=La、◆=Nbである。図6に示すように、X群元素の種類にかかわらず、X量が多くなる程、電界効果移動度が低下することが分かる。この関係は、I n量が本発明の好ましい範囲（15～70原子%）のときも同様に見られた。詳細にはX群元素の種類によっても相違するが、表1のNo. 1（IGZO）の電界効果移動度の50%以上（ $3.8\text{ cm}^2/\text{V s}$ 以上）を満足するためには、X量をおおむね、5原子%以下とすることが有効であることが分かる。同様の傾向は、X群元素以外の元素として、Hfを用いたときも同様に見られた。

[0087] 図7は、 In-Zn-Al-O (Al 量=1.6原子%)の In 量と電界効果移動度の関係を示している(図7中、○を参照)。図7には参考のため、 In 量としきい値電圧 V_{th} の関係を●で示している。図7に示すように、しきい値電圧 V_{th} は In 量の添加によって殆ど変動しないが、電界効果移動度 μ_{FE} は高い In 量依存性を有しており、 In 量が多くなる程、電界効果移動度は向上することが分かる。詳細には、電界効果移動度は In 量が10原子%付近から急激に上昇し、 In 量が20原子%付近で移動度の上昇は緩やかになる傾向が見られた。

[0088] 図7には、X群元素として Al を添加したときの結果を示しているが、 Al 以外のX群元素を添加したときも、図7とほぼ同様の傾向が見られた。

[0089] 次に図8および図9を参照する。ここには、正バイアスストレス試験の結果を示している。図8～図9で用いた酸化物の組成は表1と同じである。

[0090] まず図8Aおよび図8Bを参照する。これらの図には、 In-Zn-X-O (X 群元素= Si 、 Al 、 Ta 、 Ti 、 La 、 Mg 、 Nb)、 In-Zn-Hf-O 、 In-Zn-Sn-O について、基板温度60℃で正バイアスを0～3時間(10800秒)印加したときのTF特性の経時変化を示している。参考のため、これらの図には、基板温度25℃(室温)のときの結果を点線で示しており(図8中、「as depo」として記載)、これは、対応するX群元素を有する図4～図5の結果と同じである。

[0091] 図8A中、まず、本発明で規定しない Hf および Sn のグラフを参照する。これらにおいて、基板温度25℃(点線)と基板温度60℃(ストレス印加直後)の結果を対比すると、基板温度の上昇により、しきい値電圧 V_{th} は正方向へシフトしており、正バイアスのストレス印加時間が長くなるにつれ、しきい値電圧は更に正側へシフトすることが分かる(図中、→を参照、矢印の方向に向って、ストレス印加時間は、0sec→10800secと長くなる)。これは、TF特性に正バイアスを印加し続けた結果、ゲート絶縁膜と半導体層の界面にアクセプターライクな欠陥が生じ、界面に電子がトラップされたためと推測される。

- [0092] これに対し、X群元素として本発明で規定するAl、Si、Ta、Ti、La、Mg、Nbのいずれかを用了ときは、基板温度25℃→60℃の加熱によるしきい値電圧 V_{th} の顕著な変化は見られず、正バイアスストレスを印加し続けた場合においても、 V_{th} の変化は、SnやHfを用了場合に比べて小さいことが分かる。
- [0093] 図8の結果を基礎として、X群元素の種類ごとに、正バイアスストレス印加時間(秒)と正バイアスストレス中のしきい値電圧変化量 ΔV_{th} の関係を整理した結果を図9Aおよび図9B(図9Bは図9Aの一部拡大図)に示す。これらの図において、各ストレス印加時間のしきい値電圧変化量 ΔV_{th} は、当該ストレス時間におけるしきい値電圧と、ストレス印加前のしきい値電圧との差として算出したものである。これらの図には、参考のため、IGZOの結果(従来例)も併記している。
- [0094] 図9Aおよび図9Bより、X群元素の種類にかかわらず、正バイアスを印加するとしきい値電圧 V_{th} が正方向へシフトしていることが分かる。これは、正バイアスを印加することにより半導体層とゲート絶縁膜の界面にトラップされる電子が増加するためと推測される。
- [0095] ここで、各例における3時間後のしきい値電圧変化量 ΔV_{th} を対比すると、従来例のIGZOは11.7Vであり、本発明で規定しないSnを含む例(□)では ΔV_{th} は一層高くなり、16.8Vであった。同様に、本発明で規定しないHfを含む例(▲)の ΔV_{th} も同様に高く、16.3Vであった。すなわち、これらの例は、正バイアスストレス耐性に極めて劣ることが分かった。
- [0096] これに対し、本発明で規定するX群元素のAl(■)、Si(●)、Ta(△)、Ti(□)、La(◇)、Mg(◆)、Nb(○)を含む例は、これらに比べて ΔV_{th} が著しく小さくなっていることがわかる。これは、本発明で規定する上記X群元素の添加により、半導体層とゲート絶縁膜の界面にトラップされる電子が低減され、界面の格子間の結合が安定化されたためと推測される。

[0097] また、本発明で規定する上記X群元素を添加したものは、正バイアスストレス印加後のS値や移動度も、ストレス印加前と殆ど変わらず、良好な特性を示していることを確認している。

[0098] 実施例2

本実施例では、表2に記載の組成を有する酸化物について、酸化物半導体膜の密度とTFT特性の関係を調べた。詳細には、以下の方法で酸化物膜（膜厚100nm）の密度を測定すると共に、前述した実施例1と同様にしてTFTを作製し、電解効果移動度を測定した。表2において、表2のNo. 1および2の酸化物の組成（In-Zn-Sn-O）は、前述した表1のNo. 2と同じであり；表2のNo. 3および4の酸化物の組成（In-Zn-Al-O）は、前述した表1のNo. 4と同じであり；表2のNo. 5および6の酸化物の組成（In-Zn-Ti-O）は、前述した表1のNo. 6と同じであり；表2のNo. 7の酸化物の組成（In-Zn-La-O）は、前述した表1のNo. 8と同じであり；表2のNo. 8の酸化物の組成（In-Zn-Mg-O）は、前述した表1のNo. 9と同じであり；表2のNo. 9の酸化物の組成（In-Zn-Nb-O）は、前述した表1のNo. 10と同じである。

[0099] （酸化物の密度の測定）

酸化物の密度は、XRR（X線反射率法）を用いて測定した。詳細な測定条件は以下のとおりである。

- [0100]
- ・ 分析装置：（株）リガク製水平型X線回折装置SmartLab
 - ・ ターゲット：Cu（線源：K α 線）
 - ・ ターゲット出力：45kV-200mA
 - ・ 測定試料の作製

ガラス基板上に各組成の酸化物を下記スパッタリング条件で成膜した（膜厚100nm）後、前述した実施例1のTFT製造過程におけるプレアニール処理を模擬して、当該プレアニール処理と同じ熱処理を施したものを使用

スパッタガス圧：1 m T o r r または 5 m T o r r

酸素分圧： $O_2 / (Ar + O_2) = 2\%$

成膜パワー密度：2.55 W / c m²

熱処理：大気雰囲気にて 350℃ で 1 時間

[0101] これらの結果を表 2 に併記する。表 2 の N o . 2、4、6（いずれも成膜時のガス圧 = 5 m T o r r）は、前述した表 1 の N o . 2、4、6 と同じサンプルであり、よって各サンプルの電界効果移動度は同じである。

[0102] [表2]

No	組成	成膜時の ガス圧 (mTorr)	密度 (g/cm ³)	μ_{FE} (cm ² /Vs)
No1	In-Zn-Sn-O (In:Zn:Sn=30:60:10)	1	6.27	26.5
No2	In-Zn-Sn-O (In:Zn:Sn=30:60:10)	5	6.04	17.8
No3	In-Zn-Al-O	1	6.23	21.1
No4	In-Zn-Al-O	5	6.01	16.1
No5	In-Zn-Ti-O	1	6.25	14.2
No6	In-Zn-Ti-O	5	6.03	10.6
No7	In-Zn-La-O	1	6.21	15.6
No8	In-Zn-Mg-O	1	6.23	13.0
No9	In-Zn-Nb-O	1	6.22	13.3

[0103] 表 2 より、スパッタリング成膜時のガス圧力を、5 m T o r r（実施例 1）から 1 m T o r r に下げると、酸化物の組成にかかわらず、いずれの場合も膜密度が上昇し、これに伴って電界効果移動度も大きく増加することが分かった。このことは、酸化物膜の密度を増加させることによって膜中の欠陥が少なくなって移動度や電気伝導性が向上し、T F T の安定性が向上することを意味している。

[0104] 表 2 には、X 群元素として Al および Ti の結果を示しているが、上述した酸化物膜の密度と電界効果移動度の関係は、他の X 群元素を用いたときも同様に見られた。以上の結果より、酸化物半導体層の密度が 6.0 g/cm^3 以上であれば、十分に実用可能なレベルの高移動度を有する TFT が得られることが分かる。

符号の説明

- [0105]
- 1 基板
 - 2 ゲート電極
 - 3 ゲート絶縁膜
 - 4 酸化物半導体層
 - 5 ソース・ドレイン電極
 - 6 保護膜（絶縁膜）
 - 7 コンタクトホール
 - 8 透明導電膜
 - 9 エッチストッパー層

請求の範囲

- [請求項1] 薄膜トランジスタの半導体層に用いられる酸化物であって、
前記酸化物は、I nと；Z nと；Al、Si、Ta、Ti、La、Mg、およびNbよりなる群から選択される少なくとも一種の元素（X群元素）と、を含むことを特徴とする薄膜トランジスタの半導体層用酸化物。
- [請求項2] 半導体層用酸化物に含まれるI n、Z n、X群元素の含有量（原子％）をそれぞれ、[I n]、[Z n]、[X]としたとき、 $100 \times [X] / ([I n] + [Z n] + [X])$ で表されるX量は0.1～5原子％である請求項1に記載の酸化物。
- [請求項3] 半導体層用酸化物に含まれるI n、Z n、X群元素の含有量（原子％）をそれぞれ、[I n]、[Z n]、[X]としたとき、 $100 \times [I n] / ([I n] + [Z n] + [X])$ で表されるI n量は15原子％以上である請求項1に記載の酸化物。
- [請求項4] 半導体層用酸化物に含まれるI n、Z n、X群元素の含有量（原子％）をそれぞれ、[I n]、[Z n]、[X]としたとき、 $100 \times [I n] / ([I n] + [Z n] + [X])$ で表されるI n量は15原子％以上である請求項2に記載の酸化物。
- [請求項5] 前記X群元素はAl、Ti、またはMgである請求項1に記載の酸化物。
- [請求項6] 請求項1～5のいずれかに記載の酸化物を薄膜トランジスタの半導体層として備えた薄膜トランジスタ。
- [請求項7] 前記半導体層の密度は $6.0 \text{ g} / \text{cm}^3$ 以上である請求項6に記載の薄膜トランジスタ。
- [請求項8] 請求項6に記載の薄膜トランジスタを備えた表示装置。
- [請求項9] 請求項6に記載の薄膜トランジスタを備えた有機EL表示装置。
- [請求項10] 請求項1～5のいずれかに記載の酸化物を成膜するためのスパッタリングターゲットであって、

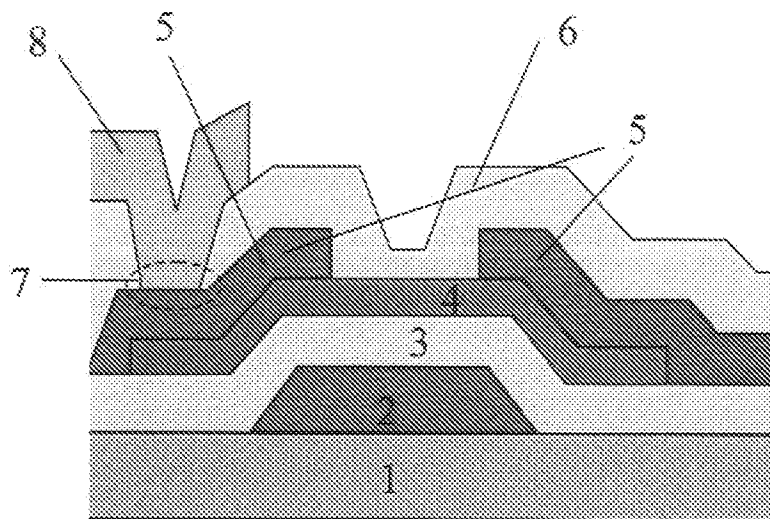
I nと；Z nと；A l、S i、T a、T i、L a、M g、およびN bよりなる群から選択される少なくとも一種の元素（X群元素）と、を含むことを特徴とするスパッタリングターゲット。

[請求項11] スパッタリングターゲット中に含まれるI n、Z n、X群元素の含有量（原子％）をそれぞれ、[I n]、[Z n]、[X]としたとき、 $100 \times [X] / ([I n] + [Z n] + [X])$ で表されるX量は0.1～5原子％である請求項10に記載のスパッタリングターゲット。

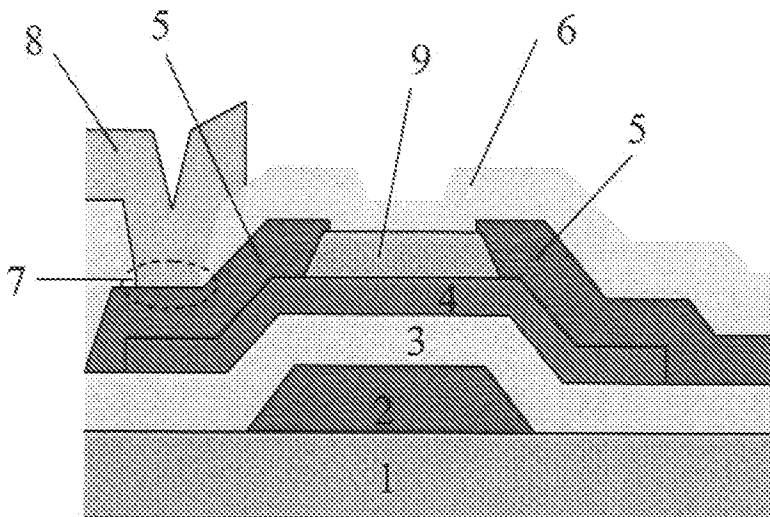
[請求項12] スパッタリングターゲット中に含まれるI n、Z n、X群元素の含有量（原子％）をそれぞれ、[I n]、[Z n]、[X]としたとき、 $100 \times [I n] / ([I n] + [Z n] + [X])$ で表されるI n量は15原子％以上である請求項10に記載のスパッタリングターゲット。

[請求項13] 前記X群元素はA l、T i、またはM gである請求項10に記載のスパッタリングターゲット。

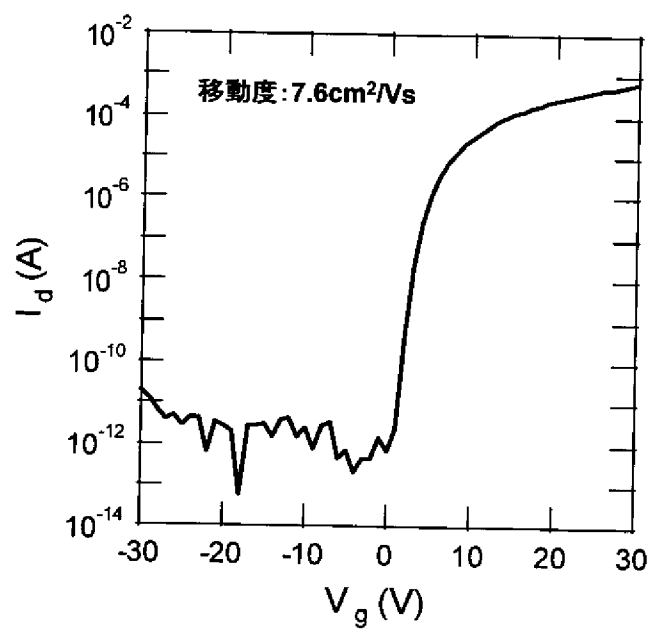
[図1]



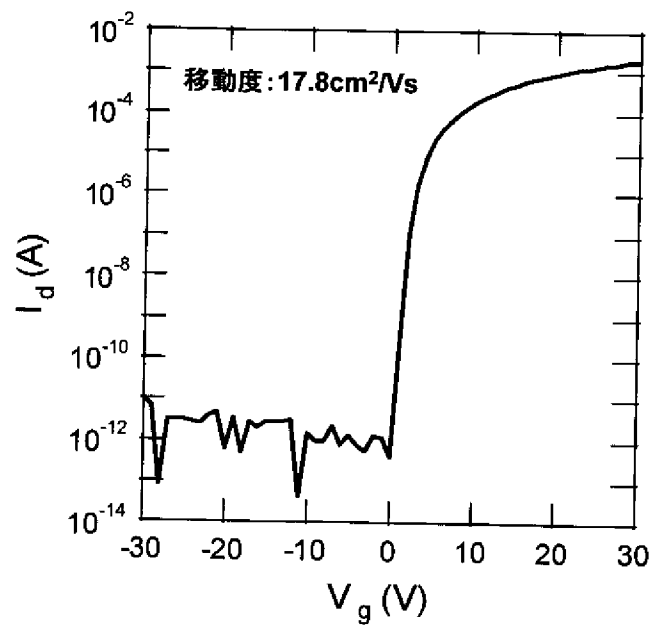
[図2]



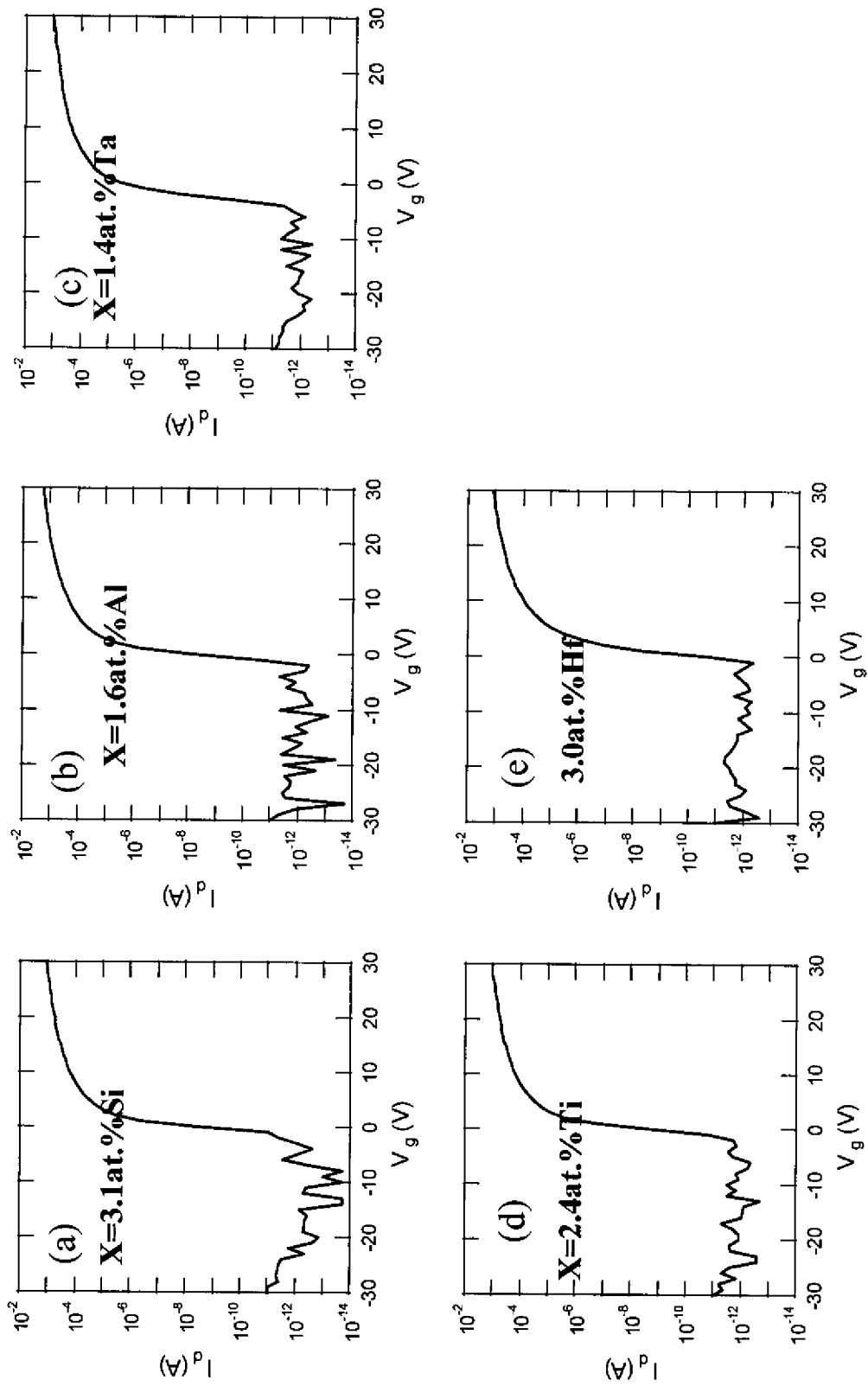
[図3]



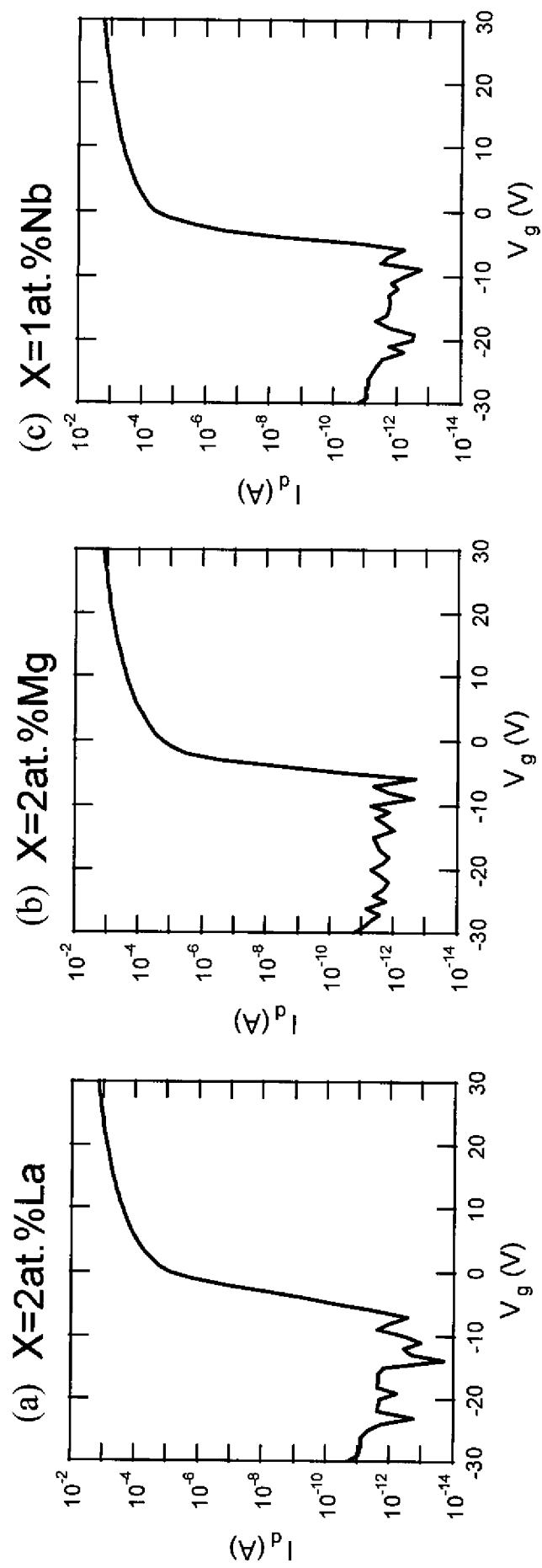
[図4]



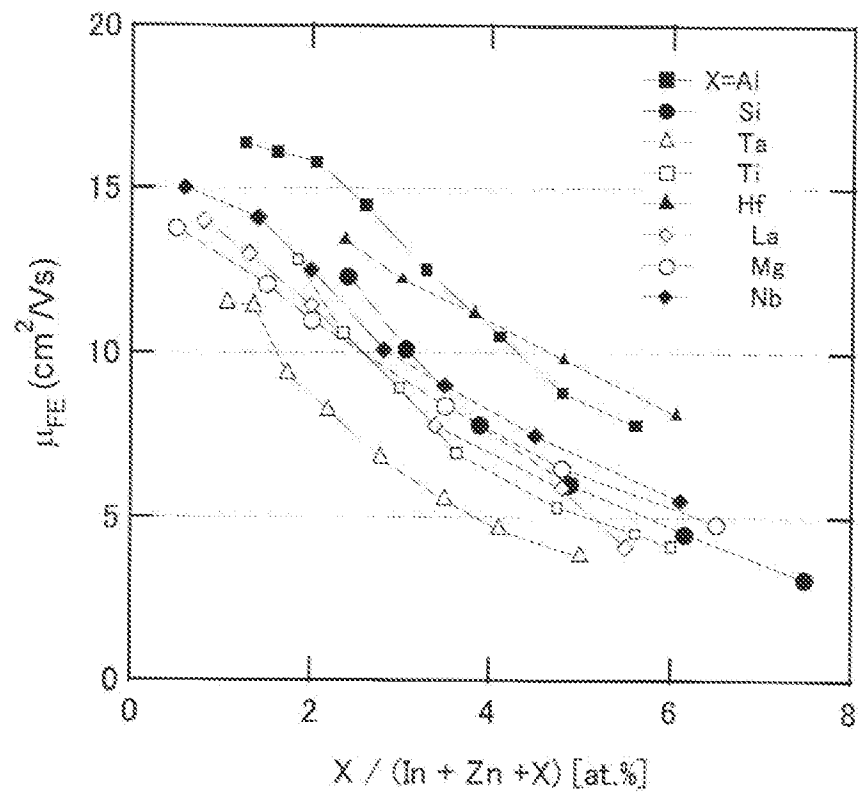
[図5A]



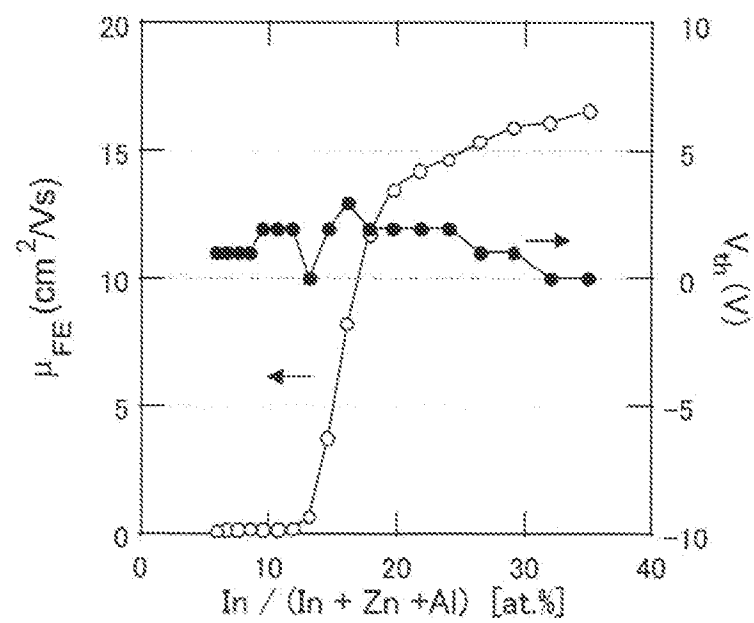
[図5B]



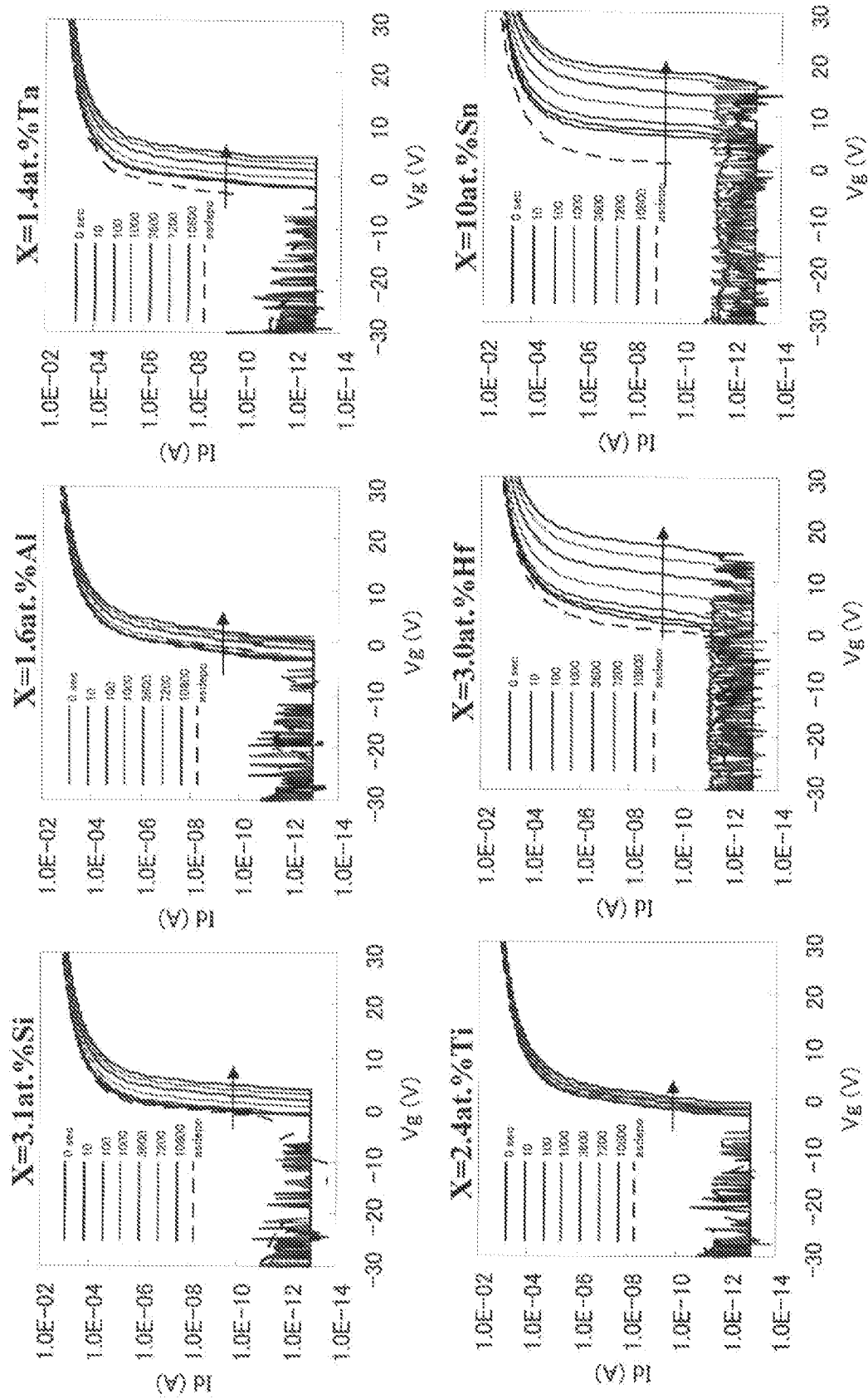
[図6]



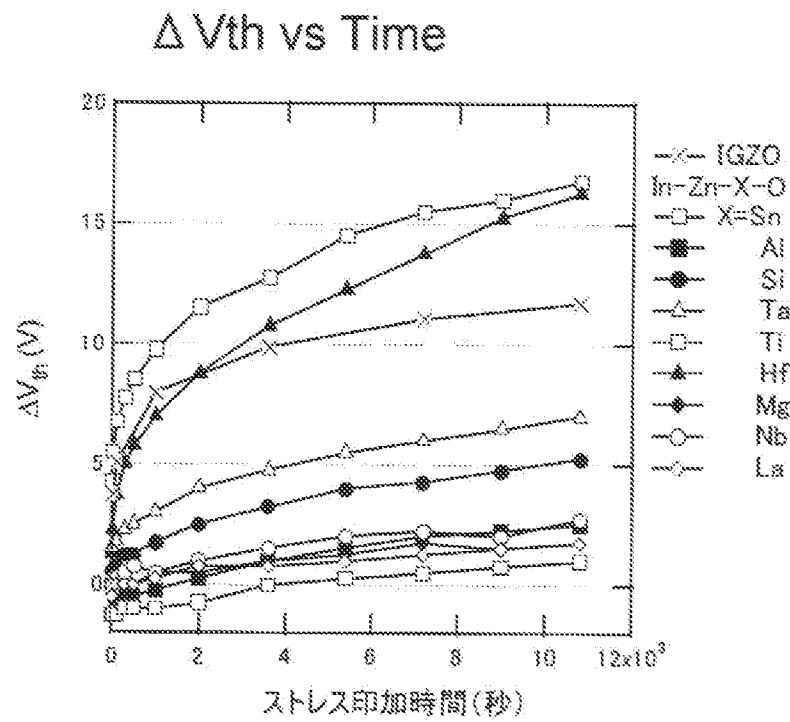
[図7]



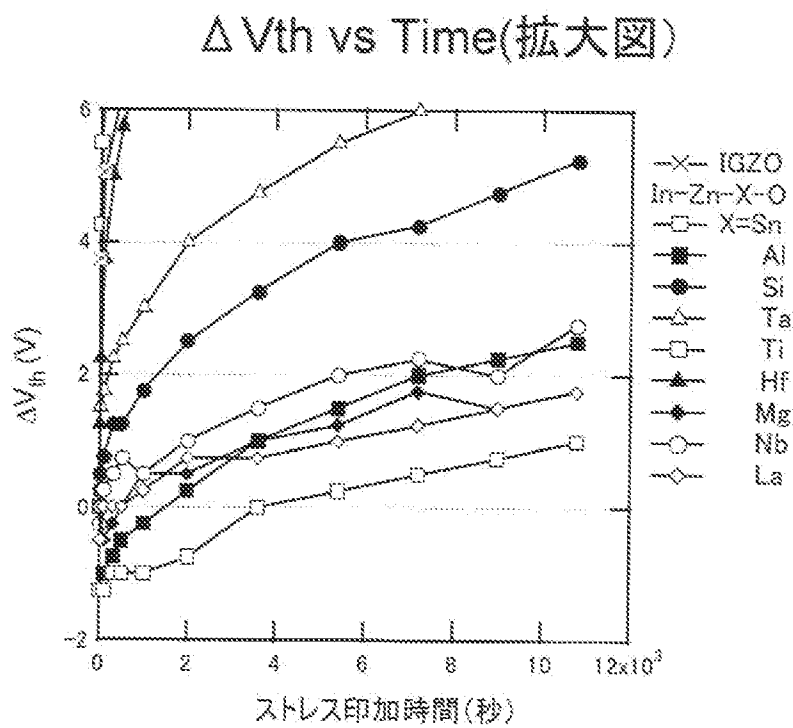
[図8A]



[図9A]



[図9B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/080483

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/363(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/336, H01L21/363

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-272663 A (Sony Corp.), 02 December 2010 (02.12.2010), paragraphs [0013] to [0040], [0097] to [0111] & US 2010/0295037 A1	1-6, 8-13 1-13
Y	JP 2010-222214 A (Idemitsu Kosan Co., Ltd.), 07 October 2010 (07.10.2010), paragraph [0018] (Family: none)	1-13
Y	JP 2010-030824 A (Idemitsu Kosan Co., Ltd.), 12 February 2010 (12.02.2010), paragraphs [0061], [0062] (Family: none)	7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
29 February, 2012 (29.02.12)Date of mailing of the international search report
13 March, 2012 (13.03.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/363(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/336, H01L21/363

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-272663 A（ソニー株式会社）2010.12.02, 段落【0013】－【0040】、【0097】－【0111】 & US 2010/0295037 A1	1-6, 8-13 1-13
Y	JP 2010-222214 A（出光興産株式会社）2010.10.07, 段落【0018】（ファミリーなし）	1-13
Y	JP 2010-030824 A（出光興産株式会社）2010.02.12, 段落【0061】、【0062】（ファミリーなし）	7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 2 . 2 0 1 2

国際調査報告の発送日

1 3 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

川村 裕二

4 M

3 3 4 9

電話番号 03-3581-1101 内線 3462