

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3573208号
(P3573208)

(45) 発行日 平成16年10月6日(2004.10.6)

(24) 登録日 平成16年7月9日(2004.7.9)

(51) Int.Cl.⁷

H04L 12/56

F I

H04L 12/56 300A

請求項の数 5 (全 39 頁)

(21) 出願番号	特願平6-512043	(73) 特許権者	390035493
(86) (22) 出願日	平成5年3月18日(1993.3.18)		エイ・ティ・アンド・ティ・コーポレーション
(65) 公表番号	特表平8-503344		AT&T CORP.
(43) 公表日	平成8年4月9日(1996.4.9)		アメリカ合衆国 10013-2412
(86) 国際出願番号	PCT/US1993/002478		ニューヨーク ニューヨーク アヴェニュー
(87) 国際公開番号	W01994/011975		オブ ジ アメリカズ 32
(87) 国際公開日	平成6年5月26日(1994.5.26)	(74) 代理人	100064447
審査請求日	平成12年3月7日(2000.3.7)		弁理士 岡部 正夫
審査番号	不服2003-4346(P2003-4346/J1)	(74) 代理人	100085176
審査請求日	平成15年3月17日(2003.3.17)		弁理士 加藤 伸晃
(31) 優先権主張番号	07/972,786	(74) 代理人	100106703
(32) 優先日	平成4年11月6日(1992.11.6)		弁理士 産形 和央
(33) 優先権主張国	米国(US)	(74) 代理人	100096943
(31) 優先権主張番号	07/972,787		弁理士 白井 伸一
(32) 優先日	平成4年11月6日(1992.11.6)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】 広帯域通信網の電話通信経路の設定

(57) 【特許請求の範囲】

【請求項1】

網内において回路交換呼を設定する方法であって、

前記の網の入り口ノード内において、複数のパルス符号変調された信号流の一つからの呼に対する信号を抽出し、定ビット速度の永久仮想回路内に挿入し、前記の網の出口ノードに向かって伝送するステップを含み、各永久仮想回路の各パケットが複数の呼に対する信号を前記の各永久仮想回路の複数のチャネルを通じて運ぶために使用される複合パケットであり、前記の複数の呼に対する信号が前記のノードの一つに終端する一つ或はそれ以上のパルス符号変調された信号流から受信可能であり、各呼が前記の定ビット速度の永久仮想回路の一つのチャネルを占拠し、この方法が：

網のペアのノード間に複数の同期定ビット速度の永久仮想回路を用意するステップ；

回路交換接続を前記の網の入り口ノードから出口ノードに向けて前記の信号流の一つの上の呼のために設定するリクエストにตอบสนองして、前記の入り口ノードと前記の出口ノードの間の任意のアクティブな永久仮想回路が前記の呼を運ぶための空いたチャネルを持つか否かを調べる第一の決定を行なうステップ；及び

第一の決定の結果が肯定の場合、これにตอบสนองして、前記の空いたチャネルを持つ永久仮想回路を使用して前記の呼に対する接続を設定するステップ；及び

その後、前記の信号流の前記の一つから前記の呼に対する信号を抽出し、前記の抽出された信号を前記の空いたチャネルを持つ前記の永久仮想回路の定ビット速度パケット内に挿入するステップを含むことを特徴とする方法。

10

20

【請求項 2】

前記の用意された永久仮想回路が呼を運ぶためのアクティブな永久仮想回路と、アクティブにされたときにのみ呼を運ぶことができるアクティブでない永久仮想回路を含み、この方法がさらに：

前記の第一の決定の結果が否定の場合、これにตอบสนองして、前記の入口ノードと前記の出口ノードの間の用意されているアクティブでない永久仮想回路をアクティブにすることができるか否かの第二の決定を行なうステップ；及び

第二の決定の結果が肯定の場合、これにตอบสนองして、前記の入り口ノードと前記の出口ノードの間の前記の用意された永久仮想回路の一つをアクティブにし、前記の接続をこうしてアクティブにされた用意された永久仮想回路を通じて設定するステップを含むことを特徴とする請求項 1 の方法。

10

【請求項 3】

二つの不安全にロードされた定ビット速度の永久仮想回路からのチャネルを一つの定ビット速度の永久仮想回路に併合するステップがさらに含まれることを特徴とする請求項 2 の方法。

【請求項 4】

電話通信網であって、

複数のアクセススイッチ（１）；及び

一つの信号伝送網（１０）を含み；

前記のアクセススイッチの幾つかが前記の信号伝送網によって相互接続され；ここで：

20

前記のアクセススイッチが複数の同期パルス符号変調信号を複数の定ビット速度の非同期転送モード信号に変換するための手段（５４０）を含み；

ここで、前記の複数の非同期転送モード信号の各々が、複数のパルス符号変調信号流上の複数の電話通信呼に対するパルス符号変調データを、二つのアクセススイッチを接続する一つの共通仮想回路を通じて定期的に運ぶための複合セルから構成され；

前記の信号伝送網が、リンクを相互接続するための複数の共通広帯域プラットフォーム（５５０）非同期転送モードクロス接続スイッチを含み、前記のリンクが非同期転送モード信号をアクセススイッチと、他の共通プラットフォームスイッチに伝送するために使用される電話通信網において、

前記の変換するための手段が；

30

各々が複数のパルス符号変調チャネルを運ぶために使用される複数の同期パルス符号変調信号を受信するための手段；

前記のパルス符号変調信号の個々のバイトを各々が複数の前記のバイトを格納するために使用される複数のバッファメモリの選択可能なメモリ位置に格納するための手段；及び

前記のバッファメモリの幾つかの出力に見出しデータを加え、複数の複合パケットを形成するための手段を含み、ここで各複合パケットが複数の前記のパルス符号変調信号からの複数のパルス符号変調チャネルからのバイトから構成され、この手段がさらに

前記の複数の複合パケットの幾つかを定期的に出力信号に入れて前記の出力信号のパケットを交換するためのユニットに向けて伝送するための手段を含み；

前記の選択可能なメモリ位置が一つの共通の交換システムに向けられたチャネルの複数の個々のバイトが１つの複合パケット内に入れられるように選択されることを特徴とする電話通信網。

40

【請求項 5】

電話通信網であって、

複数のアクセススイッチ（１）；及び

一つの信号伝送網（１０）を含み；

前記のアクセススイッチの幾つかが前記の信号伝送網によって相互接続され；ここで：

前記のアクセススイッチが複数の同期パルス符号変調信号を複数の定ビット速度の非同期転送モード信号に変換するための手段（５４０）を含み；

ここで、前記の複数の非同期転送モード信号の各々が、複数のパルス符号変調信号流上の

50

複数の電話通信呼に対するパルス符号変調データを、二つのアクセススイッチを接続する一つの共通仮想回路を通じて定期的に運ぶための複合セルから構成され；

前記の信号伝送網が、リンクを相互接続するための複数の共通広帯域プラットフォーム（550）非同期転送モードクロス接続スイッチを含み、前記のリンクが非同期転送モード信号をアクセススイッチと、他の共通プラットフォームスイッチに伝送するために使用される電話通信網において、

複数の交換モジュール（510）或は交換システム；及び

前記の非同期転送モードセルの複合セルを各々複数の出力信号の一つに交換するための手段（550）がさらに含まれ；前記の出力信号が、前記の変換するための手段（540）の一つに伝送されここで前記の出力信号がさらに前記の複数の交換モジュール或はシステムの

10

一つに伝送するためにパルス符号変調信号に変換され；

前記の変換するための手段によって生成されるセルの各々のデータが、変換するための一つの共通の手段に向けられ；

前記の変換するための手段がさらにパケット化されたデータ信号を可変ビット速度（可変ビット速度）非同期転送モードセルに変換するための手段を含むことを特徴とする電話通信網。

【発明の詳細な説明】

技術分野

本発明はデジタル電話通信接続を設定するため、より詳細には、広帯域網と交換システムを使用して電話通信接続を設定するための構成に関する。

20

問題

多量の電話通信サービス、例えば、市外電話サービスの提供のコストは、今でも高いままに留まっている。高容量の伝送システムの提供のコストには、光ファイバの使用によって大きな進展があったが、このような光ファイバシステムへのアクセスと、このような光ファイバシステム上への信号の交換のコストは、今でも高いままである。さらに、市外タンデムスイッチ内でのあるチャネルから別のチャネルへの信号の交換のコストも高いままにとどまっており、このために、トランク群ができるかぎり市外タンデム接続の使用を回避するように設計されている。（ピークの忙しい日でさえも、市外タンデムスイッチを介してルートされるのは、AT&T網を通じて交換される市外トラヒックの5%以下であると推定されている。）

30

従来の技術の一つの問題は、現在でも、大型の市外網が、タンデム呼ばかりか市外網への市外アクセス呼の交換を、高価な市外スイッチを使用して行なう方法に依存してしており、このために、通常は、市外網内でのタンデム交換を要求するトラヒックの量を制限するために、直接グループを余裕を持って設計することが推奨され、従って、非経済的になることである。

広帯域のパケット信号とより帯域幅の狭い回路信号とを組合わせて広帯域設備を通じて伝送するための新たな標準が実施された。非同期転送モード（Asynchronous Transfer Mode、ATM）と称されるこの標準は、データを各フレームが複数のセルから構成されるフレームにパケット化する。一方、フレームを構成する各セルは、53バイト長であり、この53バイトは、5バイトの見出しと48バイトのペイロードから構成される。ATMセグメントが伝送されるとき、各セルは別個の宛先に向けられ、その宛先は見出し内に識別される。ATMを、ある網への入り口からの音声信号をその網の複数の出口ノードに伝送するために、経済的に使用する有効な提案はいまだにない。ATM標準は、広帯域網、特に、光ファイバ伝送設備を使用する広帯域網内でますます多く使用される傾向にあるが、ATM標準を使用して、網の任意の多数の入り口ノードからの多量の音声信号をその網の任意の多数の出口ノードに伝送できるように、通信網を設計する問題に対する経済的な解決策はいまだに発見されていない。具体的には、ATMを、パルス符号変調（PCM）された信号として生成されPCM設備上に多重化された音声信号を伝送し、これら信号を複数の交換システム或はモジュール間で交換し、ATM伝送設備及びATMスイッチを使用する交換網上に、さらに伝送及び交換するために交換するために使用するための経済的に有効な提案はない。

40

50

さらに、非常に大規模な電話通信交換システム或はこれと均等なものの必要性が増大している。過去においては、この必要性は、部分的には、ある程度の容量を持つタンデム交換システムによって相互接続された小規模の交換システムを使用することによって満たされてきた。AT & T の 5ESS ▲ R ▼ スイッチなどの交換システムにおいては、時分割多重スイッチによって相互接続されたかなり大きな容量を持つモジュールを使用するかなり大規模なシステムが考案されている。但し、今まで提案されてきたどのような解決策も、かなりの量の電話トラヒック、低速度の電話通信データトラヒック、及び高速度の電話通信データトラヒックを扱うために要求される経済的に満足できる大規模な交換システム或はシステムのクラスタを提供するには至っていない。ATM を、非常に高容量の大規模交換システム或はより小規模の交換システムを高度に相互接続した大規模のクラスタを達成するために経済的に使用するための、経済的に有効な提案はいまだになされていない。

欧州特許出願広報 0225714 号は、複合パケットをアセンブルするための構成を開示し、ここでは、個々のパケットは、スイッチの異なる宛先ノードに向けられた複数の通信のためのデータを含み、このデータは、これらパケットを分解し、再びアセンブルして単一の宛先に向けられたパケットを生成するために使用される。K.Y.Engらによって、1990 年 4 月に Atlanta U.S. にて開催された International Conference On Communications ICC'90 の議事録の vol.2、ページ 515 - 520 に掲載の論文『A Framework For National Broadband (ATN/BISDN) Network』という標題の論文は、広帯域設備とデジタルアクセス及びクロス接続システムによって相互接続された大規模の ATM スイッチを含む全国規模の広帯域網アーキテクチャに対する構成を開示する。

解決

本発明に従って上記の諸問題が解決され、従来の技術からの進展が達成される。本発明によると、個々が一つの共通の入り口交換システム或はモジュール、或是一群のこのような交換システム或はモジュール（ノード）に向けられた複数の通信チャネルが単一の ATM 或は ATM 類似セルにパケット化される。ここで、音声或は狭帯域データチャネルは、音声信号を表わすパルス符号変調（PCM）信号の反復速度と同一或は整数分の 1 の速度にて伝送される ATM 或は ATM 類似セルを使用して運ばれる。これらセルは、定ビット速度（CBR）永久仮想回路（PVC）を通じて、網の入り口ノードと出口ノードの間を運ばれる。永久仮想回路は、網の特定の入り口と出口ノードの間のトラヒックが変化したときに準備される。但し、この回路は、追加のグループ（このグループのサイズは各セル内に伝送される音声チャネルの数によって決定される）が必要なときにアクティブにし、これらグループが解放できるときに非アクティブにすることのみが必要とされる。PVC は、その PVC の信号を交換するためのデータをその PVC が通過するノードのあるメモリ内に格納することによって準備される。そして、PVC は、このデータがその PVC の信号を交換するためにアクティブなメモリ内に移動され、信号がこの PVC 内に送られたときにアクティブになる。本発明の一つの特定の実施例においては、一つのセルの、各 46 或は 48 ペイロードバイトは、異なる PCM チャネルの 1 バイトを運ぶ。64 キロビット / 秒以上を運ぶ PCM チャネル、例えば、384 キロビット / 秒チャネルの場合は、一つのセルの複数のバイト、例えば、6 バイトが 1 チャネルに対して使用される。長所として、このタイプの構成を使用することによって、ここで共通広帯域プラットフォーム（Common Broadband Platform、CBP）と称される ATM クロス接続システムを、中間ノードの所で、入り口と出口ノード間の永久仮想回路のリンクを相互接続するために使用することができる。CBP の機能を遂行するユニットに関しては、Electrical Engineering、Vol.65、No.1、1991 年、ページ 12 - 18 において説明されているのでこれを参照されたい。この ATM クロス接続システムは、ATM 信号に関して、様々なシステム、例えば、AT & T のデジタルアクセスクロス接続システム（DACCS）の様々なシステムの様々な機能を遂行し、従って、市外スイッチよりもかなり単純である。長所として、これら永久仮想経路は、入り口スイッチを出口スイッチに接続するために、呼制御信号は単にこれら二つのスイッチ間で送るのみでよく、PVC が既にアクティブである場合は、中間のスイッチに送る必要はない。但し、PVC をアクティブにするためには、中間の CBP に、これら CBP が既にアクティブなメモリ内に PVC 制御データを持たない場合は、制御データを通知

することが必要とされる。長所として、これらATMクロス接続システムは、広帯域伝送設備を使用して、相互接続することができる。長所として、このような構成は、新たな電話通信呼のために一つの接続を設定するときに、使用すべきチャネルを選択する従来のプロセスを簡素化する。長所として、トラヒックパターンの変動に応じて行なわれるPVCのアクティブ化と非アクティブ化の速度はゆっくりしたものであり、このために、ATMクロス接続システムは、トラヒックの変動に合わせて、楽に、必要とされる仮想回路リンクの設定或は切断を達成することができる。

トラヒックの変化がないとき、つまり、様々な入り口と出口ノード間のトラヒックのレベルが、大きく変動せず、従って、これら二つのノード間に永久仮想経路を追加し、一方において、他の永久仮想経路をこれに対応する分だけ減分することを必要としない状況においては、これらデジタルクロス接続システムは単純な機能を遂行する。つまり、単に、入力リンク上の各時間フレーム、つまり、125マイクロ秒 (μs) のセルを、これら各セルに対して指定される出力リンクにリンクする動作を遂行する。これがATMクロス接続システムの基本的な機能である。さらに、準備されたPVCの変化の速度は非常に遅く、追加の非アクティブなPVCを準備する要請に対する応答にも、非常に長い時間が許される。

高容量大規模交換システム或は小規模交換システムの高度に相互接続されたクラスタを達成するための問題が、本発明によって解決され、従来の技術からの進歩が達成される。複数のパルス符号変調 (PCM) されたチャネルからの信号が、単一の併合されたATM或はATM類似セルにパケット化されるが、ここで、各チャネルは、共通の交換モジュール或は独立の交換システムに向けられた複数の電話通信呼の一つに対応する。音声信号がATMセルを交換するための一つの共通広帯域プラットフォーム (CBP) に向け、或は、これから伝送される。このCBPは、ATMセルを使用して、音声信号を表わすPCM信号の反復速度と同一或は整数分の1の反復速度にて伝送する。これらセルは、定ビット速度 (CBR) 永久仮想回路 (PVC) 上を伝送されるが、この仮想回路は、入り口交換モジュール或はシステムからCBPに伸び、さらに、出口交換モジュール或は交換システムへと伸びる。永久仮想回路は、ある特定の入り口と出口スイッチ或はモジュール間のトラヒックが変動したときに準備される。但し、こうして準備された回路は、追加のグループ (このグループのサイズは、各セル内に伝送される音声チャネルの数によって決定される) が、必要となるときにのみアクティブにし、解放できるようになったときに非アクティブにすることのみが要求される。長所として、このタイプの構成を使用することによって、ATMクロス接続システム、つまり、CBPを、永久仮想回路のリンクを、一つの入り口と出口交換システム或はモジュール間で相互接続するために使用することができる。

本発明の一つの特定の実施例においては、各併合されたATMセルは、各46或は48音声通信の1バイトを運び、CBR PVCのこうして併合されたセルが、125マイクロ秒 (μs) 当り1セルの速度にて伝送される。長所として、この構成は、現存のPCMシステムへのインターフェースを簡素化する。

ATMを、PCM音声信号を伝送するために経済的に使用する目的が、本発明によって達成される。各々が一つの共通の宛先交換システム或はグループ、或は交換モジュール或はグループに向けられた複数のPCM信号が新規のATMインターフェースユニット (ATMU) によってATM或はATM類似セルに変換される。このユニットの出力音声信号は、各々が複数の音声チャネルを運びこれらATMセルを使用して、音声信号を表わすPCM信号の反復速度と同一の或は整数分の1の反復速度にて運ばれる。これらセルは、ATMUからATMスイッチ (共通広帯域プラットフォーム或はCBP) に、ATMUからCBPに伸びる定ビット速度 (CBR) 永久仮想回路 (PVC) を通じて伝送される。長所として、このような構成は、従来のPCM符号化とPCM多重化装置を、顧客及び/或はローカル交換設備とインターフェースするために使用し、一方において、ATM設備とATMスイッチを、ATMUとこれに接続された交換モジュール或はシステムとを相互接続するために使用することを可能にする。

一つの実施例においては、各ATMセルは、そのセルによって運ばれる各チャネルの1バイトを運ぶ。長所として、このような構成は、一つのチャネルの複数のバイトを各125マイクロ秒期間において1バイトの速度にて運ぶ。これは、余分なバッファリングの必要性を

10

20

30

40

50

回避し、信号を2線電話装置に配達するのに伴う望ましくない遅延を最小にし、こうして、エコーの問題を低減される。

本発明の一面によると、複数のCBR PVCが準備される。この数は、ある時間に実際に一度に運ばれることが考えられるPVCの数を大きく上回るものである。但し、アクティブにされたPVCのみが電話通信呼のための信号を運ぶことができる。追加のPVCが必要なときに、すなわち、宛先と着信先ノードの間のPVCの全てのチャンネルが完全に占拠されたとき、つまり、これらの全てのPVCがアイドルのチャンネルを持たない状態になったときにアクティブにされる。

本発明の一つの実施例によると、追加のCBR PVCをアクティブにする必要が生じた場合には、合衆国特許第5,101,451号において説明されるようなリアルタイム網ルーティングの原理に類似する原理が使用される。アクティブにされるべき追加のCBR PVCの好ましい候補としては、入り口と出口ノードの間の直接リンクを通じて運ばれるCBR PVCが選択される。直接リンクを通じて運ばれるCBR PVCが空いていない場合は、代替のCBR PVCが最も軽いロードを持つリンクを選択するという原則に従って選択される。長所として、このような構成は、追加の負荷をその負荷を最も容易に収容することができる設備を通じて分配する。

10

本発明のもう一面によると、幾つかのCBR PVCによって運ばれる一群のチャンネルは、次のパラグラフにて述べられるものを除いて、全て単方向である。つまり、トラヒックをある特定の発信元ノードから特定の宛先ノードに向けて運ぶ。長所として、このような構成は、発信元ノードによってチャンネルを、宛先ノードと協議することなしに、或は宛先ノードをチェックすることなしに、選択することを可能にする。

20

本発明のもう一面によると、幾つかのCBR PVCは、事前に指定されたチャンネル内では双方向のトラヒックを運ぶ。例えば、あるATMセルにおいては、そのセルによって搬送されているチャンネルの半分が、呼開始の一方の方向（例えば、ノードからの出呼）に対して割り当てられ、残りの半分が他の方向（例えば、そのノードに入る呼）に対して割り当てられる。長所として、このような構成は、各方向に少なくとも一つの呼を運ぶ経路を構成する回路の最少数を低減し、しかも、周知の“グレア”の問題を排除する。

本発明の好ましい実施例の一面においては、これらノードは、定期的にそれらの近隣にその網の各リンクの混雑状況について報告する。次に、合衆国特許第5,101,451号に記述されているリアルタイム網ルーティングの原理を使用して一つの経路が選択されるが、この経路選択においては、重く負荷された複数の直接リンクを持つ2つのノード間の最もビジーでない経路が選択される。これは、二つ或はそれ以上の一連のリンクの組み合わせの中で、結果として、最も負荷の重くないリンクを使用する経路が得られるように選択することによって行なわれる。このような構成は、入り口ノードによる経路の選択の制御を簡素化する。

30

【図面の簡単な説明】

図1は相互接続されたアクセス交換網の網を示すブロック図であり；

図2はこのような網のアクセススイッチへの接続を図解し；

図3はATMセルの1つの125 μ sフレームを図解するが（略語集が詳細の説明の最後に示される）、ここでは、音声チャンネルを運ぶ定ビット速度（CBR）セルが各125 μ s毎に送信され；

40

図4は一つのCBRセルと一つの変ビット速度（VBR）セルを含むATMセグメントを図解し；

図5は双方向トラヒックを運ぶためのCBRセルを図解し；

図6は図1の同期光網（SONET）/ATM信号伝送網を図解し；

図7は図1のアクセススイッチのブロック図を図解し；

図8はPCM信号とATM信号とをインターフェースするための非同期転送モードインターフェースユニット（ATMU）のブロック図を示し；

図9 - 図13はATMUの様々なブロックを図解し；

図14はATMセルを交換するための共通広帯域プラットフォーム（CBP）ユニットの制御複合体

50

を図解し；

図15 - 図17は、通信のために一つのチャネルを選択するプロセス、永久仮想回路をアクティブにするプロセス、及び不完全にロードされた永久仮想回路のトラヒックを結合するプロセスを図解する流れ図である。

全般的な説明

この全般的な説明においては、最初に全ての図面が簡単に説明され、次に、これら図面の各要素の特徴が、出願人の発明が実現できる程度に、詳細に説明される。

図1は、網の複数の相互接続されたアクセス交換システムを示すブロック図である。一群のアクセススイッチ1は、本発明の原理に従って、一つの共通のクロス接続網10にアクセスする。クロス接続網は、複数の相互接続されたATMクロス接続ノードから構成されるATMクロス接続網である。各ATMクロス接続ノードは、任意の入りライン上の各入り呼を任意の出ラインに交換する能力を持つ。定ビット速度(CBR)セルは、PCM音声トラヒックを運ぶために使用され、一方、可変ビット速度(VBR)セルは、パケット化されたトラヒックを運ぶために使用される。ATMクロス接続網を通じて運ばれるトラヒックの多くは、これが市外網として使用された場合、CBRトラヒックであり、ここでは、各125 μ sフレーム毎に、個々の(複数の)CBRセルが宛先に向けて交換される。ATMクロス接続ノードを、PVCを用意する能力があることと、これらPVCのアクティブ化(起動)と非アクティブ化(停止)の速度が比較的低速であるという理由から、共通広帯域プラットホーム(CBP)として使用することができる。ある特定の永久仮想回路(PVC)に対するルーティングパターンは、そのPVCが用意されている限り変化することではなく；CBRは、PVCがアクティブな状態に留まっている限り、そのPVCに従ってルートすることができる。ATMノードの交換動作の動的部分は、主に、VBRセルの交換と関連する。つまり、VBRセルの見出し部分は、各125 μ sフレーム毎に変動し、従って、これに応じて交換することが要求される。

用語PCMは、ここでは、PCMによって伝送される音声信号と、PCMチャネルを通じて伝送されるデータ(FAXと音声を含む)の両方を指す目的で使用される。

ノードは、ここでは、出トラヒックを集め、入りトラヒックを分配する実体であると定義される。後に詳細に説明される非同期転送モードインターフェースユニット(ATMU)は、このようなノードの一例であり、これは、トラヒックを一つ或はそれ以上の5ESS $\blacktriangle$ R $\blacktriangledown$ スイッチの複数のスイッチモジュールに分配し、或は、トラヒックを一つ或はそれ以上のスタンドアローンスイッチに分配する。このノードは、それらノードを相互接続するための網へのアクセスであることも、或はこのような網内の中間スイッチポイントでもあり得る。

図1は、CBR PVCチャネルの選択を完結するために要求されるメッセージの交換を示す。入り口ノードは、出口ノードに、発信元と宛先の識別と、PVCの識別(メッセージ3)を知らせる。宛先ノードは、経路を識別する受取り確認(メッセージ4)を返信する。

図1はアクセススイッチを直接に相互接続するリンクも示す。アクセススイッチはアクセススイッチ間リンク5によって相互接続される。このリンクは、SONET/ATM信号を運び、SONET/ATMアクセスリンク6によって、中央SONET/ATM信号伝送網10に接続される。用語SONET(Synchronous Optical Network)は、ここでは、合衆国標準(SONET)と欧州標準SDH(Synchronous Digital Hierarchy)の片方或は両方を示すのに使用される。SONET/ATMは、ATMセルを運ぶために使用されるSONET或はSDH信号を指すために使用される。

このアクセススイッチ自身は、複数のローカルスイッチによってアクセスされる。図2に示されるように、これらローカルスイッチは、デジタル設備、例えば、PCM信号を運ぶために使用される合衆国標準の24チャネルの従来のTキャリア設備或は欧州標準の32チャネルのシステムを通じて、アクセススイッチに接続される。こうして運ばれたPCM信号は、アクセススイッチ内で、ATM信号のCBRセルに変換される。デジタル設備自身がパケット化されたデータを送る場合は、このパケット化されたデータが、SM内のパケット交換ユニット(PSU)によって処理され、そのSMのTSIUを介してATMUに送られる。ここで、これは、VBR ATMセルに変換され、VBR PVCを通じてCBPに伝送される。これに加えて、信号法チャネルもCBR或はVBRチャネルとして扱われ、これに応じて、後に説明されるタイプの、CBRセ

10

20

30

40

50

ルチャネル、或は単一チャネルVBRセル内に入れて運ばれる。重要な点として、信号法チャネルをATM網を通じて運ぶことによって、信号転送ポイント(STP)を使用する別個の信号法網の必要性を回避することができる。

図3は非同期転送モードインターフェースユニット(ATMU)(図8)の出力の所に現れる典型的なATM信号の一つの125 μ sフレームを図解する。125 μ sフレームは、複数のCBRセルと複数のVBRセルから構成される。便宜のために、これらは、各フレームの初めと終の所にグループ化して示されるが、但し、一群のCBRセルの中にVBRセルを混在させることも可能である。CBRセルをこのようにグループ化することの一つの長所は、CBRセルの優先が保証され、また、セルリストプロセッサ(図11、ブロック630)の設計が簡素化できることである。ATMU内に入って来る信号は、CBRとVBRが混在するセルである。CBRセルは、共通帯域プラットフォーム(CBP)(ブロック550、図8)から、受信されると可能な限り早く伝送され、こうして、これらにセルにVBRセルに対して優先が与えられる。ATMUに接続されたCBPの出力は、従って、CBRとVBRが混在するセルを持つ。

図4は、CBRセルとVBRセルの内容を示す。CBRセルの内容は、複数のチャネルに対する信号を含む。一つのATMセルは、5バイトの見出しと、48バイトのペイロードから構成されるために、一つの魅力的な構成は、5バイトの見出しによってそのCBRセルによって表わされる特定の永久仮想回路を識別し、CBRセルが48個の音声チャネル(DS0信号)の個々のバイト(PCMサンプル)を含むようにする方法である。

別の方法としては、46個のDS0が運ばれ、二バイトのインデックスがある与えられた仮想経路上の46個のDS0のどのグループがある特定のセル内に運ばれているかを指定するために使用される。この代替の方法においては、各125 μ s期間内に一つの仮想経路に対して複数のATMセルが伝送されるが、一つの特定のインデックスを持つセルは、各125 μ sの期間に一度のみ送られる。この代替の構成は、網がサポートすべき仮想経路の数を低減させる働きを持つ。

図4に示されるVBRセルは、見出しとペイロードから構成される。ここで、このペイロードは、ATMに対するCCITT標準に準拠して、単一のチャネルと単一の宛先に関連する。事実上、VBRセルは、ある発信元アクセススイッチからその市外網の宛先アクセススイッチに伝送されているパケットの部分である。

勿論、その通信が圧縮テレビ信号に対して要求されるような1.5メガビット/秒信号のような通信である場合は、CBRセルの全内容を単一の通信に使用することもできる。高精細度TV(HDTV)信号のような広帯域信号に対しては、これら信号をCBPに直接に接続するほうが都合が良い。CBR PVCの用途は、発信アクセススイッチによって選択することができるが、各セル内のペイロードは、この選択に基づいて使用され、同一の処理が、そのPVCの存続期間を通じて、そのCBR PVCを通じて伝送される全てのセルに対して適用される。

図5は、双方向トラヒックを運ぶ一つのCBRセルを図解する。最初のn個のバイトは、出トラヒックの最大n個のチャネルまで運び、バイト(n+1)から48までは、入りトラヒックの最高(48-n)チャネルまでを運ぶ。入り口ノードがチャネルを割り当てる方法をとるために、出トラヒックに対するバイトは片方のノードによって捕捉され、出力トラヒックに対するバイトは他方のノードによって捕捉される。空きのチャネルの割り当ては、出トラヒックに対しては1から上方向に割り当てられ、入りトラヒックに対しては48から下方向に割り当てられるようになっているために、全てではないが、多くのチャネルがアクティブである場合は、通常、このケースにおいては、チャネルnとチャネルn+1との間に設定されている分割点を追加のチャネルが要求される方向に移動させることが可能である。この双方向トラヒックCBRセルは、特に、発信元と宛先の間で運ばれるトラヒックが比較的少ないときに、これらの間でトラヒックを運ぶのに適している。

図6はSONET/ATM信号伝送網の要素を示す。この網は部分的に或は完全にCBP間SONET/ATMリンクによって相互接続された一群のCBP550から構成される。各CBPは接続されたCBP内に設定された仮想接続を記録及び制御するための一つの関連するATM管理モジュール(AMM)535を持つ。網10内のCBP550の各々は、接続されたAMMの制御下で遂行されるクロス接続機能のみを行なう。CBP550は、アクセスリンク6によってアクセススイッチ1に接続される

10

20

30

40

50

。リアルタイム網ルーティング構成の優れた属性を完全に実現するためには、仮想回路を1 - 或は2 - リンク仮想回路として用意することが要求されるが、これらリンクの一つ或は両方が、永久的に割り当てられた中間CBPの使用を必要とする。この方法は、この方法によるアクティブ回路の準備は必ずしも最適とは言えないが、必要となったときに、こうして用意された回路をアクティブにするために、ほぼ最適に選択するプロセスを簡素化する。

図7はアクセススイッチ1のブロック図である。AT&Tによって製造される5ESS▲R▼スイッチが出願人の発明と共に使用されるように説明されるスイッチであるが、これについては、AT&T Technical Journal、Vol.64、No.6、Part2、1985年7 - 8月号、ページ1303 - 1564において詳細に説明されているので参照されたい。これは複数の交換モジュールを含む。ローカルスイッチ2(図1)からの入力、交換モジュール510上に終端する。この交換モジュールは、回路交換ユニットとパケット交換ユニットの両方を含む。このモジュールについては、M.W.Beckner、J.A.Davis、E.J.Gausmann、T.L.Hiller、P.D.Olson及びG.A.VanDineによる『Integrated Packet Switching and Circuit Switching System』という標題の合衆国特許第4,592,048号において開示されているのでこれを参照すること。このモジュールは交換モジュールプロセッサ511によって制御されるが、プロセッサ511は、メッセージを受信及び送信するためにメッセージハンドラ513と通信する。ローカルスイッチ2からのTキャリア入力はデジタルインターフェース515上に終端し、タイムスロットインタチェンジ517によって交換される。デジタルインターフェースの所に到達する信号はパケット交換信号(例えば、統合サービスデジタル網(ISDN)を発信元とするD - チャネルからの信号)も含むために、パケット交換ユニット519も提供される。このパケット交換ユニットの出力は、タイムスロットインタチェンジに送られ、ここからさらにSM510の出力デジタルリンク上に交換される。加えて、SONETインターフェースユニット521がローカルスイッチからSONET設備を通じて運ばれるPCM信号とインターフェースするために提供される。交換モジュール510の出力は、一群の網制御兼タイミングリンク(NCT523、...、524)(典型的には、最高20まで)である。これらNCTリンク信号は、光ファイバリンク上を運ばれるために、長くすることができ、従って、SMを遠隔に簡単に位置することができる。これら20のリンクのあるサブグループが次に非同期転送モードインターフェースユニット(ATMU)540内に終端される。他のサブグループは、他のATMUに接続されるが、これらもCBP550に接続される。ATMUの出力は共通広帯域プラットフォーム(CBP)550への複数のSONET/ATM信号である。AMM、つまり、管理モジュール(AM)530は、共通広帯域プラットフォーム530内の交換接続を制御するため、及び、ある特定の共通広帯域プラットフォーム(CBP)550に接続された複数の交換モジュールに対する共通の機能を遂行するために使用される。CBPは、また、一つの共通のスイッチモジュールに接続されてないローカルスイッチ2の間のタンデム呼を扱うために、CBP550に接続された異なる交換モジュール510間の信号を交換する。

図7は、ATMUが、CBPとSMの両方から、物理的に離される構成を示す。つまり、NCTリンクとSONET/ATMリンクの両方が、信号をより長い距離を通じて伝送するように構成される。ATMUがSM或は、CBRのいずれかに隣接する、或はこの一部分を構成する場合は、これら設備が簡素化できることは勿論である。

ATMクロス接続ユニットとして使用された場合、CBPは、ATM入り口とATM出口との間で、ATMセルを接続する機能を遂行する能力を持つ。音声トラヒックを運ぶ複合CBRセルが遅延或は損失しないことを保証するために、CBRセルには、高い優先が与えられる。これらは、これらの搬送をサポートするのに十分な帯域幅を持ち、また、緩衝機能によってこれらセルをいつでも収容できるように選択された設備上を送られる。シミュレーションの結果、CBPを横断してのCBRセルに対する50 μ s以上の遅延の可能性は、設備が満杯にロードされた時でさえも、 1×10^{-11} 以下であることが実証されている。狭帯域幅のVBR信号法セル及び他の優先セルは、この目的のために確保されている設備内の帯域幅の余裕を介して搬送されることが保証されている。これらVBRセルは、同一設備上に存在するが、但し、CBRセル

10

20

30

40

50

とは別個のバッファを使用する。広帯域接続は、CBPに直接に入る別個の設備を使用する。つまり、これら広帯域信号は、CBP内の狭帯域幅CBRバッファ及びVBRバッファとは別個のバッファを使用する。

CBPは、図1に示されるように、網に接続することも可能であるが、別の方法として、一群のATMUとそれらに接続されたSMを相互接続することによって単一の大規模の交換システム或は交換システムのクラスタを構成するために使用することもできる。これら大規模のシステム或はクラスタはそれらSMに接続された網を介して他の交換システムに接続される。過渡期においては、現存の時分割多重スイッチ(AT & T Technical Journalの例えば、ページ1425 - 1426に説明)にて、引続いて、SM間トラヒックの部分を送送し、ATMUとCBPにて、残りの部分を運ぶようにすることもできる。

10

この特定の実施例においては、ATMUへの入力、単一の交換システムの一の交換モジュール、例えば、5ESSスイッチのモジュールからのものであるが、出願人の発明の教示は、これら交換モジュールの代わりに、別個の複数の交換システムがATMUに接続される場合にも同様に適用するものである。

図8は非同期転送モードインタフェースユニット(ATMU)540のブロック図である。ATMUは、ATMU中央コントローラ(ATMU CC)によって全体が制御される。これらの入力は、一つ或はそれ以上の交換モジュール510のタイムスロットインタチェンジユニット517から来る。これら出力は共通広帯域プラットフォーム(CBR)550に行く。ATMUは網の一つの入り口兼出口ノードと見なされ、一つのPVCによって二つのATMUが相互接続される。これは、複数のSMからのトラヒックを集めて、一つのPVCを通じてあるATMUから別のATMUに、これを伝送することを可能にする。タイムスロットインタチェンジユニット517の出力は、これらは一群のNCTリンクであるが、空間スイッチ610に入る。空間スイッチ610は、セル幅バッファ(CWB)620に至る出力を持つ。各NCTリンクは125 μ s毎に512の16 - ビットタイムスロットを運ぶ。この16ビットは、8個のPCM、つまり、ユーザデータビット、7個の内部制御ビット、及び1個のパリティビットを含む。8個のPCMビットを除く全てのビットは、ATMセルを形成する前に破棄される。CWB620は、48個の別個のバイト編成されたメモリを含むが、この構成により、これらの出力は、一つのATMセルの48バイトペイロードを形成するように並列に使用することができる。この空間スイッチは、NCTリンクの出力を48個の仮想経路メモリ621、...、625の適当な一つにリンクするために使用される。この48バイトの並列出力と、セルリストプロセッサ630からの見出しを表わす5 - バイト出力が8個のシフトレジスタ651、...、652の一つに入る。特定のシフトは、セルリストプロセッサ630の制御下において、選択ユニット653、...、654の一つによって選択される。これらシフトレジスタの各々の出力は、CBR/VBRセクタ663、...、664の一つを介してライン処理ユニット(LPU)661、...、662に入り、各LPUは、SONET/ATMデータ流を生成する。これらの8個のデータ流は、次に、共通広帯域プラットフォーム(CBP)550内に交換される。用語CBPは、ここでは、このケースにおいては、ATM/SONET入力と出力を持つ一つのATMクロス接続スイッチを指すために使用される。VBRセルに対するパケットの処理の詳細に関しては詳細な説明のセクション4.4において説明される。

20

30

一つの空間スイッチ上に終端することができるNCTリンクの数は、CWBメモリとCLPの速度によって制限される。複数のSMが一つのATMU上に終端する場合は、この数を多くすることが必要であり、この好ましい実施例においては、20個のNCTリンクが使用される。但し、もっと多くの数、例えば、60個も現在の技術を使用して可能であると思われる。

40

図9は空間スイッチ610を示す。各々が制御メモリ703、...、704によって制御される48個のセクタ701、...、702が、複数の入りNCTリンクの出力を48個の仮想経路メモリの適当な一つに交換するために使用されるが、これらの仮想経路メモリは、一つのセル幅バッファを形成する。各NCTリンク内の各バイトは、このセル幅バッファ内の48個の位置のどの位置に行くこともできる。加えて、セクタ710を、制御メモリ711の制御下にて使用することにより、信号法と他のメッセージを含む可変ビット速度データが(パケット化され)メッセージ層デバイス(MLD)670(図8)に向けられる。MLD670は、これらメッセージをATMセルに変換するが、これらセルは、セルリストプロセッサ630、CBR/VBRセクタ663、

50

...、664へと送られ、それから、CBRセルがある与えられた125 μ s秒において伝送された後に、CBPに向かうLPU661、...、662のどちらか一つへと送られる。

図10はセル幅バッファ620を示す。これは、48個の8バイトメモリと、各々が8 - ビット $\times$ Nバイトのバッファ801と制御メモリ802を含む48個のユニット621、622、...、623から構成される。ここで、Nは、バッファの深さ（つまり格納することができるセルの数）を表わす。従来の技術の周知の原理により、フレームの保全性を維持するために送信セル幅バッファは、一方の部分が、ロードされている間に他方の部分がアンロードできるように二重バッファとされる。そして、受信セル幅バッファは、さらに、ジッタとフレーム保全性の問題を解決するために三重にされる。制御メモリによって、入りNCTバスからの複数のバイトがバッファ内の適当な位置に向けられる。加えて、このシステムは、ATM設備を通じてのDS0チャネルの連続性をテストするために疑似ランダムコードを送信する構成を持つ。一つの実施例においては、CWBの制御メモリは、ATMU CCの制御下において、疑似ランダムコードを挿入し、このコードの存在を検出するように構成される。別の構成においては、SM内のトーン源からのトーンがDS0チャネルを通じて伝送され、遠方端において検出される。

10

図11は、セルリストプロセッサ（CLP）630、設備シフトレジスタ（FSR）651、及びラインプロセッサユニット（LPU）661を図解する。CLP630は、CWB620を同時に読み出し、一方において、セクタ653を制御する。この結果として、一つの48バイトCBRセルがSR651内に書込まれる。加えて、CLPは、同時に、5バイト見出しをSR内に出力する。こうして、53バイトセル全体がSR内にロードされる。このセルは、次に、CBR/VBRセクタ663を介してLPU661内にシフトされる。LPU661は、このセルをCBPに向かうSONET上に送出する。

20

図12はメッセージ層デバイス620を示す。MLD620は、空間スイッチ610からインタワーキングユニット1020、1022、...、1024内に向かうNCTタイムスロット上のメッセージを受信する。これらメッセージは、SM間メッセージ、SS7メッセージ、或は、CCITT X.25メッセージなどのようなユーザによって生成されたメッセージであり得る。IWUは、CCITT ATMアダプテーション層仕様によって説明されるように、適切な事前に用意可能なATM仮想回路（VC）の識別子を決定し、こうして決定されたVC識別子と他の見出し欄を使用して、このメッセージをセグメント化する。これらセルは、次に、CLPの制御下で、インタワーキングユニットから図11に示されるCBR/VBRセクタ、LPU661へとシフトアウトされる。この好ましい実施例においては、これら出力は結合されて、一つ或はそれ以上のCBR/VBRセクタに送られる。

30

図13はインタワーキングユニット1020を示す。NCTタイムスロットは、セクタ1110を介してデータリンクコントローラ1120に接続される。データリンクコントローラ1120は、ビットレベルプロトコルを処理するが、これには、標識、ビットの挿入、及びCRCが含まれる。第二のコントローラ1140は、これらメッセージ内のSS7或はリンクアクセスプロトコルを処理する。プロセッサ1130は、そのメッセージに対して使用されるべき仮想回路を決定し、ATMアダプテーション層（AAL）プロセッサ1160に、そのメッセージをATMセルにセグメント化するように指令する。ATMは、AALP1160の制御下において、セルバッファ1170（セル幅バッファ620（図8）と混同しないこと）内に置かれ、これらは、後に、CLP630の制御下で、CBR/VBRセクタ663（図11）内に送出される。高優先度のセルがセルバッファ1170内に低優先度のセルの前に挿入される。セルバッファ1170（図13）からのセルは、図3に示されるVBRセル（125 μ sフレーム）を構成する。このセルバッファは、CBPからVBRセルを束ねるために数個分のセル深度を持つ必要がある。

40

AMは、5ESSスイッチとCBP（ATMUを含む）のOAMP動作において要求される全てをサポートする機能を持つ。これらOAMP要求には、CBPのダウンロードと制御、クラフトグラフィック表示、及びATMを介してのSMとの通信が含まれる。図14は、以下の要素から構成されるAM/CBPシステムのアーキテクチャを示す。

- 直線に接続された端末を含むATM管理モジュール（AMM）。これは付属の故障耐性プロセッサであり、現存の5ESSスイッチAMに接続され、新たなCBP及びATMU機能に対して処理スループットを追加する機能を持つ。

50

- Ethernet ▲ R ▼ バス。これは、AM/AMMをグラフィックユーザインターフェース（GUI）、ATMパケットハンドラ（APH）及びCBPと相互接続するために使用される。

- ディスク、テープ、及びCD ROMオンライン文書化のための小型コンピュータシステムインターフェース（SCSI、産業標準に準拠する）周辺装置。これらは、現存のAM不揮発性周辺装置を増強する。

- GUIワークステーション端末。これは現存の5ESSスイッチ装置、CBP、及びATMUをサポートする。

- ATMパケットハンドラ。これは、AM/AMMに、ATMを使用してSONETを通じてSMと通信する能力を与える。SMはAPHのATMをそれらのATMU MLD内に終端する。SMと通信するためには、AM/AMMメッセージをEthernetを介してAPHに送るが、APHはこのメッセージをセルに変換し、SONETを通じてCBPに送る機能を果たす。

10

GUIと非揮発性メモリは、市販の要素であり、これらの制御はAMMソフトウェア内に存在する。AMMとAPH要素の設計については、詳細な説明のセクション5において説明されている。

図15は、接続されたATMUから呼の宛先までのPVCの状態に関するデータを持つ交換モジュールプロセッサ511、或は他のプロセッサによって遂行される経路ハントを図解する。このプロセッサは経路リクエストを受信し（動作ブロック1200）、その経路リクエストの宛先への直接のアクティブなCBR仮想回路上に空きの経路（チャンネル）が存在するか決定する（テスト1202）。存在する場合は、空きの経路が選択され（動作ブロック1204）、メッセージが他端の所のノード（典型的には、うも一つのATMUに対するプロセッサ）に送られ、これによって、このノードに、ある特定のアクティブなCBR PVCの特定のスロット上に一つの経路が設定されたことが知られる。

20

直接のアクティブなCBR PVC上に空きの経路がテスト1202において発見されなかった場合は、テスト1202が別のアクティブなCBR PVC上に任意の空きの経路が存在するか決定される。存在する場合は、これら代替のアクティブな仮想回路の一つからの空きの経路が選択され（動作ブロック1210）、他端の所のノードに、このことが通知される（動作ブロック1206）。（代替のアクティブな仮想回路は、単一リンクの直接ルートの代わりに少なくとも二つのリンクを使用するルートである代替ルートを使用するアクティブな仮想回路である）。この経路リクエストに対するアクティブな仮想回路上に経路が存在しない場合は、追加の仮想回路を割り当ててリクエストが行なわれる（動作ブロック1212）。このリクエストは、管理モジュール530（図7）に送られる。このモジュールは、図16に説明されるように、追加の仮想回路をアクティブにする。その後、管理モジュールは、SMP511に、成功或は不成功の指標を返信する。成功の指標の場合は、割り当てられた仮想回路の識別が送られる。テスト1214が成功か不成功かを決定するために使用される。割り当てリクエストが成功したことが知らされると（テスト1214の正の出力）、テスト1202が再び開始され、空きの経路を選択するプロセスが遂行される。割り当てプロセスが不成功であった場合（テスト1214の負の出力）、それに対してブロック1200において最初に経路リクエストが行なわれた呼に対して全ての回路がビジーであるという扱いがなされる。

30

この議論においては、制御プロセッサ、例えば、交換モジュールプロセッサは、それと関連する交換モジュールから出て行くトラヒックを運ぶためのアクティブなCBR仮想回路のリストを維持し、また、こら仮想回路の各チャンネルに対して活動状態を維持するものと想定される。勿論、この情報をどこかちがう所、例えば、管理モジュール内に維持することも可能である。但し、ここに示唆される構成は、殆どの呼を設定するために要求される時間を最小にする。さらに、双方向チャンネルを持つ仮想CBR回路を使用することも可能である。但し、このような構成は、仮想チャンネルのより効率的な利用を許す反面、二つの終端ポイント間で、“グレア”（つまり、このチャンネルに接続された二つの終端ノードによって、同一のチャンネルが同時に捕捉される状況）を防止する協議を行なうことを要求する。

40

図16は仮想CBR回路をアクティブにするプロセスを記述する。一時にアクティブな状態にすることができる数よりもかなり多くの仮想CBR回路が用意される（つまり網のメモリ内に格納される）。基本的には、任意のペアのノード（このケースにおいては交換モジュール

50

ル)の間のピーク時のトラヒックを扱うことができるだけの仮想CBR回路が用意される。仮想CBR回路は、これらがトラヒックを運ぶために使用できるとき、アクティブな状態にあると見なされる。アクティブ化のプロセスは、仮想CBR回路を運ぶ物理ATM回路がオーバロードせず、また、トラヒックを運ぶために物理的に欠陥のあるATM回路が使用されないことが保証される設計される。例えば、故障が発生した場合、その故障した設備を使用する全ての仮想CBR回路が非アクティブ化されなければならない。

この特定の実施例においては、仮想CBR回路をアクティブにするプロセスは、G.R.Ashらによる合衆国特許第5,101,451号において説明されているリアルタイムルーティング構成の教示に従って個々のトランクを捕捉するプロセスと類似する。つまり、追加のトラヒックは、負荷が比較的軽い設備、このケースにおいては、SONET/ATM設備を選択してこれに向けてルーティングされる。ここに開示される構成の一つの特徴は、個々のトランク上にトラヒックをルーティングする方法とは異なり、図5に示されるように、仮想回路のチャンネルが分割して使用されることである。つまり、アクティブな仮想回路の複数のチャンネルの一部分が一方の方向に出トラヒックを運ぶために使用され、これらのチャンネルの別の部分が他方の方向に出トラヒックを運ぶために使用される。このようにチャンネルをグループに分割して使用する方法は、トラヒックのレベルが比較的小さい二つのノード間でトラヒックを運ぶのに特に効率的である。もう一つの差異は、代替ルートを使用するトラヒックにはより多くのリンクが要求される場合があるために、代替ルートとしてアクティブ化されるべきPVCの選択にあっては、複数のリンクのロードを考慮する必要がある点である。

管理モジュールは交換モジュールプロセッサ511から割り当てリクエストを受信する(動作ブロック1300)。管理モジュールは、最初に、分割されたトラヒック(つまり、二つの終端ノードから出るトラヒック)を運ぶ仮想CBR回路が存在するか決定する(テスト1302)。存在する場合は、管理モジュールは、各方向について、現在幾つの回路がビジーであるか決定し、この分割されたグループ内にその割り当てリクエストと関連する方向に追加の少しのチャンネルを割り当てするのに十分な余裕が存在するかチェックする。分割されたグループのこれらチャンネルは、最初のn個のチャンネルが一方の方向にハントされ、次に、残りのチャンネルが他の方向にハントされるように配列される。さらに、あるチャンネルに対するハントは、必要であれば中間のチャンネルがいつでも使用できるように残されるような方法で遂行される。中間のチャンネルが空いており、これらの空きのチャンネルの数が十分に多く、分割点の移動が許される場合は(テスト1304の結果が肯定である場合)、分割点が移動され(ブロック1306)、二つの終端ノードにこの事実が通知される(動作ブロック1308)。要求ノードは、割り当てリクエストに応答して成功したことを通知される。この時点で、要求SMPがテスト1202と1208を再度試みると、これらの一つがパスすることとなる。この実施例においては、分割されたグループが最初にチェックされる。但し、場合によっては、シミュレーション研究の結果として、最初に空きの追加のPVCが存在するかチェックするほうが好ましいことが判明することもあり得る。

分割グループが空いていない(テスト1302の結果が否定的な場合)、或は分割グループ内に十分な余裕が存在しない場合(テスト1304の結果が否定的な場合)は、テスト1320によって、空いている用意された直接仮想CBR回路が利用できるか否かの決定が行なわれる。利用できる場合は、追加のCBR PVCをアクティブにすることによって、そのPVCを運ぶ任意のリンク上に輻輳が発生しないかチェックする必要がある。このような輻輳が見つかった場合は、その空き状態の用意された直接仮想CBR回路は破棄され、アクティブ化は行なわれずに、テスト1324が試みられる。一方、輻輳が発生しない場合は、その回路がアクティブにされ(動作ブロック1322)、その回路の二つの終端ノードにアクティブにされたことが通知される(動作ブロック1308)。反対のケースにおいては、テスト1324を使用して、代替の空きの利用できる仮想CBR回路が存在するか決定される。利用できる空きの代替のCBR回路の選択に当たっては、リアルタイム網ルーティングの原理が使用され、これによって、比較的軽くロードされた或はより負荷の少ないATM設備を使用する空きの代替仮想CBRが優先的に選択される。どの設備の負荷がより少ないかの決定を行なうに当たっては、2リンク回路の方が3リンク回路よりも好ましいために、可能性を持つ2リンク回路の負荷

10

20

30

40

50

が最初に調べられる。宛先交換モジュールに接続されたCBPに接続された管理モジュールに対して、そのATM回路の負荷についての報告を求めることによって行なわれる。仮想CBR回路のアクティブ化には、リアルタイム網ルーティングの場合の単一ランクの選択に対する場合よりも、多数の資源を利用することが要求されるために（48チャンネル対1チャンネルの場合）、それを超えて仮想CBR回路をアクティブにすべきでない負荷しきい値限界が、候補CBR PVCによって使用される任意の設備に対して、適用されるべきである。この限度は、また、そのATM設備によってサポートされるVBRトラヒックの量にも依存する。明らかに、この限界は、網管理者の制御下に置かれ、異なるATM設備に対して異なる値が設定されるべきであり、これは現場の経験が得られた時点で調節されるべき性格のものである。

10

注意すべき点として、この好ましい実施例においては、全ての用意されたPVCは、二つの終端ノードと可変数の中間ノードを横断する一つの事前に決定された経路を持つが、但し、別の方法として、アクティブ化のときに選択できる可変の経路を持つ部分的に用意された“PVC”を提供することも可能である。

割り当てのために空きの代替CBR仮想回路が利用できない場合は、割り当てシステムは、要求SMPに失敗指標を返信する（動作ブロック1326）。空きの代替回路が選択された場合は（動作ブロック1328）（空きの回路は比較的低い負荷を持つ代替回路の中から選択される）、その代替回路がアクティブにされ（動作ブロック1330）、終端ノードと中間CBPスイッチに、そのCBR仮想回路のアクティブにされたことが通知される。

次にアクティブなCBR PVCの併合プロセスについて述べる。通常の市外呼の動作においては、二つの終端ノード間の異なる複数の複合セルが完全に満たされていない状況がしばしば見かけられる。さらに、二つ或はそれ以上のアクティブな複合セル内のDS0の総数が一つの複合セル（48/46）によってサポートできるDS0の総数以下である場合が頻繁に見かけられる。このような場合は、これらセルを運ぶPVCを併合して、DS0を運ぶ一つのより完全に利用されたセルを形成することが要望される。次に、結果として、もはやアクティブなDS0を持たないこれら複合セルを運ぶPVCがアクティブでない状態にされ、こうして、一つ或はそれ以上のATM設備上の帯域幅が解放される。こうして解放された帯域幅は、今度は、他の発信元と宛先との間の複合セルを運ぶために使用することができる。こうして、網のより効率的な利用が達成される。この併合プロセスが図17に示される。

20

以下の説明においては、併合される複合セルはSM間のセルであり、併合の処理はこれら二つのSMのSMPによって遂行されるものとする。別の方法として、特に、複数のSMがATMUに接続されている場合は、複合セルの処理は、そのATMUによって遂行されるために、これらATMUがCBPの一部として構成されている場合は、SMPの代わりに、AMにて複合セルの併合を制御することも可能である。但し、この処理内容は、いずれのケースにおいても同一であり、プロセッサの主体のみが異なる。

30

併合を遂行するために、交換モジュールプロセッサが、絶えず、アクティブな複合セルについて、不完全に充填された状態が存在しないかチェックする。この不完全充填状態は、同一の宛先に向けられた二つの複合セルであって、両者のセル内のアクティブなDS0の総数が一つの複合セル内の総数（つまり、48/46）よりも少ない二つの複合セルであると定義される。二つのセル内のアクティブなチャンネルの総数が、48/46よりもどれだけ少ないときに不完全であると定義されるかの問題（数量）は、シミュレーションと経験の結果として設定されるべきパラメータである。このパラメータが低すぎる場合、例えば、ゼロの場合は、スラッシングの問題が発生する可能性があり、高すぎる場合、例えば、10の場合は、結果として、設備の使用が非効率になる。ここでの議論においては、セルとこれに対応するPVCは、大体、同一の意味に使用される。各アクティブなセルは、一つの接続された終端ノードの制御下に置かれる。この終端ノードは、通常は、出トラヒックを発信するノードである。但し、分割されたトラヒックセルの場合は、任意に選択されたノードであり得る。制御に当るSMP（つまり、制御に当るノードのSMP）が不完全充填状態が存在することを決定すると、これは、宛先ノード（典型的にはもう一つの交換モジュール）に向けて、これら二つの複合セルを併合することを要請するリクエストを送る。このリクエスト

40

50

は以下を含む：

- 二つの複合セルの識別（例えば、仮想回路識別子が利用される）。ここで、これらの片方のセルは、併合されるべきセルであり、他方のセルは（併合後はDS0を運ばなくなるために）削除されるべきセルである。

- 削除されるべきセルから併合されるべきセルへのDS0セル並べ換えのリスト。

この実施例においては、併合された複合セルのDS0は、同一セル位置内に留まり、削除されたセルからのDS0は、併合されたセル内の空き位置に移動される。

他方のノードは、確認信号に応答して併合を行なう。併合の期間中は、これら二つのノード（典型的には交換モジュール）の間で搬送されることを要求される新たな呼は、併合されたセルからのDS0のみを使用し、こうして併合されたセルは、削除されるべき複合セルからのセルは含むべきでない。呼が到達し、従って、一つの複合セルに使用するためにあるPVCをアクティブにする動作が、別の一つのPVCが削除されている最中に、トリガされることが考えられるが、本発明においては、最終的に、過剰のPVCが削除されるために、このような状況は殆ど発生しない。

併合を行なうためには、削除されるべきセルに対して新たに到達するDS0信号が、併合されたセルと、削除されるべきセルの両方に送られる。これを遂行するために、ATMU内において、空間スイッチによって、SMからのNCTリンク上の一つのDS0が二つの異なるCWB位置に送られる。

SMPはATMU CCにこの機能を遂行するように指令する。この動作を遂行した後に、SMPは、他方のノードに前述のコピー動作が行なわれたことを示すメッセージを送る。他方のノードは、発信ノードに類似するメッセージを送る。このメッセージを受信すると、SMPは、ATMU CCに、削除されたセルのPVCを非アクティブにするように指令する。ATMU CCは、空間スイッチに、併合されたセルの、削除されたセルからの新たなDS0と関連するCWB位置からDS0を読み出すように指令する。ATMU CCは、次にこのセルをCLPのアクティブな複合セルのリストから除去する。こうして削除された複合セルは、もはや、NCTリンク上のDS0内に送られることはない。DS0は、空間スイッチを介してNCTリンクに交換されるために、SMのTSIに伸びるNCTリンク上では、タイムスロットの交換は行われない。すると、他端も、削除されたセルのPVCを非アクティブにする。

ある一つのセルからのチャンネルが、別のセル内の同一のチャンネルに送られるようなことがあると、一つの問題が発生する。つまり、遷移の期間中に、このセルが、二つのバッファ位置の同一のチャンネル位置に書込まれることとなる。この問題は、以下の三つの方法の一つによって克服される。

- CWBの速度を、二つの書込みが一つの期間中に発生することが許されるように、二倍にする。

- 併合プロセスをこのような遷移が回避されるようにソフトウェアを通じて調節する。

- この遷移を二つのステージにて行なう。つまり、最初に、転送されるセルのもう一つのチャンネルが、ビジーチャンネルをアイドル位置にコピーし、次に、以前にビジーであったチャンネルを解放する手続きに従って解放され、次に、解放されるべきセルからのチャンネルが目標セルのこうして新たに解放されたチャンネル内に転送される。

一つ或はそれ以上のSMがATMUに接続される場合は、PVCを非アクティブ化する動作は、これらSMの一つのSMPを用いて制御することもできるが、ただし、好ましくは、接続されたCBPのAMによってPVCの制御が行なわれる。いずれにしても、併合プロセスの制御は、制御に当るノードの所で、たった一つのプロセッサによって制御される。

併合プロセスを実現するための流れ図が図17に示される。ある時点において、併合プロセスが永久仮想回路の割り当てを制御するプロセッサによって開始される（動作ブロック1400）。不完全に満たされた永久仮想回路の存在を決定するためのテストが行なわれる（動作ブロック1402）。このテストは、結合して一つのPVCによって運ぶことができるよりも少ないトラヒックを運ぶ一つの共通の発信と着信ノードを持つPVCが存在しないか調べるために遂行される。通常、ある特定の宛先に向けられたPVCについての探索にはある順番が存在するために、不完全に満たされたPVCは、このリストの終端の所で発見される可能

10

20

30

40

50

性が最も高い。各ペアについて不完全に満たされた状態が存在しないことがチェックされる（テスト1402の否定的な結果が求められる）、プロセスが完結したか否かのチェックが行なわれ（テスト1404）、完結している場合は、この時点で、この併合プロセスは終端する（終端ブロック1406）。完了してないときは、PVCの別のペアが不完全な満たされた状態が存在しないかチェックされる。（一般に、双方向トラヒックを運ぶPVCは、一つ以上は存在しないものと期待される。双方向PVCは、二つのステップによって削除することができる。つまり、最初に、一方の方向からの出チャンネルが削除される。次に、これらチャンネルが後に説明されるプロセスにて削除された後に、削除されるべきセルが、この場合は、一つのアクティブでないPVCのセルに向けられるのではなく、この時点で他端のノードによって完全に制御されている一つの単方向PVCのセルに向けられる。）

ペアの不完全に満たされたPVCが発見され（テスト1402の肯定的な結果の場合）、さらに、これらPVCによって扱われるルートを通じて運ばれる総トラヒックが、これより一つ少ないPVCによっても十分に扱えることが発見された場合は（PVCのアクティブ化と併合の過剰の往復を回避するために）、制御に当るノード（つまり、そのPVCに対する出トラヒックを運ぶノード）は、削除されるべきセルからのチャンネルを目標セルの中に併合する（動作ブロック1410）。次に、遠方端ノード（つまり、そのPVCに対する入りトラヒックを持つノード）に、そのノードに、それら新たなチャンネルが非アクティブにされるべきPVCからのチャンネルによって占拠されるべきであることを通知する一つのメッセージが送られる（或は、双方向トラヒックPVCの場合は、単方向トラヒックPVCに変換されるべきであることが通知される）。一方、出ノードは、削除されるべきセルのチャンネルからのトラヒックが、削除されるべきPVCのセルと、併合された目標セルとの両方に伝送されるように調節する（動作ブロック1414）。出側のノードは、次に、入りトラヒックノードからの肯定的な受取り確認メッセージが受信されるのを待つ（動作1416）。このメッセージが受信されるとこれに応答して、削除されたセルに対応するPVCが非アクティブにされる（或は、双方向PVCの場合は、このPVCが、次に、入りトラヒック専用PVCに変換される（動作ブロック1418）。ブロック1418の実行に続いて、他のPVCが、不完全に満たされた状態が存在するかチェックされる（テスト1402）。

詳細な説明

1. ATMユニット（ATMU）機能の概略

図7は本発明の5ESSスイッチアーキテクチャに基づく特定の実施例のブロック図である。非同期転送モードインタフェースユニット（ATMU）は、交換モジュールと共通広帯域ブラットホーム（CBP）との間のインタフェースを提供する。CBPは、接続された交換モジュールを相互接続するための組合わせ通信モジュールとして、或は、ATMリンクを介して他のCBPへの接続を提供するためのATMクロス接続として機能する。音声及びデータの搬送のための5ESSスイッチモジュールの通常のフォーマットは、単一バイトのタイムスロットである。CBPのフォーマットは、音声とデータを搬送するための48バイトと、オーバーヘッドのための5バイトを含む53バイトセルである。ATMUは、この単一バイトのタイムスロットと、53バイトのATMセルとの間の変換動作を行なう。これはまた、例えば、384キロビット/秒チャンネルに対して要求される複数のタイムスロットを異なるバイト数を持つ単一のATMセルに変換するための機能を持つ。5ESSスイッチモジュールは、網制御兼タイミング（リンクタイプ2）（NCT）リンクを通じてATMUにインタフェースし、ATMUは、CBPに、非同期デジタル階層（SDH）或はその合衆国版である非同期光網（SONET）リンクを通じてインタフェースする。これらSDH或はSONETリンクは、ATMセルを搬送する。音声及びデータの交換を提供することによって、CBPは、従来の技術による5ESSシステムの通信モジュール内で使用される時分割多重スイッチに対する必要性を排除する。この好ましい実施例においては、スイッチモジュール（SM）は、今日利用できるより高速の回路の長所を活かすためにAT&T Technical Journalにおいて記述されているものよりも大型である。SMの大きさについては、後に、適当な所で説明される。本発明においては、CBPはATMUを介して一つの交換システムの複数の交換モジュールとインタフェースするが、これは、同様にして、一つ或はそれ以上のスタンドアロンタイプの交換システムとインタフェースするこ

ともできる。

CBPは、また、(5ESSスイッチの)管理モジュール(AM)と他のSMの両方にSMメッセージをルーティングする機能を果たし、これによって、スイッチ内メッセージルータの必要性が排除される。ATMUは、メッセージハンドラ及び/或は5ESSスイッチモジュールのPSUからのSMメッセージを、CBPを横断してルーティングするのに適当なフォーマットに変換する。標準のATMアダプテーション層がこの目的のために使用される。ATMUは、またリセットを要求するような状況が発生した場合に、SMの再開を強制するために使用されるCBPプロセッサ介入(CPI)機能に対する通信を提供する。

信号法システム7(SS7)メッセージは、市外網の仮想回路によって扱われ、従って、メッセージをルーティングするためにSTPの存在を必要としない、スイッチ間でのメッセージング法として使用される。(この場合でも、一つのSTPが、少なくとも最初に、データベースにアクセスに使用するために必要とされる。つまり、これによって、データベースに、信号伝送網10へのアクセスが提供される。)ATMUは、この機能を、パケットをATMセルに組み立て、一つの仮想経路を各スイッチSS7のポイントコードと関連付け、次に、このセルを指定された仮想経路を通じて市外ATM網に転送する手順によって実現する。

ここに説明される好ましい実施例において、ATMUはSMと密接に関連するという立場を取るが、これは、これが市外網の観点からは最も有効であるように考えられるからである。但し、ATMUがCBPと密接な関連を持つ代替も可能である。ATMUがCBPと密接な関連を持つ場合は、ATMUは、その制御を共通広帯域プラットフォームのコントローラとAMから受信する。ATMUがCBPと密接な関連を持つ場合は、制御信号は、CBR或はVBR PVCを介して、AMからATMU中央コントローラ(ATMU CC)へと送られる。

図7に示されるように、CBPの保守及び回路の制御は、AMによって遂行される。AMは、CPBのフレームコントローラ、つまり、CBPに対する最終保守マスタとして機能する。この実施例においては、CPBは、ATMクロス接続手段としてのみ機能し、ビデオ放送、フレーム中継、或は交換メガビットデータスイッチ(SMDS)に対する処理は提供しない。但し別の方法として、ATMクロス接続は、ATM入力を受け入れ、これら入力を要求される宛先に交換するように直接に制御することもできる。この構成は、例えば、CBPに直接接続する方が経済的であるような広帯域幅を持つ広帯域信号、例えば、高精細度TV(HDTV)信号を交換するために有効である。AM或は別の専用のプロセッサをこれらサービスに対するATM経路の設定を制御するために使用することができる。

ここでは、データを送信或は受信するコンピュータ或は他の端末は、CBPを通じての接続に対する要求を行なう前に、これらデータを送信及び受信するための十分な帯域幅を確保しているものと想定される。

2. 複合セルのタイプ

48バイトの一つの複合セルが、48の異なる呼からのPCMデータサンプルを運ぶために使用される(そのサービスが64キロビット/秒音声である場合)。複数の呼の各束に対する複数のセルが、125 μ s毎に、48のDS0チャネルを運ぶために送られる。ここで、DS0チャネルの各々が、8ビットPCMサンプル或はデータを一秒間に8000回送出する。

別の方法としては、46のDS0チャネルが運ばれ、一つの2バイトインデックスがある与えられた仮想回路グループ上の46のDS0チャネルのどのグループがある特定のセル内に運ばれるかを識別するために使用される。この代替の方法においては、一つの仮想回路グループに対して各125 μ s毎に複数のATMセルが送出されるが、反面、特定のインデックスと関連するセルは、各125 μ s毎に一度のみ送られる。この代替の方法は、網がサポートしなければならない仮想経路の数を低減し、また、ATMUとCBP内のメモリを、ある与えられた発言元と与えられた宛先に与えられたセットのリンクを通じて接続する全てのCBR PVCを交換するために、同一のメモリ項目を使用することができるために、節約する。

3. アーキテクチャの概要

このセクションにおいては、非同期転送モードユニット(ATMU)の高次レベルの設計について説明するが、これは、以下の二つの大まかな機能を遂行するために使用される。

- DS0機能信号のATM複合セルへの変換。

10

20

30

40

50

- 可変長メッセージのATMセルへの変換。

3.1. DS0の複合セルへの変換の概要

この概要では、5ESSスイッチからATM網へのDS0の流れ（CBRトラヒック）に焦点が置かれる。

3.1.1 空間スイッチ

ATMUのブロック図が図8に示される。SMタイムスロットインタチェンジTSI517からの網制御兼タイミング（NCT）リンクがATMU内の空間スイッチ上に終端するように示される。この空間スイッチの目的は、NCTリンクを48（或は46）の内部リンクにファンアウトすることにあるが、内部リンクの数は、複合セル内のどのようなバイトがある与えられた呼に対して使用されているかに依存する。これらリンクは、図8においてセル幅バッファ（CWB）と称されるセルメモリデバイスの配列上に終端し、この配列は、一つの複合セルの48/46のDS0 PCMサンプルを格納する。従って、この空間スイッチは、タイムスロット（DS0）をCWBの入力側の適切な適当な複合バイト位置にルートする働きを持つ。

3.1.2 セル幅バッファ

セル幅バッファ（CWB）の機能は、仮想経路セルのバイトを、これらが単一のメモリ読み出しサイクルにおいて同時に読み出すことができるようなフォーマットに組み立てることである。CWBは、その幅が一つのATMセル（見出しバイトは数えない）のサイズに等しいバッファである。この幅は、48/46バイトに等しく、深さは、任意の瞬間において存在することが必要である一意のアクティブな仮想経路の数に等しい。（46バイト複合セルの場合は、一つの特定のインデックスと仮想経路を持つセルの各アクティブな瞬間が一意的な仮想経路であると見なされる。）図8に示されるように、セル内の各PCMバイト位置は、各々が独立した書込み制御回路を持つ別個のメモリ内に書込まれる。これらメモリ内の各メモリアドレスが一つの特定の仮想経路に対応する。（46バイト実現の場合は、隣接するメモリ位置がその仮想経路内の複数のATMセルに対して使用される）。これらバイトメモリの各々は、個々の48/46のリンクのタイムスロット（PCM部分のみ）をCWB内の一つの仮想経路バイト位置にマッピングするための一つの制御メモリを持つ。各バイトメモリに対する制御メモリは独立しているために、48/46リンク上の各アクティブなタイムスロットは、バッファ内の任意の仮想経路メモリ位置に行くことができる。このために、同時にCWBへの入力の所に出現する48/46リンク上のバイトは、それらの対応するメモリ内の異なる仮想経路メモリ位置内に格納することができ、従って、CWB内の異なる仮想経路セルに組み込むことができる。この制御メモリは、あるNCTリンク上の特定のDS0がアクティブでない場合、つまり、任意の呼に対して現在使用されていない場合は、そのバイトバッファメモリへの書込みをブロックすることができる。

3.1.3 セルリストプロセッサ

各125 μ s 間隔において、全てのアクティブなDS0は、それらの選択された仮想経路セルの割り当てられたバイト位置内に書込まれる。複合セルはセル幅バッファから125 μ s 毎に図8に示されるセルリストプロセッサ（CLP）630の制御下にて読み出される。CLPはアクティブな複合セルのリストを持ち、これは、リンクドリスト内に格納される。このリンクドリストは、ATM仮想経路アドレス見出しビットと、その仮想経路の複合セルを保持するCWBアドレスを格納する。CLPリストは、それに対してアクティブなDS0が存在する仮想経路のみを格納する。CLPは、リストを125 μ s 毎に横断し、各複合セルを伝送させる。CBRセルが伝送を終えると、CLPは、図3に示されるように、その125 μ s 間隔内の余った時間を有効に消費するために、（待たされたものが存在する場合）メッセージ層デバイス（MLD）670からのVBRセルを読み出す。

3.1.4 同期時分割多重（STM）への変換

セル幅バッファは、ATMセルの幅（データ部分）に等しいために、ATMセル全体を一回のアクセスでセル幅バッファから読み出すことができる。並列から直列への変換は、CLP630の制御下にてシフトレジスタ（SR）セレクタ653、...、654によって選択される並列イン直列アウトシフトレジスタ651、...、652によって実現される。読み出されたデータは、CLPからのATM見出しデータと共に、SONET設備インタフェース661、...、662に接続されたシ

10

20

30

40

50

フトレジスタ内にロードされる。46バイトセルの場合は、2 バイトインデックスもCLP630によって提供される。SONET設備インタフェースはCBPに直接に接続される。

3.1.5 その他

この明細書において扱われる他の領域として、双方向の音声とデータの搬送、経路テスト及び監視などの機能、ある用意された経路に新たな複合セルををアクティブに場合にこの負荷を収容できるか決定するためのATM輻輳テスト、並びに制御と故障の耐性が含まれる。これらに関してはセクション4において詳細に説明される。

3.2 ATMUの制御

ATMUの制御は、ATMU中央コントローラ(ATMU CC) 600によって行なわれる。制御メッセージは専用のタイムスロットからATMU CC内で受信されるが、この専用のタイムスロットは、空間スイッチ内で傍受され、ATMU CCに専用の制御バス(図示なし)を通じて送信される。これら制御メッセージは、5ESSのスイッチモジュール(SM) 510の交換モジュールプロセッサ(SMP) 511からSM内のメッセージハンドラ513を介して送られる。ATMU CCからの制御信号は、一群の制御バスを通じてATMU内に分配される。空間スイッチ610には、経路設定とメッセージング制御メモリに関する情報、並びに、アクティブなリンクの選択とアクティブなサイドの選択に関する情報が提供される。リンク選択情報がSMからのどのNCTリンクがアクティブであるかを決定するために使用される。別の方法として、後に説明されるように、E - ビットは、アクティブな経路に対してのみアクティブであるために、E - ビットをアクティブなリンクを識別するために使用することもできる。リンク選択情報は、SMからのどのNCTリンクがアクティブであるかを決定するために使用される。これらリンクは、アクティブか、待機状態のいずれかである。サイド選択情報は、ATMUのどちらのサイドがアクティブ或は待機状態であるかを決定する。セル幅バッファには、タイムスロットを仮想経路にマッピングするための情報と、ATMセル内のバイト位置の割り当てに関する情報が提供される。セルリストプロセッサには、アクティブな仮想経路に関する情報が提供され、シフトレジスタセクタ653、...、654には、シフトレジスタアドレスに関する情報が提供される。このATMU設計においては、ATMUは一つ以上のSONET設備をサポートすることができ、このために、各ATMセルは、可能な8つのシフトレジスタの一つに行くことができる。CLPには、各仮想経路に対する適当なシフトレジスタの識別が提供される。また、MLDのインタワーキングユニット(IWU) 1020、1022、...、1024(図12)には、用意された仮想経済の宛先アドレスが提供される。ATMU CCは、ATMUの保守制御を遂行する。ATMU CC自身に対する保守メッセージ、例えば、ATMU CCの初期化メッセージは、専用の制御バスを通じて受信された後に空間スイッチに入る。

ATMUは、この好ましい実施例においては、SMによって制御されるが、但し、別の方法として、ATMUをCBPによって制御することも可能である。この場合は、ATMUコントローラは、共通広帯域プラットフォームのコントローラから制御情報を受信する。ATMUは、5ESSスイッチに対する、SMからSMへの、及びSMからAMへの、メッセージベース通信サービスを、プロセッサ間パケットを介して提供する。

3.3 メッセージインタワーキング

ATMUは、5ESSスイッチに対して、以下のメッセージベース通信サービスを提供する。

- プロセッサ間パケットを介しての、SMからSMへの、及びSMからAMへの、メッセージベース通信サービス。
- SS7メッセージ転送部分(MTP)のパケットの搬送。

これらの機能は、両方とも、類似する方法にて扱われる。図8に示されるように、メッセージ層デバイス(MLD)が、SMからのメッセージを空間スイッチを介して受信する。可変長の5ESSスイッチのメッセージとSS7メッセージは、パケット交換ユニット(PSU)内のプロトコルハンドラ(PH)或はSMメッセージハンドラから発信されるタイムスロットチャネルを用いて運ばれる。MLDは、3つのタイプのインタワーキングユニット(IWU)、つまり、5ESSスイッチのメッセージを扱うためのIWU、SMPからのメッセージを再構成する機能を持つSS7用のIWU、及びユーザからユーザへのデータメッセージを扱うためのPSU間IWUを含む。これらユニットの機能は以下の通りである。

10

20

30

40

50

- 空間スイッチから運ばれるメッセージを受け入れる。
- メッセージの見出し内に識別される宛先に通じる仮想経路を関連付ける。
- ATMセグメント化及び再組み立てを遂行する。
- CLPによって指令されたとき、データをシフトする。

SS7の扱いは、5ESSスイッチのプロセッサ間メッセージの扱いとは少し異なる。5ESSスイッチプロセッサ間メッセージの場合は、フレームは、宛先のAM或はSMに向けられた仮想経路に入れて運ばれる。メッセージが宛先アドレスを読み出すために処理される。この宛先アドレスに基づいて、ATMUは、セルへのセグメント化のためにどの仮想回路を使用するかを決定する。

SS7メッセージの場合は、信号法データリンクは、SS7 IWU内に終端され、MTPメッセージは、宛先市外局に向かう仮想経路を使用して運ばれる。ATM網から入って来るセルベースメッセージの扱いと、制御と故障の耐性の概要については、セクション4において詳細に説明される。

PSU間メッセージの場合は、メッセージが宛先PSUアドレスを読み出すために処理され、ATMUは、この宛先アドレスに基づいて、セルへのセグメント化のためにどの仮想回路を使用するかを決定する。

3.4. SDH/SONETを介してのSM/ATMUの遠隔化

この実施例においては、CBPとATMUが、ATMを運ぶ局内（イントラオフィス）SDH/SONET（非同期デジタル階層/同期光網）を介して接続される。ATMUを持つSMは、SDH或はSONET網から見た場合は、網要素ではなく、デジタル通信チャネル（DCC）のセクションオーバーヘッドを終端することはない。但し、この局内設備（イントラオフィス）は光設備であるために、ATMUを持つSMは、CBPから遠隔に位置することができる。ATMUを持つSMがCBPに直接に接続される場合は、ファイバ（及び必要である場合は中継器）のみがこのような遠隔化のために必要とされる。

ATMUを持つSMが汎用のSDH/SONET網を介して遠隔化される場合は、同期時分割多重 - 1（STM - 1）及び多重化されたSTM - 1をサポートするSDH/SONETマルチプレクサ或はクロス接続手段がSM終端の所でセクションDCCを正しく終端するために使用される。この汎用のSDH/SONET網が使用されるケースにおいては、SM終端の所のSONET/SDH設備は、ATMUに直接接続された局内（イントラオフィス）SONET/SDH設備を提供するために、SONET/SDHマルチプレクサによって終端されなければならない。これは、SM内に別個のSDH/SONET DCC運転管理保守（OAM）機能を備える必要性をなくし、また、同一局内に、CBPとSONET/SDH OAM処理を遂行するSMの両方を持つことによる可能な混乱を回避する。

上の議論は、SMからCBPへのリンクに対してのみ適用される（ATMUがSMの一部であるものと想定）。このケースにおいては、CBPは局間トランクに対するセクションDCCを終端し、SDH/SONET網からは、汎用網要素であると見なされる。従って、CBPのこれらの機能のために、5ESSスイッチ（つまり、AM、一群のSM、それらと関連するATMU、及びCBP）は、SM自身はそうでなくても、一つのSDH/SONET網要素と見なされる。

別の方法として、一群のATMUをSMと直接に関連付ける代わりにCBPと関連付けることも可能である。このケースにおいては、SMをATMUに接続するNCTリンクは、5ESSスイッチにおいて、光網によってSMが遠隔に位置される周知のケースと同様に、より長くなる。この場合には、SONET設備を使用して、ATM信号を、長距離ATM信号をCBPに運ぶのと本質的に同一の方法にて、CBPに、運ぶことができる。また、ATM信号がATMUからCBPに直接に伝送できるようにCBPを配置する方法も考えられる。

3.5 ATMUの機能の概要

このセクションにおいては、ATMUと、CBP及びSMとの間の、機能上の関係が要約される。ATMUは、接続されたSMから見た場合、そのSMPから制御メッセージを、他の知能ユニットが制御メッセージを受信するのと同様な方法にて、受信する知能周辺ユニットであるものとして扱われる。ATMUの目的は以下の提供することにある。

1. SMタイムスロットから、固定され、用意された、仮想経路を使用するATM複合セルへの変換を行なう。現在の技術を使用して、最高約10,000タイムスロット（20NCTリンク）

10

20

30

40

50

までがサポートできる。(一つのNCTリンクは、512の多重化されたDS0ビット流を伝送し、光ファイバ伝送を使用する)。ATMUは、任意の入リタイムスロットを任意の接続されたアクティブなCBR仮想経路のバイト位置にルートすることができる。このアクティブなCBR仮想経路は、殆どがある時点においてアクティブでない事前に用意された多数の仮想経路の真部分集合である。

2. SM間及びSMからAMに送られる、及び/或は、SS7の可変長メッセージを、固定された、用意された、VBR経路を使用するATMセルの仮想経路に交換する。SS7メッセージに高い優先度を与えるために、SS7信号経路に対するVBR帯域幅を事前に割り当てておく必要がある。ATMUは、SM間リンクアクセス手順(タイプ)B(LAPB)フレームを、LAPBプロトコルを終端することなく運ぶ。SS7メッセージの場合は、ATMUは、SS7レベル2(HDLC部分)を終端し、MTP/SCCP(メッセージ転送部分/信号法制御と接続部分)メッセージを運ぶ。MTPプロトコルは、ATMUの所では終端されない。

10

3. 仮想経路セルにみあうだけのCBPへのSDH/SONET設備のアクセス。これらSONET設備とSDH設備の速度は、それぞれ、STS-3(同期時間信号)からSTS-12まで、及びSTM-1からSTM-4までであり、最大10,000までのトランクをサポートする一つのSMによって要求される出方向複合セル需要を満たすのに十分な数のこれら設備が提供される。トランクの数の多少に応じて、これら設備を増減することができる。

4. NCT A-Gビット(各PCMサンプルと共にSMからCBPに送られるビット)扱う。これは、SMに対してできるだけ透明な方法で行なわれ、これらビットには、Eビット(タイムスロットの監督)機能も含まれる。NCT上のタイムスロットパリティも終端/生成される。

20

5. 中央プロセッサ介入(CPI)手段のサポート。これは、SMのプロセッサが衛生を損ねた場合に、SMのプロセッサをリセットするための専用のビットをNCTリンク上に送る機能である。

6. 複数のSMからの入力をサポートする。

7. PSU間のユーザからユーザへのメッセージトラヒックをサポートする。

4. ATMUの要素

このセクションにおいては、ATMUの個々のブロックの設計と、高い信頼性を達成するための二重化計画について議論される。ATMUには、以下のブロックが含まれる。

- 空間スイッチ610
- セル幅バッファ620
- セルリストプロセッサ630
- SS7メッセージインタワーキングユニット1022
- SM/AM間メッセージインタワーキングユニット1020
- ATMU中央コントローラ(ATMU CC)600

30

上にリストされたATMUの最初の3つのブロックは、DS0から複合セルへの変換に関与する。次の二つのブロックは、可変長メッセージのATMセルへの変換に関与する。アーキテクチャの説明の目的のために、SS7とスイッチ内(イントラスイッチ)IWUは、メッセージ層デバイス的一部分であると見なされる。

ATMU CCセクションの後に、ATMUのCBRプロセッサ介入機能を(CM-ATMにて)実現するための代替について議論される。

40

4.1 空間スイッチ

4.1.1 機能

空間スイッチは、SMのモジュールコントローラタイムスロットインタチェンジ(MCTSI)からのNCTリンクのDS0をセル幅バッファ(CWB)とATMメッセージ層デバイス(MLD)へのNCTバスのDS0とを相互接続する。CWBへのNCTバスの数は、使用される複合セルのタイプに依存する。つまり、ATM CBRセルが46のDS0信号を運ぶ場合は46本とされ、一方、48のDS0信号を運ぶ場合は48本とされる。MLDへのNCTバスも一つ存在する。慣習的に、“SM MCTSI側”のNCTバスは、リンクと呼ばれ、一方、“CWB側”のバスは、NCTバスと呼ばれる。2から20の範囲のNCTリンク(つまり、最高10,1000トランクまで)(次世代のSMの場合はそれ以上)をこの空間スイッチによってサポートすることができる。図9に空間バスの内部

50

設計が示される。この組織が設計のコアの部分であり、最高20までのNCTリンクを受け入れることができるマルチプレクサから構成される。これらマルチプレクサは、一つの制御メモリを含むが、これは、最高20までのNCTリンクの一つを、NCTリンク上の512の位置の各々に対して選択する。こうして選択されたNCTリンクのタイムスロットは、従って、その与えられたタイムスロット期間におけるマルチプレクサの出力である。これらマルチプレクサの数は、複合セル内のバイトの数（つまり、46或は48のマルチプレクサ）に、MLDへのNCTバスを生成するためのもう一つのマルチプレクサを足した数に等しい。従って、全体としてのシステムに対して選択された複合セルに依存して、全部で、47或は49のマルチプレクサが存在する。このようにして、任意のNCTリンク上の任意の512のタイムスロットを、セル幅バッファ内の任意のバイト位置、つまり、MLDに接続することができる。

10

MCTSIからのNCTリンクは、NCTリンクインタフェース（NLI）上に終端する。NLIは、空間スイッチマルチプレクサへの同期されたセットのバックプレーンバスを提供し、このために、全てのマルチプレクサが同期的に交換される。そして、これらマルチプレクサは、CWBとMLDへのセットの同期されたバスを提供する。

反対方向（つまり、CWBからSM MCTSIに向かう方向）においても、空間スイッチは、完全に同一の方法で動作する。CWBからのバイトは、制御メモリによって駆動されるこの組織のマルチプレクサの所に終端する。これらマルチプレクサの出力は、NLIに接続され、これは、次に、SM MCTSIハードウェアにクロス接続される。

4.1.2 耐故障性

空間スイッチのコア組織コアはNLIカードを介してNCTリンクにインタフェースする。NCTリンクは二重にされるが、これは、これがSM MCTSIの両側から出ることを意味する。SM MCTSIをクロス接続するために、NLI自身も二重にされる。NLIは、コア組織の故障の起こり易いグループの一部であり、このために、NLIの各サイドがマルチプレクサ組織の各サイドと接続される。NLIは、SMのTSIの両側に結合されるが、但し、空間スイッチ組織の片側のみに接続される。従って、空間スイッチ組織のどちらのサイドも、SM TSIのどちらかのサイドに到達することができる。マルチプレクサ組織のカードは、CWBに直接に接続される。NLI、マルチプレクサ組織、及びCWBは、全て、同一の故障を起こし易いサイドに存在する。後に説明されるように、セルリストプロセッサも、この同一の故障を起こし易いグループに入る。システムの観点から見ると、クロス結合されたNCTリンクは、ATMUの二つの共通のサイドを終端し、これらの各々は、一つの空間スイッチとATMセルを形成するための関連するハードウェアを持つ。

20

30

NCTバスは、空間スイッチを介してMLDに結合される。MLDは、空間スイッチとクロス結合され、これは、それ自身の故障を起こし易いグループ内に存在する。

空間スイッチは（NLIと共に）、以下のエラー検出方法を使用する。

- NCTタイムスロット上のパリティ
- 制御メモリ上のパリティ
- ATMU CCからの制御バス上のパリティ
- クロックと同期の損失

これら検出器からのエラーは、ATMU CCに送られ、これは、すると故障管理手順を実行する。

40

4.1.3 空間スイッチの制御

マルチプレクサ内の制御メモリ、並びに、アクティブなNCTリンクとATMUサイドを選択するために使用される他の制御レジスタは、全て、ATMU中央コントローラの制御下に置かれる。空間スイッチのハードウェアは、ファームウェア或はソフトウェアを持たず、全ての制御は、ATMU CCからのバスを介して提供される。

空間スイッチには、動作上の二つの用途が存在するが、これら動作の両方において、ATMU CCによる空間スイッチメモリの書込みが要求される。具体的には、空間スイッチによって、呼を回路交換する動作と、SM内のメッセージ発信元から送られるDS0メッセージをMLDに提供する動作が遂行される。呼の回路交換に対しては、呼が設定されると、一つのDS0に対する信号がセル幅バッファの仮想経路バイト位置に接続されなければならない。SMP

50

は（AMと協力して）、各DS0信号に対して使用されるべき仮想回路バイト位置を決定する。SMPは、MCTSI TSIスライスを使用して、各DS0がNCTリンクのタイムスロット内に置かれるようにし、次に、ATMU CCにそのDS0信号を適当なCWBバイト位置にルートするために適当なマルチプレクサメモリへの書込みを行なうように命令する。セル幅バッファのハードウェアが次にDS0信号をメモリ内の適当な仮想経路セル内に移動させる。

SMPは、メッセージをメッセージハンドラ或はPSUからMCTSIスライスを通じて空間スイッチに運ぶためのDS0チャンネルを提供する。SMPは、次に、ATMU CCに、DS0チャンネルをMLDにルートする一つの適当なマルチプレクサ位置に書込むように指令する。

上のシナリオにおいては、二重にされた空間スイッチに同一の情報が書込まれた。

4.2 セル幅バッファ（620）（図10）

10

4.2.1 機能

4.2.1.1 概要

空間スイッチの二つの出力宛先の一つはCWB620（図10）である。CWBの幅は、選択される複合セルのタイプによって決定される（46バイト或は48バイト幅）。CWB内の各バイト位置は、受信された各NCTタイムスロットに対して仮想経路バイトをロードするタイムスロット割り当て（TSA）メモリと称される制御メモリを含む。TSAは、NCTバス上のある与えられたタイムスロットを受け入れないようにプログラムすることもできる。こうして、各セル幅バッファの位置は、NCTスロットペースにて、独立的に、異なる（或は同一の）仮想経路複合セルをロードすることができる。（図10に示される直列NCTリンク信号がバッファ801内に格納される前にバイトに変換される）。

20

CWBのCBPに向かっての積み降ろしは、セルリストプロセッサ（LCP）630によって制御される。CLPは、アドレスと読み出しリクエストを送ることによってCWBに同期的にリクエストを行なう。一回のメモリアクセスで、48/46バイトセル全体がシフトレジスタ内に読み出される。同時に、CLPは、セル見出しをそのシフトレジスタ内にロードする。シフトレジスタは、SDH/SONET設備のライン処理ユニット（LPU）661、...、662内にシフトアウトされる。シフトレジスタのCLP読み出し動作は、NCTリンクからのTSA制御された書込み動作とインタレースされる。

逆の方向（CBPからSM MCTSIへの方向）においては、セル見出しがシフトレジスタからLCP内に積み降ろされる。CLPは、この見出しを使用してその呼に対するCWB位置を決定する。次に、CWBがシフトレジスタからバッファ内にロードされる。最後に、このバッファ内のTSA制御メモリがこのバイトをNCTバス上に適当な時に読み出す。

30

CWBの深さは、ここまでは、（各方向において）仮想経路当り一つのDS0が格納できるように（アクティブな）仮想経路の総数に等しいものとして議論されてきた。但し、このバッファは、以下に述べる理由のために、（方向によって）2倍或は3倍深いことが要求される。

- ATMの基本的な性質として、CBP内のランダムな内部待ち合わせ動作のために、セルのジッタが発生する。

- シフトレジスタからのCWB積み込み及び積み降ろしが、異なるNCT125 μ sフレームからのDS0を持つセルが送られるのを回避するためにシフトレジスタから或はこれへのCLP読み出し或は書込みと同期されなければならない。このフレームの不整合は、複合セルによって搬送されているN^{*} DS0サービスの連続性を妨害する恐れがある。

40

この問題を回避するために、SM MCTSIからCBPに向かう方向においては、CWBが2倍の深さにされる（二つの区画）。これは、空間スイッチが、CWBの半分をロードしている間に、CLPが他の半分からの読み出しを行なうことを意味する。一つの区画が書込まれた後に、CLPと空間スイッチは、他の区画にアクセスする。各半分（区画）は、組成が同一である（つまり、同数のサポートされる仮想回路複合セルを持つ）。CBPからSM TSIに向かう方向においては、CWBは、“ビルトアウト”の125 μ sを見るために、3倍の深さ（3区画）にされる。ビルトアウトは、CWBが“アンダラニング”することを回避するために使用され、125 μ sの固定された遅延に等しい。アンダランは、セルジッタが、NCTバスのタイムスロットがその位置を読み出さなければならないときに、CWB内に新たなDS0が存在しない程

50

度に発生したときに起こる。こうして、CWBの“区画”の2つがジッタを考慮に入れるためのバッファリングを提供し、第三の区画は、CWBからDS0を入りセルに起因するセル書込み動作からの干渉無しに読み出すための時間を考慮に入れる。CWBのTSA内の制御メモリは、これらのCWBバッファ区画を横断して自動的に巡回する。CLPは、CBPからの入りセルがどの区画に書込まれるべきかを決定する。区画の数は、ジッタ次第で、ある与えられた125 μ s 間隔に、(例えば)ゼロ、1つ、或は2つのセルが到達し得るという事実のために、仮想回路によって異なる。幾つかのセルが失われた場合は、三重バッファCWBが一巡回し、結果としてアンダランが発生する。これは、空間スイッチとCLPが同一区画にアクセスし、CLPに、現在のビルトアウトされた区画から時間において最も遠い区画から読み出しを行なうように指令した場合に検出される。

10

4.2.1.2 DS0経路の監視 / テスト

監視回路が複合セルが均一で125 μ s 毎にATMUによって受信されているか決定するために提供される。これを達成するために、CLPは、アクティブな個々の複合セル仮想経路に対するカウンタを維持する。セルが到達する度に、カウンタが増分される。カウンタは、平均で、125 μ s 毎に増分する。カウンタは、CBP内のランダム待ち合わせに起因するATMセルのジッタのために、125 μ s 毎にきっちりと増分するとは限らない。このジッタは、CBPの基本的な特徴である。CLPは10ミリ秒 (ms) 毎にカウンタが約80回増分したか決定する。これは、短期間のジッタ、及び非常に確率の低いセルの損失或は挿入に起因してプラスマイナス3の変動を持つ。カウンタがこの値を超える場合は、ATMU CCに通知される。すると、ATMC CCは、仮想経路の損失が発生したか決定するためにカウンタを読み出す。カウンタは、8000プラスマイナス4に到達することができる。カウンタが1秒後に、それが8000プラスマイナス4に到達したか決定するためにチェックされる。この8000カウンタは、秒当り高いセル損失が発生したか決定するために使用される。

20

回路連続性の直接テストがATMU内に設計されている。ATMU CWBメモリデバイスが発信源の所で(ATM網に向かって)セルのバイト位置内にコード(恐らくは複数バイト)を挿入する。これは、会話経路が接続される前に行なわれる。接続の宛先端において、セル幅メモリデバイスがこのパターンを読み出し、一致を検出する。このバイトコードを、DS0内のビットをトグルさせるテストの部分として変更することもできる。この場合は、このトグルリングがATMU CWB内で認識され、ATMU CCに報告される。ATMU CCは、すると、DS0信号を運ぶNCTリンク上のEビット(5ESSスイッチの内部であり、スイッチ間設備を通じて伝送されることのない経路連続性ビット)をトグルさせ、さらに、連続性が確立されたことを示すメッセージをSMPに送る(E - ビットの使用方法については、E.H.Haferらによる合衆国特許第4,280,217号において説明されている)。

30

4.2.2 故障耐性

CWBは、上で説明されたように、空間スイッチと同一の故障グループに属し、このために、セル幅バッファ内の故障は、CWBのサイドスイッチ、空間スイッチ、CLP及びMLDの故障となる。LPUは、設備シフトレジスタ(FSR)とCWBにクロス結合される。従って、CWBは、二重にされたLPUのいずれかからセルを受信することができる。これら二つのLPUのどちらが使用されるかは、ATMU CCによって制御される。

CWB内の主なエラー検出方法は、以下を通じてのパリティである。

40

- 空間スイッチからのNCTバス
- 仮想経路バイトメモリ
- TSA制御メモリ
- ATMU CCからの制御バス

4.2.3 制御

CWBはATMU CCによって制御される。CWBハードウェア内には、ファームウェアもソフトウェアも存在しない。

動作の観点からは、CWBは、ある与えられた複合セルバイト位置を特定の仮想経路にマッピングするために使用される。SMPはDS0チャンネルをSM MCTSIにルートし、次に、ATMU CCに、DS0を空間スイッチを通じてCWB上の与えられたバイト位置に接続するように指令する

50

。次に、そのバイトに対するCWB内の制御メモリにその仮想経路と関連するアドレスが書込まれる。これは、両方向に対するTSA制御メモリ内で起こる。この時点で、SM MCTSIのDS0と与えられた仮想経路上の与えられた複合バイト（DS0）との接続が存在する。DS0の連続性テスト及び監視と関連するエラー検出の制御、及びLPU状態の制御を含む他の全ての機能も同様にATMU CCによって制御される。

4.3 セルリストプロセッサ（図11）

4.3.1 機能

4.3.1.1 概要

CLP630（図11）は、セルをCWB620と設備シフトレジスタ（FSR）651、...、652（図8）との間で移動させる責務を持つ。ATM網に向かっては、CLPは、各アクティブな仮想経路に対してCWB位置を格納するレコードのリンクドリストを持つ。125 μ s毎に、CLPはこのリストを横断し、CWBに全てのアクティブなセルをFSR内にロードするように指令する。反対方向においては、CLPは、アドレス検索機能を持つが、これは、CWBに、FSRから来るセルをロードするために使用される。CWBの説明の所で述べたように、CLPは、両方における信号伝送に対してアクセスされるべきCWB区画を追跡する。

FSRは設備ライン処理ユニット（LPU）（611、...、622）に接続される。このユニットは、ビットを物理媒体に伝送する形式に変換する機能と、設備と関連する保守機能を遂行する実際のハードウェアデバイス（回路カード）である。つまり、LPUカードは、光動作、同期動作、及びSDH/SONETオーバーヘッド処理回路、例えば、Byte Interleaved Parity等の動作をサポートする。

図11はCLPの内部設計を示す。シーケンサ920はFSRからのサービス要求ビットを読み出す。これら要求ビットは、FSRが設備された或はサービス中のLPUに接続されてない場合は抑止することができる。シーケンサは、与えられたFSRに対するサービス要求ビットにตอบสนองして、そのFSRと関連する設備に対して用意されているアクティブな仮想経路のリストをチェックする。シーケンサによってアクセスされる仮想経路リストメモリ930内に格納されたこのリストの検索は、各125 μ s期間の始まりにおいて開始され、次の125 μ sの開始までに完了しなければならない。後者の要件は、設備に対して請求される帯域幅が、例えば音声のような、定ビット速度サービス用の設備の容量を超えてはいけないという事実を反映するものである。サービス要求が行なわれる度に、シーケンサは、リストから仮想経路のセルエントリを読み出し、FSRにそのリストエントリ内に格納されている見出し情報をロードし、CWBに、48/46バイトをFSRにロードするように指令する。46バイト複合セルの場合は、2バイトインデックスが見出しの部分であると見なされ、LPCによって通常の（例えばVBRの）5バイト見出しと共にロードされる。

アクティブな仮想経路は、あるFSRと関連するアクティブな仮想経路のリストからエントリを削除することによって非アクティブにされる。ATMU CCは、それがシーケンサと共有するバッファ921を持つが、シーケンサはこれを使用して、セルがFSRから外に伝送されているアイドル時間にアクティブなリストのエントリの追加及び削除を行なう。

上の説明は順次的に行なわれた。ただし、実際には、動作の大きな重複が存在する。例えば、FSR要求ビットのチェックは、前にチェックされたFSR要求のアクセスと重複し、さらには、CWBに読み出し命令を送る動作とも重複する。

（ATM網から）SMに向かっての方向においては、セルがLPUからFSR内にクロックを使用して入れられ、要求ビットがセットされる。CLPは、これらビットの処理を行なうが、これは、最初に、複合セル見出し内の仮想経路アドレスをCWB位置にマッピングする動作から開始される。この機能は、シーケンサ内のATMアドレスマップ（AAM）940によって達成されるが、これは、ATM見出しアドレスをCWBメモリデバイス内の物理アドレスに翻訳する。AAMはまた、異なる設備上で同一のATMセル見出しが使用されるようにFSRと関連するインデックスを使用する。これを行なわなかった場合は、これら見出しが全ての設備で異なることとなる。次に、シーケンサは、FSR内のセルをCWB位置内にロードする。全てのFSRは、CWBへの並列バス上に存在し、一度に一つのみがCWB内にロードできる。この好ましい実施例においては、AAMは、内容アドレス可能メモリ（CAM）を使用して実現される。

シーケンサ920の設計は、高速論理（プログラマブル論理）の使用に基づく。この論理は、100MHz以上でランし、シフトレジスタの要求ビットを走査し、CAMを動作し、リンクドリストを読み出し、データをCWBとシフトレジスタの間でゲートし、セルの到達をカウントする。このような論理の例として、AMDによって製造されるPAL論理回路ファミリがあるが、これは、多くの製造業者によって供給されるパーツ、例えば、22V10デバイスを使用する。もう一つの論理は、Signetics社によるPLC14である。Texas Instrumentsから供給される他のゲートアレイ技術もあるが、これも100MHz以上でランすることができる。

4.3.1.2 ATM輻輳テスト機能

ATMUの一つの機能は、アクティブに使用とする複合セルの仮想経路が、輻輳を起こすか否かを事前に決定し、これによって輻輳の発生を阻止する能力である。輻輳は、経路の使用が任意のセグメントに沿ってあるしきい値より増加したときに発生するものと定義される。

別の方法として、輻輳が発生した時に、その経路に沿うセルを一つ或はそれ以上のCBPによってマークすることもできる。このマークする概念においては、ATMU見出し内の輻輳制御ビットが発信元と着信先の間のリンクの占拠状態をテストするために使用される。占拠率がしきい値以上である場合、そのCBP（及び他の中間のCBP）はそのセルをマークする。この方法においては、ATMUには、これを登録し、この事象をATMU CCに報告する機能が必要とされる。ATMU CCは、報告を受けると、この事象をSMに報告する。所定の数のセルの到達の期間を通じてこれらセルが全てマークされて到達したときに、静止指標が提供される。セットされた要求ビットを持つFSRからのセルの受信にตอบสนองして、CLPは、輻輳制御ビットと仮想経路識別子を、ATMU CCによってアクセス可能なメモリに転送する。ATMUは、このメモリを読み出し、結果をSMPに報告する。輻輳が発生した場合は、それらが輻輳の発生したリンクを使用する場合は、新たなCBR PVCのアクティブ化は行なわれず、PVCの併合（図17）が加速される。

このマーク検出メカニズムをテストする診断方法は以下の通りである。CLPに、ATMU CCが、輻輳のないことが確認されているリンク上の輻輳ビットをセットするように指令される。下流CBRは、既にセットされているビットには影響を与えないために、遠方端のATMUは、こうしてセットされたビットを検出するはずである。ここで、ATMU CCは、これらビットを解除するように指令する。受信ATMUは、これらビットが解除されたことを検出すべきである。このテストは、マークされたATMセルの検出回路と、これらビットをそれらがマークされた後に運ぶ網の能力を検証するために使用することができる。

輻輳ビットの具体的な使用方法は、CCITTによって規定されてない。ここに説明の構成においては、これらビットは、Frame Relayにおいて使用されるフレームマーキングアルゴリズムと類似する方法にて、帯域幅を検証するために使用される。フレームマーキングアルゴリズムにおいては、輻輳が発生した場合、マークされたフレームが排除される。但し、ATMセルの場合は、マーキングしきい値がチャンネルの容量以下に設定されるために、排除は行なわれない。

4.3.2 故障耐性

CLPは、空間スイッチ及びCWBと同一の故障グループの一部である。CLP内で故障が発生すると、ATMUの一つのサイドスイッチが、ATMU CCの制御下に置かれる。

パリティが全てのリストとシーケンサにて駆動されるメモリ上で使用される。追加のハードウェア、例えば、衛生とデッドクロック状態をチェックするためのタイマを採用することもできる。メモリ駆動シーケンサプログラムがATMU CCによってCLP初期設定の一部としてダウンロードされる。

4.3.3 制御

CLPはATMU CCによって制御される。CLP上に、リンクドリストテーブル及び/或はATMアドレスマップ（AAM）内の情報を修正するように指令するレジスタが存在する。実際には、CLPは、単に、これらメモリに、ATMU CCデータを直接に、但し、他のCLP動作と同期された時間に書込む機能を果たす。FSR要求ビットは、ATMU CCに直接にアクセスが可能なレジスタによって抑止される。他の通信、例えば、マークされたセル情報、或はセルをマークする

ための制御情報は、CLPとATMU CCとの間で共有されるレジスタ921を通じて扱われる。セル単位にして遂行される必要のない全ての複雑な処理はATMU CCによって遂行される。動作においては、SMPが、DS0を与えられたSM MCTISIスライスを通じてNCTリンク上に接続し、ATMU中央コントローラ(ATMU CC)に、DS0を空間スイッチを通じてCWB内の適当な仮想経路メモリ内に接続するように指令した後の、仮想経路がアクティブにされた時点で、ATMU CCは、その仮想経路アドレスをその設備(FSR)の仮想経路と関連するアクティブなセルのリストに加えるように指令する。この時点で、複合セルがATM網に送られ、(こちらの側に)DS0の連続性が存在することとなる。ATMU CCは、次に、DS0の連続性をテスト及び監視するための上に説明の様々な動作を遂行する。

4.4 ATMメッセージ層デバイス(図12)

10

4.4.1 MLDの機能

ATMメッセージ層デバイス(MLD)(図12)は、以下の3つの通信システムのために、可変長メッセージを5ESSスイッチによって使用されるATMに変換する機能を持つ。

- SMからSM、及びSMからAMへの通信
- SS7網：市外網内のSMからSMへの通信
- PSU間パケット通信

これらインタワーキングサービスを提供することによって、ATM網をメッセージの搬送のために使用することが可能になる。これによって5ESSスイッチ内のSM間メッセージ交換が簡素化され、及び/或は、複数のSTPを市外網内の複数のスイッチの間のメッセージングに使用する必要性が排除される。ローカル搬送業者とインタエクスチェンジ搬送業者との境界の所で使用されるSTPは、ATMのこの用途によって影響を受けることはない。但し、STPの削減は、動作コストとハードウェアコストの節約に寄与する。

20

さらに、ここに開示される教示に従う一つの実施例においては、5ESSスイッチ(例えば、AT&T Technical Journalのページ1418 - 1421において説明されている)内のメッセージスイッチが5ESSスイッチから排除され、セクション4.6において説明されるように、CMプロセッサ介入(CPI)機能が提供される。

MLD内には、図12に示されるように、SS7用のインタワーキングユニット(SS7 IWU)(1020)、SM用のインタワーキングユニット(イントラスイッチIWU)(1022)、及びSPU間用のワーキングユニット(1024)が含まれる。ATMUの空間スイッチからのNCTバスは一つ或はそれ以上のDS0ベースチャンネルを運ぶが、このチャンネルは、メッセージハンドラ及び/或はPSUからMLDに運ばれるSM或はSS7メッセージのいずれかを含む。このNCTバスは二重にされており、空間スイッチの二重にされた部分の各々の中に一つ発信元を持つ。MLD内で、このバスは(バックプレーンを介して)SS7、SM、及びPSU間用のIWUにファンアウトされる。

30

ATMサイドのMLDの出力は、CWBのシフトレジスタと本質的に並列の直列シフトレジスタである。これが、IWUのブロック図を示す13図に示される。CLPは、MLDからの要求に応じて、ATMベースメッセージセルを複合音声セルとインタリーブする。このインタリーブのためのアルゴリズムは、複合セルが最初に(125 μ s毎に)送出され、次に、ATMベースメッセージセルが伝送される構造を持つ。この125 μ s間隔は、複合セルのための次の125 μ s間隔と重複してはならない。ATMベースのメッセージは、常に、設備上の帯域幅を使用できるものと想定される。つまり、設備の使用が、メッセージング帯域幅が常に利用できることが保証されるように割り当てされる。シミュレーション及び/或は現場の経験から、複合セルも運ばれるこの設備上にメッセージを送るための最小充分な余裕を決定することが必要である。

40

ATM網から入って来る方向においては、CLPは、ATMの仮想経路見出しを翻訳し、そのセルが、SS7、SM、或はPSU間メッセージのいずれに基づく仮想経路であるかを決定し、これらセルをMLD内の複数のIWUの適当な一つに向ける。IWUは、セルを受信し、メッセージの再組立を始める。その後、再組立されたメッセージは、DS0内に入れられてNCTバス上をATMUの空間スイッチへと伝送される。IWUは、与えられた仮想経路からのセルを、与えられたDS0、或はN^{*}DS0パイプの場合は、セットのDS0と関連付けるだけの容量を要求される。

50

上とは別の方法として、SDH/SONET設備を介してCBPに直後に接続されたSM、SS7、或はSPU間用のIWUを備えることも考えられる。但し、この方法は、CBP上の限られた設備を、設備のスループットの極僅かな割合に当るトラヒックロードにて消費してしまうこととなる。この理由のために、前者のCLPにてセルを内部的にルートする方法の方が、少しのオーバーヘッドはあるが、好ましい。加えて、DS0を5ESSスイッチのSMに合うように多重化する必要があるが、これを行なうためには、NCTバス及びリンクが最も経済的な構成である。一つの想定は、少なくとも一つのSM用のIWUを必ず設備する方法である。これは、SMPは、このメカニズムによってのみAM或は他のSMPと通信できるためである。SS7用のIWUは、オプションとして、これらは、アプリケーションによって、設備してもしなくてもよい。例えば、国際用の5ESSスイッチにおいては、SS7リンクは、通常、たった一つのSM内にクラスタ化（ひとかたまりに）され、このSMによって、そのSS7トラヒックの全てが一つのATMUに向けられる。加えて、MLD設計では、SS7信号法データリンク（SDL）の数を変更することが可能である。これは、一つのSS7用のIWUが扱うことができるSDLの数に依存して、使用するSS7用のIWUの数を変更できることを意味する。この柔軟性は、専用化されたアプリケーション、例えば、5ESSスイッチの国際グローバルSM（GSM）（つまり、全てのSS7リンクを持つSM）を構成することを助ける。このGSM構成を用いると、多数の個別のSS7 SDLを生成することができる集中化された一つのSS7用のPSUを提供し、多数のSDLを終端する能力を持つ一つのATMUを使用することによって、現存の5ESSスイッチに与えるソフトウェアの影響を最小に押えることができる。

10

4.4.1.1 ATMとプロトコル

20

このセクションの後の続く二つのセクションにおいては、MLD内のスイッチ内（イントラスイッチ）、SS7、及びPSU間用のIWU設計について述べられる。但し、ATMと、スイッチ内（イントラスイッチ）及びSS7用のプロトコルとの対話について最初に説明及び比較される。ATMの基本概念は、ATMがトランスポートレベルのサービスのみを提供するというものである。この概念に固執して、SMのIWUは、スイッチ内（イントラスイッチ）フレームのみを中継する。これは、通常のパケット交換という意味においては、プロトコル処理を遂行しない。例えば、再伝送は、SMのIWUによってはサポートされない。プロトコルプロセッサ（つまり、PSUプロトコルハンドラ及び/或はメッセ - ジハンドラ）は、ATM網を通じてのリンクアクセス手順（タイプ）D（LAPD）プロトコルのエンド・エンドの処理を行なう。要約すると、SM IWUは、高レベルデータリンクコントローラ（HDLC）フレーム内の宛先SMを識別し、この宛先SMに対応する適当な仮想経路を持つセルを組み立て、これらセルをCBP（ATM網）内に送出する。

30

同一の構成がSS7に対しても使用される。ATM網は、SS7 MTPパケットを網の様々なスイッチ内に存在するSS7信号プロセッサ間で中継する。SS7の実現は、通常、STPへの接続に使用される、ここでは使用されない、単一ポイント・ツウ・ポイントリンク（CCITT標準Q.703を参照）を使用することを特徴とする。但し、SS7網は、MTP層においては、ポイント・ツウ・多重ポイントの構成を持つ。ポイント・ツウ・ポイントATM層と、MTPの持つポイント・ツウ・多重ポイントの性質との折り合いを付けるために、ATMUが、信号法リンク層を終端し、MTPパケットを、その“MTPポイントコード”と対応する宛先への仮想経路と関連付ける。これらメッセージは、セルに組み立てられ、次に、ATM網上に中継される。宛先において、このMTPパケットが分解され、ローカルの信号法データリンク層主体を使用して、このSS7パケットが（SM IWUの場合と同様に）空間スイッチに接続されるNCTバス上のDS0を介して再びメッセージハンドラ/或はPSUプロトコルハンドラへと送られる。このアプローチは、ATMUが本質的に、SDLレベルにおいて（PSU/PHの立場から見た時の）STPの動作をエミュレートするために、STPを削除することの5ESSスイッチ或は他のスイッチに与える影響を最小限に押える。

40

4.4.2 SM IWU

4.4.2.1 機能

SM IWUの機能は、LAPDフレームを用意された仮想経路と関連付け、次に、これらフレームをセルに変換することである。上で説明されたように、SM IWUは、スイッチ内（イントラ

50

スイッチ)メッセージに関してLAPD(手続き)を続行することはない。但し、スイッチ内(イントラスイッチ)メッセージのビット本位LAPDプロトコルは、巡回冗長検査(CRC)を介してのメッセージ保全性の検証のために処理されなければならない。さらに重要なこととして、宛先SMのアドレスを読むことができるように、メッセージからビット詰め込みを除去するためにもこの処理が必要とされる。ビット本位プロトコル(BOP)が処理され、“ビット詰め込み”が除去された後に初めて、宛先SMのアドレスを読むことができる。上の目的を達成するために、SM IWUは、ATMU空間スイッチからSM IWU上のHDLCデバイス1120(図13)に伸びるNTCバス上の用意された複数のタイムスロット(例えば、12DS0或は768キロビット/秒)上のSM間LADPメッセージを受信する。HDLCデバイスは、このSM間フレームをバッファ内に格納し、ここからアドレス(及びCRC検査の結果)がSM IWU内部コントローラによって読み出される。コントローラは、宛先SMアドレスを適当な仮想経路と関連付ける。次に、このフレームがLAPD見出しと共に、CCITT標準I.363に規定されるATMアダプテーション層に従う接続本位網サービス(CONS)手続きを使用してATMセルに組み立てられる。要約すると、この手続きは、以下を使用する。

- メッセージの第一セグメント(つまり、セル)、中央セグメント、及び最終セグメントを示すビット欄。
- メッセージ全体としての保全性も示すCRC。
- メッセージ内のバイトの数を示す長さ欄。
- ある与えられたメッセージと一緒に束ねるインデックス。

上のリストにおいて、用語“メッセージ”は、LAPDフレームと同義的に使用される。セルへの組み立ては、修正された直接メモリアクセスプロセッサ、つまり、セル、ビット欄等生成するATMアダプテーション層プロセッサ(AALP)によって達成される。AALPの出力は、LPU(FSR)に接続されるが、一方、これは、CLPに接続される。現在は、一つの設備からの帯域幅で必要とされる量をはるかに超えるために、たった一つの(二重LPUに接続された)FSRのみが各IWUによってサポートされる。セルの転送準備が整うと、CLP内のハードウェアがIWU FSRからLPUに転送する。出方向においては、(複合音声の場合と比較して)帯域幅要件が低いので、セル幅バッファは必要とされない。

ATM網からの逆の方向においては、CLPは、LPUに接続されたFSR内のATM見出しを読み出す。このFSRは、複合メモリ(CWB)とMLDの両方に対するセルを受信する。セルの到着時には、CLPは、それらセルがメッセージベースであるか、或は複合セルであるかを知らない。CLPは、(それがあたかも複合音声であるかのように)そのATMアドレスマップ(AAM)を使用して、そのセルがIWUに送られるべきか、或はCWB(複合音声)に送られるべきかを決定する。すぐ後の説明の目的に対しては、これらセルは、メッセージベースであるものと想定され、IWUに向けられる。そうでない場合は、これらセルは、(複合セル)CWB内にロードされるところである。CLPはこれらセルを、SM用IWU或はSS7用IWUセルバッファ1170(後に説明)、或はPSU間用IWUのいずれかに移動する。(このセルバッファ1170は、複合音声に対して使用されるCWB620ではない。)

信号法、制御、及び他の狭帯域幅メッセージは、CBPからSMへのデータの流れ(図13に示される方向と反対方向)の一例である。SM(イントラスイッチ)IWU AALPは、これらフレームをそのセルバッファからメッセージベースにて存在する待ち行列内にコピーする。複数のメッセージセグメント(セル)が同時に受信される場合があるために、これらセル内の識別がセルを完全なメッセージに分離するために使用される。組み立てを終えたら、これらメッセージが、NCTバス上のDS0内に入れて空間スイッチを通じてATMUに送られる。

SMのIWUは、“セルバンチング”が発生したときに、セルのバーストを受信するための十分な緩衝が存在することが必要であるためにセルバッファを持つ。これは、IWUの“ATMフロントエンド”が、短期間の間、設備速度にてセルバーストを受信できなければならないことを意味する。セルバッファ1170は、巡回的に編成され(FIFO)、ATM見出し全体と、48バイトのデータを保持する。この点は、ATM見出しの格納を行なわない複合セル用のCWBとは異なる。(複合セルの場合は、CLPは、複合セルに対するATM見出しを処理し、破棄する。これは、これら見出しがフレームがCWB内にいったん入るとなると論理的機能を持た

10

20

30

40

50

ないためである。一方、メッセージの場合は、ATM見出しがATMセルから一つの完全なメッセージを組み立てるためにさらに処理される。) シミュレーション及び/或は現場での経験を使用してローカルセル幅バッファの最適な最小深さを決定することができる。通常は、トラヒックの量は、SM IWUのスループットと比較してわずかである。これは、SM IWUは、一つのSMに対するフレームを処理するのみであり、その発信元、PSUプロトコルハンドラ、或はメッセージハンドラが行なうように、LAPDプロトコルを実際に終端するための処理を遂行する必要がないためである。

4.4.2.2 SM IWUの故障耐性

SM IWUは、ATMU内にたった一つ(及びこの複製)が必要とされるのみであるために、単純な二重化ベースにて予備が確保される。これは、MHから他のSMとAMに伸びるSM間チャンネルが二つの存在するのみであるためである。

SM間信号法チャンネルに対して要求される帯域幅は小さいために、この信号法チャンネルを運ぶNCTリンクは、単一のIWUによって処理することができる。ATMU CCがどのSM IWUがアクティブであるかを決定する。MLD NCTバスのファンアウトメカニズムが空間スイッチからのNCTバス間のクロス結合を生成し、このために、空間スイッチのどちらのサイドがアクティブであるかに無関係に、いずれのSM IWUもアクティブにできる。

故障は、空間スイッチからのNCTバス上のパリティ検査によって、並びに、プロセッサ及びコントローラによって通常使用される内部エラー検査メカニズム、例えば、メモリ上のパリティ検査及び衛生タイマによって検出することができる。

別個のタイプの故障耐性機能がメッセージの搬送障害と関連して使用される。二つのタイプ、つまり、ATMの障害と、メッセージハンドラDS0チャンネルの障害が存在する。障害は、過剰なセル或はメッセージのエラー率を意味する。SM IWUは、メッセージエラー状態、例えば、MH/PSUからの退廃したフレーム、或はATM網からの退廃したメッセージを、これらがあるしきい値を超えたときにATMU CCに知らせる。メッセージエラー状態は、ATM見出し、CRC - 4、或は、PSU PH或はMHからのLAPDフレーム内のCRC検査ビット内に、或はメッセージ内のCRC内に、これがATM接続本位網サービス(CONS)内を搬送されたときに検出される。ATMのエラー率が高い場合は、ATMU CCは、そのSM IWUを予備のLPU(つまり、設備保護スイッチ)にスイッチするか、或は、SM IWUとLPU(そのSM IWUを含む)との間のハードウェアを診断するための措置を講ずる。後者のケースにおいては、MLDと空間スイッチとの間の結合に依存して、ATMUの一つのサイドスイッチ、或はSM IWUのいずれかが正常である可能性がある。

4.4.2.3 SM用IWUの制御

ATMU CCは、SM IWUとの交信を、ATMU CCからATMUの複数のユニットに接続された制御出力バスを介して行なう。動作において、ATMU CCは、このバスを介して、仮想経路の宛先アドレスを準備し、一方、空間スイッチを通してIWUに伸びるDS0を準備する。ATMU CCは、これをSMPの指令を受けて行なう。CLP内においては、AAMに、それらメッセージを運ぶ仮想経路をロードするという準備も行なわれる。この準備が完了すると、SM間メッセージ/AMスイッチ内(イントラスイッチ)メッセージを、SMP/MHの一存で、ATMU CCの介入なしに、任意のSM間宛先/AMスイッチ内(イントラスイッチ)宛先に送ることができる。

4.4.3 SS7 IWU

4.4.3.1 機能

SS7 IWUは、SM IWUに類似し、MLD内のSM IWUに対して並列の位置を占拠する。従って、このセクションにおいては、SM IWUとSS7 IWUとの間の差異に強調が置かれる。SM IWUとSS7 IWUとの間の主な差異は、以下の通りである。

- SS7 IWUは、SS7リンクプロトコルを終端するが、一方、SM IWUは、SM宛先アドレスが読み出せるようにビットレベルのLAPDのみを処理する。

- SS7 IWUでは、設備の量を変えることができ、上に述べたように、存在してもしなくても良い。さらに、SS7 IWUでは、サポートされるべき信号法データリンクの数を変えることができ、例えば、5ESSスイッチのグローバルSMを一つのATMU上にサポートすることができる。

ATMとプロトコルに関するセクションにおいて述べた通り、SS7 IWUは、空間スイッチとMLDと間のNCTバス上をPSUプロトコルハンドラ或はメッセージハンドラから受信されるSS7リンク（SDL、レベル2）プロトコルを終端する。SS7 IWUは、すると、一つの仮想経路をMTPポイントコードと関連付け、パケットをセルに組み立て、これらをATM網に送出する。宛先スイッチの所で、CLPは、これらセルをSS7 IWUにルートするが、すると、このSS7 IWUは、これらセルを元のパケットに組み立て、これらをSS7信号法データリンクフレーム内に挿入し、これらを空間スイッチに伸びるNCTバス上にPSUプロトコルハンドラ或はメッセージハンドラに向けて送るために送出する。ATM網は、MTPパケットに対しては、SM IWUによって処理されるスイッチ内（イントラスイッチ）メッセージの場合と同様に、単に搬送メカニズムとして機能する。

10

SS7 IWUとSM IWUの設計は、ほぼ同一である。IWUのNCTバス側は、両方ともHDLCをベースとし、ビット本位プロトコル（BOP）を処理するコントローラは、SS7 SDLプロトコルも処理することができる。AT&Tは、32チャンネルに対してこの機能を遂行するコントローラセット（2つのデバイス、つまり、ATT7115とATT7130）を製造するが、ここでは、全てのチャンネルがSS7 SDLに対して完全に使用される。ATMのフロントエンドと、CLPとの対話も、類似し、ここでは繰り返して説明されない。主に、MTPポイントコードが仮想アドレスの関連付けの目的にSM宛先の代わりに使用される。

一つの代替のアーキテクチャにおいては、SS7とSM IWUが、同一のIWU上に位置される。スループットは問題でなく、一つのハードウェアカード上にサポートされるべきDS0の数のみが問題である。512タイムスロットのNCTバスサイズ、及び二倍サイズのカードの使用を想定した場合、32タイムスロット以上を一つのカードでサポートすることができ、これは、単一IWUの使用をコスト面で魅力的なものにする。

20

4.4.3.2 故障耐性

SS7 IWUは、SW IWUとは異なる故障耐性を持つ。一つのATMU内に可変数のSS7 IWUが使用されるために、MLD内のSS7 IWUの冗長度は、SM IWU内の1 + 1に対して、N + 1である。代替の構成においては、冗長度は、N + 2とされる。

4.4.3.3 制御

SS7 IWUは、SM IWUと類似する制御問題を持つ。SMPは、以下を提供する。

- メッセージハンドラ或はPSUプロトコルハンドラからの空間スイッチを通じてSS7 IWUに至るタイムスロット。
- SS7 IWU内のポイントコードを仮想経路と関係付けるマップ。
- CLP内の仮想経路。

30

4.4.4 PSU間IWU

PSU間IWUは、本質的には、SM間IWUと類似する動作を行なう。但し、これは、PSU519によって供給されるパケットを交換し、これらパケットは、本質的には、ユーザから発信されユーザに終端する。IWUは、使用されているユーザレベルのプロトコルに対しては透明である。

4.5 ATMUコントロール

4.5.1 機能

NCTリンクは、ATMUをSMに接続する。従って、デジタルトランクユニット（DTU）或はSONETインターフェースユニット（SIU）内で使用されるのと同タイプのコントローラがATMU内で使用される。

40

ATMU CCが、ATMUハードウェアを動作及び維持する方法については全て上で説明されており、ここでは、繰り返さない。

4.5.1.1 故障耐性

ATMU CCは、1 + 1の予備を持ち、ATMUの残りの部分からは別個の故障グループに属する。ATMU CCは、SIU/DTUコントローラの修正されたバージョンであり、コントローラの故障耐性の面でのこれ以上の説明は必要でない。

4.5.1.2 コントロール

5ESSスイッチ内においては、プロトコルハンドラ（メッセージハンドラ（MH））が、SMP

50

とTSIとの間をインターフェースし、制御と信号法メッセージをTSIとATMUのMLDとの間で伝送するために使用される。5ESSスイッチ内のメッセージハンドラは、ATMU CCと通信するために使用される。この通信は、これらリンク上に到達するタイムスロットを介して行なわれ、これらタイムスロットは、最終的にはSMPから発信されるLAPDベースのメッセージを運ぶ。ATMUは、LAPDを処理し、コマンドを実行する。幾つかの専用機能、例えば、プロセッサリセット機能が、ATMU CC衛生がいずれかのサイドで完全に失われた場合に、制御メッセージをATMU CCに伝送するための専用のNCTリンクタイムスロット内に入れられる。事前に指定された制御チャンネル内の専用のビットがNCTリンク上にこれら機能を実現するために予約される。

前述のように、ATMUはCBP内に配置することもできるが、この場合は、ATMU CCは、CBPのコントローラによって制御される。

4.6 CBRプロセッサ介入 (CPI)

次に、AMが非衛生なSMPをリセットするために使用するSMP介入機能について述べる。現5ESSスイッチにおいては、AMがメッセージスイッチのハードウェアを制御して、ビットをNCTリンクの制御タイムスロット (CTS) に供給する。本設計の目標はメッセージスイッチを除去することにあるために、この機能は、CBPとATMUのある組合わせによってエミュレートされなければならない。この機能は、以下のようにして実現される。

- AMからATMUへの専用の仮想経路が多重バイトパターン化されたデータを持つセルを運ぶ。これらセルは、AMによってAPH1240がCPIを遂行することを介して、ATMUに反復的に送られる。ATMUハードウェア (設備シフトレジスタ) は、この状態を検出する能力を持ち、空間スイッチにバードワイア結合される。空間スイッチはこれを検出すると、SMをリセットするためのCTS CPIビットパターンを生成する。この多重バイトパターン化されたデータは、セル内で生成される確立が本質的にゼロであり、特定のSMをリセットするとき以外は決して送られることがない。CBPには、これら仮想経路が、AMと個々のSMとの間に提供される。

5. AMとCBPの動作管理保守準備 (OAMP) のためのプラットフォーム

AMは、5ESSスイッチ全体とCBP (ATMUを含む) の動作管理保守準備 (OAMP) の要求をサポートする機能を持つ。これらには、CBPのダウンロードと制御、クラフトグラフィック表示、ATMを介してのSMとの通信が含まれる。図14には、AM/CBPシステムのアーキテクチャが示されるが、これらは以下の要素から構成される。

- 直接に接続された端子を含むATM管理モジュール (AMM)。これは、現存の5ESSスイッチのAMの延長である付属の故障耐性プロセッサであり、新たなCBPとATMU機能に対する追加の処理スループットを提供する機能を持つ。

- AM/AMMを、グラフィックユニットインターフェース (GUI)、ATMパケットハンドラ (APH)、及びCBPと相互接続するイサネットバス。

- ディスク、テープ、及びCD ROMオンライン文書処理のための小型コンピュータシステム用のインターフェース (SCSI、産業基準) 周辺装置。これらは、現存するAM不揮発性周辺装置を増強する。

- 現存の5ESSスイッチ設備、CBP、及びATMIをサポートするGUIワークステーション端末。

- ATMパケットハンドラ。これは、AM/AMMに、ATMを介して、SONETを通じてSMと通信する能力を提供する。SMはAPHのATMを、それらのATMU MLD内に終端する。SMと通信するためには、AM/AMMは、メッセージをイサネットを介してAPHに送るが、APHは、メッセージをセルに変換し、これをSONETを通じてCBPに送る機能を遂行する。

GUIと不揮発性メモリは、その制御がAMMソフトウェア内に駐在する市販の要素である。AMMとAPH要素の設計については以下のセクションで説明される。

5.1 ATM管理モジュール

AMMは、AMの高い容量を持つ処理要素であり、以下から構成される。

- プロセッサ: AMM。これらプロセッサは、 $N + K$ の冗長度を持ち、IEEE896標準であるFuture Bus (+) によって接続される。これらプロセッサモジュール内には、自動ハードウェア及びソフトウェア検出と、再始動機能が組み込まれている。AMM自身は、管理モジュール

10

20

30

40

50

ール (AM) によってサポートされるが、このAMは、AMMプロセッサに対する高信頼度環境を生成するために使用される。

- メモリモジュール：これら $N + K$ 個のプロセッサは、静的及びチェックポイント用のデータを格納するために使用される。自動ハードウェアエラー検出機能がこれらメモリモジュール内に組み込まれる。これらメモリモジュールは、冗長構成を持ち、データが二つのメモリモジュール内に格納されるが、アクティブなモジュールのみが読み出しアクセスに応答する。これらメモリモジュールは、Future Bus (+) を介してプロセッサに接続される。

- SCSI周辺インターフェース：AM/CBPプラットフォームには二つのSCSIコントローラが存在する。鏡像のように二重にされたディスクに加えて、AMMをロードするためのカートリッジテープドライブが存在し、CD ROMがオプションとしてオンライン文書を格納するために装備される。

- エサネットトランシーバ：CBPとGUIワークステーションが二重にされたエサネットインターフェースを通じてAMMに接続される。

- 専用のAMM端末：両方の端末コントローラ或はエサネットトランシーバが故障した時にコアにアクセスするために、プロセッサ複合体に直接に接続される。この端末は、GUIを持たず、MMLコマンドに対してのみ使用される。

5.2 APH

APHはATMU MLDから修正されたAWUである。これは図14に示される。速度適応兼BOPコントローラが排除され、エサネットコントローラとトランシーバによって置換される。エサネットコントローラは、メッセージをバッファ内に入れる。このプロセッサは、適当なATM見出し (仮想回路) を決定する。AALPは、メッセージをセルに変換する機能を遂行する。MLD IWUとは異なり、セルバッファは、直接にLPUに接続されるが、LPUは、セグメントがたまると直ちにビットをSONET媒体に送る。セルのLPUへの伝送をゲートするCLPは存在しない。

6. 結論

上の説明は本発明の単に一つの好ましい実施例を示すにすぎないことを理解されたい。当業者においては本発明の範囲から逸脱することなく様々な他の構成を考案できるものである。従って、本発明は、請求の範囲によってのみ限定されるものである。

付録 A

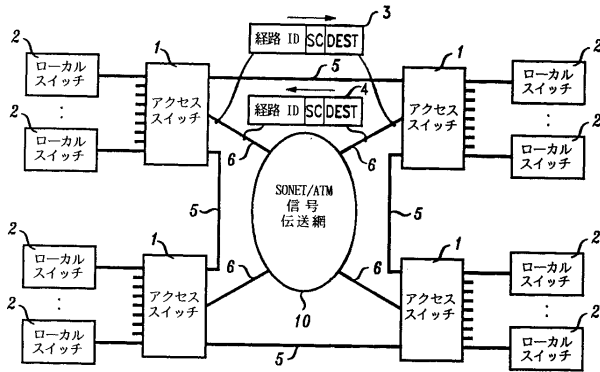
頭文字と略字

ALL	ATMアダプテーション層
AALP	ATMアダプテーション層プロセッサ
AAM	ATMアドレスマップ
AM	管理モジュール
AMM	ATM管理モジュール
APH	ATMパケットハンドラ
ATM	非同期転送モード
ATMU	ATMインターフェースユニット
ATMU CC	ATMU中央コントローラ
BOP	ビット本位プロトコル
CBP	共通広帯域プラットフォーム
CBR	定ビット速度 (トラヒック)
CCITT	国際電話電信標準に関する諮問委員会
CD ROM	コンパクトディスク読出し専用メモリ
CLP	セルリストプロセッサ
CONS	接続本位網サービス
CPI	CBPプロセッサ介入 (機能)
CRC	巡回冗長検査
CTS	制御タイムスロット

CWB	セル幅バッファ	
DACS	デジタルアクセス交差接続システム	
DCC	デジタル通信チャネル	
DS0	64キロビット / 秒PCM単一チャネル信号	
DS1	24のDS0信号から構成される信号	
DTU	デジタルトランクユニット	
EOC	埋込み動作チャネル	
FSR	設備シフトレジスタ	
GSM	グローバルSM	
GUI	グラフィックユーザインターフェース	10
HDCL	高レベルデータリンクコントローラ	
ISDN	統合サービスデジタル網	
IWU	インタワーキング（網間）ユニット	
LAPB	リンクアクセス手続き（タイプ）B	
LAPD	リンクアクセス手続き（タイプ）D	
LPD	ライン処理ユニット	
MCTSI	モジュールコントローラタイムスロットインタチェンジ	
MLD	メッセージ層デバイス	
MML	マンマシン言語	
MTP	メッセージ転送部分	20
NCT	網制御兼タイミング（リンク）	
NLI	NCTリンクインターフェース	
NNI	網ノードインターフェース	
OAM	動作管理保守	
OAMP	動作管理保守準備	
PCT	周辺装置の制御兼タイミグ（リンク）	
PH	プロトコルハンドラ	
PSU	パケット交換ユニット	
PVC	永久仮想回路	
SCCP	信号法制御兼接続部分	30
SCSI	小型コンピュータシステムのインターフェース	
（産業標準）		
SDH	同期デジタル階層	
SDL	信号法データリンク（SS7）	
SIU	SONETインターフェースユニット或はSMインターフェースユニット	
SM	交換モジュール	
SMDS	交換式メガビットデータスイッチ	
SMP	交換モジュールプロセッサ	
SONET	同期光網	
SR	シフトレジスタ	40
SS7	信号法システム（番号）7	
STM	同期時分割多重	
STP	信号転送ポイント	
STS	同期時間信号	
TSA	タイムスロット割り当て	
TSI	タイムスロットインタチェンジ	
VBR	可変ビット速度（トラヒック）	
VC	仮想回路	

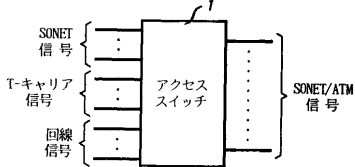
【図 1】

FIG. 1



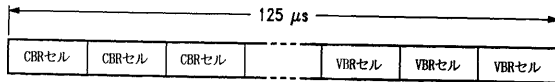
【図 2】

FIG. 2



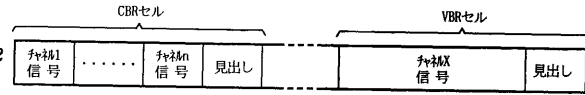
【図 3】

FIG. 3



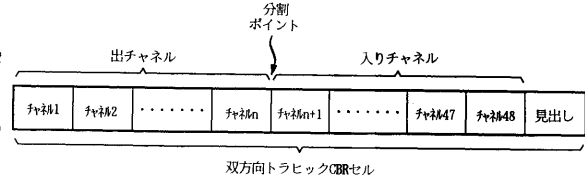
【図 4】

FIG. 4



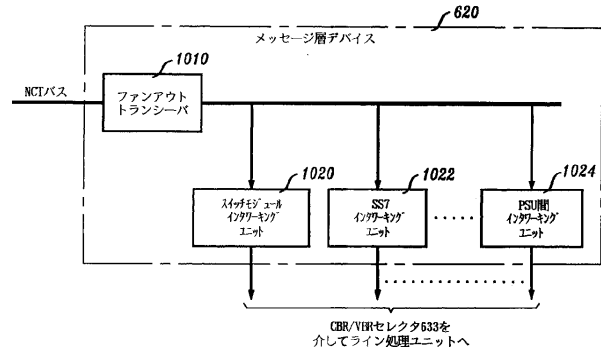
【図 5】

FIG. 5



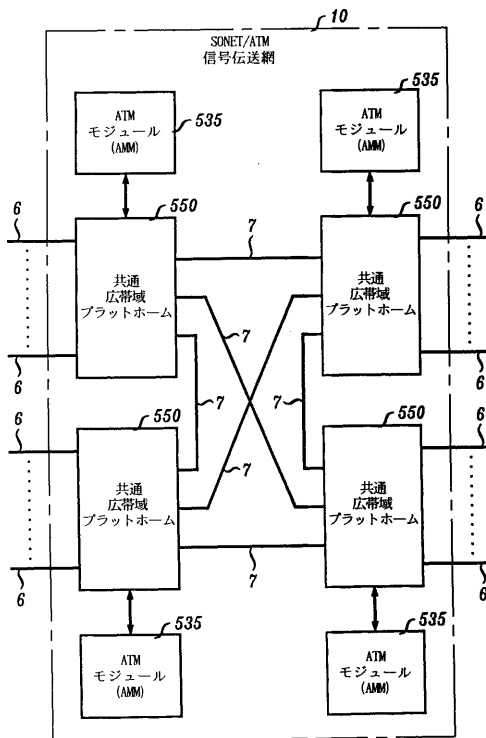
【図 12】

FIG. 12

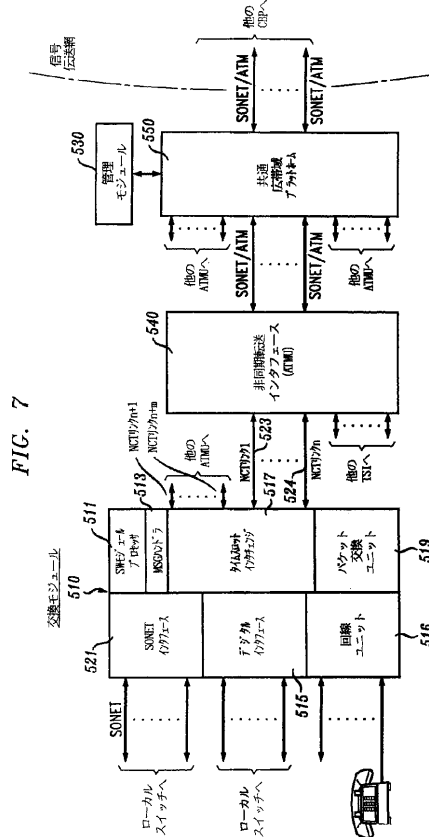


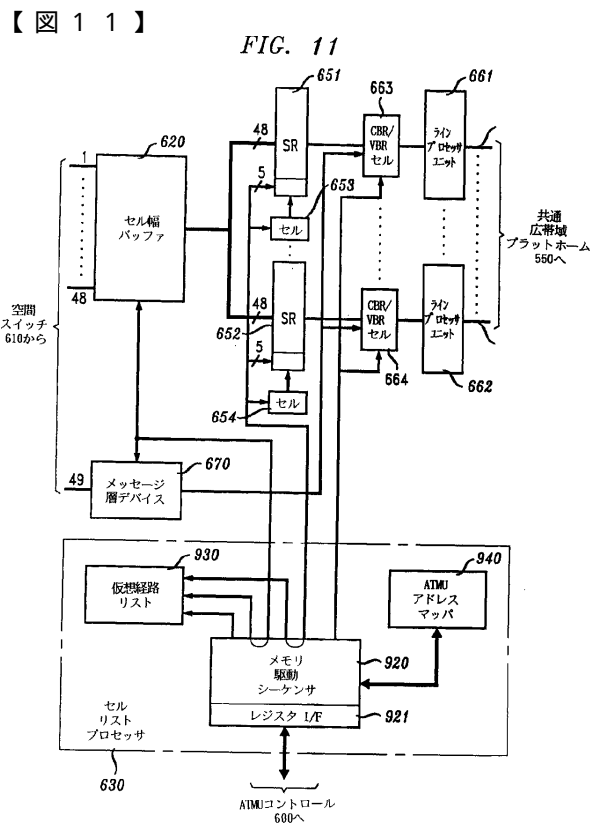
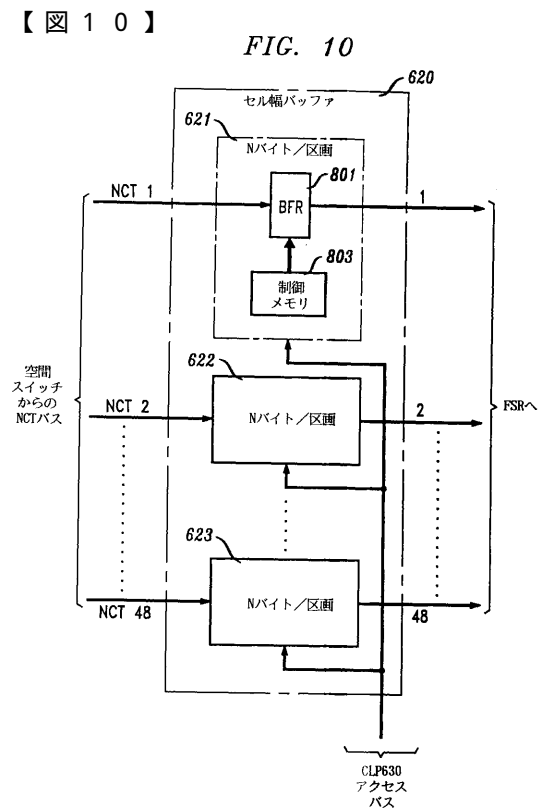
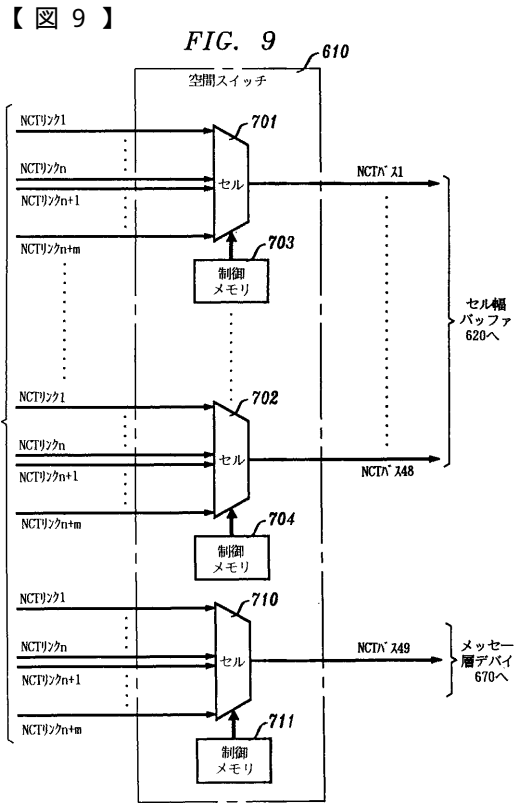
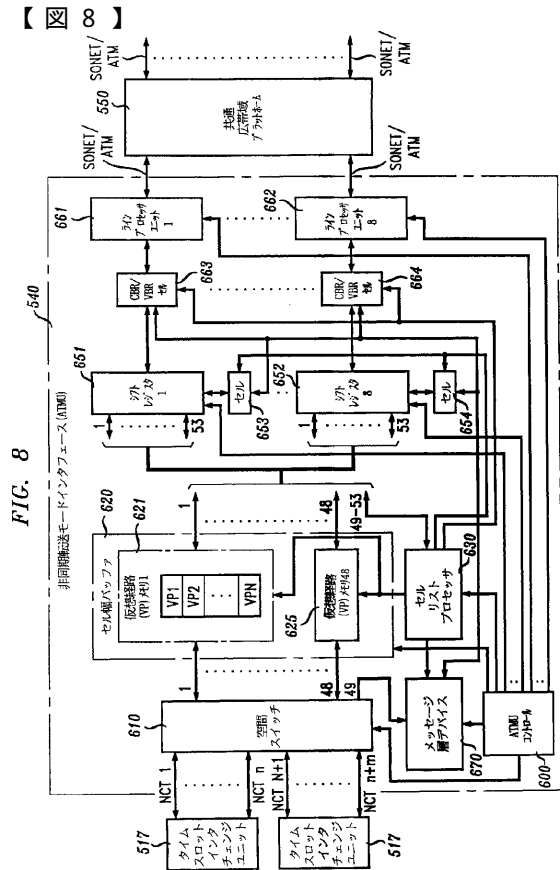
【図 6】

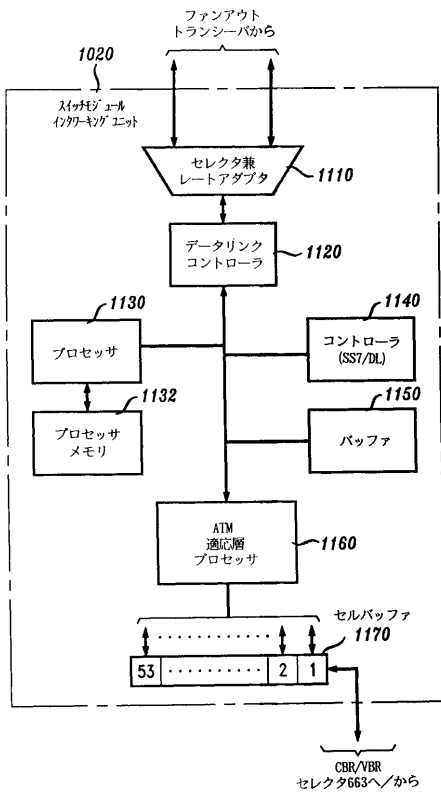
FIG. 6



【図 7】



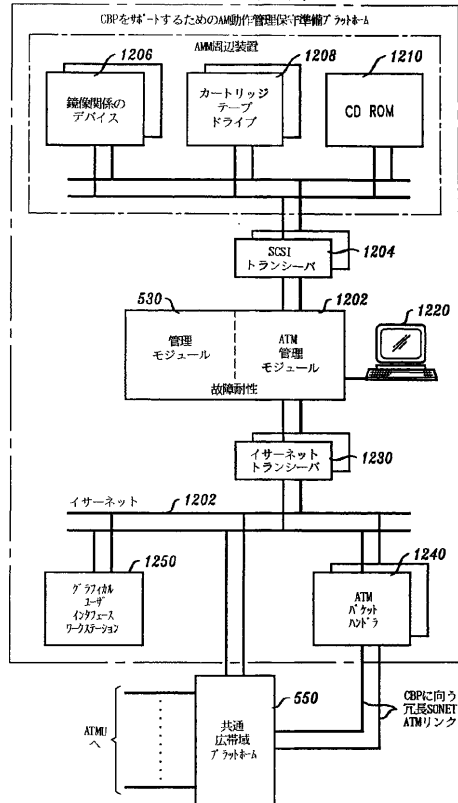
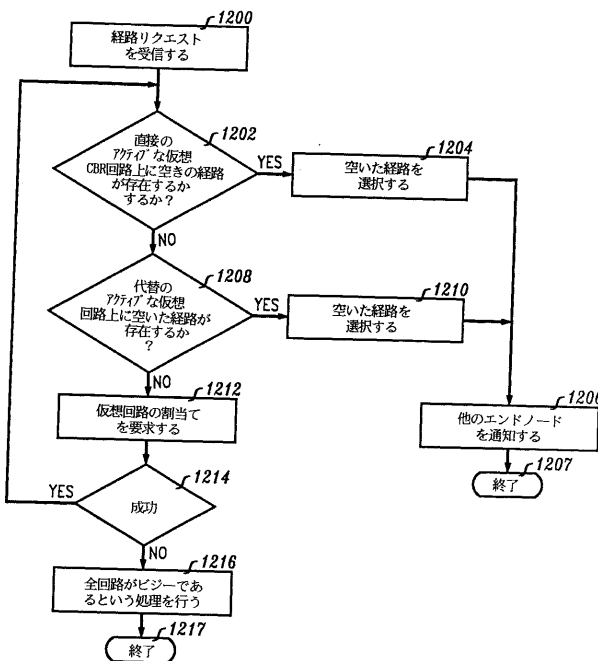
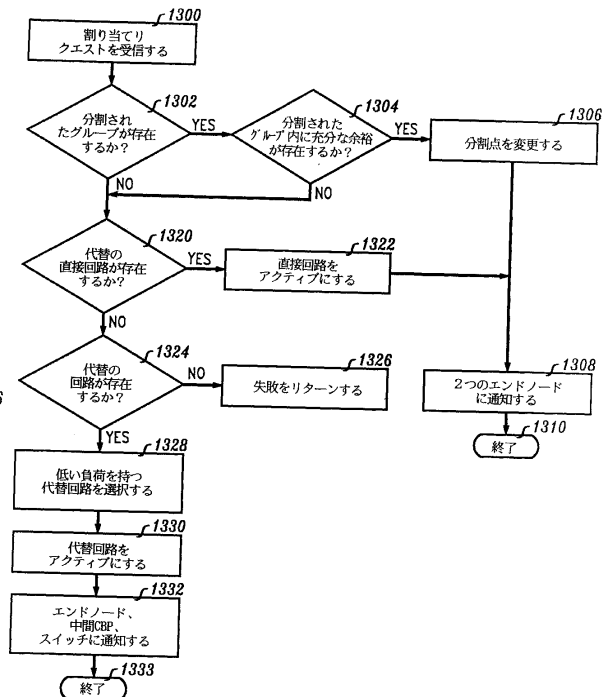


【図 13】
FIG. 13

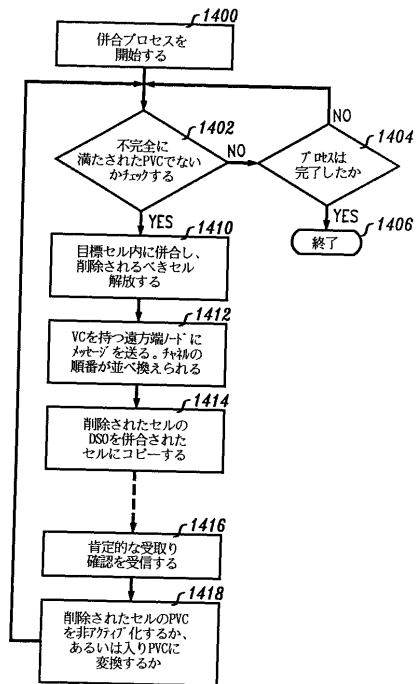
【図 14】

FIG. 14

AM/CRPシステムアーキテクチャ

【図 15】
FIG. 15【図 16】
FIG. 16

【図 17】
FIG. 17



フロントページの続き

(31)優先権主張番号 07/972,788

(32)優先日 平成4年11月6日(1992.11.6)

(33)優先権主張国 米国(US)

(31)優先権主張番号 07/972,789

(32)優先日 平成4年11月6日(1992.11.6)

(33)優先権主張国 米国(US)

(74)代理人 100091889

弁理士 藤野 育男

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100102808

弁理士 高梨 憲通

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100107401

弁理士 高橋 誠一郎

(74)代理人 100106183

弁理士 吉澤 弘司

(72)発明者 ヒラー, トーマス ロイド

アメリカ合衆国 6 0 1 3 7 イリノイズ, グレン エリン, シャグバーク レーン 3 エス 2 3
5

(72)発明者 フェラン, ジェームス ジョセフ

アメリカ合衆国 6 0 5 1 5 イリノイズ, ドーナーズ グローヴ, フォーティ ファースト ス
トリート 2 4 8

(72)発明者 ゾラ, メイヤー ジョセフ

アメリカ合衆国 6 0 3 0 2 イリノイズ, オーク パーク, ワシントン ブウルヴァード 6 0
1

合議体

審判長 佐藤 秀一

審判官 吉田 隆之

審判官 浜野 友茂

(56)参考文献 特開平3 - 1 0 5 4 2 (J P , A)

信学技報 I N 9 1 - 2

G l o b e c o m ' 8 9 p . 1 9 2 1 - 1 9 2 5

(58)調査した分野(Int.Cl.⁷, D B名)

H04L 12/56