

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3846766号
(P3846766)

(45) 発行日 平成18年11月15日(2006.11.15)

(24) 登録日 平成18年9月1日(2006.9.1)

(51) Int. Cl.

F I

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 J

G 1 1 C 11/407 (2006.01)

G 1 1 C 11/34 3 6 2 S

請求項の数 15 (全 18 頁)

(21) 出願番号	特願平10-272189	(73) 特許権者	390019839
(22) 出願日	平成10年9月25日(1998.9.25)		三星電子株式会社
(65) 公開番号	特開平11-328974		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成11年11月30日(1999.11.30)		C o . , L t d .
審査請求日	平成14年11月22日(2002.11.22)		大韓民国443-742京畿道水原市靈通
(31) 優先権主張番号	98-17779		区梅灘洞416
(32) 優先日	平成10年5月18日(1998.5.18)	(74) 代理人	100076428
(33) 優先権主張国	韓国(KR)		弁理士 大塚 康德
		(74) 代理人	100093908
			弁理士 松本 研一
		(72) 発明者	李永大
			大韓民国ソウル市城北区貞陵2洞432-
			2番地
		審査官	加藤 俊哉
			最終頁に続く

(54) 【発明の名称】 半導体メモリ装置及びその装置のデータ処理方法

(57) 【特許請求の範囲】

【請求項1】

複数個のメモリセルと、
 前記メモリセルに入力するデータを伝送するライトドライバと、
 センス増幅器制御信号に 응답して前記メモリセルから伝送されるデータを増幅して出力するセンス増幅器と、
 外部からのデータ入力信号をバッファして出力するデータ入力バッファと、
 外部からのアドレス入力信号をバッファして出力するアドレス入力バッファと、
 1又は2サイクル後のライト動作の実行時に前記アドレス入力バッファからのライトアドレスを1又は2サイクルだけ遅延させて出力するライトアドレス保持手段と、
 前記アドレス入力バッファからのリードアドレスと前記ライトアドレス保持手段からの1サイクル又は2サイクルだけ遅延されたライトアドレスとを選択的に出力する選択手段と、
 前記アドレス入力バッファからのリードアドレスと前記ライトアドレス保持手段からの1サイクル又は2サイクル遅延されたライトアドレスとを比較しその結果が同一であれば第1及び第2比較信号を発生する比較手段と、
 前記1サイクル後のライト動作の実行時は、前記第1比較信号を入力してバイパス0制御信号を発生し、前記2サイクル後のライト動作の実行時は、前記第1及び第2比較信号を入力してバイパス0、バイパス1、バイパス2、及びバイパス12制御信号を発生するバイパス制御信号発生手段と、

10

20

前記 1 サイクル後のライト動作の実行時は、第 1、第 2 制御信号を発生し、前記 2 サイクル後のライト動作の実行時は、第 1、第 2、第 3 制御信号を発生する制御信号発生手段と、

前記第 1 制御信号にตอบสนองして前記 1 又は 2 サイクルだけ遅延して入力されるデータ入力信号を伝送して第 1、第 2、第 3 信号を発生し、前記第 2 制御信号にตอบสนองして前記第 2 信号をラッチし、前記第 3 制御信号にตอบสนองして前記第 3 信号をラッチして前記ライトドライバに伝送するデータ入力保持手段と、

前記バイパス 0 制御信号にตอบสนองして前記第 1 信号を出力し、前記バイパス 1 及び 1 2 制御信号にตอบสนองして前記第 2 信号を出力し、前記バイパス 2 及び 1 2 制御信号にตอบสนองして前記第 3 信号を出力するデータ出力選択手段と、

10

1 又は 2 サイクル後のライトバイパス動作の実行時にデータ出力バッファ制御信号にตอบสนองして前記データ出力選択手段からのデータをラッチして外部に出力するデータ出力バッファと、

前記センス増幅器及び前記データ出力バッファを制御するための制御信号を発生するセンス増幅器及びデータ出力バッファ制御信号発生手段と、 を具備することを特徴とする半導体メモリ装置。

【請求項 2】

前記制御信号発生手段は、前記 1 サイクル後のライト動作の実行時は、ライト命令から 1 サイクル後にクロック信号と同期して前記第 1 制御信号を発生し、1 サイクル前にライト命令があれば第 2 制御信号を発生し、前記 2 サイクル後のライト動作の実行時は、ライト命令から 2 サイクル後に前記クロック信号と同期して前記第 1 制御信号を発生し、リード命令前 1 又は 2 サイクル前にリード命令があれば前記第 2 制御信号を発生し、リード命令前 1 及び 2 サイクル前に共にライト命令があれば前記第 3 制御信号を発生することを特徴とする請求項 1 に記載の半導体メモリ装置。

20

【請求項 3】

前記データ入力保持手段は、

前記第 1 制御信号にตอบสนองして前記データ入力バッファからのデータ入力信号を伝送する第 1 伝送手段と、

前記第 1 伝送手段の出力信号をラッチして前記第 1 信号を発生する第 1 ラッチと、

前記反転された第 1 制御信号にตอบสนองして前記第 1 信号を伝送する第 2 伝送手段と、

30

前記第 2 伝送手段の出力信号をラッチして前記第 2 信号を発生する第 2 ラッチと、

前記第 1 制御信号にตอบสนองして前記第 2 信号を伝送する第 3 伝送手段と、

前記第 3 伝送手段の出力信号をラッチする第 3 ラッチと、

前記反転された第 1 制御信号にตอบสนองして前記第 3 ラッチの出力信号を伝送する第 4 伝送手段と、

前記第 4 伝送手段の出力信号をラッチして第 3 信号を発生する第 4 ラッチと、

前記第 2 制御信号にตอบสนองして前記第 2 信号を伝送する第 5 伝送手段と、

前記第 3 制御信号にตอบสนองして前記第 3 信号を伝送する第 6 伝送手段と、

前記第 5 又は第 6 伝送手段からの信号をラッチする第 5 ラッチと、

を具備することを特徴とする請求項 1 に記載の半導体メモリ装置。

40

【請求項 4】

前記データ出力バッファは、

前記データ出力バッファ制御信号にตอบสนองして前記センス増幅器出力信号を第 1 出力データ対に出力するデータ出力バッファイネーブル手段と、

前記データ出力バッファイネーブル手段から出力される第 1 出力データ対を反転しラッチして第 2 出力データ対に出力する反転及びラッチ手段と、

前記反転及びラッチ手段の出力信号を反転して最終データ出力信号対を発生するデータ出力手段と、

を具備することを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 5】

50

前記データ出力選択手段は、
前記バイパス 1 制御信号にตอบสนองして前記第 2 信号を伝送する第 7 伝送手段と、
前記バイパス 2 制御信号にตอบสนองして前記第 3 信号を伝送する第 8 伝送手段と、
前記第 7 及び第 8 伝送手段の出力信号をラッチする第 6 ラッチと、
前記バイパス 1 2 制御信号にตอบสนองして前記第 6 ラッチにラッチされ反転された信号を前記データ出力バッファの第 2 出力データ対に伝送する第 9 伝送手段と、
前記バイパス 0 制御信号の反転された信号と前記クロック信号との論理和の反転に相当する信号にตอบสนองして前記第 1 信号を反転した信号を前記データ出力バッファの第 2 出力データ対に伝送する第 10 伝送手段と、
を具備することを特徴とする請求項 1 又は請求項 4 に記載の半導体メモリ装置。

10

【請求項 6】

前記センス増幅器及びデータ出力バッファ制御信号発生手段は、
前記データ出力バッファの第 1 出力データ対からの信号の論理和の反転を演算する第 1 反転論理和手段と、
センス増幅器イネーブル信号及び前記第 1 反転論理和手段の出力信号にตอบสนองして "ロー" レベルの信号を伝送し、前記第 1 反転論理和手段の出力信号又は前記センス増幅器イネーブル信号にตอบสนองして "ハイ" レベルの信号を伝送するセンス増幅器イネーブル手段と、
前記センス増幅器イネーブル手段の出力信号を反転する反転手段と、
前記バイパス 0 とバイパス 1 2 制御信号との論理和の反転を演算する第 2 反転論理和手段と、
前記反転手段と第 2 反転論理和手段の出力信号との論理積により前記センス増幅器を制御するセンス増幅器制御信号発生手段と、
前記センス増幅器制御信号の反転により前記データ出力バッファを制御するデータ出力バッファ制御信号発生手段と、
を具備することを特徴とする請求項 1 又は請求項 4 に記載の半導体メモリ装置。

20

【請求項 7】

複数個のメモリセルと、
前記メモリセルにデータを伝送するライトドライバと、
センス増幅器制御信号にตอบสนองして前記メモリセルから伝送されるデータを増幅して出力するセンス増幅器と、
外部からのデータ入力信号をバッファして出力するデータ入力バッファと、
外部からのアドレス入力信号をバッファして出力するアドレス入力バッファと、
データ出力バッファ制御信号にตอบสนองして前記センス増幅器から出力されるデータをバッファして出力するデータ出力バッファと、
を具備する半導体メモリ装置において、

30

1 サイクル後のライト動作の実行時に前記アドレス入力バッファから出力されるライトアドレスを 1 サイクルだけ遅延させて出力し、リード命令入力時に入力されるリードアドレスと前記ライトアドレスを比較しその結果が同一であればバイパス 1 及びバイパス 1 2 制御信号を発生し、2 サイクル後のライト動作の実行時に前記アドレス入力バッファから出力されるライトアドレスを 2 サイクルだけ遅延させて出力し、リード命令入力時に入力されるリードアドレスと前記 1 又は 2 サイクル前のライトアドレスとを比較しその結果が同一であればバイパス 0、バイパス 1、バイパス 2、及びバイパス 1 2 制御信号を発生するバイパス制御信号発生手段と、

40

前記 1 サイクル後のライト動作の実行時に前記データ入力バッファから入力されるデータ入力信号を第 1 制御信号にตอบสนองして第 1、第 2、及び第 3 信号に発生し、第 2 制御信号にตอบสนองして前記第 2 信号を前記ライトドライバに出力し、前記バイパス 1 及びバイパス 1 2 制御信号にตอบสนองして前記第 2 信号を前記データ出力バッファに出力し、前記 2 サイクル後のライト動作の実行時に前記データ入力バッファから入力されるデータ入力信号を前記第 1 制御信号にตอบสนองして前記第 1、第 2、及び第 3 信号として発生し、前記第 2 又は第 3 制御信号にตอบสนองして前記第 2 又は 3 信号を前記ライトドライバに出力し、前記バイパス 0

50

制御信号にตอบสนองして前記第 1 信号を前記データ出力バッファに出力し、前記バイパス 1 及びバイパス 1 2 制御信号にตอบสนองして前記第 2 信号を前記データ出力バッファに出力し、前記バイパス 2 及びバイパス 1 2 制御信号にตอบสนองして前記第 3 信号を前記データ出力バッファに出力するバイパス制御手段と、

を具備することを特徴とする半導体メモリ装置。

【請求項 8】

前記バイパス制御信号発生手段は、

前記 1 又は 2 サイクル後のライト時に前記アドレス入力バッファからのライトアドレスを 1 又は 2 サイクルだけ遅延させて出力するライトアドレス保持手段と、

前記アドレス入力バッファからのリードアドレスと前記ライトアドレス保持手段からの 1 又は 2 サイクルだけ遅延されたライトアドレスを選択的に出力する選択手段と、

前記アドレス入力バッファからのリードアドレスと前記ライトアドレス保持手段からの 1 又は 2 サイクルだけ遅延されたライトアドレスとを比較しその結果同一であれば第 1 及び第 2 比較信号を発生する比較手段と、

前記 1 サイクル後のライト動作の実行時は前記第 1 比較信号を入力してバイパス 0 制御信号を発生し、前記 2 サイクル後のライト動作の実行時は前記第 1、第 2 比較信号を入力してバイパス 0、バイパス 1、バイパス 2、及びバイパス 1 2 制御信号を発生するバイパス制御信号発生手段と、

を具備することを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 9】

前記バイパス制御手段は、

前記 1 サイクル後のライト動作の実行時は前記第 1 及び第 2 制御信号を発生し、前記 2 サイクル後のライト動作の実行時は前記第 1、第 2、第 3 制御信号を発生する制御信号発生手段と、

前記第 1 制御信号にตอบสนองして前記第 1 又は第 2 サイクルだけ遅延されて入力されるデータ入力信号を伝送して第 1、2、3 信号を発生し、前記第 2 制御信号にตอบสนองして前記第 2 信号をラッチし、前記第 3 制御信号にตอบสนองして前記第 3 信号をラッチして前記ライトドライバに伝送するデータ入力保持手段と、

前記バイパス 0 制御信号にตอบสนองして前記第 1 信号を出力し、前記バイパス 1 及び 1 2 制御信号にตอบสนองして前記第 2 信号を出力し、前記バイパス 2 及び 1 2 制御信号にตอบสนองして前記第 3 信号を出力するデータ出力選択手段と、

前記センス増幅器及び前記データ出力バッファを制御するための制御信号を発生するセンス増幅器及びデータ出力バッファ制御信号発生手段と、

を具備することを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 10】

前記制御信号発生手段は、前記 1 サイクル後のライト動作の実行時は、ライト命令から 1 サイクル後にクロック信号と同期して前記第 1 制御信号を発生し、1 サイクル前にライト命令があれば前記第 2 制御信号を発生し、前記 2 サイクル後のライト動作の実行時は、ライト命令から 2 サイクル後に前記クロック信号と同期して前記第 1 制御信号を発生し、リード命令の 1 又は 2 サイクル前にリード命令があれば前記第 2 制御信号を発生し、リード命令の 1 及び 2 サイクル前に共にライト命令があれば前記第 3 制御信号を発生することを特徴とする請求項 9 に記載の半導体メモリ装置。

【請求項 11】

前記データ入力保持手段は、

前記第 1 制御信号にตอบสนองして前記データ入力バッファからのデータ入力信号を伝送する第 1 伝送手段と、

前記第 1 伝送手段の出力信号をラッチして前記第 1 信号を発生する第 1 ラッチと、

前記反転された第 1 制御信号にตอบสนองして前記第 1 信号を伝送する第 2 伝送手段と、

前記第 2 伝送手段の出力信号をラッチして前記第 2 信号を発生する第 2 ラッチと、

前記第 1 制御信号にตอบสนองして前記第 2 信号を伝送する第 3 伝送手段と、

10

20

30

40

50

前記第 3 伝送手段の出力信号をラッチする第 3 ラッチと、
前記反転された第 1 制御信号にตอบสนองして前記第 3 ラッチの出力信号を伝送する第 4 伝送手段と、

前記第 4 伝送手段の出力信号をラッチして第 3 信号を発生する第 4 ラッチと、
前記第 2 制御信号にตอบสนองして前記第 2 信号を伝送する第 5 伝送手段と、
前記第 3 制御信号にตอบสนองして前記第 3 信号を伝送する第 6 伝送手段と、
前記第 5 又は第 6 伝送手段からの信号をラッチする第 5 ラッチと、
を具備することを特徴とする請求項 9 に記載の半導体メモリ装置。

【請求項 12】

前記データ出力バッファは、
前記データ出力バッファ制御信号にตอบสนองして前記センス増幅器出力信号を第 1 出力データ対に出力するデータ出力バッファイネーブル手段と、
前記データ出力バッファイネーブル手段から出力される第 1 出力データ対を反転しラッチして第 2 出力データ対に出力する反転及びラッチ手段と、
前記反転及びラッチ手段の出力信号を反転して最終データ出力信号対を発生するデータ出力手段と、
を具備することを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 13】

前記データ出力選択手段は、
前記バイパス 1 制御信号にตอบสนองして前記第 2 信号を伝送する第 7 伝送手段と、
前記バイパス 2 制御信号にตอบสนองして前記第 3 信号を伝送する第 8 伝送手段と、
前記第 7 及び第 8 伝送手段の出力信号をラッチする第 6 ラッチと、
前記バイパス 1 2 制御信号にตอบสนองして前記第 6 ラッチにラッチされ反転された信号を前記データ出力バッファの第 2 出力データ対に伝送する第 9 伝送手段と、
前記バイパス 0 制御信号の反転された信号と前記クロック信号との論理和の反転に相当する信号にตอบสนองして前記第 1 信号を反転した信号を前記データ出力バッファの第 2 出力データ対に伝送する第 10 伝送手段と、
を具備することを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 14】

前記センス増幅器及びデータ出力バッファ制御信号発生手段は、
前記データ出力バッファの第 1 出力データ対からの信号の論理和の反転を演算する第 1 反転論理和手段と、
センス増幅器制御信号及び前記第 1 反転論理和手段の出力信号にตอบสนองして "ロー" レベルの信号を伝送し、前記第 1 反転論理和手段の出力信号又は前記センス増幅器制御信号にตอบสนองして "ハイ" レベルの信号を伝送するセンス増幅器イネーブル手段と、
前記センス増幅器イネーブル手段の出力信号を反転する反転手段と、
前記バイパス 0 及びバイパス 1 2 制御信号の論理和の反転を演算する第 2 反転論理和手段と、
前記反転手段及び第 2 反転論理和手段の出力信号の論理積を演算して前記センス増幅器制御信号を発生するセンス増幅器制御信号発生手段と、
前記センス増幅器制御信号を反転して前記データ出力バッファ制御信号を発生するデータ出力バッファ制御信号発生手段と、
を具備することを特徴とする請求項 9 又は 12 に記載の半導体メモリ装置。

【請求項 15】

複数個のメモリセルと、
前記メモリセルにデータを伝送するライトドライバと、
センス増幅器制御信号にตอบสนองして前記メモリセルから伝送されるデータを増幅して出力するセンス増幅器と、
外部からのデータ入力信号をバッファして出力するアドレス入力バッファと、
データ出力バッファ制御信号にตอบสนองして前記センス増幅器から出力されるデータをバッ

10

20

30

40

50

ファして出力するデータ出力バッファと、

を具備する半導体メモリ装置のデータ処理方法において、

1 サイクル後のライト動作の実行時に前記アドレス入力バッファから出力されるライトアドレスを1 サイクルだけ遅延させて出力し、リード命令入力時に入力されるリードアドレスと前記ライトアドレスとを比較しその結果同一であればバイパス1 及びバイパス1 2 制御信号を発生し、2 サイクル後のライト動作時に前記アドレス入力バッファから出力されるライトアドレスを2 サイクルだけ遅延させて出力し、リード命令入力時に入力されるリードアドレスと前記1 又は2 サイクル前のライトアドレスを比較しその結果同一であればバイパス0、バイパス1、バイパス2、及びバイパス1 2 制御信号を発生する段階と、

前記1 サイクル後のライト動作の実行時に前記データ入力バッファから入力されるデータ入力信号を第1 制御信号に应答して第1、第2、第3 信号に発生し、第2 制御信号に应答して前記第2 信号を前記ライトドライバに出力し、前記バイパス1 及びバイパス1 2 制御信号に应答して前記第2 信号を前記データ出力バッファに出力し、前記2 サイクル後のライト動作の実行時に前記データ入力バッファから入力されるデータ入力信号を前記第1 制御信号に应答して前記第1、第2、第3 信号として発生し、前記第2 又は第3 制御信号に应答して前記第2 又は第3 信号を前記ライトドライバに出力し、前記バイパス0 制御信号に应答して前記第1 信号を前記データ出力バッファに出力し、前記バイパス1 及びバイパス1 2 制御信号に应答して前記第2 信号を前記データ出力バッファに出力し、前記バイパス2 及びバイパス1 2 制御信号に应答して前記第3 信号を前記データ出力バッファに出力する段階と、

を具備することを特徴とする半導体メモリ装置のデータ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体メモリ装置に係り、より詳しくは、1 又は2 サイクル後のライト動作を実行する機能を有し、ライト後のリード動作の実行時にライトアドレスとリードアドレスが同一である場合に入力データをバイパスすることができる半導体メモリ装置及びその装置のデータ処理方法に関する。

【0002】

【従来の技術】

従来、1 又は2 サイクル後のライト動作を実行することができる半導体メモリ装置では、ライト動作の実行時に外部から入力されるライトアドレスを装置内部で1 又は2 サイクルだけ遅延させてアドレスデコーダに入力してワードライン及びビットラインを選択し、ライトアドレス入力から1 サイクル又は2 サイクルだけ遅延されて外部から入力されるデータ入力信号をライトドライバに伝送して1 又は2 サイクル後のライト動作を行う。即ち、1 又は2 サイクル後のライト動作とは、半導体メモリ装置がライトアドレスを入力し、該ライトアドレスの入力から1 又は2 サイクルだけ遅延して外部からのライトデータを入力してライト動作を行うことをいう。

【0003】

【発明が解決しようとする課題】

ところが、従来の半導体メモリ装置は、1 又は2 サイクル後のライト機能を有するが、多様なバイパス機能は有しない。具体的には、従来の半導体メモリ装置は、リード命令の2 サイクル前にライト命令があるか、リード命令の1 又は2 サイクル前にライト命令がある場合に、ライトデータをメモリセルに書込まずにデータ出力バッファを通じて外部に出力するバイパス機能を具備している。しかし、その詳細回路構成は公開されていない。また、従来の半導体メモリ装置は、ライト命令後に直ぐにリード命令があり、そのライトアドレスとリードアドレスとが同一である場合のバイパス機能は有しない。

【0004】

本発明の目的は、例えば、多様なバイパス機能を有し1 サイクル又は2 サイクル後のライト動作を実行することができる半導体メモリ装置及びその装置のデータ処理方法を提供す

10

20

30

40

50

ることにある。

【 0 0 0 5 】

【課題を解決するための手段】

前記目的を達成するため本発明に係る半導体メモリ装置は、複数個のメモリセル、それらメモリセルに入力されるデータを伝送するライトドライバ、センス増幅器制御信号にตอบสนองしてそれらメモリセルから伝送されたデータを増幅して出力するセンス増幅器、外部からのデータ入力信号をバッファして出力するデータ入力バッファ、外部からのアドレス入力信号をバッファして出力するアドレス入力バッファ、1又は2サイクル後のライト時に前記アドレス入力バッファからのライトアドレスを1又は2サイクルだけ遅延させて出力するライトアドレス保持手段、前記アドレス入力バッファからのリードアドレスと前記ライトアドレス保持手段からの1サイクル又は2サイクルだけ遅延されたライトアドレスを選択的に出力する選択手段、前記アドレス入力バッファからのリードアドレスと前記ライトアドレス保持手段からの1サイクル又は2サイクルだけ遅延されたライトアドレスを比較して、同一であれば第1、第2比較信号を発生する比較手段、前記1サイクル後のライト動作の実行時は前記第1比較信号を入力してバイパス1、バイパス12の制御信号を発生し、前記2サイクル後のライト動作の実行時は前記第1、第2比較信号を入力してバイパス0、バイパス1、バイパス2及びバイパス12制御信号を発生するバイパス制御信号発生手段、前記1サイクル後のライト動作の実行時は第1、第2制御信号を発生し、前記2サイクル後のライト動作の実行時は第1、第2、第3制御信号を発生する制御信号発生手段、前記第1制御信号にตอบสนองして前記1又は2サイクルだけ遅延されて入力されるデータ入力信号を伝送して第1、第2、第3信号を発生し、前記第2制御信号にตอบสนองして前記第2信号をラッチし、前記第3制御信号にตอบสนองして前記第3信号をラッチして前記ライトドライバに伝送するデータ入力保持手段、前記バイパス0制御信号にตอบสนองして前記第1信号を出力し、前記バイパス1及び12制御信号にตอบสนองして前記第2信号を出力し、前記バイパス2及び12制御信号にตอบสนองして前記第3信号を出力するデータ出力選択手段、1又は2サイクル後のライトバイパス動作の実行時にデータ出力バッファ制御信号にตอบสนองして前記データ出力選択手段からのデータをラッチして外部に出力するデータ出力バッファ、及び前記センス増幅器ディスエーブル信号と前記データ出力バッファを制御する制御信号を発生するセンス増幅器及びデータ出力バッファ制御信号発生手段を具備することを特徴とする。

【 0 0 0 6 】

前記他の目的を達成するための本発明に係る半導体メモリ装置のデータ処理方法は、複数個のメモリセルと、それらメモリセルにデータを伝送するライトドライバと、センス増幅器制御信号にตอบสนองしてそれら複数個のメモリセルから伝送されるデータを増幅して出力するセンス増幅器と、外部からのデータ入力信号をバッファして出力するアドレス入力バッファと、データ出力バッファ制御信号にตอบสนองして前記センス増幅器から出力されるデータをバッファして出力するデータ出力バッファとを具備する半導体メモリ装置のデータ処理方法において、1サイクル後のライト動作の実行時に前記アドレス入力バッファから出力されるライトアドレスを1サイクルだけ遅延させて出力し、リード命令入力時に入力されるリードアドレスと前記ライトアドレスを比較しその結果同一であればバイパス1及びバイパス12制御信号を発生し、2サイクル後のライト動作時に前記アドレス入力バッファから出力されるライトアドレスを2サイクルだけ遅延させて出力し、リード命令入力時に入力されるリードアドレスと前記1又は2サイクル前のライトアドレスを比較しその結果同一であればバイパス0、バイパス1、バイパス2、及びバイパス12制御信号を発生する段階と、前記1サイクル後のライト動作の実行時に前記データ入力バッファから入力されるデータ入力信号を第1制御信号にตอบสนองして第1、第2、第3信号に発生し、第2制御信号にตอบสนองして前記第2信号を前記ライトドライバに出力し、前記バイパス1及びバイパス12制御信号にตอบสนองして前記第2信号を前記データ出力バッファに出力し、前記2サイクル後のライト動作の実行時に前記データ入力バッファから入力されるデータ入力信号を前記第1制御信号にตอบสนองして前記第1、第2、第3信号に発生し、前記第2又は第3制御

10

20

30

40

50

信号に 응답して前記第 2 又は第 3 信号を前記ライトドライバに出力し、前記バイパス 0 制御信号に 응답して前記第 1 信号を前記データ出力バッファに出力し、前記バイパス 1 及びバイパス 1 2 制御信号に 응답して前記第 2 信号を前記データ出力バッファに出力し、前記バイパス 2 及びバイパス 1 2 制御信号に 응답して前記第 3 信号を前記データ出力バッファに出力する段階とを具備することを特徴とする。

【 0 0 0 7 】

【 発明の実施の形態 】

以下、図面を参照しながら本発明の好適な実施の形態について説明する。

【 0 0 0 8 】

図 1 は、本発明の好適な実施の形態に係る半導体メモリ装置の構成を示すブロック図である。この半導体メモリ装置は、メモリセル10-1、10-2、...10-n、プリチャージ及び等化回路12-1,12-2,...12n、行アドレスデコーダ14、列選択スイッチ16-1,16-2,...16-n、列アドレスデコーダ18、ライトドライバ20、センス増幅器22、データ出力バッファ24、データ入力バッファ26、アドレス入力バッファ28、マルチプレクサ30、レジスタ32、比較回路34、バイパス合算器36,38、バイパス制御信号発生回路40、データ入力レジスタ制御回路42、データ入力レジスタ44、伝送ゲート46,48、及びラッチ50から構成される。

10

【 0 0 0 9 】

以下、この半導体メモリ装置の各部の機能を説明する。

【 0 0 1 0 】

メモリセル10-1,10-2,...10-nは、ワードライン選択信号WL1,WL2,...,WLnと列選択信号Y1,Y2,...,Ynに 응답して選択されて、ビットライン対BL1,BL1B、BL2,BL2B、...、BLn,BLnBのデータを入力するか（ライト）、ビットライン対にデータを出力する（リード）。プリチャージ及び等化回路12-1,12-2,...12-nは、リード動作時にビットライン対をプリチャージし等化する。

20

【 0 0 1 1 】

行アドレスデコーダ14は、行アドレスXをデコーディングしてワードライン選択信号を発生する。列選択スイッチ16-1,16-2,...16-nは、列選択信号に 응답してビットライン対とデータライン対DL,DLBと間のデータ伝送を制御する。列アドレスデコーダ18は、列アドレスYをデコーディングして列選択信号を発生する。ライトドライバ20は、入力されるデータをデータライン対に伝送する。

30

【 0 0 1 2 】

センス増幅器22は、データライン対に伝送されるデータを増幅して出力する。データ出力バッファ24は、データをバッファして出力データDOUTを発生する。データ入力バッファ26は、外部から入力されるデータDINをバッファする。アドレス入力バッファ28は、クロック信号XCKに同期して生成される信号KINAに 응답して外部から入力されるアドレスXAiをバッファしてリードアドレスRA及びライトアドレスWAを出力する。

【 0 0 1 3 】

レジスタ32は、信号KINA、Pweに 응답してアドレス入力バッファ28の出力信号WAをラッチし、これを 1 サイクルだけ遅延させて信号WA1を発生し、信号Pweに 응답して信号WA1を更に 1 サイクルだけ遅延させて信号WA2を発生する。即ち、信号WA1は、信号KINA、Pweに 응답して 1 サイクル分パイプラインされた信号であり、信号WA2は、信号Pweに 응답して 2 サイクルパイプラインされた信号である。そして、信号Pweはライト時のライトイネーブル信号とクロック信号により発生される。

40

【 0 0 1 4 】

これにより、 1 サイクル後のライト時は信号WA1がマルチプレクサ30に出力され、 2 サイクル後のライト時は信号WA2がマルチプレクサ30に出力される。マルチプレクサ30は、信号Prdに 응답してリードアドレスRAを出力し、信号Pweに 응답してレジスタ32から出力されるライトアドレスを出力する。信号Prdは、リード時のリードイネーブル信号とクロック信号により生成される。

【 0 0 1 5 】

50

比較回路34は、信号WA1とリードアドレスを比較して、両者が同一であれば信号SCHR1を発生し、信号WA2とリードアドレスを比較して、両者が同一であれば信号SCHR2を発生する。バイパス合算器36は、リード信号SRDと信号SCHR1を合算して信号SBP0を発生する。バイパス合算器38は、リード信号SRDと信号SCHR2を合算して信号SBP1を発生する。バイパス制御信号発生回路40は、ライトイネーブル信号にตอบสนองしてバイパス制御信号BP0,BP1,BP2,BP12を発生するが、1サイクル後のライト動作の実行時は、バイパス1信号BP1を発生し、2サイクル後の動作の実行時は該当するバイパス制御信号を発生する。即ち、バイパス制御信号発生回路40は、バイパス0動作の実行時はBP0を発生し、バイパス1動作の実行時はBP1,BP12を発生し、バイパス2動作の実行時はBP2,BP12を発生する。

【0016】

10

データ入力レジスタ制御回路42は、ライトイネーブル信号WEを入力して制御信号PDIN,PDIN1,PDIN2を発生する。データ入力レジスタ制御回路42は、1サイクル後のライト動作を実行するために、ライト命令の1サイクル後のクロック信号と同期して信号PDINを発生し、ライト命令の1サイクル後にリード命令があれば信号PDIN1を発生する。また、データ入力レジスタ制御回路42は、2サイクル後のライト動作を行うために、ライト命令の2サイクル後のクロック信号と同期して信号PDINを発生し、ライト命令の1サイクル後或いは2サイクル後にリード命令があれば信号PDIN1を発生し、1サイクル前と2サイクル前に共にライト命令があれば信号PDIN2を発生する。

【0017】

データ入力レジスタ44は、信号PDINにตอบสนองしてデータ入力信号DINを伝送しラッチして信号DR0,DR1,DR2をデータ出力マルチプレクサ52に出力する。伝送ゲート46は信号PDIN1にตอบสนองして信号DR1を伝送する。伝送ゲート48は信号PDIN2にตอบสนองして信号DR2を伝送する。ラッチ50は伝送ゲート46,48の出力信号をラッチしてライトドライバ20に出力する。

20

【0018】

データ出力マルチプレクサ52は、バイパス制御信号BP0,BP1,BP2,BP12にตอบสนองして信号DR0,DR1,DR2の中の1つをデータ出力バッファ24に出力する。

【0019】

図1の構成で、レジスタ32、比較回路34、バイパス加算器36,38及びバイパス制御信号発生回路40は、バイパス制御信号を発生するための回路構成であり、データ入力レジスタ制御回路42、データ入力レジスタ44,伝送ゲート46,48、ラッチ50及びデータ出力マルチプレクサ52は、直接的にバイパス動作を制御する回路構成である。

30

【0020】

図2は、本発明の好適な実施の形態に係る半導体メモリ装置のデータ入力レジスタ44の回路図である。このデータ入力レジスタ44は、インバータ62,66,70,80、伝送ゲート60,64,68,78及びラッチ72,74,76,82から構成されている。

【0021】

伝送ゲート60,68は、"ロー"レベルの信号PDINにตอบสนองして、データ入力信号DIN、信号DR1をそれぞれ伝送する。ラッチ72,76は、伝送ゲート60,68を通じて伝送される信号をそれぞれラッチする。伝送ゲート64,78は、"ハイ"レベルの信号PDINにตอบสนองして、信号DR0、ラッチ76にラッチされた信号をそれぞれ伝送する。ラッチ74,82は、伝送ゲート64,78を通じて伝送される信号をそれぞれラッチする。

40

【0022】

図2に示す回路では、信号PDINが"ロー"レベルの期間に、データ入力信号DIN、ラッチ74に保持されたデータが伝送ゲート60,68にそれぞれ伝送され、"ハイ"レベルの期間に、ラッチ72,76に保持されたデータが信号DR1,DR2として出力される。即ち、図2に示す回路は、バイパス0、バイパス1、バイパス2機能の実行時に、信号DR0,DR1,DR2の中の1つをデータ出力マルチプレクサ52に出力する。

【0023】

バイパス0機能は、ライト命令後に同一のアドレスのリード命令がある場合の機能、バイパス1機能は、ライト、リード、リード命令が順に実行され、ライトアドレスと最後のリ

50

ードアドレスが同一の場合の機能、バイパス 2 機能は、ライト、ライト、リード命令が順に実行され、始めのライトアドレスとリードアドレスが同一の場合の機能をいう。

【 0 0 2 4 】

伝送ゲート46は、信号PDINに応答して信号DR1を伝送し、伝送ゲート48は信号PDIN2に
応答して信号DR2を伝送する。そして、ラッチ50は、伝送ゲート46,48の出力信号をラッチして
ライトドライバ20に出力する。即ち、データ入力レジスタ44の出力信号DR1,DR2を入力す
る伝送ゲート46,48とラッチ50は、1又は2サイクル後のライト動作を実行する回路であ
る。

【 0 0 2 5 】

図3は、本発明の好適な実施の形態に係る半導体メモリ装置のデータ出力バッファ24の回
路図である。このデータ出力バッファ24は、PMOSトランジスタ90,92,94,108,110,114,116
、NMOSトランジスタ96,98,100,102,112,118、インバータ104,106,120,122,124,126,134
、138、NORゲート128,130、及びNANDゲート132,136から構成されている。

10

【 0 0 2 6 】

PMOSトランジスタ90,92,94及びNMOSトランジスタ96,98,100,102から構成されたイネー
ブル回路は、ライト動作の実行時は、イネーブル信号KDPRECBが"ハイ"レベルであるためPMO
Sトランジスタ90がオフされ、NMOSトランジスタ100,102がオンされてデータライン対DTA,
DTABを"ロー"レベルにしてデータ信号DTA、DTABを維持する。一方、リード動作の実行時
は、イネーブル信号KDPRECBが"ロー"レベルであるためPMOSトランジスタ90がオンされ、N
MOSトランジスタ100,102がオフされてセンス増幅器出力信号SAS,SASBがそれぞれデータラ
イン対DTA,DTABに伝送される。

20

【 0 0 2 7 】

インバータ104,106、PMOSトランジスタ108,110,114,116、NMOSトランジスタ112,118、
及びラッチ120,122から構成された回路は、ライト動作の実行時はデータライン対DTA,DTA
Bのデータの全てが"ロー"レベルであるためPMOSトランジスタ110,116及びNMOSトランジ
スタ112,118の全てがオフされて、データライン対DTBB,DTBにはラッチ120,122にラッチされ
たデータが維持される。一方、リード動作の遂行時は、データライン対DTA,DTABに伝送さ
れたデータをそれぞれ反転してデータライン対DTAA,DTBに伝送する。

【 0 0 2 8 】

インバータ124,126及びNORゲート128,130から構成された回路は、クロックXCKと同期し
て信号KDATAによりデータライン対DTBB,DTBに伝送されたデータをそれぞれ反転してデー
タライン対DTC,DTCBに出力する。即ち、この回路は、信号KDATAが"ロー"レベルから"ハイ
"レベルに遷移するとき、データライン上(DTBB,DTB)に伝送されたデータをそれぞれ反転
してデータライン対DTC,DTCBに伝送する。

30

【 0 0 2 9 】

NANDゲート132,136及びインバータ134,138から構成される回路は、出力イネーブル信号
OEに
応答してデータライン対DTC,DTCBに伝送された信号をデータ出力信号DOU,DODとして
それぞれ出力する。

【 0 0 3 0 】

図3に示すデータ出力バッファ24は、本発明の好適な実施の形態に係る半導体メモリ装置
における1又は2サイクル後のライトバイパス動作を可能にする回路構成である。

40

【 0 0 3 1 】

図4は、本発明の好適な実施の形態に係る半導体メモリ装置のデータ出力マルチプレクサ
52の回路図である。このデータ出力マルチプレクサ52、インバータ140,144,148,150,15
2,156,160,162,166、伝送ゲート142,146,154,164、及びNORゲート158から構成される。

【 0 0 3 2 】

伝送ゲート142,146は、バイパス制御信号BP1,BP2にそれぞれ応答して信号DR1,DR2をそれ
ぞれ伝送する。ラッチ148,150は、伝送ゲート142,146の出力信号をラッチする。伝送ゲー
ト154は、バイパス制御信号BP12に
応答して、ラッチを構成するインバータ150の出力信号を伝送する。インバータ156は、
バイパス制御信号BP0を反転する。NORゲート158は、

50

インバーター156の出力信号及び信号KDATAの論理和を反転して信号KBYP0として出力する。即ち、信号KBYP0は、バイパス制御信号BP0がイネーブルされ、信号KDATAが"ロー"レベルである場合に"ハイ"レベル、即ちイネーブルになる。

【0033】

インバーター160は、信号DR0を反転する。伝送ゲート164は、信号KBYP0に応答してインバーター160の出力信号をデータラインDTBに伝送し、インバーター166は、データラインDTBに伝送された信号を反転データラインDTBBに伝送する。

【0034】

図5は、本発明の好適な実施の形態に係る半導体メモリ装置のセンス増幅器イネーブル信号SAEN及びデータ出力バッファイネーブル信号KDPRECBを発生する回路の回路図である。この回路は、NORゲート170,184、NANDゲート182,190、PMOSトランジスタ172,174,176、NMOSトランジスタ178,180、及びインバーター186,188,192,194から構成されている。

10

【0035】

リード命令があればセンス増幅器をイネーブルするためイネーブル信号SAENPが発生する。NORゲート170は、データライン対DTA,DTABからの信号の論理和の反転を演算する。即ち、NORゲート170は、データライン対DTA,DTABのデータの全てが"ロー"レベルであれば"ハイ"レベルの信号を発生する。

【0036】

NMOSトランジスタ178,180は、"ハイ"レベルのイネーブル信号SAENPとNORゲート170の出力信号に응答してオンしてPMOSトランジスタ178のドレインを"ロー"レベルにする。この時、センス増幅器22及びデータ出力バッファ24をイネーブルするための信号を発生する動作となる。

20

【0037】

この時、NANDゲート182は、"ロー"レベルの信号と"ハイ"レベルの信号の論理積を反転して"ハイ"レベルの信号を発生する。NORゲート184及びインバーター186,188は、信号SBP0,SBP12に응答してこれら信号の全てが"ロー"レベルであれば"ハイ"レベルの信号を発生し、1つでも"ハイ"レベルであれば"ロー"レベルの信号を発生する。即ち、この構成は、バイパス動作の実行時にセンス増幅器22及びデータ出力バッファ24の動作をディスエーブルするためにある。

【0038】

30

NANDゲート190及びインバーター192は、NANDゲート182の出力信号とインバーター188の出力信号との論理積を演算し、2つの信号が共に"ハイ"レベルであれば"ハイ"レベルのセンス増幅器イネーブル信号SAENを発生し、1つでも"ロー"レベルであれば、"ロー"レベルの信号を発生する。即ち、NANDゲート182及びインバーター188の出力信号の全てが"ハイ"レベルであれば"ハイ"レベルのセンス増幅器イネーブル信号SAENを発生し、"ロー"レベルのデータ出力バッファイネーブル信号KDPRECBを発生してセンス増幅器22及びデータ出力バッファ24の動作をイネーブルする。そして、バイパス機能のためインバーター188の出力信号が"ロー"レベルであればNANDゲート190は、"ロー"レベルのセンス増幅器イネーブル信号SAENと"ハイ"レベルのデータ出力バッファイネーブル信号KDPRECBを発生してセンス増幅器22の動作をディスエーブルする。

40

【0039】

以下、本発明の好適な実施の形態に係る半導体メモリ装置のデータ処理方法を図6のタイミング図を参照して説明する。

【0040】

1サイクル後のライトバイパス動作は、ライト命令後にリード命令が発生し、そのリードアドレスと1サイクル前のライトアドレスが同一である場合に実行される動作をいう。バイパス動作の実行時は、センス増幅器22の動作はディスエーブルされる。

【0041】

1番目のサイクルでライト命令が入力されると、アドレス入力バッファ28は、ライトアドレスA1をバッファして出力する。レジスタ32は、ライトアドレスA1をラッチする。2番目

50

のサイクルでリード命令が入力されると、アドレス入力バッファ28は、リードアドレスA1をバッファして出力する。この場合、レジスタ32の出力信号WA1で示されるライトアドレスとリードアドレスとが同一であるので、比較回路34は信号SCHR1を発生する。

【0042】

バイパス加算器36は、信号SRDに応答して信号SCHR1を加算してバイパス信号SBP0を発生する。バイパス制御信号発生回路40は、1サイクル後のライト動作の実行時は、バイパス信号SBP0を入力してバイパス1信号BP1,BP12を発生する。

【0043】

データ入力バッファ26は、1番目のサイクルの"ロー"レベルの期間に入力されるデータ入力信号DINをデータ入力レジスタ44に出力する。データ入力レジスタ44は信号PDINに
10 応答して信号DR1を発生する。データ出力マルチプレクサ52は、バイパス1信号BP1,BP12に応答して信号DR1をデータ出力バッファ24のラッチに出力する。データ出力バッファ24は、ラッチにラッチされた信号を信号KDATA,OEに応答してデータ出力信号DOUTとして出力する。

【0044】

即ち、1サイクル後にライトバイパス動作を実行する時は、バイパス制御信号発生回路40がライト後のリード命令時にライトアドレスと同一のリードアドレスが入力されると、バイパス1信号を発生し、信号PDINはライト命令の1サイクル後にクロック信号と同期して
20 イネーブルされ、信号PDIN1は、ライト命令の1サイクル後にリード命令があればイネーブルされる。

【0045】

また、1サイクル後にライト動作を実行する時は、レジスタ32はアドレス入力バッファ28の出力信号を1サイクル分だけ遅延させてマルチプレクサ30に出力し、データ入力レジスタ44はデータ入力バッファ26から1サイクル分だけ遅延して入力されるデータ入力信号DINを信号PDINに
応答して信号DR1として出力する。伝送ゲート46は、信号PDIN1に応答して信号DR1をラッチ50にラッチする。ラッチ50はラッチした信号をライトドライバ20に出力する。このようにして1サイクル後にライト命令が実行される。

【0046】

図7は、本発明の好適な実施の形態に係る半導体メモリ装置の2サイクル後のライトバイパス動作を説明する動作タイミング図である。
30

【0047】

2サイクル後のライトバイパス動作は、リードアドレスが1サイクル前のライトアドレスと同一であるか、リードアドレスが2サイクル前のライトアドレスと同一である場合に実行される動作をいう。バイパス動作の実行時にセンス増幅器22の動作がディスエーブルされる。

【0048】

まず、バイパス0動作の実行について説明する。

【0049】

1番目のサイクルでライト命令が入力されると、"ハイ"レベルのクロック信号XCKに応答してライトアドレスA0がアドレス入力バッファ28に入力される。アドレス入力バッファ28
40 は、バッファされたライトアドレスA0をレジスタ32に出力する。レジスタ32は、信号Pweに応答してアドレスバッファ28の出力信号をラッチして信号WA1を発生する。

【0050】

2番目のサイクルでリード命令が入力されると、"ハイ"レベルのクロック信号XCKに応答してライトアドレスと同一のリードアドレスA0が入力される。すると、比較回路34は、レジスタ32の出力信号WA1のアドレスA0と入力されるリードアドレスA0を比較して信号SCHR1を発生する。この信号SCHR1は、バイパスを進行するために発生する信号である。

【0051】

バイパス加算器36は、信号SCHR1をリード信号SRDと加算して、リード命令があるときに"ハイ"レベルの信号SBP0を発生する。バイパス制御信号発生回路40は、信号SBP0を入力し
50

てバイパス0信号BP0を発生する。このときは、データ入力信号DINをライトドライバ20に伝送せず、データ出力マルチプレクサ52とデータ出力バッファ24を通じて外部に出力すべきである。従って、この動作を行うためにライト命令からサイクル後に"ロー"レベルの制御信号PDINに応答してデータ入力信号DINが信号DR0に出力される。

【0052】

この信号DR0は、データ出力マルチプレクサ52に出力され、データ出力マルチプレクサ52は、バイパス0信号BP0及び信号KDATAに응答して図4に示した伝送ゲート164を通じて、信号DR0を図3に示したラッチ120,122に伝達する。図7には、この信号が信号DLAT-R0で示されている。ラッチに伝送されたデータは信号KDATAと出力イネーブル信号OEに응答して出力信号R0を発生する。

10

【0053】

次に、バイパス1動作の実行について説明する。

【0054】

4番目のサイクルでライト命令が入力されると、"ハイ"レベルのクロック信号XCKに응答してライトアドレスA1がアドレス入力バッファ28に入力される。アドレス入力バッファ28は、バッファされたライトアドレスA1をレジスタ32に出力する。レジスタ32は、信号Pweに응答してアドレスバッファ28の出力信号をラッチして信号WA1を発生する。

【0055】

そして、5番目のサイクルでリード命令が入力されると、"ハイ"レベルのクロック信号XCKに응答してリードアドレスA2が入力される。すると、比較回路34は、レジスタ32の出力信号WA1のアドレスA0と入力されたリードアドレスA2とを比較し、その結果、両者が同一ではないので信号SCHR1を発生させない。

20

【0056】

そして、6番目のサイクルでリード命令が入力されると、"ハイ"レベルのクロック信号XCKに응答してリードアドレスA1が入力され、このときライトアドレスA1のデータD1が入力される。比較回路34は、レジスタ32の出力信号WA1のアドレスA1とリードアドレスA1を比較し、その結果、両者が同一であるので信号SCHR1を発生する。

【0057】

バイパス加算器36は、信号SRDに응答して信号SBP0を発生する。バイパス加算器36は信号SCHR1の全てのビットが同一であることを示す信号の場合に信号SBP0を発生する。

30

【0058】

バイパス制御信号発生回路40は、制御信号WCがバイパス1であることを示すと、バイパス1信号BP1,BP12を発生する。制御信号WCは、バイパス0とバイパス1動作を区別するために生成される信号であって、リード命令前にライト命令があればバイパス制御信号発生回路40がバイパス0信号BP0を発生するようにし、リード命令前にリード命令があればバイパス制御信号発生回路40がバイパス1信号BP1,BP12を発生するようにする。

【0059】

データ入力バッファ26は、データD1をバッファしてデータ入力レジスタ44に出力する。データ入力レジスタ44は、信号PDINに응答して信号DR0,DR1,DR2を発生する。データ出力マルチプレクサ52は、信号DR1を伝送して図3に示したデータ出力バッファ24のラッチ120,122にラッチさせる。データ出力バッファ24は信号KDATA,OEに응答してデータ出力信号R1を発生する。

40

【0060】

次に、バイパス2動作の実行について説明する。

【0061】

3番目のサイクルでライト命令が入力されると、"ハイ"レベルのクロック信号XCKに응答してライトアドレスA2がアドレス入力バッファ28に入力される。アドレス入力バッファ28は、バッファされたライトアドレスA2をレジスタ32に出力する。レジスタ32は、信号Pweに응答してアドレス入力バッファ28に出力信号をラッチする。

【0062】

50

る。

【図 2】図 1 に示す装置のデータ入力レジスタの構成を示す回路図である。

【図 3】図 1 に示す装置のデータ出力バッファの構成を示す回路図である。

【図 4】図 1 に示す装置のデータ出力バッファの構成を示す回路図である。

【図 5】図 1 に示すセンス増幅器及びデータ出力バッファをイネーブルする信号を発生する回路の回路図である。

【図 6】図 1 に示す装置における 1 サイクル後のライトバイパス動作を説明するための動作タイミング図である。

【図 7】図 1 に示す装置の 2 サイクル後のライトバイパス動作を説明するための動作タイミング図である。

10

【符号の説明】

12-1, 12-2, ... 12-n: プリーチャージ及び等化回路

16-1, 16-2, ... 16-n: 列選択スイッチ

14: 行アドレスデコーダー

18: 列アドレスデコーダー

20: ライトドライバ

22: センス増幅器

24: データ出力バッファ

26: データ入力バッファ

28: アドレス入力バッファ

20

30: マルチプレクサ

32: レジスタ

34: 比較回路

36, 38: バイパス合算器

40: バイパス制御信号発生回路

42: データ入力レジスタ制御回路

44: データ入力レジスタ

46: 伝送ゲート

48: 伝送ゲート

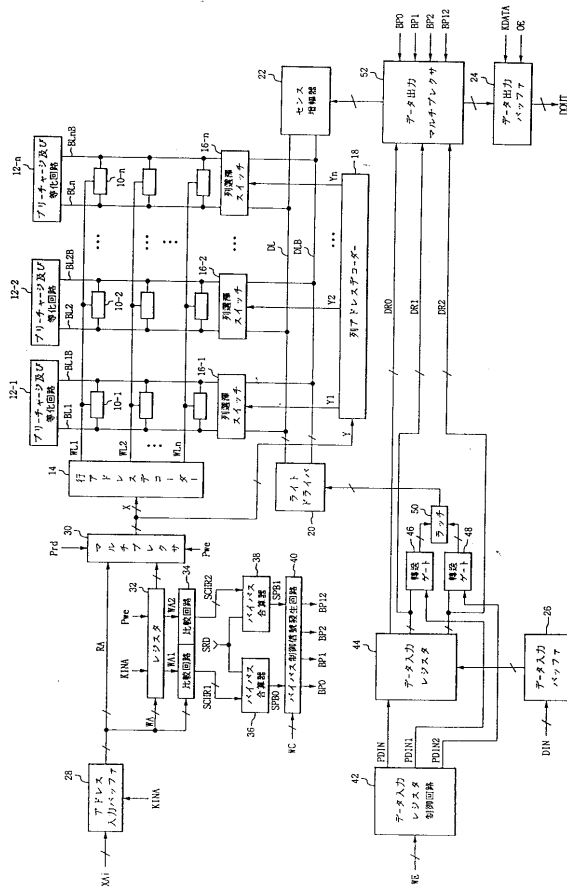
50: ラッチ

30

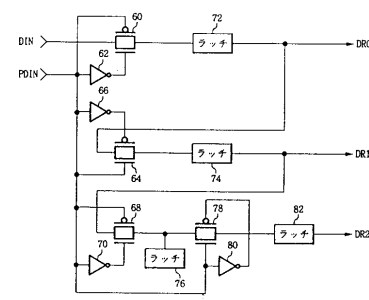
52: データ出力マルチプレクサ

26

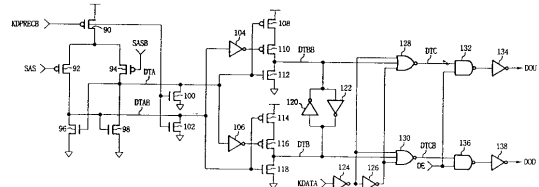
【図 1】



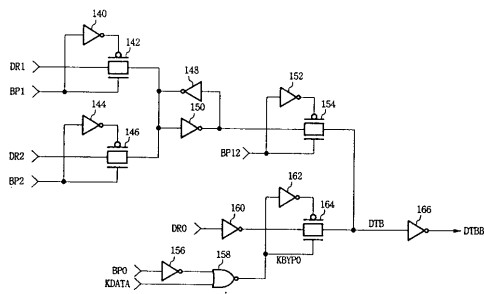
【図 2】



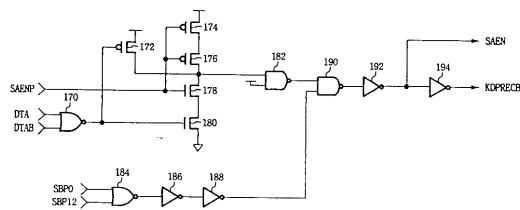
【図 3】



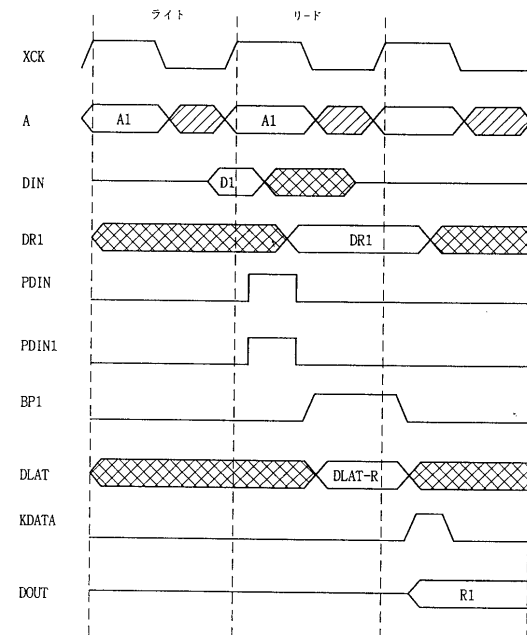
【図 4】



【図 5】



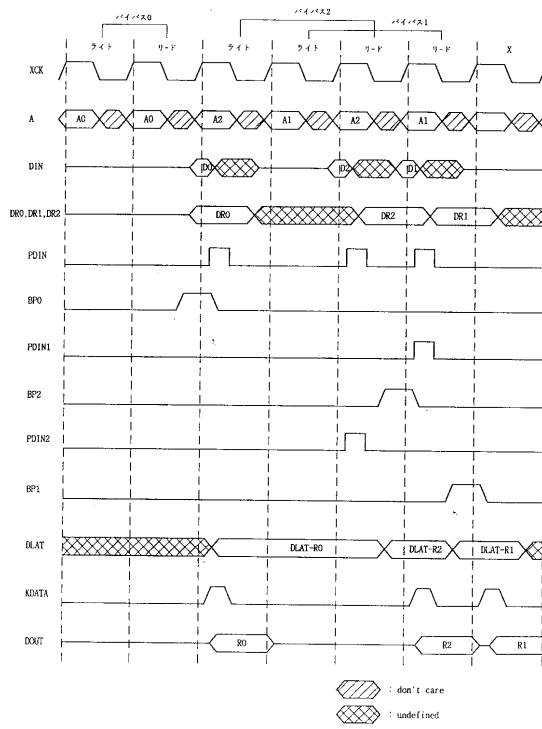
【図 6】



hatched : don't care

cross-hatched : undefined

【図 7】



フロントページの続き

- (56)参考文献 特開平08-321180(JP,A)
特開平07-182870(JP,A)
特開平08-045277(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/413
G11C 11/407