

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-207331

(P2015-207331A)

(43) 公開日 平成27年11月19日(2015. 11. 19)

(51) Int.Cl. F 1 テーマコード (参考)
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 2 B 5 B 1 2 5
 5 B 2 2 5

審査請求 未請求 請求項の数 4 O L (全 18 頁)

(21) 出願番号 特願2014-87679 (P2014-87679)
 (22) 出願日 平成26年4月21日 (2014. 4. 21)

(71) 出願人 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 江波戸 隆
 神奈川県横浜市港北区新横浜二丁目10番
 23 富士通セミコンダクター株式会社内
 Fターム(参考) 5B125 BA02 CA17 DC08 DC09 DC10
 DE07 DE20 EB09 ED04 EE02
 EE08 EE11 EG10 EG14 EJ09
 EJ10 FA01 FA05

最終頁に続く

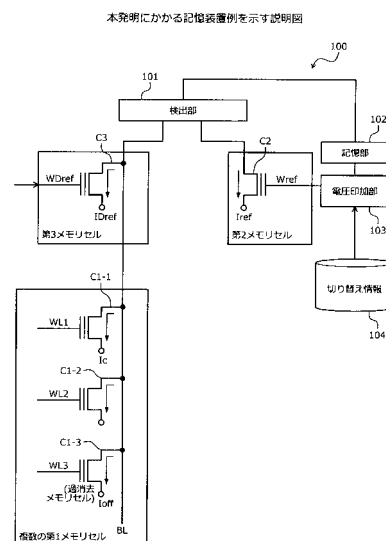
(54) 【発明の名称】 記憶装置、および制御方法

(57) 【要約】 (修正有)

【課題】正常に消去されたメモリセルが過消去メモリセルと誤判定されることを抑止した、記憶装置及び制御方法を提供する。

【解決手段】電圧印加部103は、受け付けた切り替え情報104に応じて、第2メモリセルC2のワード線へ印加する電圧を切り替える。切り替え情報104は、例えば、電圧を示す情報である。検出部101は、第3メモリセルC3がデータを消去する状態である時に、ビット線BLを流れる第1電流の値 I_{Dref} と、第2メモリセルC2のドレインとソースとの間を流れる第2電流の値 I_{ref} と、の一致を検出する。記憶部102は、検出部101によって一致が検出された場合に電圧印加部103が第2メモリセルC2のワード線 W_{ref} へ印加している電圧を示す情報を記憶する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

同一のビット線に接続された複数の第 1 メモリセルと、
前記複数の第 1 メモリセルと異なる第 2 メモリセルと、
前記第 2 メモリセルと設計上同一であり、前記ビット線に接続された第 3 メモリセルと

、
受け付けた切り替え情報に応じて、前記第 2 メモリセルのワード線へ印加する電圧を切り替える電圧印加部と、

前記第 3 メモリセルがデータを消去する状態である時に、前記ビット線を流れる第 1 電流の値と、前記第 2 メモリセルのドレインとソースとの間を流れる第 2 電流の値と、の一致を検出する検出部と、

前記検出部によって前記一致が検出された場合に前記電圧印加部が前記第 2 メモリセルのワード線へ印加している電圧を示す情報を記憶する記憶部と、

を有することを特徴とする記憶装置。

【請求項 2】

前記検出部は、前記ビット線を流れる第 1 電流の値と、前記第 2 メモリセルのドレインとソースとの間を流れる第 2 電流の値と、を比較するセンスアンプを有し、

前記第 3 メモリセルは、前記ビット線のうちの、前記複数の第 1 メモリセルと前記センスアンプとの間の部分に接続されることを特徴とする請求項 1 に記載の記憶装置。

【請求項 3】

同一のビット線に接続された複数の第 1 メモリセルと、
前記複数の第 1 メモリセルと異なる第 2 メモリセルと、
前記第 2 メモリセルと設計上同一であり、前記ビット線に接続された第 3 メモリセルと

、
受け付けた切り替え情報に応じて、前記第 2 メモリセルのワード線へ印加する電圧を切り替える電圧印加部と、

前記第 3 メモリセルがデータを消去する状態である時に、前記ビット線を流れる第 1 電流の値と、前記第 2 メモリセルのドレインとソースとの間を流れる第 2 電流の値と、の一致を検出する検出部と、

前記検出部によって前記一致が検出された場合に前記電圧印加部が前記第 2 メモリセルのワード線へ印加している電圧を示す情報を記憶する記憶部と、

を有する記憶装置の前記複数の第 1 メモリセルと前記第 3 メモリセルとに対してデータを書き込み、

前記第 3 メモリセルに対してデータを消去し、

前記検出部によって前記一致が検出されるまで、前記第 2 メモリセルのワード線へ印加する電圧が所定範囲内の各電圧になるように前記切り替え情報を前記電圧印加部へ入力し

、
前記検出部によって前記一致が検出された場合に、前記記憶部に記憶された前記情報を取得し、

前記第 2 メモリセルのワード線へ印加する電圧を取得した前記情報が示す電圧にする切り替え情報を前記電圧印加部に与えて、前記複数の第 1 メモリセルの各々に対してデータを消去させる、

ことを特徴とする制御方法。

【請求項 4】

前記切り替え情報を前記電圧印加部へ入力する際に、前記第 2 メモリセルのワード線へ印加する電圧が、前記所定範囲内の各電圧のうちの値が低い電圧順に切り替わるように前記切り替え情報を前記電圧印加部へ入力することを特徴とする請求項 3 に記載の制御方法

【発明の詳細な説明】**【技術分野】**

10

20

30

40

50

【 0 0 0 1 】

本発明は、記憶装置、および制御方法に関する。

【 背景技術 】

【 0 0 0 2 】

従来、フラッシュメモリには、メモリセルの全部またはセクタと呼ばれるブロック単位でセルを選択し、一括消去を行う機能がある。一括消去は、メモリセルのフローティングゲートの電子を一括して放出し、メモリセルの閾値電圧を低くして論理的に 1 にする機能である。また、メモリセルには、製造ばらつきにより特性差があるために一括消去における電子の放出にばらつきが生じる。そのため、メモリセルごとの閾値電圧は一定とはならず、メモリセル間で消去に程度差が生じる。消去の遅いメモリセルに対して、目標とする閾値電圧に到達するまで消去処理が行われると、消去の速いメモリセルは過剰に消去状態となる。過剰に消去状態となる過消去メモリセルは、不良セルとして検出される。

10

【 0 0 0 3 】

また、過消去メモリセルは、ワード線に電圧が印加されない状態であってもドレインとソースとの間にオフリーク電流と呼ばれる電流を流す特性があり、オフリーク電流はビット線上に流れてしまう。そこで、過剰に消去される過消去メモリセルに対して、電子を注入する書き戻しを行う技術が公知である。

【 0 0 0 4 】

また、書き戻しを行わず、過消去メモリセルを不良セルとして検出する技術が公知である（例えば、以下特許文献 1 参照。）。

20

【 0 0 0 5 】

また、オフリーク電流に相当する値の電流を負荷電流としてビット線に流すことによって、過消去状態のセルの有無を判定する技術が公知である（例えば、以下特許文献 2 参照。）。また、メモリセルからデータを読み出す時に、センスアンプの各入力端にメモリセルのオフセット分に相当する電流と、リファレンスセルのオフセット分に相当する電流と、を流すことによって、電流測定を伴うことなく、読み出し回路の動作マージンを判定する技術が公知である（例えば、以下特許文献 3 参照。）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

30

【 特許文献 1 】 特開 2 0 0 6 - 1 1 4 1 5 4 号 公 報

【 特許文献 2 】 特開平 1 0 - 2 4 1 3 8 2 号 公 報

【 特許文献 3 】 特開 2 0 1 0 - 5 5 6 7 9 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、消去試験において、過消去メモリセルのオフリーク電流によって、過消去メモリセルと同一ビット線上にある正常に消去されたメモリセルが過消去メモリセルと誤判定される場合があるという問題点がある。

【 0 0 0 8 】

40

1 つの側面では、本発明は、消去試験時に正常に消去されたメモリセルが過消去メモリセルと誤判定されることを抑止することができる記憶装置、および制御方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の一側面によれば、同一のビット線に接続された複数の第 1 メモリセルと、前記複数の第 1 メモリセルと異なる第 2 メモリセルと、前記第 2 メモリセルと設計上同一であり、前記ビット線に接続された第 3 メモリセルと、受け付けた切り替え情報に応じて、前記第 2 メモリセルのワード線へ印加する電圧を切り替える電圧印加部と、前記第 3 メモリセルがデータを消去する状態である時に、前記ビット線を流れる第 1 電流の値と、前記第

50

2メモリセルのドレインとソースとの間を流れる第2電流の値と、の一致を検出する検出部と、前記検出部によって前記一致が検出された場合に前記電圧印加部が前記第2メモリセルのワード線へ印加している電圧を示す情報を記憶する記憶部と、を有する記憶装置が提案される。

【発明の効果】

【0010】

本発明の一態様によれば、消去試験時に正常に消去されたメモリセルが過消去メモリセルと誤判定されることを抑止することができる。

【図面の簡単な説明】

【0011】

10

【図1】図1は、本発明にかかる記憶装置例を示す説明図である。

【図2】図2は、記憶装置の全体を示すブロック図である。

【図3】図3は、オフリーク電流対策回路とオフリーク電流対策回路周辺の具体例を示す説明図である。

【図4】図4は、制御回路と判定回路例1を示す説明図である。

【図5】図5は、電圧補正回路例1を示す説明図である。

【図6】図6は、制御回路と判定回路と電圧補正回路例2を示す説明図である。

【図7】図7は、制御回路による制御処理手順例を示すフローチャートである。

【図8】図8は、試験装置による消去試験処理手順例を示すフローチャートである。

【図9】図9は、リファレンスセルへの電圧を調整した場合としない場合との比較例1を示す説明図である。

20

【図10】図10は、リファレンスセルへの電圧を調整した場合としない場合との比較例2を示す説明図である。

【発明を実施するための形態】

【0012】

以下に添付図面を参照して、本発明にかかる記憶装置、および制御方法の実施の形態を詳細に説明する。

【0013】

図1は、本発明にかかる記憶装置例を示す説明図である。記憶装置100は、例えば、過消去メモリセルの有効な書き戻し機能を有する。例えば、記憶装置100は、フラッシュメモリである。

30

【0014】

上述したように、過消去メモリセルのリーク電流によって正常に消去されたメモリセルが過消去メモリセルと誤判定される場合がある。そこで、本実施の形態では、ダミーセルが消去状態時のビット線と、印加電圧を可変なリファレンスセルと、の電流値が一致した時の該印加電圧を検出する。例えば、検出した印加電圧をリファレンスセルのワード線に印加した状態で各メモリセルの消去試験が行われれば、リファレンスセルのドレインとソースとの間を流れる電流がオフリーク電流だけ増加するため、オフリーク電流が相殺される。したがって、過消去メモリセルのオフリーク電流によって正常に消去されたメモリセルが過消去メモリセルと誤判定されることを抑止することができる。

40

【0015】

記憶装置100は、複数の第1メモリセルC1-1～C1-3と、第2メモリセルC2と、第3メモリセルC3と、検出部101と、記憶部102と、電圧印加部103と、を有する。

【0016】

複数の第1メモリセルC1-1～C1-3は、同一のビット線BLに接続される。第1メモリセルC1-1～C1-3のワード線は、それぞれWL1～WL3である。第2メモリセルC2は、複数の第1メモリセルC1と異なるメモリセルであり、リファレンスセルである。第3メモリセルC3は、第2メモリセルC2と設計上同一の構造となっているメモリセルであり、前記ビット線BLに接続される。そのため第3メモリセルC3は、ワー

50

ド線に印加された電圧に対するドレインとソースとの間を流れる電流の特性が第2メモリセルC2と同一となる。ここで、設計上同一とは、設計上予想させる素子の電気特性が同一となることを意味し、メモリセルの構成部分の配置が反転や回転等しているものも含まれる。また、電流の特性が同一とは、特性が完全に同一である場合に加え、製造プロセスその他のばらつき等による微差を許容するものである。また、第3メモリセルC3は、ビット線BLのうちの、複数の第1メモリセルC1と検出部101に含まれるセンスアンプとの間の部分に接続される。例えば、第3メモリセルC3は、ビット線のうちの複数の第1メモリセルC1と検出部101に含まれるセンスアンプとの間の部分以外の部分を介さずに接続される。これにより、複数のビット線BLにおいて第3メモリセルC3を共通化させることができ、面積増大を抑止することができる。

10

【0017】

電圧印加部103は、受け付けた切り替え情報104に応じて、第2メモリセルC2のワード線Wrefへ印加する電圧を切り替える。切り替え情報104は、例えば、電圧を示す情報である。例えば、電圧印加部103は、特定の電圧値を、切り替え情報104が示す電圧となるように抵抗分圧によって切り替える。

【0018】

検出部101は、第3メモリセルC3がデータを消去する状態である時に、ビット線BLを流れる第1電流の値と、第2メモリセルC2のドレインとソースとの間を流れる第2電流の値と、の一致を検出する。例えば、第1メモリセルC1-3が過消去メモリセルであると、第1電流の値は、第3メモリセルC3の電流IDrefと、第1メモリセルC1-3のオフリーク電流Ioffと、の合計の電流の値である。また、過消去メモリセル以外の正常な第1メモリセルC1のドレインとソースとの間をリーク電流が流れる場合があるが、電流の量が多くないため消去試験に与える影響が少ない。そのため、以降の説明では、正常な第1メモリセルC1のドレインとソースとの間を流れるリーク電流については特に言及しない。例えば、ビット線BLに接続された第1メモリセルC1に過消去メモリセルがないと、第1電流の値は、第3メモリセルC3の電流IDrefの値である。第2電流の値は、第2メモリセルC2を流れる電流Irefの値である。

20

【0019】

記憶部102は、検出部101によって一致が検出された場合に電圧印加部103が第2メモリセルC2のワード線Wrefへ印加している電圧を示す情報を記憶する。電圧を示す情報は、例えば、電圧値や電圧値をコード化した値などである。

30

【0020】

例えば、一致を検出した時のワード線Wrefへ印加している電圧を第2メモリセルC2のワード線に印加した状態で各第1メモリセルC1の消去試験が行われれば、第2メモリセルC2のドレインとソースとの間を流れる電流がオフリーク電流だけ増加する。そのため、オフリーク電流は相殺される。これにより、過消去メモリセルのドレインとソースとの間を流れるオフリーク電流によって正常に消去されたメモリセルが過消去メモリセルと誤判定されることを抑止することができる。

【0021】

ここで、フラッシュメモリに含まれるメモリセル群のメモリセル構造と、正常に消去されるメモリセルが不良メモリセルであると誤判定される理由について簡単に説明する。メモリセル構造は、コントロールゲート(以下「CG(Control Gate)」と称する。)と、絶縁膜で覆われたフローティングゲート(以下「FG(Floating Gate)」と称する。)と、を有するダブルゲート構造である。FGは蓄積された電子量により閾値電圧を変えることができる。

40

【0022】

例えば、FGに電子が蓄積された状態が書き込み状態である。FGに電子が蓄積された状態であると、閾値が高くなるため、比較的高い電圧をCGに印加しないと、ドレインとソースとの間に電流はほとんど流れない。また、FGの電子が希薄な状態が消去状態である。FGの電子が希薄な状態であると、閾値が低くなるため、比較的低い電圧であっても

50

ドレインとソースとの間に電流が流れる。

【 0 0 2 3 】

F G への電子の注入は、C G ヘプラスの高い電位をかけることによって行われる。また、F G からの電子の排出は、マイナスの高い電位をかけることによって行われる。高い電位とは例えば $8 \sim 8$ [V] 程度であり、マイナスの高い電位とは例えば、 $-9 \sim 0$ [V] 程度である。

【 0 0 2 4 】

メモリセルのドレインとソースとの間を流れる電流は、メモリセルからの出力電流 I_c である。電流 I_c と、リファレンスセルの電流と、の大小比較によって 0 または 1 が判定される。メモリセルと、リファレンスセルと、の出力は、それぞれセンスアンプの入力端に接続されており、センスアンプは、電流値の大小比較を行うことにより、メモリセルのデータが 0 であるか、1 であるかを判定する。

10

【 0 0 2 5 】

また、読み出し動作では、メモリセルとリファレンスセルとの両方の C G に電源電圧よりも高く設定したブースト電圧を印加する。ブースト電圧は、例えば、 $V_{CC} \times 1.5$ である。ブースト電圧を与えた後に、センスアンプが、メモリセルのソースとドレインとの間を流れる電流 I_c の値と、リファレンスセルのドレインとソースとの間を流れる電流の値と、を比較することによって電流値の大小判定が行われる。

【 0 0 2 6 】

対象のメモリセルのドレインとソースとの間を流れる電流 $I_c < \text{リファレンスセルのドレインとソースとの間を流れる電流 } I_{ref}$ の関係である場合にはメモリセルは 0 であると判定され、 $I_c > I_{ref}$ の場合にはメモリセルは 1 と判定される。

20

【 0 0 2 7 】

I_c と I_{ref} との関係式が成立しない場合には、0 または 1 と判定できるまで、書き込みまたは消去が繰り返される動作が行われる。この動作には、時間がかかるため、回数制限がされ、当該回数までに関係式が成立しない場合には対象のメモリセルは消去試験に F A I L したと判定される。

【 0 0 2 8 】

また、上述したように、フラッシュメモリなどの記憶装置では、メモリセルの全部またはセクタと呼ばれるブロック単位のメモリセルが選択され、一括消去が行われる。一括消去では、メモリセルに含まれるセルトランジスタのフローティングゲートの電子を一括して放出し、セルトランジスタの閾値電圧を低くして論理的に 1 にする機能である。また、メモリセルに含まれるセルトランジスタには、製造ばらつきにより特性差があるために一括消去における電子の放出にばらつきが生じる。そのため、メモリセルごとの閾値電圧は一定とはならず、メモリセル間で消去に程度差が生じる。消去の遅いメモリセルに対して、目標とする閾値電圧に到達するまで消去処理が行われると、消去の速いメモリセルは過剰に消去状態にされる。過剰に消去状態にされる過消去メモリセルは、不良セルとして検出される。

30

【 0 0 2 9 】

過消去メモリセルは、メモリセルのワード線に電圧が印加されない状態であっても、ドレインとソースとの間にオフリーク電流と呼ばれる電流を流す特性があり、オフリーク電流はビット線上に流れてしまう。そこで、過消去メモリセルに対して、電子を注入する書き戻しが行われる。

40

【 0 0 3 0 】

例えば、メモリセルのワード線の電圧 (C G 電圧) が消去の閾値電圧の下限電圧になると、メモリセルのデータが読み出される。メモリセルの読み出しでは、メモリセルが接続されているビット線に対して、メモリセルを介してセル電流が流れる。例えば、リファレンスセルのワード線の電圧を消去の閾値電圧の下限電圧とすることによってリファレンスセルのデータが読み出される。そして、リファレンスセルのドレインとソースとの間を流れる電流 I_{ref} と、メモリセルのドレインとソースとの間を流れる電流と、がセンスア

50

ンプによって比較される。

【0031】

$I_c > I_{ref}$ であるメモリセルは、過消去メモリセルと判定される。過消去メモリセルであると判定された場合、低い電圧による弱い書き込み動作が過消去メモリセルに対して実施される。 $I_c < I_{ref}$ が成立するまで、判定と弱い書き込み動作とが繰り返される。上述したように、正常なメモリセルの読み出し時にも過消去メモリセルのオフリーク電流はビット線上に流れるため、オフリーク電流 I_{off} と I_c との総和が I_{ref} と比較されることになる。そのため、 I_{off} が大きな値であると、 I_c と I_{ref} との関係式が成り立つまで、弱い書き込み動作が何度も繰り返され、正常に消去されたメモリセルの閾値電圧が消去の閾値電圧の上限電圧(ERV)よりも高くなってしまふ。このようにして、正常に消去されたメモリセルのデータがデータ化けし、正常に消去されたメモリセルが不良であると判定される。

10

【0032】

そこで、本実施の形態では、消去試験を行う前に、ダミーメモリセルを消去状態の時のビット線の電流値と、印加電圧を切り替え可能な参照セルの電流値と、が一致した時の該印加電圧を検出する。そして、例えば、検出した印加電圧によって消去試験が行われれば、リファレンスセルのドレインとソースとの間を流れる電流がオフリーク電流に相当する電流だけ多くなる。そのため、オフリーク電流を相殺した状態で、リファレンスセルのドレインとソースとの間を流れる電流値と、メモリセルのドレインとソースとの間を流れる電流値と、を比較することができる。これにより、過消去メモリセルのオフリーク電流によって正常に消去されたメモリセルが過消去メモリセルと誤判定されることを抑止することができる。

20

【0033】

つぎに、記憶装置の具体例について詳細に説明する。

【0034】

図2は、記憶装置の全体を示すブロック図である。メモリセル群205は、データを保持するメモリセルの集合であり、ビット線ごとに接続されてある。

【0035】

記憶装置100は、アドレスデコーダ201と、プリデコーダ202と、第1ロウデコーダ203と、コラムデコーダ204と、メモリセル群205と、制御回路206と、ゲート電圧発生回路207と、リファレンスセル群208と、を有する。また、記憶装置100は、第2ロウデコーダ209と、オフリーク電流対策回路210と、ダミーリファレンスセル群211と、センスアンプ213と、データバッファ212と、を有する。

30

【0036】

アドレスデコーダ201は、アドレス信号をラッチする回路である。プリデコーダ202は、アドレスデコーダ201がラッチしたアドレスをロウアドレス、コラムアドレスに分離する回路であり、Zデコーダとも称する。第1ロウデコーダ203は、プリデコーダ202によって指定されたロウアドレスに基づき、一本のワード線を選択して活性化する回路である。コラムデコーダ204は、プリデコーダ202によって指定されたコラムアドレスに基づき、一本のビット線または複数本のビット線を同時選択して活性化するための回路である。

40

【0037】

メモリセル群205は、複数のメモリセルを有する。ゲート電圧発生回路207は、メモリセルのビット線とメモリセルのワード線に与える電圧を生成する。

【0038】

オフリーク電流対策回路210は、正常なセルが過消去メモリセルと判定されないような処理を行う回路である。例えば、オフリーク電流対策回路210は、オフリーク電流に対応するリファレンスセルのワード線に印加する電圧を検出し、消去試験時に検出した電圧をリファレンスセルのワード線に印加する機能を有する。

【0039】

50

データバッファ 212 は、センスアンプ 213 から出力される比較結果である比較信号 S A S 1 , S A S 2 を、オフリーク電流対策回路 210 を介して受け付け、データ入出力信号として外部へ出力する。

【0040】

制御回路 206 は、試験装置によって外部信号 s 1 として入力されるコマンドに応じて各部を制御する機能を有する。また、制御回路 206 は、外部信号 s 2 として試験装置へ各部の結果を出力する。例えば、試験装置がリファレンスセルへ供給する電圧の切り替え情報を入力する場合、試験装置は、外部信号 s 1 を介して切り替え情報の入力を行い、外部信号 s 2 を介して一致が検出された電圧を示す情報を取得する。また、制御回路 206 は、複数のセンスアンプ 213 のいずれかを活性化させる信号 s 5 を与える。制御回路 206 は、データバッファ 212 から消去 V e r i f y 時に正常な出力となっているかを制御回路 206 が感知するための信号 s 4 をデータバッファ 212 から受け付ける。

10

【0041】

試験モードの場合に、制御回路 206 は、アドレスデコーダ 201 からアドレス信号 s 3 a を受けることによっていずれのアドレスを指定しているかを判別する。または、試験モードの場合に、制御回路 206 は、アドレスデコーダ 201 へアドレス信号 s 3 a を出力することによってアドレスを直接指定してもよい。ユーザ動作のモードの場合に自記憶装置 100 内でアドレスを変化させる場合、制御回路 206 は、アドレスデコーダ 201 へアドレス信号 s 3 a を出力することによってアドレスを指定する。試験モードの場合に、制御回路 206 は、信号 s 3 b によってワード線が選択可能である。

20

【0042】

ダミーリファレンスセル群 211 は、第 3 メモリセル群であり、ダミーリファレンスセル群 211 のうち第 1 ロウデコーダ 203 からの選択信号 W D r e f がいずれかのダミーリファレンスセルのワード線に印加される。リファレンスセル群 208 は、リファレンスセル群 208 のうち、第 2 ロウデコーダ 209 からの選択信号 W r e f がいずれかのリファレンスセルのワード線に印加される。

【0043】

ゲート電圧発生回路 207 は、オフリーク電流対策回路 210 からの指示に応じて第 1 ロウデコーダ 203 とオフリーク電流対策回路 210 とへ電圧を印加する。例えば、ゲート電圧発生回路 207 からオフリーク電流対策回路 210 への信号は、V W r e f である。

30

【0044】

図 3 は、オフリーク電流対策回路とオフリーク電流対策回路周辺の具体例を示す説明図である。図 3 には、記憶装置 100 の一部を示す。ここでは、記憶装置 100 のうち、メモリセル T R 1 ~ T R 3 と、コラムデコーダ 204 と、ダミーリファレンスセル T D r e f と、リファレンスセル T r e f と、第 2 ロウデコーダ 209 と、オフリーク電流対策回路 210 と、センスアンプ 301 と、を示す。

【0045】

メモリセル T R 1 ~ メモリセル T R 3 は、ビット線 B L 1 に接続される複数の第 1 メモリセルである。リファレンスセル T r e f は、オフリーク電流対策回路 210 に接続され、オフリーク電流対策回路 210 によってゲート電圧が制御される第 2 メモリセルである。ダミーリファレンスセル T D r e f は、ビット線 B L 1 のうちのセンスアンプ 301 と複数のメモリセル T R 1 ~ T R 3 との間に接続される第 3 メモリセルである。コラムデコーダ 204 は、指定されたビット線 B L を選択する。図 3 の例では、コラムデコーダ 204 は、ビット線 B L 1 を選択する。センスアンプ 301 は、例えば、ビット線を流れる第 1 電流の値と、リファレンスセル T r e f のドレインとソースとの間を流れる第 2 電流の値と、を比較する。これにより、センスアンプ 301 は、ビット線を流れる第 1 電流の値と、リファレンスセル T r e f のドレインとソースとの間を流れる第 2 電流の値と、が一致したか否かを検出する検出部である。

40

【0046】

50

オフリーク電流対策回路 210 は、制御回路 302 と、判定回路 303 と、電圧補正回路 304 と、を有する。電圧補正回路 304 は、切り替え情報に応じてリファレンスセル T_{ref} へ印加される電圧を切り替える電圧印加部 103 である。センスアンプ 301 と制御回路 302 とは、例えば、ダミーリファレンスセル T_{Dref} が消去状態となった後にダミーリファレンスセル T_{Dref} のドレインとソースとの間を流れる電流値と、リファレンスセル T_{ref} のドレインとソースとの間を流れる電流値と、の一致を検出する検出部 101 である。判定回路 303 は、制御回路 302 によって一致が検出された場合に電圧補正回路 304 によってリファレンスセル T_{ref} のワード線へ印加している電圧を示す情報を記憶する記憶部 102 である。ここで、制御回路 302 と、判定回路 303 と、電圧補正回路 304 と、の具体例について図 4～6 を用いて説明する。

10

【0047】

図 4 は、制御回路と判定回路例 1 を示す説明図である。制御回路 302 は、メモリセルのビット線電流とリファレンスセル T_{ref} のビット線電流とがセンスアンプ 301 によって比較された比較信号 $SAS1$ と、ダミーリファレンスセル T_{Dref} のワード線を選択する選択信号 WD_{ref} と、を入力として受け付ける。制御回路 302 は、AND ゲート 401 と、AND ゲート 402 と、インバータ 403 と、を有する。例えば、ダミーリファレンスセル T_{Dref} のワード線を選択する選択信号 WD_{ref} が 1 になるため、制御回路 302 は、AND ゲート 402 によって、選択信号 WD_{ref} の状態に応じて比較信号 $SAS1$ を一致信号 mat として判定回路 303 や外部へ出力する。選択信号 WD_{ref} が 1 の場合にはダミーリファレンスセル T_{Dref} が選択され、選択信号 WD_{ref} が 0 の場合にはダミーリファレンスセル T_{Dref} が選択されていない。

20

【0048】

また、制御回路 302 は、選択信号 WD_{ref} が 1 になると、比較信号 $SAS1$ の値が 1 であれば、1 を判定回路 303 へ出力し、比較信号 $SAS1$ の値が 0 であれば、0 を判定回路 303 へ出力する。判定回路 303 は、例えば、FF (フリップフロップ) 411 - 0 ~ FF 411 - n を有する。各 FF 411 は、データ信号として $OLM < 0 > \sim OLM < n >$ を受け付ける。 OLM は、上述したリファレンスセル T_{ref} のワード線に印加する電圧を切り替えるための切り替え情報であり、例えば、電圧を示す情報であるまた、各 FF 411 は、クロック信号として制御回路 302 からの信号を受け付ける。

【0049】

また、制御回路 302 は、例えば、選択信号 WD_{ref} の値が 1 である場合に、データバッファ 212 などの外部に比較信号 $SAS1$ を比較信号 $SAS2$ として出力せず、選択信号 WD_{ref} の値が 0 である場合に、データバッファ 212 などの外部に比較信号 $SAS1$ を比較信号 $SAS2$ として出力する。これにより、オフリーク電流検出およびリファレンス電圧調整中には、比較信号 $SAS1$ がデータ信号として外部に出力されない。

30

【0050】

図 5 は、電圧補正回路例 1 を示す説明図である。電圧補正回路 304 は、例えば、 $OLM < 0 > \sim OLM < n >$ の各々に対応してスイッチ 501 - 0 ~ スwitch 501 - n と、分圧用の抵抗 $r_0 \sim r_n$ と、を有する。抵抗 $r_0 \sim r_n$ の値は、選択可能な電圧値に基づいて決定される。スイッチ 501 - 0 ~ スwitch 501 - n は、例えば、トランスマッションゲートと、インバータと、の組み合わせである。例えば、 $OLM < 1 >$ が 0 であり、 $OLM < 1 >$ 以外が 0 であると、スイッチ 501 - 1 がオン状態となり、抵抗 r_1 から抵抗 r_n によって分圧された電圧がリファレンスセル T_{ref} の W_{ref} に供給される。

40

【0051】

図 6 は、制御回路と判定回路と電圧補正回路例 2 を示す説明図である。判定回路 303 と電圧補正回路 304 とについては例 1 と同じであるため、詳細な説明を省略する。制御回路 302 は、例えば、AND ゲート 402 を有する。例 1 の制御回路 302 と例 2 の制御回路 302 との違いは、信号 $SAS1$ をそのまま $SAS2$ として出力することであるため、例 2 の制御回路 302 には、AND ゲート 401 とインバータ 403 とが含まれない。

50

【 0 0 5 2 】

つぎに、全体の動作について説明する。まず、＜ 1 ＞制御回路 2 0 6 は、外部信号 s_1 によってオフリーク電流検出 & リファレンス電圧調整についてのコマンドを受け付ける。

【 0 0 5 3 】

＜ 2 ＞ゲート電圧発生回路 2 0 7 は、下限電圧値 ($SPGMV$) である選択信号 W_{Dref} をオフリーク電流対策回路 2 1 0 へ出力する。また、ゲート電圧発生回路 2 0 7 は、下限電圧値 ($SPGMV$) である信号 s_6 を第 1 ロウデコーダ 2 0 3 へ出力する。

【 0 0 5 4 】

＜ 3 ＞第 1 ロウデコーダ 2 0 3 は、指定されたビット線に接続されたメモリセルの各ワード線へ電圧値が 0 [V] である信号を出力する。第 1 ロウデコーダ 2 0 3 は、所望のビット線に対応するダミーリファレンスセル T_{Dref} のワード線に下限電圧値である選択信号 W_{Dref} を出力する。

10

【 0 0 5 5 】

＜ 4 ＞オフリーク電流対策回路 2 1 0 は、選択信号 W_{Dref} をトリガにして、リファレンスセル T_{ref} に、選択信号 W_{ref} の入力を開始する。

【 0 0 5 6 】

＜ 5 ＞制御回路 2 0 6 は、 $OLM < 0 : n >$ を 0 から順にインクリメントする。オフリーク電流対策回路 2 1 0 は、 $OLM < 0 : n >$ がインクリメントされると、リファレンスセル T_{ref} 側のワード線へ印加される選択信号 W_{ref} の電圧値を、 V_{Wref} と $OLM < 0 : n >$ とに基づく抵抗分割より下限電圧値から順に上昇させる。

20

【 0 0 5 7 】

＜ 6 ＞オフリーク電流対策回路 2 1 0 は、センスアンプ 3 0 1 によって一致が検出された場合に、一致信号 mat を制御回路 3 0 2 へ出力する。

【 0 0 5 8 】

＜ 7 ＞制御回路 2 0 6 は、一致信号 mat を受け付けると、オフリーク電流対策回路 2 1 0 に記憶された電圧を示す情報である $OLME < 0 : n >$ を取得する。そして、制御回路 2 0 6 は、所望のビット線のオフリーク電流検出 & リファレンス電圧調整を終了する。記憶装置 1 0 0 を試験可能な試験装置によって OLM が制御される場合、制御回路 2 0 6 は、取得した $OLME < 0 : n >$ を外部信号 s_2 として出力する。また、制御回路 2 0 6 によって OLM が制御される場合、制御回路 2 0 6 は、取得した $OLME < 0 : n >$ を制御回路 3 0 2 に設けられたレジスタに格納する。

30

【 0 0 5 9 】

図 7 は、制御回路による制御処理手順例を示すフローチャートである。制御回路 2 0 6 は、ビット線に接続されているすべてのメモリセルのワード線の電圧を 0 [V] の状態に設定する (ステップ S 7 0 1)。制御回路 2 0 6 は、ワード線の電圧を消去の閾値電圧の下限電圧値に設定する (ステップ S 7 0 2)。

【 0 0 6 0 】

制御回路 2 0 6 は、 $i = 0$ に設定する (ステップ S 7 0 3)。そして、制御回路 2 0 6 は、 $OLM < 0 : n >$ を 0 に設定する (ステップ S 7 0 4)。制御回路 2 0 6 は、一致信号 mat を受け付けたか否かを判断する (ステップ S 7 0 5)。一致信号 mat を受け付けていないと判断された場合 (ステップ S 7 0 5 : No)、制御回路 2 0 6 は、 $OLM < 0 : n >$ がすべて 0 であるか否かを判断する (ステップ S 7 0 6)。 $OLM < 0 : n >$ がすべて 0 であると判断された場合 (ステップ S 7 0 6 : Yes)、制御回路 2 0 6 は、ステップ S 7 0 9 へ移行する。

40

【 0 0 6 1 】

$OLM < 0 : n >$ がすべて 0 でないと判断された場合 (ステップ S 7 0 6 : No)、制御回路 2 0 6 は、 $i = n$ であるか否かを判断する (ステップ S 7 0 7)。 $i = n$ でないと判断された場合 (ステップ S 7 0 7 : No)、制御回路 2 0 6 は、 $i = i + 1$ を行う (ステップ S 7 0 8)。制御回路 2 0 6 は、 $OLM < 0 : n >$ のうち、 $OLM < i >$ を 1 に設定し、 $OLM < i >$ 以外を 0 に設定し (ステップ S 7 0 9)、ステップ S 7 0 5 へ戻る。

50

i nであると判断された場合（ステップS707：Yes）、制御回路206は、エラー出力を行い（ステップS710）、一連の処理を終了する。

【0062】

ステップS705において、一致信号matを受け付けたと判断された場合（ステップS705：Yes）、制御回路206は、電圧を示す情報を取得し（ステップS711）、一連の処理を終了する。

【0063】

また、ここでは、制御回路206による制御処理手順としているが、同一の処理が試験装置によって行われてもよい。

【0064】

図8は、試験装置による消去試験処理手順例を示すフローチャートである。まず、試験装置は、予備書き込みを行う（ステップS801）。試験装置は、セル消去を行う（ステップS802）。試験装置は、消去上限Verifyを行い、PassしたかFailしたかを判定する（ステップS803）。

【0065】

Failしたと判定された場合（ステップS803：Fail）、試験装置は、ステップS802へ戻る。Passしたと判定された場合（ステップS803：Pass）、試験装置は、全ビットPassしたか否かを判断する（ステップS804）。全ビットPassしていない判断された場合（ステップS804：No）、試験装置は、ステップS802へ戻る。

【0066】

全ビットPassしたと判断された場合（ステップS804：Yes）、試験装置は、オフリーク電流検出&リファレンス電圧調整を行う（ステップS805）。試験装置は、リファレンス電圧調整において取得した情報に基づいて、消去下限Verifyを行い、PassしたかFailしたかを判定する（ステップS806）。ステップS806においては、試験装置は、リファレンスセルTrefのワード線に印加する電圧がリファレンス電圧調整において取得した情報が示す電圧になるようにしつつ、消去下限Verifyを行う。

【0067】

Passしたと判定された場合（ステップS806：Pass）、試験装置は、ステップS810へ移行する。Failしたと判定された場合（ステップS806：Fail）、試験装置は、セル書き戻しを行う（ステップS807）。つぎに、試験装置は、オフリーク電流検出&リファレンス電圧調整を行う（ステップS808）。

【0068】

そして、試験装置は、取得した情報に基づいて、消去下限Verifyを行いPassしたかFailしたかを判定する（ステップS809）。Failしたと判定された場合（ステップS809：Fail）、試験装置は、ステップS807へ戻る。Passしたと判定された場合（ステップS809：Pass）、試験装置は、最終アドレスであるかを判定する（ステップS810）。最終アドレスでないと判定された場合（ステップS810：No）、試験装置は、アドレスインクリメントを行い（ステップS811）、ステップS806へ戻る。最終アドレスであると判定された場合（ステップS810：Yes）、試験装置は、一連の処理を終了する。

【0069】

図9は、リファレンスセルへの電圧を調整した場合としない場合との比較例1を示す説明図である。図9（1）には、リファレンスセルTrefのワード線に与える電圧を調整していない場合におけるCG電圧とIDSとの相関のグラフを示す。図9（2）には、リファレンスセルTrefのワード線に与える電圧を調整した場合におけるCG電圧とIDSとの相関のグラフを示す。図9（1）と図9（2）には、CG電圧に対する、正常セルのドレインとソースとの間を流れる電流値と、過消去メモリセルのドレインとソースとの間を流れる電流値と、の相関を示す。また、図9（1）と図9（2）には、CG電圧に対

10

20

30

40

50

する、過消去メモリセルと同一ビット線上にある正常セルのドレインとソースとの間を流れる電流値と、リファレンスセル T_{ref} のドレインとソースとの間を流れる電流値と、の相関を示す。

【0070】

図9(1)のグラフでは、リファレンスセル T_{ref} のドレインとソースとの間の電流である I_{ref} が、リークオフ電流である I_{off} と正常セルのドレインとソースとの間の電流である I_c と、の合計値よりも少ない。そのため、正常セルが異常セルであると誤判定される。一方、図9(2)のグラフでは、リファレンスセル T_{ref} のドレインとソースとの間の電流である I_{ref} が、リークオフ電流である I_{off} と正常セルのドレインとソースとの間の電流である I_c と、の合計値よりも多い。そのため、正常セルが異常セルであると誤判定されない。

10

【0071】

図10は、リファレンスセルへの電圧を調整した場合としない場合との比較例2を示す説明図である。図10(1)には、リファレンスセル T_{ref} への電圧を調整しない場合における V_{th} とメモリセル数との相関のグラフを示す。図10(2)には、リファレンスセル T_{ref} への電圧を調整する場合における閾値電圧 V_{th} とメモリセル数との相関のグラフを示す。

【0072】

図10(1)に示すように、一部のメモリセルは、閾値電圧 V_{th} が正常であるにもかかわらず、オフリーク電流によって閾値電圧の上限値 ERV を超えてしまう場合がある。これに対して、図10(2)に示すように、過消去メモリセルと同一ビット線に接続されたメモリセルの消去試験時に、上限値 ERV に対してオフセット V_{offset} が加えられる。そのため、図10(2)に示すように、該メモリセルの閾値電圧が上限値 ERV を超えても、該メモリセルは正常なセルであると判定される。

20

【0073】

以上説明したように、記憶装置は、ダミーセルを消去状態の時のビット線の電流値と印加電圧を切り替え可能なリファレンスセルの電流値とが一致した時の印加電圧を検出する。これにより、ビット線のオフリーク電流が特定でき、正常セルが過消去メモリセルと誤判定されるのを抑止する。例えば、検出した印加電圧によって消去試験が行われれば、オフリーク電流に対応する電圧値が印加されたリファレンスセルの電流値と各メモリセルの電流値とを比較することができる。

30

【0074】

また、ダミーメモリセルは、ビット線のうちの、メモリセルとセンスアンプとの間の部分に接続される。これにより、ダミーメモリセルを複数のビット線で共通化することができる。

【0075】

以上説明したように、制御方法によれば、ダミーセルを消去状態の時のビット線の電流値と、印加電圧を切り替え可能なリファレンスセルの電流値と、が一致した時の該印加電圧を検出し、検出した印加電圧をリファレンスセルに与えた状態で消去試験を行う。これにより、リファレンスセルのドレインとソースとの間の電流がオフリーク電流だけ増えた状態となり、オフリーク電流が相殺した状態で消去試験が行われる。したがって、正常セルが過消去メモリセルと誤判定されるのを抑止することができる。

40

【0076】

リファレンスセルの印加電圧を値が低い順に切り替えていき、一致を検出した時点で切り替えを終了する。これにより、印加電圧による消去試験にかかる時間の短縮を図ることができる。

【0077】

なお、本実施の形態で説明した制御方法は、予め用意された制御プログラムを試験装置、パーソナル・コンピュータやワークステーション等のコンピュータで実行することにより実現することができる。本制御プログラムは、磁気ディスク、光ディスク、USB(U

50

niversal Serial Bus) フラッシュメモリなどのコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。また、制御プログラムは、インターネット等のネットワークを介して配布してもよい。

【0078】

上述した実施の形態に関し、さらに以下の付記を開示する。

【0079】

(付記1) 同一のビット線に接続された複数の第1メモリセルと、
前記複数の第1メモリセルと異なる第2メモリセルと、
前記第2メモリセルと設計上同一であり、前記ビット線に接続された第3メモリセルと

10

、
受け付けた切り替え情報に応じて、前記第2メモリセルのワード線へ印加する電圧を切り替える電圧印加部と、

前記第3メモリセルがデータを消去する状態である時に、前記ビット線を通る第1電流の値と、前記第2メモリセルのドレインとソースとの間を通る第2電流の値と、の一致を検出する検出部と、

前記検出部によって前記一致が検出された場合に前記電圧印加部が前記第2メモリセルのワード線へ印加している電圧を示す情報を記憶する記憶部と、

を有することを特徴とする記憶装置。

20

【0080】

(付記2) 前記検出部は、前記ビット線を通る第1電流の値と、前記第2メモリセルのドレインとソースとの間を通る第2電流の値と、を比較するセンスアンプを有し、

前記第3メモリセルは、前記ビット線のうちの、前記複数の第1メモリセルと前記センスアンプとの間の部分に接続されることを特徴とする付記1に記載の記憶装置。

【0081】

(付記3) 前記第3メモリセルは、ワード線に印加される電圧に対するドレインとソースとの間に通る電流の特性が前記第2メモリセルと同一である

ことを特徴とする付記1または2に記載の記憶装置。

【0082】

(付記4) 同一のビット線に接続された複数の第1メモリセルと、前記複数の第1メモリセルと異なる第2メモリセルと、前記第2メモリセルと設計上同一であり、前記ビット線に接続された第3メモリセルと、を有する記憶装置の記憶方法であって、

30

受け付けた切り替え情報に応じて、前記第2メモリセルのワード線へ印加する電圧を切り替え、

前記第3メモリセルがデータを消去する状態である時に、前記ビット線を通る第1電流の値と、前記第2メモリセルのドレインとソースとの間を通る第2電流の値と、の一致を検出し、

前記一致が検出された場合に前記第2メモリセルのワード線へ印加している電圧を示す情報を記憶する、

ことを特徴とする記憶方法。

40

【0083】

(付記5) 前記第3メモリセルは、ワード線に印加される電圧に対するドレインとソースとの間に通る電流の特性が前記第2メモリセルと同一である

ことを特徴とする付記4に記載の記憶方法。

【0084】

(付記6) 同一のビット線に接続された複数の第1メモリセルと、
前記複数の第1メモリセルと異なる第2メモリセルと、
前記第2メモリセルと設計上同一であり、前記ビット線に接続された第3メモリセルと

、
受け付けた切り替え情報に応じて、前記第2メモリセルのワード線へ印加する電圧を切

50

り替える電圧印加部と、

前記第 3 メモリセルがデータを消去する状態である時に、前記ビット線を流れる第 1 電流の値と、前記第 2 メモリセルのドレインとソースとの間を流れる第 2 電流の値と、の一致を検出する検出部と、

前記検出部によって前記一致が検出された場合に前記電圧印加部が前記第 2 メモリセルのワード線へ印加している電圧を示す情報を記憶する記憶部と、

を有する記憶装置の前記複数の第 1 メモリセルと前記第 3 メモリセルとに対してデータを書き込み、

前記第 3 メモリセルに対してデータを消去し、

前記検出部によって前記一致が検出されるまで、前記第 2 メモリセルのワード線へ印加する電圧が所定範囲内の各電圧になるように前記切り替え情報を前記電圧印加部へ入力し、

前記検出部によって前記一致が検出された場合に、前記記憶部に記憶された前記情報を取得し、

前記第 2 メモリセルのワード線へ印加する電圧を取得した前記情報が示す電圧にする切り替え情報を前記電圧印加部に与えて、前記複数の第 1 メモリセルの各々に対してデータを消去させる、

ことを特徴とする制御方法。

【 0 0 8 5 】

(付記 7) 前記切り替え情報を前記電圧印加部へ入力する際に、前記第 2 メモリセルのワード線へ印加する電圧が、前記所定範囲内の各電圧のうちの値が低い電圧順に切り替わるように前記切り替え情報を前記電圧印加部へ入力することを特徴とする付記 6 に記載の制御方法。

【 0 0 8 6 】

(付記 8) 前記第 3 メモリセルは、ワード線に印加される電圧に対するドレインとソースとの間に流れる電流の特性が前記第 2 メモリセルと同一である

ことを特徴とする付記 6 または 7 に記載の制御方法。

【 符号の説明 】

【 0 0 8 7 】

- 1 0 0 記憶装置
- 1 0 1 検出部
- 1 0 2 記憶部
- 1 0 3 電圧印加部
- 1 0 4 切り替え情報
- C 1 第 1 メモリセル
- C 2 第 2 メモリセル
- C 3 第 3 メモリセル

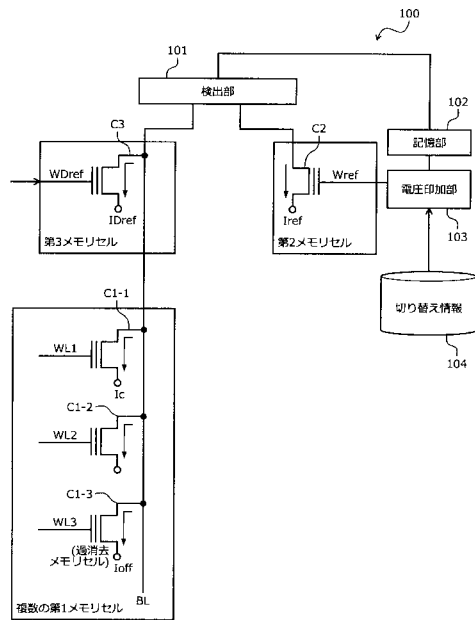
10

20

30

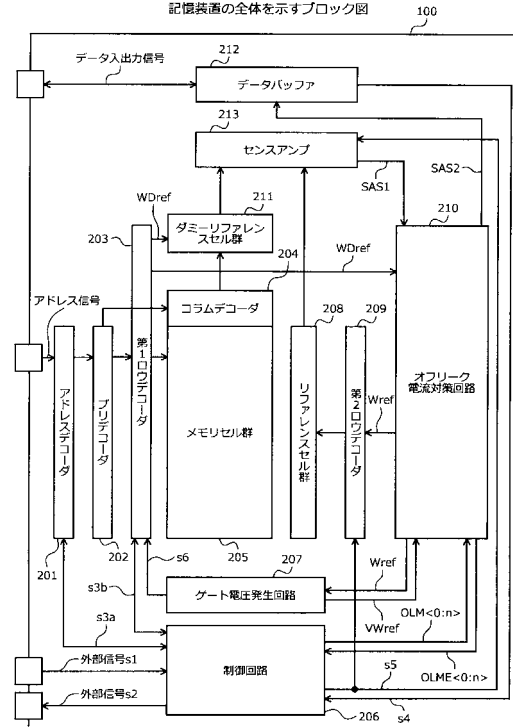
【図1】

本発明にかかる記憶装置例を示す説明図



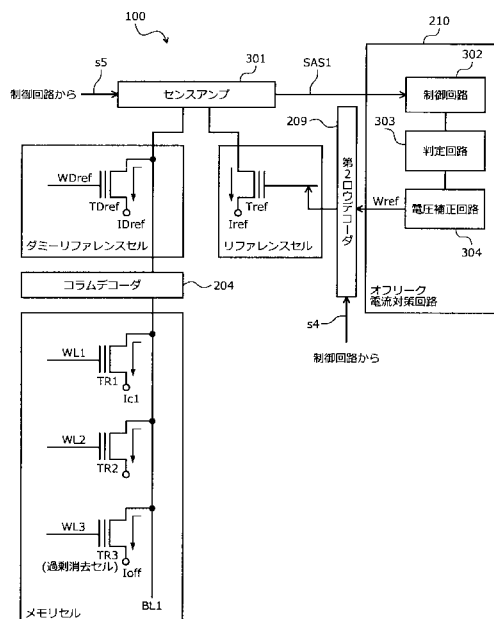
【図2】

記憶装置の全体を示すブロック図



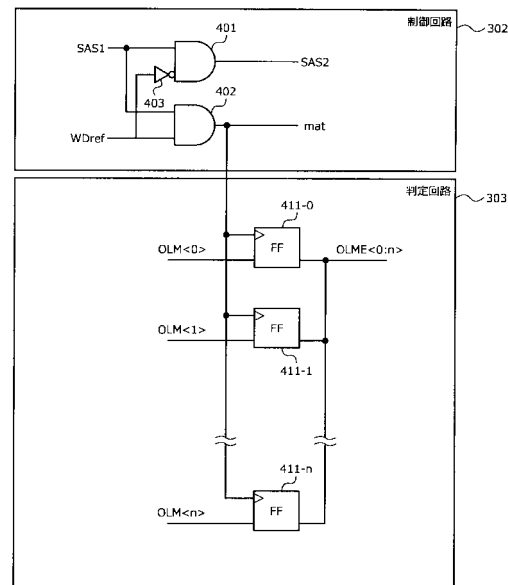
【図3】

オフリーク電流対策回路とオフリーク電流対策回路周辺の具体例を示す説明図



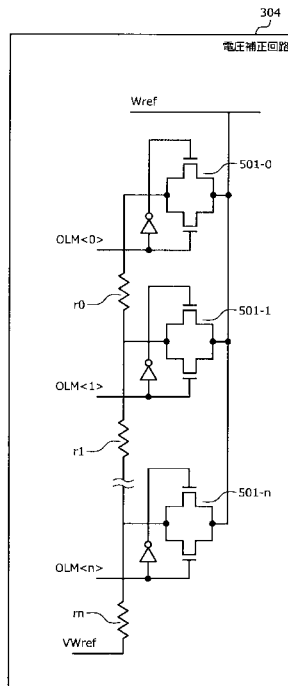
【図4】

制御回路と判定回路例1を示す説明図



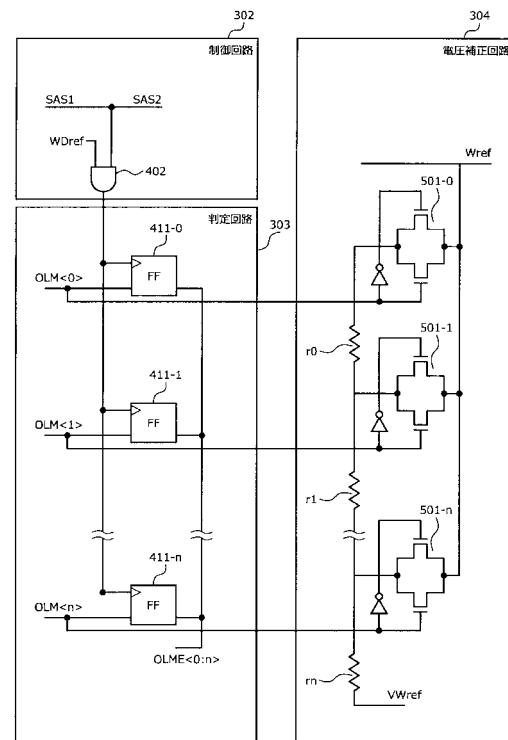
【図5】

電圧補正回路1を示す説明図



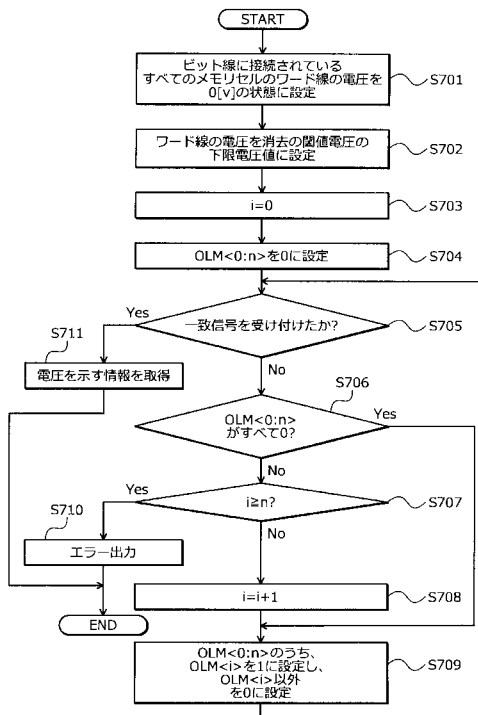
【図6】

制御回路と判定回路と電圧補正回路2を示す説明図



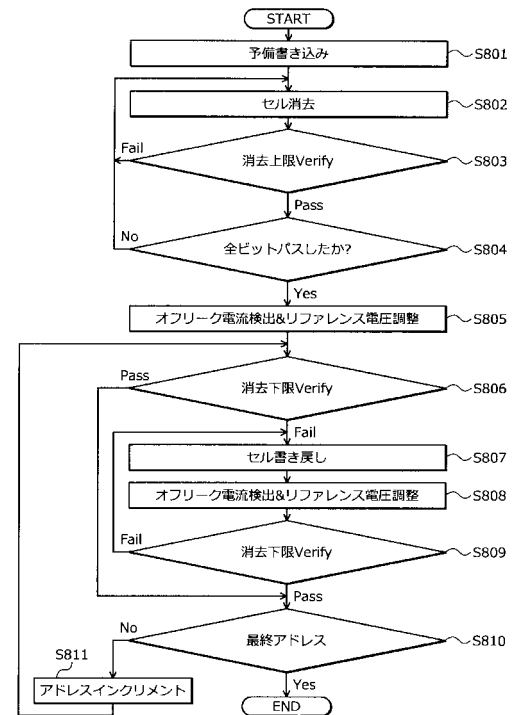
【図7】

制御回路による制御処理手順例を示すフローチャート

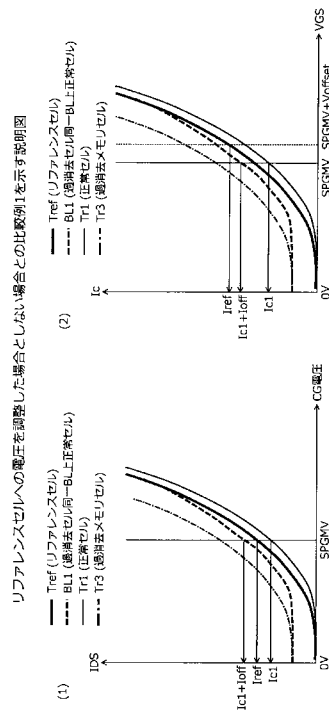


【図8】

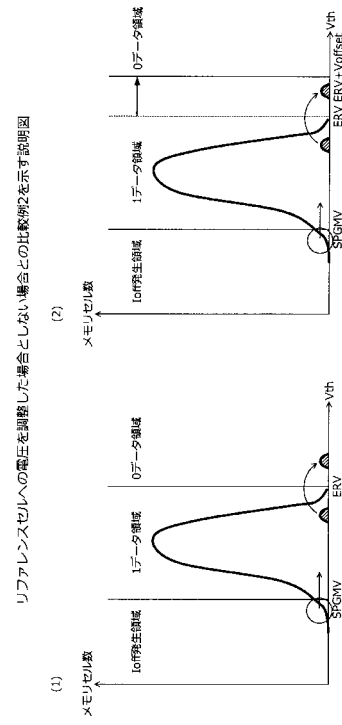
試験装置による消去試験処理手順例を示すフローチャート



【図 9】



【図 10】



フロントページの続き

F ターム(参考) 5B225 BA02 CA17 DC08 DC09 DC10 DE07 DE20 EB09 ED04 EE02
EE08 EE11 EG10 EG14 EJ09 EJ10 FA01 FA05