

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 29/00

(45) 공고일자 1994년02월04일
(11) 공고번호 특 1994-0000902

(21) 출원번호	특 1990-0006247	(65) 공개번호	특 1990-0019047
(22) 출원일자	1990년05월03일	(43) 공개일자	1990년12월22일
(30) 우선권 주장	89-116527 1989년05월09일 일본(JP)		
(71) 출원인	미쓰비시 덴끼 가부시끼가이샤	시기 모리야	
	일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3		
(72) 발명자	오오이시 쓰가사		
	일본국 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤		
	엘.에스. 아이겐규쇼내		
	마쓰다 요시오		
	일본국 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤		
	엘.에스. 아이겐규쇼내		
	아리모도 가즈다미		
	일본국 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤		
	엘.에스. 아이겐규쇼내		
	쓰구데 마사끼		
	일본국 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤		
	엘.에스. 아이겐규쇼내		
	후지시마 가즈야쓰		
	일본국 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤		
	엘.에스. 아이겐규쇼내		
(74) 대리인	김영길		

심사관 : 안대진 (책자공보 제3530호)

(54) 반도체 기억장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 이 발명의 한 실시예의 한 용장회로(冗長回路)를 구비하고, 어드레스 입력으로서 A0~A7의 신호를 갖고, 메모리셀 어레이를 2분의 1분할 동작시키는 64K 비트의 종래의 반도체 기억장치의 구성을 표시하는 블록도.

제2도는 제1도의 반도체 기억장치에 포함되는 Rx 서브디코더(15)의 회로를 표시하는 도면.

제3도는 제1도의 반도체 기억장치에 포함되는 스페어행 디코더(5a)의 회로를 표시하는 도면.

제4도는 제1도의 반도체기억장치에 포함되는 스페어 Rx 서브디코더(19)의 회로를 표시하는 도면.

제5도는 제1도의 반도체기억장치에 포함되는 스페어행 디코더 선택신호발생회로(18)의 회로를 표시하는 도면.

제6도는 스페어행 디코더 선택신호발생회로가 메모리셀 어레이의 블록분할 동작의 수만큼 배치된 종래의 반도체기억장치의 구성을 표시하는 블록도.

제7도는 제8도, 제9도는, 제6도에 포함되는 행 프리디코더(9)의 일부분의 구성을 표시하는 도면.

제10도는 제9도에 포함되는 Rx 서브디코더(15)의 구성을 표시하는 도면.

제11도는 제9도에 포함되는 블록제어발생회로(47)의 구성을 표시하는 도면.

제12도는 제9도에 포함되는 메모리셀어레이(1a) 및 그 주변부의 상세한 구성을 표시하는 도면.

제13도는 제12도에 포함되는 행 디코더(4x), 워드 드라이버(3x)의 구체적인 회로구성을 표시하는 도면.

제14도는 제12도에 포함되는 Rx 서브디코더(15)의 회로를 표시하는 도면.

제15도는 제12도에 포함되는 스페어 행 디코더(5a)의 구체적인 회로구성을 표시하는 도면.

제16도는 제6도에 포함되는 스페어 Rx 서브디코더(19)의 회로를 표시하는 도면.

제17도는 제6도에 포함되는 스페어 행 디코더 선택신호발생회로(18a)의 회로를 표시하는 도면이다.

* 도면의 주요부분에 대한 부호의 설명

1a, 1b : 메모리셀 어레이 2a, 2b : 스페어 행
4a, 4b : 행 디코더그룹 5a, 5b : 스페어 행 디코더

또한 각도중 동일부호는 동일 또는 상당부분을 표시한다.

[발명의 상세한 설명]

이 발명은, 반도체기억장치에 관하여, 특히 용장회로를 구비한 반도체기억장치에 관한 것이다.

제6도는 용장회로를 구비하여 어드레스 입력으로서 A0~A7의 신호를 갖고 메모리셀 어레이를 2분의 1분할동작시키는 64K비트의 종래의 반도체기억장치의 구성을 표시하는 블록도이다. 제6도에 있어서, 메모리셀 어레이(1a, 1b)는 복수행 및 복수열로 배열된 복수의 메모리셀을 포함한다. 또, 메모리셀 어레이(1a, 1b) 각각은, 복수행으로 배열된 스페어메모리셀로 이루어지는 스페어행(2a, 2b)을 포함한다.

RAS 버퍼(12)는 외부로부터 부여되는 로우어드레스 스트로브신호/RAS에 응답하여 행어드레스 버퍼(8)/φp 발생회로(14), Rx 발생회로(16) 및 센스앰프 제어회로(17)를 활성화시킨다. /φp 발생회로(14), Rx발생회로(16)는, 소정의 타이밍에서 각각 프리차지 신호(/φp) 및 구동신호(Rx)를 발생한다.

CAS 버퍼(13)는, 외부로부터 부여되는 컬럼어드레스 스트로브신호(/CAS)에 응답하여 열 어드레스버퍼(10) 및 리드.라이트 버퍼(20)를 활성화시킨다. 행어드레스버퍼(8)는, 외부로부터 부여되는 어드레스신호(A0~A7)를 래치하여 그들의 일부를 행어드레스신호(RA2~RA6)로서 행 프리디코더(9)에 부여하고, 나머지를 행어드레스신호(RA0~RA1)로서 Rx 서브디코더(15)에 부여하고 또, 행어드레스신호(RA7)를 블록제어신호발생회로(47)에 부여한다. 행프리 디코더(9)는, 행어드레스버퍼(8)로부터 부여되는 행어드레스신호(RA2~RA6)를 프리디코드하여 행 선택신호(Xi, Xj, Xk)를 행 디코더그룹(4a, 4b)에 부여한다.

행프리디코더(9)는, 행 어드레스버퍼(8)로부터 부여되는 행어드레스신호(RA2~RA)를 프리디코드하여 행 선택신호(Xi, Xj, Xk)를 행디코더그룹(4a, 4b)에 부여한다. 행디코더그룹(4a, 4b)은, /φP 발생회로(14)로부터의 프리차지신호(/φp)에 응답하여 행선택신호(Xi, Xj, Xk)에 의거하여 메모리셀 어레이(1a, 1b)의 4행을 선택한다.

Rx 서브디코더(15)는 Rx 발생회로(16)로부터의 구동신호(Rx)에 응답하여 행어드레스버퍼(8)로부터 부여되는 행어드레스 신호(RA0~RA1)에 의거하여 서브 디코드신호(Rx1~Rx4)를 워드 드라이버그룹(3)에 부여한다. 워드 드라이버그룹(3)은 서브 디코드신호(Rx1~Rx4)에 응답하여 행디코드 그룹(4a, 4b)에서 선택된 4행중 1행의 워드선을 통한다. 열어드레스버퍼(10)는, 외부로부터 부여되는 어드레스신호(A0~A7)를 래치하여 그들을 열 어드레스신호로서 열 프리디코더(11)에 부여한다. 열프리 디코더(11)는 열 어드레스신호를 프리 디코드하여, 열 선택신호를 열디코더그룹(6a, 6b)에 부여한다.

열 디코더그룹(6a, 6b)는, 열선택신호에 의거하여 메모리셀어레이(1a, 1b)의 1열을 선택한다. 블록제어신호발생회로(47)는, 행어드레스신호(RA7)을 사용하여 2분의 1분할동작의 메모리셀 어레이(1a, 1b)의 블록을 선택하는 블록제어신호(BSa, BSb)를 발생시킨다.

스페어 Rx 서브디코더(19)는, 스페어행 디코더 선택회로(/SREa, /SREb)를 받아서 스페어서브의 로드신호(SRx1~SRx4)를 발생시킨다. 스페어행 디코더 선택신호발생회로(18a, 18b)는 서브디코드신호(Rx1~Rx4)를 비활성화시켜, 스페어행디코더(5a, 5b)의 어느쪽인가 한쪽을 활성화시키는 스페어행 디코더선택신호(/SREa, /SREb)를 발생시킨다.

이와같이하여, 1개의 워드선 및 1개의 비트선이 선택되어, 그들의 교점이 있는 메모리셀에 대하여 정보의 판독 또는 기록이 행하여 진다. 정보의 판독 및 기록은, 리드.라이트버퍼(20)에 의하여 선택된다.

리드.라이트버퍼(20)는, 외부로부터 부여되는 리드.라이트신호(R/W)에 응답하여, 입력버퍼(21) 또는 출력버퍼(22)를 활성화시킨다. 입력버퍼(21)가 활성화되면, 입력데이터(Dim)가 상기와 같이하여 선택된 메모리셀에 기록된다. 출력버퍼(2a)가 활성화되면 상기와 같이하여 선택된 메모리셀에 축적되어 있던 정보가 출력데이터(Doust)로서 판독된다.

제7도는 제6도에 포함되는 행프리디코더(9)의 일부분의 구성을 표시하는 도면이며, 특히 행선택신호(X_i)를 발생시키기 위한 회로부분이 표시되어 있다. 여기에서는 X_i 는 X_5, X_6, X_7, X_8 의 어느것인가를 의미하고 있다.

게이트회로(23)는, 행 어드레스신호(RA2)를 받아 그것과 같은 신호(RA2)와 그 행어드레스신호(RA2)를 반전시킨 신호($\overline{RA2}$)를 출력한다. 게이트회로(24)는 행 어드레스신호(RA3)을 받아 그것과 같은 신호(RA3)와 그 행어드레스신호(RA3)를 반전시킨 신호($\overline{RA3}$)와를 출력한다. 게이트회로(25,26,27,28)에는, 각각 신호(RA2, $\overline{RA2}$)의 어느것인가 한쪽, 및 신호(RA3, $\overline{RA3}$)의 어느것인가 한쪽의 조합은, 게이트회로(25,26,27,28)에서 서로 다르게 되어 있다.

게이트회로(25,26,27,28)로부터는, 각각 행선택신호(X_5, X_6, X_7, X_8)가 출력된다. 행 어드레스신호(RA2,RA3)의 레벨에 응하여 행선택신호(X_5, X_6, X_7, X_8)중 어느것인가 1개가 "H" 레벨로 되어 다른 것은 모두 "L" 레벨로 된다.

제8도는 제6도에 포함되는 행 프리디코더(9)의 한부분의 구성을 표시하는 도면이며, 특히 행선택신호(X_j)를 발생시키기 위한 회로부분에 표시되어 있다. 여기에서 X_j 는 $X_9, X_{10}, X_{11}, X_{12}$ 의 어느것인가를 의미하고 있다.

게이트회로(29)는 행 어드레스신호(RA4)를 받아, 그것과 같은 신호(RA4)와 그 행어드레스신호(RA4)를 반전시킨 신호($\overline{RA4}$)와를 출력한다. 게이트회로(30)는, 행어드레스신호(RA5)를 받아 그것과 같은 신호(RA5)와 그 행 어드레스신호(RA5)를 반전시킨 신호($\overline{RA5}$)와를 출력한다.

게이트회로(31,32,33,34)에는, 각각 신호(RA4, $\overline{RA4}$)의 어느것인가 한쪽, 및 신호(RA5, $\overline{RA5}$)의 어느것인가 한쪽이 입력한다. 신호(RA4, $\overline{RA4}$)의 어느것인가 한쪽, 및 신호(RA5, $\overline{RA5}$)의 어느것인가 한쪽의 조합은, 게이트회로(31,32,33,34)에서 서로 다르게 되어 있다. 게이트회로(31,32,33,34)로부터는 각각 행선택신호($X_9, X_{10}, X_{11}, X_{12}$)가 출력된다. 행어드레스신호(RA4, RA5)의 레벨에 응하여 행선택신호($X_9, X_{10}, X_{11}, X_{12}$)중 어느것인가 1개가 "H" 레벨로 되어 기타는 "L" 레벨로 된다.

제9도는, 제6도에 포함되는 행 프리디코더(9)의 한부분의 구성을 표시하는 도면이며, 특히 행선택신호(X_u)를 발생시키기 위한 회로부분이 표시되어 있다. 여기에서 X_k 는 X_{13}, X_{14} 의 어느것인가를 의미하고 있다. 게이트회로(35)는, 행 어드레스신호(RA6)를 받아 그것과 같은 신호(RA6)와 그 행어드레스신호(RA6)를 반전시킨 신호($\overline{RA6}$)를 출력한다. 게이트회로(36,37)로부터는, 각각 행 선택신호(X_{13}, X_{14})가 출력된다. 행 어드레스신호(RA6)의 레벨에 응하여 행선택신호(X_{13}, X_{14})중 어느중인가 1개가 "H" 레벨로 되어 기타는 "L" 레벨이 된다.

제10도는 제6도에 포함되는 RX 서브디코더(15)의 구성을 표시하는 도면이다. RX1 발생회로(40), RX2 발생회로(41), RX3 발생회로(42), RX4 발생회로(43)는 각각 행어드레스신호(RA0,RA1) 및 반전신호($\overline{RA0}, \overline{RA1}$)의 레벨에 응하여 서브디코드신호(RX1,RX2,RX3,RX4)의 어느것인가 1개를 출력한다.

제11도는 제6도에 포함되는 블록제어신호(47)의 일부분의 구성을 표시하는 도면이다. 게이트회로(44)는, 행 어드레스신호(RA7)를 받아 그것과 같은 신호(RA7)와 행 어드레스(RA7)를 받아 그것과 같은 신호(RA7)와 그 행 어드레스신호(RA7)를 반전시킨 신호($\overline{RA7}$)와를 출력한다. 게이트회로(45)로부터는 각각 블록제어신호(BSa, BSb)가 출력된다. 행어드레스신호(RA6)의 레벨에 응하여 블록제어신호(BSa, BSb)중 어느것인가 1개가, "H" 레벨로 되고 다른것은 "L" 레벨로 된다.

제12도는 제6도에 포함되는 메모리셀 어레이(1a) 및 그 주변부의 상세한 구성을 표시하는 도면이다. 메모리셀 어레이(1a)내에는, 4m개의 워드선(WL) 및 복수의 비트선대(BL, \overline{BL})가 서로 교차하도록 배치되어 있다. 여기에서 m는 양의 정수이다. 또, 이들의 워드선(WL)의 측방에는 4개의 스페어 워드선(SWL)이 배치되어 있다. 각 워드선(WL)과 비트선 대(BL, \overline{BL})의 교점에는 메모리셀(MC)이 설치되고 각 스페어워드선(SWL)과 비트선대(BL, \overline{BL})의 교점에는 스페어메모리셀(SMC)이 설치되어 있다.

4m개의 워드선(WL) 및 4개의 스페어워드선(SWL)에 대응하여(4m+4)개의 워드드라이버(3X)가 설치되어 있다. 각 워드선(WL) 및 각 스페어워드선(SWL)은 대응하는 워드 드라이버(3X)에 접속되어 있다. 4m개의 워드선(WL) 및 워드드라이버(3X)는, 각각이 4개의 워드선(WL) 및 4개의 워드 드라이버(3X)로 이루어지는 m조(租)로 나누어진다. 그들의 m조에 대응하여 m개의 행 디코더(11x)가 설치되어 있다. 각 행디코더(4X)에 의하여 대응하는 4개의 워드드라이버(3X)가 선택된다. 또, 4개의 스페어 워드선(SWL) 및 4개의 워드드라이버(3X)에 대응하여 1개의 스페어행 디코더(5a)가 설치되어 있다. 그 스페어 행 디코더(5W)에서, 대응하는 4개의 워드 드라이버(3X)가 선택된다.

한편, 복수의 비트선대(BL, \overline{BL})에 대응하여 복수의 센스앰프(7X) 및 복수의 열디코더(6X)가 설치되어 있다. 각 비트선대(BL, \overline{BL})는 대응하는 센스앰프(7X) 및 대응하는 열 디코더(6X)에 접속되어 있다. 상기에 있어서 불량량의 메모리셀 또는, 불량량의 워드선이 형성된 경우에는, 그 불량량의 메모리셀 또는, 불량량의 워드선에 대응하는 행 디코더(11X)가 선택되는 대신에, 스페어행 디코더(5a)가 선택된다.

제13도는 제12도에 포함되는 행 디코더(4X) 워드 드라이버(3X)의 구체적인 회로구성을 표시하는 도면이다. 행 디코더(4X)는 N채널, MOS트랜지스터(Q1,Q2,Q3,Q4,Q7) P채널 MOS트랜지스터(Q5,Q6,Q8)에서 이루어진다. 트랜지스터(Q5)의 게이트는 프리차지신호(ϕ_p)가 부여되어 트랜지스터(Q6)의 게이트 노드(N2)에 접속되어 있다. 트랜지스터(Q1,Q2,Q3)의 게이트에는 각각 행 선택신호(X_i, X_j, X_k)가 부여되고, 트랜지스터(Q4)의 게이트에는, 블록제어신호(BSa)가 부여된다.

트랜지스터(Q7) 및 트랜지스터(Q8)가 인버터를 형성시키고 있다. 따라서, 노드(N2)의 레벨은 노드(N1)의 레벨과는 극성이 반대로 된다. 행디코더(4X)는 노드(N1), 노드(N2)는 대응하는 4개의 워드드라이버(3X)에 접속되어 있다. 워드 드라이버(3X)는 N채널 MOS 트랜지스터(Q9,Q10,Q11)로 이루어진다.

트랜지스터(Q10)는 서브 디코드신호(RX1,RX2,RX3,RX4)의 어느것인가 1개와 워드선(WL)과의 사이에

접속되어 있다.

다음에 제13도의 동작에 관하여 설명한다. 프리차지신호(/ ϕp)가 "L" 레벨일때에는 트랜지스터(Q5)가 온상태로 되어 있어 노드(N1)의 전위를 "H" 레벨로 되어 있다. 이것 때문에, 워드 드라이버(3X)의 트랜지스터(Q11)가 온상태로 되어 있어 워드선(WL)의 전위는 "L" 레벨로 되어 있다. 프리차지신호(/ ϕp)가 "H" 레벨로 상승하면 트랜지스터(Q5)가 오프가 된다. 트랜지스터(Q1,Q2,Q3,Q4)의 게이트에 부여되는 행선택신호(Xi,Xj,Xk) 및 블록제어신호(BSa)가 모두 "H" 레벨에 되면 트랜지스터(Q1,Q2,Q3,Q4)가 전부 온이된다.

노드(N1)의 전위는 "L" 레벨 노드(N2)의 전위는 "H" 레벨로 되어 워드드라이버(3X)의 트랜지스터(Q10)가 온이 되어, 트랜지스터(Q11)가 오프한다. 그리고 서브 디코드신호(RX1,RX2,RX3,RX4)의 어느것이든 1개가 "H" 레벨로 상승하면 그것에 대응하는 워드선(WL)의 전위는 "H" 레벨이 된다. 제14도는 제6도에 포함되는 RX 서브 디코더(15)의 회로를 표시하는 도면이다.

RX 서브디코더(15)는 N채널 MOS 트랜지스터(Q21,Q22,Q25,Q26,Q27,Q31,Q32,Q34,Q35), P채널 MOS 트랜지스터(Q23,Q24,Q28,Q29,Q30,Q33)로 이루어진다. 트랜지스터(Q21,Q22,Q23,Q24)에서 형성하는 NAND 회로는 스페어행 디코더선택신호(/SREa, SREb)를 반전신호를 발생시킨다. 트랜지스터(Q25,Q26,Q28,Q29,Q30)에서 형성하는 NOR 회로에는, 트랜지스터(Q21,Q22,Q23,Q24)에서 형성하는 NAND회로에서 발생된 신호와 행 어드레스신호(RA0./RA0)의 어느것이든 그리고 행 어드레스신호(RA1./RA1)의 어느것이든가 입력하고 있다.

제15도는, 제12도에 포함되는 스페어행 디코더(5a)의 구체적인 회로구성을 표시하는 도면이다. 스페어행 디코더(5a)는 N채널 MOS 트랜지스터(Q41,Q42,Q45) P채널 MOS 트랜지스터(Q43,Q44,Q46)에서 이루어진다. 트랜지스터(Q41,Q42,Q43,Q44)에서 형성하는 NOR 회로에는 서브디코드신호(RX1~RX4)를 비활성화시켜, 스페어행디코더(5a)를 활성화시키는 스페어행 디코더 선택신호(/SREa)와 메모리셀 어레이(1a)를 선택하는 블록선택신호(BSa)의 반전신호(/ESa)가 입력되어 있어, 트랜지스터(Q45,Q46)를 형성하는 인버터는 상기 NOR 회로에서 나오는 신호를 받아서 그 반전신호를 발생시킨다. 스페어 행 디코더(5a)에 스페어 행 디코더선택신호(/SREa)와 블록선택신호(BSa)의 반전신호(/BSa)양쪽이 "L" 레벨일때 노드(N3)의 전위는 "H" 레벨 노드(N3)의 전위는 "H" 레벨 노드(N4)의 전위는 "L" 레벨로 되어 워드 드라이버(3X)의 트랜지스터(Q48)가 온이되고, 트랜지스터(Q49)가 오프한다. 그리고, 스페어 서브디코드신호(SRx1,SRx2,SRx3,SRx4)의 어느것이든 1개가 "H" 레벨로 상승하면 그것에 대응하는 워드선(WL)의 전위는 "H" 레벨로 된다.

제16도는 제6도에 포함되는 스페어 Rx 서브 디코더(19)의 회로를 표시하는 도면이다. 스페어 RX 서브디코더(19)는 N 채널 MOS 트랜지스터(Q51,Q52,Q55,Q57,Q58,Q59,Q63,Q64,Q66,Q67) 및 P채널 MOS 트랜지스터(Q53,Q54,Q56,Q60,Q61,Q62,Q65)로 이루어진다.

트랜지스터(Q51,Q52,Q53,Q54)에서 형성하는 NAND 회로는 스페어행 디코더선택신호(/SREa,/SREb)를 받아서 그 반전 신호를 발생시킨다. 트랜지스터(Q57,Q58,Q59,Q60,Q61,Q62)에서 형성하는 NOR 회로에는 트랜지스터(Q51,Q52,Q53,Q54)에서 형성하는 NAND 회로에서 발생된 신호가 트랜지스터(Q55,Q56)에서 형성하는 인버터에 의하여 반전된 신호와 행 어드레스신호(RA0./RA0)의 어느것이든, 그리고 행 어드레스신호(RA1./RA1)의 어느것이든가 입력하고 있다.

따라서, 스페어행 디코더선택신호(/SREa,/SREb)의 어느것도 "H" 레벨일때, 스페어 RX 서브 디코드신호(SRx1~SRx4)는 모두 비선택이 된다. 따라서, 스페어 행 디코더선택신호(/SREa,/SREb)의 어느것이든 "L" 레벨일때, 행 어드레스신호(RA0./RA0)의 어느것이든 그리고 행 어드레스신호(RA1./RA1)의 어느것이든가 대응하는 스페어 RX 서브 디코드신호(SRx1~SR14)가 선택상태로 된다.

제17도는 제6도에 포함되는 스페어행 디코더 선택신호발생회로(18a)의 회로를 표시하는 도면이다. 도면 중, Q72,Q73,Q76,Q77,Q79,Q80,Q81,Q83은 P채널 MOS 트랜지스터, Q70,Q71,Q74,Q75,Q78,Q84,Q97은 N채널 MOS 트랜지스터, LN1~LN6은 링크소자를 나타낸다.

제1도에 있어서 통상은 링크(LN1~LN16)가 접속되어 있기 때문에 어드레스(RA1~RA7)의 어느것이든가 입력하는 것에 의하여 N채널 MOS 트랜지스터(Q84~Q99)의 어느것이든가 온 상태로 되기 때문에 노드(N9)의 전위는 "L" 로되고, 스페어 행 디코더 선택신호(/SREa)는 "H" 로 되어 있다.

이 경우에는, 스페어 워드선은, 비선택상태로된다. 불량워드선이 존재하는 경우, 해당불량 워드선을 선택하는 어드레스 신호가 입력하는 트랜지스터에 대응하는 링크를 레이저빔에 의하여 미리 용단(溶斷)하여 두면 해당불량 워드선을 선택하는 어드레스신호가 N채널 MOS 트랜지스터(Q84~Q99)가 입력한 경우 노드(N9)의 전위는 내려가지 않고 "H" 를 유지하고 있는 것에 의하여 ϕp 가 "H" 로 상승한 시점에서 스페어행디코더 선택신호(/SREa)가 "L" 로 하강하는 것이 된다.

제17도는 스페어행 디코더선택신호(/SREa)에 관하여도 마찬가지이다. 워드선불량이 존재하는 경우, 불량워드선을 선택하는 행 어드레스가 입력될때 스페어 행 디코더선택신호(/SREa, /SREb)의 어느것이든 한쪽이 "L" 로 되기 때문에 제14도에 있어서, 노드(N10)의 전위는 "H" 노드(N11)의 전위는 "L", 노드(N12)의 전위는 "H" 로 되어 모든 서브디코드신호(R11,Rx2,Rx3,Rx4)가 "L" 로 된다.

상기 종래에는, 제6도에 있어서 메모리셀어레이(1a)에 관하여 기술하였으나, 메모리셀 어레이(1b)에 관하여도 마찬가지이다.

상기의 반도체기억장치에 있어서는 스페어행 디코더선택신호 발생회로가 메모리셀 어레이의 블록분할 동작의 수만큼만 필요하여, 그를 위한 회로레이아웃이나 배선에 요하는 영역이 증대하는 문제점이 있었다.

이 발명은 상기와 같은 문제점을 해소하기 위하여 이루어진 것으로서 메모리셀 어레이의 블록분할의 수가 증대하여도 스페어행 디코더 선택신호 발생회로를 위한 레이아웃이나 배선에 요하는 영역의 증대가 적은 반도체 기억장치를 얻는 것을 목적으로 한다.

이 발명에 관한 반도체기억장치는, 메모리셀 어레이의 블록분할 동작의 블록마다 용장회로를 구비한 반도체 기억장치로서, 메모리셀 어레이의 블록분할동작의 블록의 적어도 일부에 있어서 용장회로를 활성화하는 신호를 공유한 것이다.

상기 목적을 달성하기 위한 일특징에 의하면, 본 발명의 반도체 기억장치는 각각이 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)과 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 공통선택신호(/SRE) 및 블록선택신호(/BSa, /BSb)를 받아서 활성화되고, 대응한 용장용 메모리셀 어레이의 메모리셀을 선택하기 위한 복수의 용장용 선택수단(5a, 5b), 상기 복수의 용장용 선택수단(5a, 5b)에 대하여 공통으로 설치되어, 상기 복수의 메모리셀 어레이(1a, 1b)의 적어도 1개의 메모리셀 어레이에 불량부분이 존재하고, 그 불량부분의 메모리셀(MC)이 선택되면, 상기 복수의 용장용 선택수단(5a, 5b)에 대하여 공통의 상기 공통선택신호(/SRE)를 출력하는 선택신호 발생회로(18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느 것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 상기 복수의 용장용 선택수단(5a, 5b)에 대한 상기 블록선택신호(47)를 구비한다.

본 발명의 다른 특징에 의하면, 반도체 기억장치는 각각이 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)과 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 대응한 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량부분이 존재하고, 그 불량부분의 메모리셀(MC)이 선택되면, 선택신호를 출력하면 복수의 링크회로(A, B)와, 이들 링크회로(A, B)로부터의 선택신호를 받아, 공통선택신호(/SRE)를 출력하는 공통선택신호 출력부와를 가지는 선택신호 발생회로(18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느 것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 출력하기 위한 블록선택수단(47), 상기 복수의 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 상기 선택신호 발생회로(18)로부터의 공통선택신호(/SRE)와 블록선택수단(47)으로부터의 블록선택신호(/BSa, /BSb)를 받아서 활성화되어, 대응한 용장용 메모리셀 어레이의 메모리셀을 선택하기 위한 복수의 용장용 선택수단(5a, 5b)을 구비한다.

상기 구성에서 선택신호 발생회로(18)의 각 링크회로(A, B)는, 레이저에 의하여 용단(溶斷)되는 복수의 링크소자(LN1~LN14)를 가지고 있다.

본 발명의 또 다른 특징에 의한 반도체 기억장치는 각각이 복수행, 복수열로 배치된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 행어드레스신호에 응답하여 대응한 메모리셀 어레이에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 행선택수단(9, 15, 4a, 4b, 3), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부의 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행단위에서 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 공통선택신호(/SRE) 및 블록선택신호(/BSa, /BSb)를 받아 활성화되고, 대응한 용장용 메모리셀 어레이의 메모리셀을 행단위로 선택하기 위한 복수의 용장용 행선택수단(5a, 5b), 상기 복수의 용장용 행선택수단(5a, 5b)에 대하여 공통으로 설치되어, 상기 복수의 메모리셀 어레이(1a, 1b)의 적어도 1개의 메모리셀 어레이에 불량부분이 존재하여, 그 불량부분의 메모리셀(MC)이 선택되면, 상기 복수의 용장용 행선택수단(5a, 5b)에 대하여 공통의 상기 공통 선택신호(SRE)를 출력하는 선택신호 발생회로(18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느 것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 상기 복수의 용장용 행선택수단(5a, 5b)에 대한 상기 블록선택신호(/BSa, /BSb)로하여 출력하기 위한 블록선택수단(47)을 구비한다.

또한, 본 발명의 또다른 특징에 의한 반도체 기억장치는 각각의 복수행, 복수열로 배열된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각의 행어드레스신호에 응답하여 대응한 메모리셀 어레이에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 행선택수단(9, 15, 4a, 4b, 3), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행 단위에서 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각의 행어드레스 신호를 받아, 대응의 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량부분이 존재하고, 받은 행어드레스 신호가 그 불량부분의 메모리셀(MC)을 선택하는 것이면, 선택신호를 출력하는 복수의 링크회로(A, B)와, 이들 링크회로(A, B)로부터의 선택신호를 받아, 공통 선택신호(/SRE)를 출력하는 공통선택신호부와를 가지는 선택신호 발생회로(18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느 것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 출력하기 위한 블록선택수단(47), 상기 복수의 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이, 상기 선택신호 발생회로(18)로부터의 공통선택신호(/SRE)와 상기 블록선택수단(47)으로부터의 블록선택신호(/BSa, /BSb)를 받아서 활성화되어, 대응한 용장용 메모리셀 어레이의 메모리셀을 행단위로 선택하기 위한 복수의 용장용 행선택수단(5a, 5b)을 구비한다.

상기 구성에서 선택신호 발생회로(18)의 각 링크회로(A, B)는, 레이저에 의하여 용단되는 복수의 링크소자(LN1~LN14)를 가지고 있다.

또한, 본 발명의 또다른 특징에 의한 반도체 기억장치는 각각이 복수행, 복수열로 배설된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각의 대응한 메모리셀 어레이(1a, 1b)와 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행단위에서 치환하기 위한 복수의 메모리셀(MC)을 가지는 복수의 용장용 메

모리셀 어레이(2a,2b),상기 용장용 메모리셀 어레이(2a,2b)에 대응하여 설치되어, 각각이, 행어드레스 신호를 받아, 대응의 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량부분이 존재하고, 받은 행어드레스 신호가 그 불량부분의 메모리셀(MC)을 선택하는 것이면 일방의 레벨로 되며, 그것 이외이면 타방의 레벨로 되는 2값의 선택신호를 출력하는 복수의 링크회로(A, B)와, 이들 링크회로(A, B)로 부터의 선택신호를 받아, 받은 선택신호의 적어도 1개가 일방의 레벨이면 일방의 레벨이 되며, 그것 이외이면 타방의 레벨로되는 2값의 공통선택신호(/SRE)를 출력하는 공통선택신호 출력부와를 가지는 선택신호발생회로(18), 상기 어드레스 신호의 일부(RA2~RA6)를 해독하여 행선택신호(Xi,Xj,Xk)를 출력하는 행프리 디코더(9), 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)와 상기 행어드레스 신호의 일부(RA0,RA1)를 받아, 받은 공통선택신호(/SRE)가 타방의 레벨이며 활성화 되어서, 받은 행어드레스 신호의 일부(RA0,RA1)에 의거한 서브디코드 신호(RX1~RX4)를 출력하는 서브행디코더(15), 상기 행어드레스 신호의 일부(RA7)에 의거하여 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것이든가를 선택하기 위한 블록선택신호(/BSa,/BSb)를 출력하기 위한 블록선택수단(47), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 상기 행프리 디코더(9)로 부터의 행선택신호(Xi,Xj,Xk)와 상기 서브행디코더(15)로 부터의 서브 디코드 신호(RX1~RX4)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)를 받아, 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa,/BSb)가 대응의 메모리셀 어레이(1a, 1b)의 선택을 의미하고 있으면 활성화 되어서, 상기 행프리디코더(9)로 부터의 행선택신호(Xi,Xj,Xk)와 상기 서브행디코더(15)로 부터의 서브디코드신호(RX1~RX4)와에 의거하여 대응의 메모리셀 어레이(1a,1b)에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 메인행디코더, 상기 복수의 용장용 메모리셀 어레이(2a,2b)에 대응하여 설치되어, 각각의 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)와 상기 블록선택수단(47)으로부터의 블록선택신호(/BSa,/BSb)를 받아, 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)가 일방의 레벨이며 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb) 대응의 메모리셀 어레이(1a,1b)의 선택을 의미하고 있으면 활성화되어서, 대응한 용장용 메모리셀 어레이의 메모리셀을 행단위로 선택하기 위한 복수의 용장용 선택수단(5a,5b)을 구비한다.

본 발명의 다른 특징에 의한 반도체 기억장치는 각각의 복수행, 복수열로 배설된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행단위에서 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a,2b), 상기 용장용 메모리셀 어레이(2a,2b)에 대응하여 설치되어, 각각이 행어드레스 신호를 받아, 대응의 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량부분이 존재하고, 받은 행어드레스신호가 그 불량부분의 메모리셀(MC)을 선택하는 것이면 일방의 레벨로 되며, 그 이외이면 타방의 레벨로 되는 2값의 선택신호를 출력하는 복수의 링크회로(A,B)와, 이들 링크회로(A,B)로 부터의 선택신호를 받아, 받은 선택신호의 적어도 1개가 일방의 레벨이면 일방의 레벨로 되며, 그 이외이면 타방의 레벨로 되는 2값의 공통선택신호(/SRE)를 출력하는 공통선택신호 출력부와를 가지는 선택신호발생회로(18), 상기 행어드레스 신호의 일부(RA2~RA6)를 해독하여 행선택신호(Xi,Xj,Xk)를 출력하는 행프리디코더(9), 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)와 상기 행어드레스신호의 일부(RA0,RA1)를 받아, 받은 공통선택신호(/SRE)가 타방의 레벨이면 활성화되어서, 받은 행어드레스 신호의 일부(RA0,RA1)에 의거한 서브디코드신호(RX1~RX4)를 출력하는 서브행디코더(15), 상기 행어드레스 신호의 일부(RA7)에 의거하여 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것이든가를 선택하기 위한 블록선택신호(/BSa,/BSb)를 출력하기 위한 블록선택수단(47), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 상기 행프리디코더(9)로 부터의 행선택신호(Xi,Xj,Xk)와 상기 서브행디코더(15)로 부터의 서브디코드신호(RX1~RX4)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa,/BSb)를 받아, 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa,/BSb)가 대응의 메모리셀 어레이(1a, 1b)의 선택을 의미하고 있으며 활성화 되어서, 상기 행프리디코더(9)로 부터의 행선택신호(Xi,Xj,Xk)와 상기 서브행디코더(15)로 부터의 서브디코드신호(RX1~RX4)와에 의거하여 대응의 메모리셀 어레이(1a,1b)에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 메인행디코더, 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)와 상기 행어드레스 신호의 일부(RA0,RA1)를 받아, 받은 공통선택신호(/SRE)가 일방의 레벨이면 활성화되어서, 받은 행어드레스신호의 일부(RA0,RA1)에 의거한 스페어 서브디코드신호(SRX1~SRX4)를 출력하는 용장용 서브행디코더(19), 상기 복수의 메모리셀 어레이(1a,1b)에 대응하여 설치되어, 각각이 상기 용장용 서브행디코더(19)로 부터의 스페어 서브디코드신호(SRX1~SRX4)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa,/BSb)를 받아, 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa,/BSb)가 대응의 메모리셀 어레이(1a, 1b)의 선택을 의미하고 있으면 활성화되어서, 상기 용장용 서브행디코더(19)로 부터의 스페어 서브디코드신호(SRX1~SRX4)와에 의거하여 대응의 용장용 메모리셀 어레이(2a,2b)에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 용장용 메인 행디코더(5a,5b)를 구비한다.

이 발명에 있어서 반도체기억장치는, 메모리셀 어레이의 블록분할 동작의 블록적어도 일부에 있어서 용장회로를 활성화하는 신호를 공유하는 것에 의하여 메모리셀 어레이의 블록분할동작의 수가 증대하여도 용장회로를 활성화하는 신호를 위한 회로 레이아웃이나 배선에 요하는 영역의 증대가 적은 반도체 기억장치를 얻을수가 있다.

[실시예]

이하, 이 발명의 한 실시예는 도면을 참조하여 설명한다.

제1도는 이 발명의 한 실시예에 의한 용장회로를 구비하고 어드레스 입력으로서 A0~A7의 신호를 갖고 메모리셀 어레이를 2분의 1분할 동작시키는 64K비트의 반도체 기억장치의 구성을 표시하는 블록도이다. 제1도의 반도체기억장치가 제9도의 반도체 기억장치와 상이하는 것은, 서브디코드신호(Rx1~Rx4)를 비활성화시켜, 용장용 선택수단인 스페어행디코더(5a,5b)를 활성화시키는 스페어선택신호를 발생시키는 스페어 행디코더선택신호 발생회로(18)를 메모리셀 어레이의 블록분할 동작의 메모리

셀 어레이(1a, 1b)에서 공유하고 있는것이다.

제1도의 반도체기억장치에 있어서 불량이 생긴 경우, 불량 어드레스를 선택하는 신호가 입력되면 행 어드레스버퍼(8)에서 발생된 행어드레스 신호는 스페어행디코더선택신호발생회로(18)에 입력하여 스페어형 디코더선택신호(/SRE)가 출력된다.

스페어행디코더선택신호(/SRE)는 서브 디코더신호(Rx1~Rx4)를 비 활성화 시킨다.

그리고, 용장용 선택수단인 스페어행디코더(5a,5b)를 활성화 시킬려고 한다.

이때 메모리셀 어레이(1a)에서 일어날 불량을 선택하는 경우에는, 블록선택신호(BSa)가 또, 메모리 셀어레이(1b)에서 일어날 불량을 선택하는 경우에는 블록선택신호(BSb)가 활성화하는것에 의하여 스페어행디코더(5a,5b)의 어느것인가 1개가 활성화 된다.

또, 스페어 서브 디코더신호(SRx1~SRx4)의 어느것인가를 활성화하는것에 의하여, 대응하는 스페어 워드선(SWL)을 활성화시킨다.

제2도는 제1도의 반도체 기억장치에 포함되는 Rx서브 디코더(15)의 회로를 표시하는 도면이다.

제2도에 있어서 제14도의 종래의 예와 다른것은, 입력하는 스페어행디코더선택신호가/SRE뿐인 점이다.

제3도는 제1도의 반도체기억장치에 포함되는 스페어 Rx서브 디코더(19)의 회로를 표시하는 도면이다.

제3도에 있어서 제15도의 종래예와 다른것은 입력하는 스페어 행디코더선택신호가 /SRE뿐이면 스페어 행디코더선택신호(/SRE)는 스페어행디코더(5a, 5b)의 양쪽에 입력된다.

제4도는 제1도의 반도체 기억장치에 포함되는 스페어 Rx서브디코더신호발생회로를 표시하는 도면이다.

제4도에 있어서 제16도의 종래의 예와 다른것은 입력하는 스페어행디코더 선택신호가 /SRE뿐인점이다.

제5도는 제1도의 반도체기억장치에 포함되는 스페어행디코더 선택신호(/SRE) 발생회로(16)의 회로를 표시하는 도면이다.

제5도에 있어서 메모리셀 어레이(1b)에 대응하는 링크회로(A, B)가 각각 배치되어 있다.

이 링크 구성에 의하여 메모리셀 어레이(1a)과 메모리셀 어레이(1b)의 어느것인가에 속하는 불량 어드레스가 입력하는 경우에도 스페어행디코더 선택신호가/SRE가 "L" 레벨로 된다.

상기 실시예에서는, 메모리셀 블록(1a)에 관하여 설명하였으나, 메모리셀블록(1b)에 관하여도 마찬가지이다.

또, 상기 실시예에서는, 로우 어드레스방향의 용장회로만에 관하여 설명하였으나, 컬럼어드레스 방향의 용장에 관하여도 마찬가지이다.

이상과 같이 이 발명에 의하면, 메모리셀 어레이의 블록분할 동작의 블록마다에 용장회로를 구비한 반도체기억장치에 있어서 메모리셀 어레이의 블록 분할동작의 블록에 있어서 스페어행디코더 선택 신호발생회로 및 스페어선택신호선을 적어도 일부 공유하는 것에 의하여 메모리셀 어레이의 블록분할 동작의 수가 증대하여도 스페어 행디코더 선택 신호 발생회로를 위한 회로 체이아웃이나 스페어 선택선의 배선에 요하는 영역의 증대가 적은 반도체 기어장치를 얻을수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

각각이 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각의 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)과 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a,2b), 상기 용장용 메모리셀 어레이(2a,2b)에 대응하여 설치되어, 각각이 공통선택신호(/SRE) 및 블록선택 신호(/BSa,/BSb)를 받아서 활성화되고, 대응한 용장용 메모리셀 어레이의 메모리셀을 선택하기 위한 복수의 용장용 선택수단(5a,5b), 상기 복수의 용장용 선택수단(5a,5b)에 대하여 공통으로 설치되어, 상기 복수의 메모리셀 어레이(1a, 1b)의 적어도 1개의 메모리셀 어레이에 불량부분이 존재하고, 그 불량 부분의 메모리셀(MC)이 선택되면, 상기 복수의 용장용 선택수단(5a,5b)에 대하여 공통의 상기 공통선택신호(/SRE)를 출력하는 선택신호 발생회로(18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것인가를 선택하기 위한 블록선택신호(/BSa,/BSb)를 상기 복수의 용장용 선택수단(5a,5b)에 대하여 상기 블록선택신호(47)를 구비한 반도체 기억장치.

청구항 2

각각이 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각의 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)과 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a,2b), 상기 용장용 메모리셀 어레이(2a,2b)에 대응하여 설치되어, 각각이 대응의 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량부분이 존재하고, 그 불량부분의 메모리셀(MC)이 선택되면, 선택신호를 출력하면 복수의 링크회로(A,B)와, 이들 링크회로(A,B)로 부더의 선택 신호를 받아, 공통선택신호(/SRE)를 출력하는 공통선택신호 출력부와를 가지는 선택신호 발생회로

(18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 출력하기 위한 블록선택수단(47), 상기 복수의 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 상기 선택신호 발생회로(18)로부터의 공통선택신호(/SRE)와 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)를 받아서 활성화되어, 대응한 용장용 메모리셀 어레이의 메모리셀을 선택하기 위한 복수의 용장용 선택수단(5a, 5b)을 구비한 반도체 기억장치.

청구항 3

제1항에 있어서, 선택신호 발생회로(18)의 각 링크회로(A, B)는, 레이저에 의하여 용단(溶斷)되는 복수의 링크소자(LN1~LN14)를 가지고 있는 것을 특징으로 하는 반도체 기억장치.

청구항 4

각각이 복수행, 복수열로 배치된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 행어드레스신호에 응답하여 대응한 메모리셀 어레이에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 행선택수단(9, 15, 4a, 4b, 3), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부의 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행단위에서 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 공통선택신호(/SRE) 및 블록선택신호(/BSa, /BSb)를 받아 활성화되고, 대응한 용장용 메모리셀 어레이의 메모리셀을 행단위로 선택하기 위한 복수의 용장용 행선택수단(5a, 5b), 상기 복수의 용장용 행선택수단(5a, 5b)에 대하여 공통으로 설치되어, 상기 복수의 메모리셀 어레이(1a, 1b)의 적어도 1개의 메모리셀 어레이에 불량부분이 존재하여, 그 불량부분의 메모리셀(MC)이 선택되면, 상기 복수의 용장용 행선택수단(5a, 5b)에 대하여 공통의 상기 공통 선택신호(/SRE)를 출력하는 선택신호 발생회로(18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 상기 복수의 용장용 행선택수단(5a, 5b)에 대한 상기 블록선택신호(/BSa, /BSb)로하여 출력하기 위한 블록선택수단(47)에 구비한 반도체 기억장치.

청구항 5

각각이 복수행, 복수열로 배열된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 행어드레스신호에 응답하여 대응한 메모리셀 어레이에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 행선택수단(9, 15, 4a, 4b, 3), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부의 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행단위에서 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 행어드레스 신호를 받아, 대응의 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량 부분이 존재하고, 받은 행어드레스 신호가 그 불량 부분의 메모리셀(MC)을 선택하는 것이면, 선택 신호를 출력하는 복수의 링크회로(A, B)와, 이들 링크회로(A, B)로 부터의 선택신호를 받아, 공통선택신호(SRE)를 출력하는 공통선택신호부위를 가지는 선택신호 발생회로 18), 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 출력하기 위한 블록선택수단(47), 상기 복수의 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 상기 선택신호 발생회로(18)로 부터의 공통 선택신호(/SRE)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)를 받아서 활성화되어, 대응한 용장용 메모리셀 어레이의 메모리셀을 행 단위로 선택하기 위한 복수의 용장용 행선택수단(5a, 5b)을 구비한 반도체 기억장치.

청구항 6

제5항에 있어서, 선택신호 발생회로(18)의 각 링크회로(A, B)는, 레이저에 의하여 용단되는 복수의 링크소자(LN1~LN14)를 가지고 있는 것을 특징으로 하는 반도체 기억장치.

청구항 7

각각이 복수행, 복수열로 배설된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행단위에서 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이, 행어드레스 신호를 받아, 대응의 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량 부분이 존재하고, 받은 행어드레스 신호가 그 불량 부분의 메모리셀(MC)을 선택하는 것이면 일방의 레벨로 되며, 그것 이외이면 타방의 레벨로 되는 2값의 선택신호를 출력하는 복수의 링크회로(A, B)와, 이들 링크회로(A, B)로 부터의 선택신호를 받아, 받은 선택신호의 적어도 1개가 일방의 레벨이면 일방의 레벨이되며, 그것 이외이면 타방의 레벨로되는 2값의 공통선택신호(/SRE)를 출력하는 공통선택신호 출력부위를 가지는 선택신호발생회로(18), 상기 어드레스 신호의 일부(RA2~RA6)를 해독하여 행선택신호(Xi, Xj, Xk)를 출력하는 행프리 디코더(9), 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)와 상기 행어드레스 신호의 일부(RA0, RA1)를 받아, 받은 공통선택신호(/SRE)가 타방의 레벨이면 활성화 되어서, 받은 행어드레스 신호의 일부(RA0, RA1)에 의거한 서브 디코드 신호(RX1~RX4)를 출력하는 서브행디코더(15), 상기 행어드레스 신호의 일부(RA7)에 의거하여 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것이든가를 선택하기 위한 블록선택신호(/BSa, /BSb)를 출력하기 위한 블록선택수단(47), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 상기 행프리 디코더(9)로 부터의 행선택회로(Xi, Xj, Xk)와 상기 서브행디코더(15)로 부터의 서브디코드 신호(RX1~RX4)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)를 받아, 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)가 대응의 메모리셀 어레이(1a, 1b)의 선택을 의미하고 있으면 활성화 되어서, 상기 행프리디코더(9)로 부터의

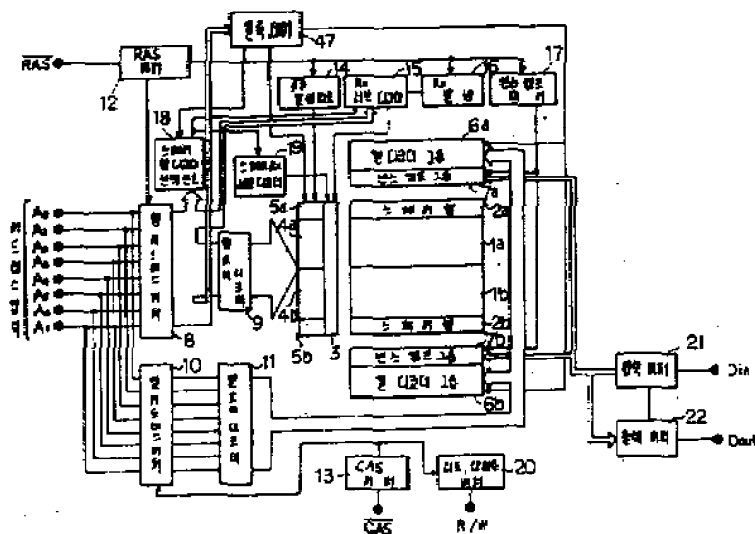
행선택신호(X_i, X_j, X_k)와 상기 서브행디코더(15)로 부터의 서브디코드신호($RX1 \sim RX4$)와에 의거하여 대응의 메모리셀 어레이(1a, 1b)에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 메인 행디코더, 상기 복수의 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이 상기 선택신호 발생회로(18)로 부터의 공통선택회로(/SRE)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)를 받아, 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)가 일방의 레벨이면, 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb) 대응의 메모리셀 어레이(1a, 1b)의 선택을 의미하고 있으면 활성화되어서, 대응한 용장용 메모리셀 어레이의 메모리를 행단위로 선택하기 위한 복수의 용장용 선택수단(5a, 5b)을 구비한 반도체 기억장치.

청구항 8

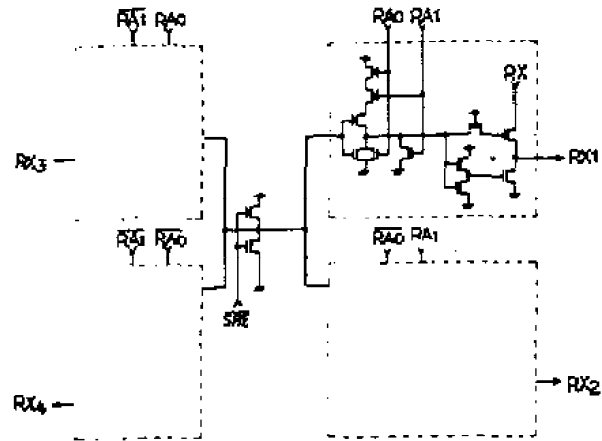
각각이 복수행, 복수열로 배설된 복수의 메모리셀(MC)을 가지는 복수의 메모리셀 어레이(1a, 1b), 상기 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 대응한 메모리셀 어레이(1a, 1b)의 일부에 불량이 존재하면, 그 불량부분의 메모리셀(MC)을 가지는 행단위에서 치환하기 위한 복수의 메모리셀(SMC)을 가지는 복수의 용장용 메모리셀 어레이(2a, 2b), 상기 용장용 메모리셀 어레이(2a, 2b)에 대응하여 설치되어, 각각이, 행어드레스 신호를 받아, 대응의 용장용 메모리셀 어레이에 대응한 상기 메모리셀 어레이에 불량 부분이 존재하고, 받은 행어드레스 신호가 그 불량 부분의 메모리셀(MC)을 선택하는 것이면 일방의 레벨로 되면, 그 이외이면 타방의 레벨로 되는 2값의 선택신호를 출력하는 복수의 링크회로(A, B)와, 이들 링크회로(A, B)로 부터의 선택신호를 받아, 받은 선택신호의 적어도 1개가 일방의 레벨이면 일방의 레벨이되며, 그 이외이면 타방의 레벨로 되는 2값의 공통 선택신호(/SRE)를 출력하는 공통선택신호 출력부와를 가지는 선택신호발생회로(18), 상기 행어드레스 신호의 일부($RA2 \sim RA6$)를 해독하여 행선택신호(X_i, X_j, X_k)를 출력하는 행프리 디코더(9), 상기 선택신호 발생회로(18)로 부터의 공통선택신호(/SRE)와 상기 행어드레스 신호의 일부($RA0, RA1$)를 받아, 받은 공통선택신호(/SRE)가 타방의 레벨이면 활성화되어서, 받은 행어드레스 신호의 일부($RA0, RA1$)에 의거한 서브 디코드신호($RX1 \sim RX4$)를 출력하는 서브행디코더(15), 상기 행어드레스 신호의 일부($RA7$)에 의거하여 상기 복수의 메모리셀 어레이(1a, 1b)의 어느것이든가를 선택하기 위한 블록 선택신호(/BSa, /BSb)를 출력하기 위한 블록 선택수단(47), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 상기 행프리디코더(9)로 부터의 행선택회로(X_i, X_j, X_k)와 상기 서브행디 코더(15)로 부터의 서브디코드신호($RX1 \sim RX4$)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)를 받아, 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)가 대응의 메모리 셀 어레이(1a, 1b)의 선택을 의미하고 있으면 활성화 되어서, 상기 행프리디코더(9)로 부터의 행선택 신호(X_i, X_j, X_k)와 상기 서브행디코더(15)로 부터의 서브디코드신호($RX1 \sim RX4$)와에 의거하여 대응 의 메모리셀 어레이(1a, 1b)에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 메인행디 코더, 상기 선택신호 발생회로(18)로 부터의 공통선택회로(/SRE)와 상기 행어드레스 신호의 일부 ($RA0, RA1$)를 받아, 받은 공통선택신호(/SRE)가 일방의 레벨이면 활성화되어서, 받은 행어드레스신호 의 일부($RA0, RA1$)에 의거한 스페어 서브디코드신호($SRX1 \sim SRX4$)를 출력하는 용장용 서브행디코더 (19), 상기 복수의 메모리셀 어레이(1a, 1b)에 대응하여 설치되어, 각각이 상기 용장용 서브행디코더 (19)로 부터의 스페어 서브디코더신호($SRX1 \sim SRX4$)와 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)를 받아, 상기 블록선택수단(47)으로 부터의 블록선택신호(/BSa, /BSb)가 대응의 메모리 셀 어레이(1a, 1b)의 선택을 의미하고 있으면 활성화되어서, 상기 용장용 서브행디코더(19)로 부터의 스페어 서브디코드신호($SRX1 \sim SRX4$)와에 의거하여 대응의 용장용 메모리셀 어레이(2a, 2b)에 있어 특정의 행에 배설된 메모리셀을 선택하기 위한 복수의 용장용 메인행디코더(5a, 5b)를 구비한 반도체 기억장치.

도면

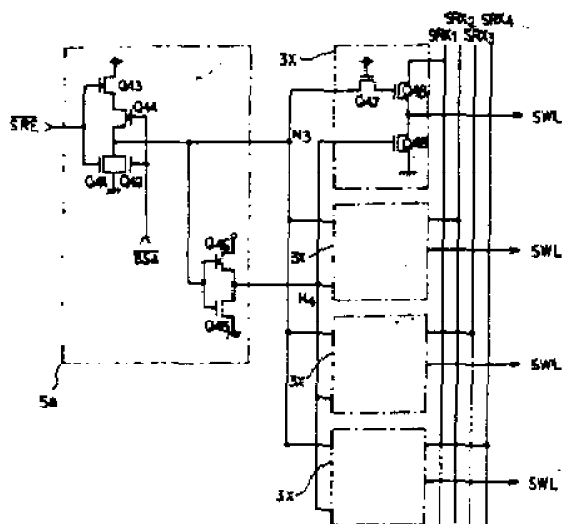
도면1



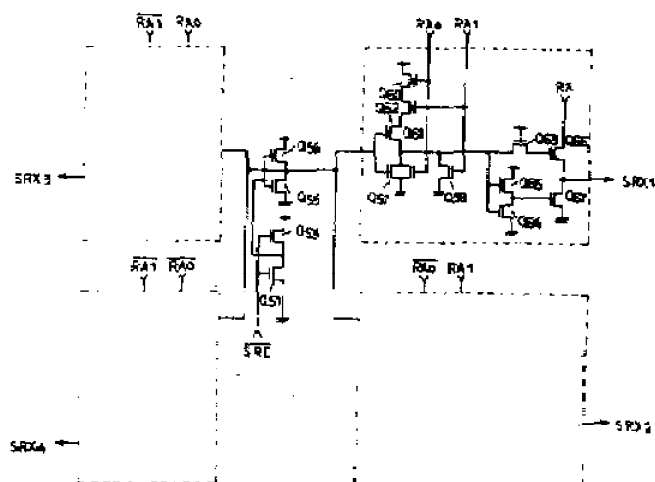
도면2



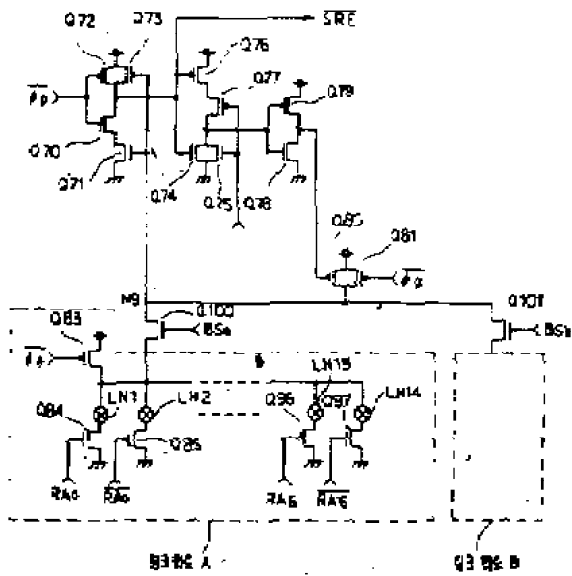
도면3



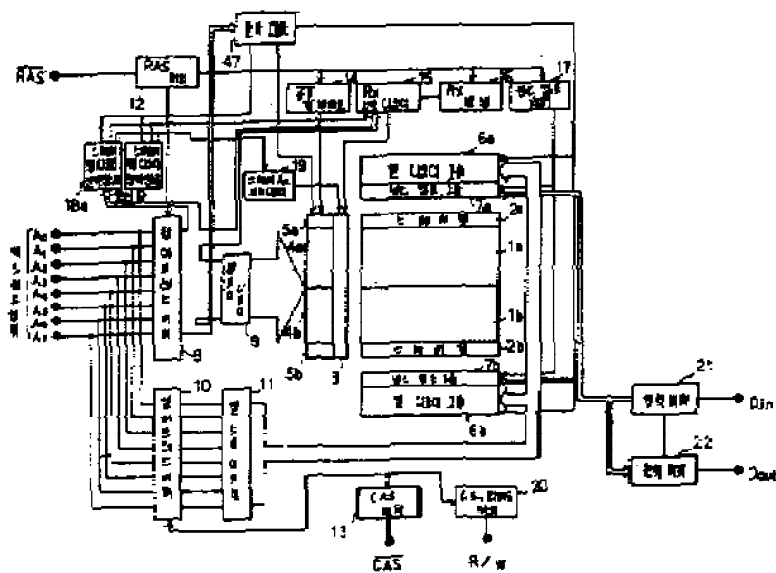
도면4



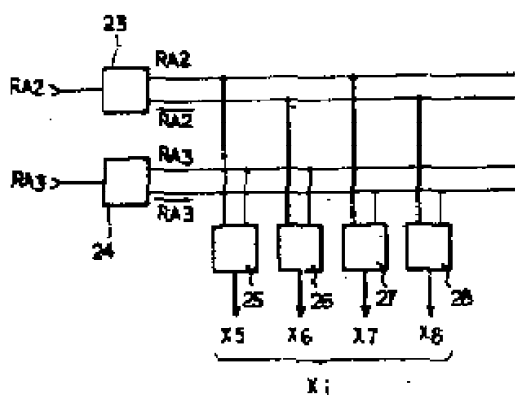
도면5



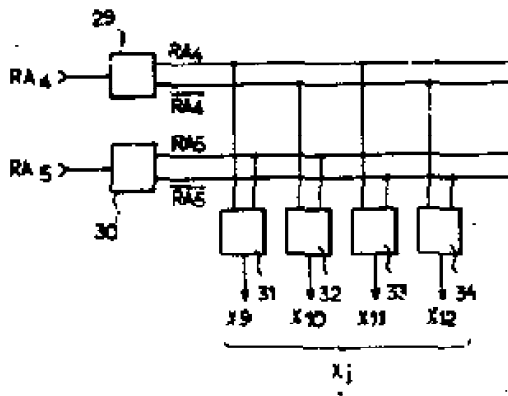
도면6



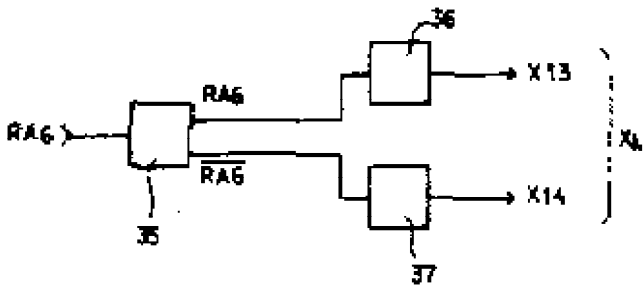
도면7



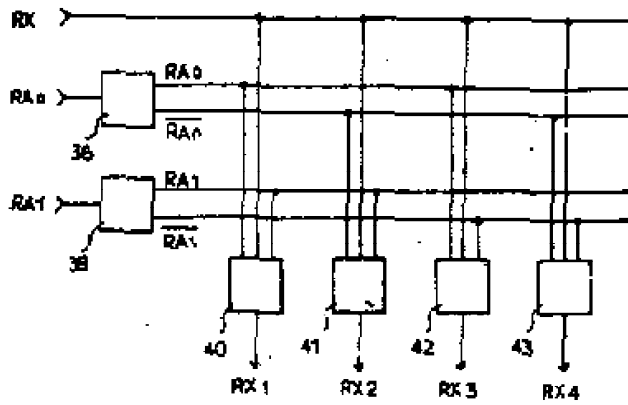
도면8



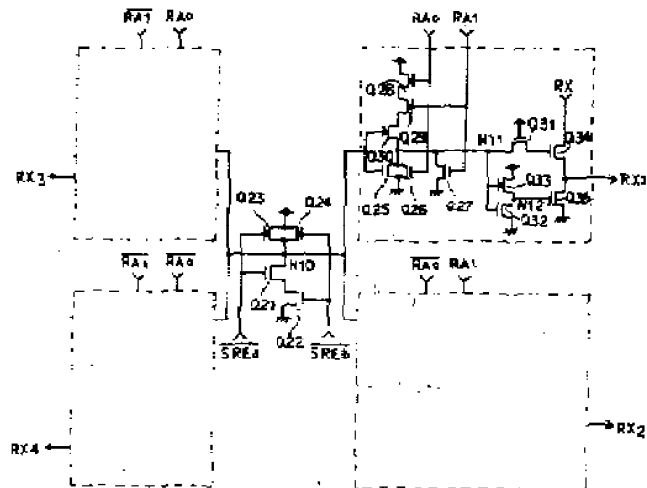
도면9



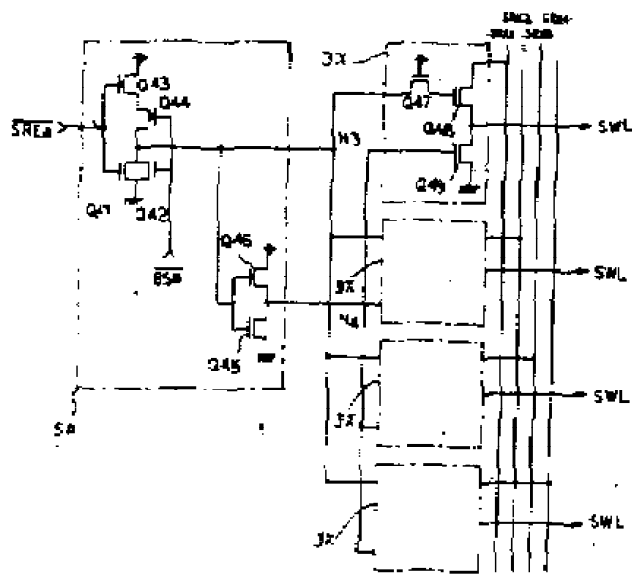
도면10



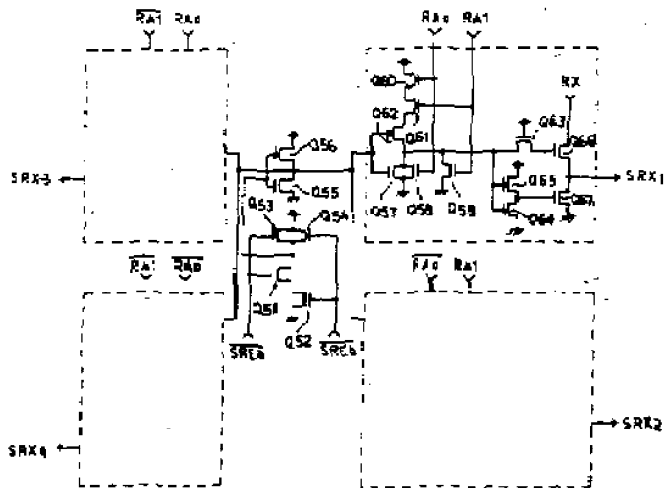
도면 14



도면 15



도면16



도면17

