

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 29/788 (2006.01)

H01L 29/792 (2006.01)



[12] 发明专利说明书

专利号 ZL 01813445.9

[45] 授权公告日 2007 年 11 月 28 日

[11] 授权公告号 CN 100352021C

[22] 申请日 2001.7.25 [21] 申请号 01813445.9

[30] 优先权

[32] 2000. 7. 28 [33] DE [31] 10036911.1

[86] 国际申请 PCT/DE2001/002811 2001.7.25

[87] 国际公布 WO2002/011145 德 2002.2.7

[85] 进入国家阶段日期 2003.1.27

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 F·霍曼恩 J·威勒

[56] 参考文献

US 5796140A 1998.8.18

US 5408115A 1995.4.18

US 5877523A 1999.3.2

WO 99/49518A1 1999.9.30

审查员 杨子芳

[74] 专利代理机构 北京康信知识产权代理有限责
任公司

代理人 余刚 李丙林

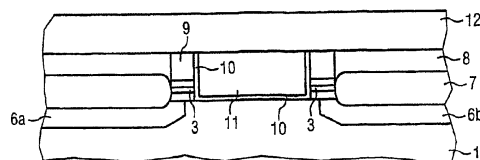
权利要求书 3 页 说明书 8 页 附图 4 页

[54] 发明名称

一种制造多位存储器单元的方法

[57] 摘要

一种制造多位存储器单元的方法。希望用作俘获载流子的存储层(3)置于源极区(6a)和漏极区(6b)之上,并且在沟道区上隔断,以防止源极区和漏极区上俘获的载流子扩散。存储层限制在面向沟道区的源极区和漏极区部分上的区域,并且全部掩埋在氧化物中。



1. 一种制作存储器单元的方法，存储器的源极区（6a）和漏极区（6b）在半导体本体中（1）或在半导体材料一层中形成掺杂区，掺杂区利用沟道区（6）彼此分离，

一存储层（3），准备用作储存载流子，安排在界面层之间的这些区之上，

存储层（3），除了各自位于沟道区和源极区间的界面或是沟道区与漏极区间的界面上的这些区，均被去除以便存储层出现在源极区和漏极区部分上并在沟道区（6）上被隔断，

一栅电极（11），用电介质层（10）将其与半导体材料隔离，

其特征在於：第一步，在半导体本体（1）上或半导体材料层上生长由氧化物层（2）、存储层（3）和形成一个界面层的氧化物层（4）组成的一系列层；

第二步，将存储层从要用作存储单元的区域移出；

第三步，在半导体材料中注入掺杂材料作为源极区（6a）和漏极区（6b）；

第四步，在存储层占据的区域外制造一层辅助层（8），它在存储层区域有一凹坑并具有接下来的第五步所需要的足够陡峭的边缘；

第五步，在辅助层边缘处的凹坑内制造间隔（9）；

第六步，去除间隔间的存储层，制造构建电介质层（10）和栅电极（11）；

第七步，应用导电印刷电路（12）电导连接栅电极。

2. 根据权利要求1中所述方法，其第六步中，电介质层（10）制造在半导体本体（1）或是半导体材料层上并在间隔（9）的边上。

3. 根据权利要求1或2中所述方法，在其第六和第七步间，存储层（3）的自由边缘掩埋在氧化物中。

4. 一种用于制造存储单元的方法中，在该存储单元中，源极（6a）和漏极（6b）在半导体本体（1）中或在半导体材料层中形成掺杂区，借助沟道区（6）相互分离，

一存储层（3），准备用作存储载流子，安排在界面层之间的区域上，

存储层（3），除了各自位于沟道区和源极区间的界面或是沟道区与漏极区间的界面上的这些区，均被去除以便存储层出现在源极区和漏极区部分上并在沟道区（6）上被隔断，

利用栅电极（11），用电介质层将其与半导体材料隔离，

其特征在于：第一步，在半导体本体（1）上或半导体材料层上生长由氧化物层（2）、存储层（3）和形成一个界面层的氧化物层（4）组成的一系列层；

第二步，在此上制造辅助层（80），并且除准备用做沟道区的区域上一部分外，其余去除，以便辅助层的剩余部分具有下一步所需要的足够陡峭的边缘；

第三步，在辅助层相互对立的边缘上制造间隔（90）；

第四步，用间隔作掩膜在半导体材料中引入掺杂材料以形成源极区（6a）和漏极区（6b）；

第五步，去除辅助层；

第六步，氧化层（4）的部分应用到存储层，并且对于存储层，由于去除间隔而处于自由；

第七步，去除间隔；

第八步，制造电介质层，其至少覆盖沟道区和存储层的边缘；

第九步，应用导电印刷电路（12），该导电印刷电路穿过沟道区。

5. 根据权利要求4中所述方法，其中，在第二步，用辅助层（80）的剩余部分注入掺杂材料以在源极区（6a）和漏极区（6b）形成LDD区（61）并使用包注入，随后各向异性再刻蚀辅助层。

6. 根据权利要求4或5中所述方法，其第九步中，制造导电印

刷电路以便以带状流过源极区(6a)、沟道区(6)和漏极区(6b),
以及在制造过程中除去存在于导电印刷电路边的存储层的部分;在
第十步中,掩埋存储层的自由边缘于氧化物中。

一种制造多位存储器单元的方法

技术领域

本发明涉及一种制造多位存储器单元的方法，该多位存储器单元具有自调准 ONO（氧化物-氮化物-氧化物）区。

背景技术

在 US 5 768 192 中，说明了一种非易失存储器。其中存储层的源极或漏极分别捕获电子，这些捕获的电子决定晶体管的阈值电压。晶体管设计成 SONOS 晶体管（半导体-氧化物-氮化物-氧化物-半导体），源极或漏极各自存在的一个电荷可分别被看作一个存储位。因而，在此种结构的每一个单元中可存储两位。对于编程状态，沟道沟道中产生热载流子；在靠近漏极区，这些电子由半导体材料注入到存储层。另外，一个 5V 的典型电势差使一个字行沿源极到漏极方向通过栅极。源极区本身接 0V，作为位线的漏极区接 5V。加反向电压，在源极区也能俘获电荷。源、漏间 1.2V 的电势差和编程状态的阈值电压与非编程状态的阈值电压之间的栅压使存储在源极边的位能够读取。栅极显著的负电势和漏极加譬如 5V 的电压（字行几乎无流），通过驱使俘获的载流子回到源极区与漏极区擦除存储位，其相对于接地极（GIDL，栅诱生漏隙）为正。

近来，在高度集成存储器中，源极到漏极的间距仅 150nm。如果存储芯片置于恶劣的环境下（尤其是高温，一般为 85℃，如在汽车中就很容易达到），若其俘获的载流子不再足以占据于电介质氮化物中，充/放周期（无疑能够实现并且持久）的数目就会减少。那么，这就使得分别读取存储在源极和漏极的位更加困难。

在 US 5 877 523 中，说明了一种多级分离栅闪存单元，其中应

用并构造了氧化物层和希望作为存储层的多晶硅层，在两部分中形成浮栅电极。其余部分覆盖电介质层。这之上为导电层（用以形成栅极）。通过掺杂材料注入形成源极和漏极。

在 US 5 969 383 中，说明了一种分离栅闪存器件。其中在沟道区部分上和漏极区部分上所有情况下依次制作了二氧化硅、氮化硅和二氧化硅层，沟道上的多层结构形成了一个控制栅电极。存储器芯片的编程就是通过氮化硅层捕获载流子这一点实现的。选择栅电极布置在沟道区的剩余部分上。

在 US 5 796 140 中，说明了一种制作存储器单元的方法。其中源极和漏极形成掺杂区，并用沟道区相互隔离开；希望用做存储载流子的存储层制造在界面层之间的这些区域之上并掩埋其中；应用了栅电极，并用电介质层将其与半导体材料隔离开；因此，除了位于沟道区与源极（或漏极）区之间界面的区域外，其余存储层被全部去掉。

在 JP 2000-58680 中，说明了一种半导体存储器件。其中，栅电极的边也用了氧化物-氮化物-氧化物层。

发明内容

本发明的目的是说明一种制造多位存储器单元的方法。即使在恶劣条件下，本多位存储器单元也能保证获得较大的充/放周期的数目。

上述目的的一个技术方案在于一种制作存储器单元的方法，存储器的源极区和漏极区在半导体本体中或在半导体材料一层中形成掺杂区，掺杂区利用沟道区彼此分离，一存储层，准备用作存储载流子，安排在界面层之间的这些区之上，存储层，除了各自位于沟道区和源极区间的界面或是沟道区与漏极区间的界面上的这些区，均被去除以便存储层出现在源极区和漏极区部分上并在沟道区上被隔断，一栅电极，用电介质层将其与半导体材料隔离，其特征

在于：第一步，在半导体本体上或半导体材料层上生长由氧化物层、存储层和氧化物层组成的一系列层，形成一个界面层；第二步，将存储层从要用作存储单元的区域移出；第三步，在半导体材料中注入掺杂材料作为源极区和漏极区；第四步，在存储层占据的区域外制造一层辅助层，它在存储层区域有一凹坑并具有接下来的第五步所需要的足够陡峭的边缘；第五步，在辅助层边缘处的凹坑内制造间隔；第六步，去除间隔间的存储层，制造构建电介质层和栅电极；第七步，应用导电印刷电路电导连接栅电极。

上述目的的又一个技术方案在于一种用于制造存储单元的方法中，在该存储单元中，源极和漏极在半导体本体中或在半导体材料层中形成掺杂区，借助沟道区相互分离，一存储层，用作存储载流子的存储层安排在界面层之间的区域上，存储层，除了各自位于沟道区和源极区间的界面或是沟道区与漏极区间的界面上的这些区，均被去除以便存储层出现在源极区和漏极区部分上并在沟道区上被隔断，利用栅电极，用电介质层将其与半导体材料隔离，同时也将存储层的自由边缘掩埋入材料中（该材料与界面层材料是同一类型），其特征在於：第一步，在半导体本体或半导体材料层上生长由氧化物层、存储层和氧化物层组成的一系列层；第二步，在此上制造辅助层，并且除准备用做沟道区的区域上一部分外，其余去除，以便辅助层的剩余部分具有下一步所需要的足够陡峭的边缘；第三步，在辅助层相互对立的边缘上制造间隔；第四步，用间隔作掩膜在半导体材料中引入掺杂材料以形成源极区和漏极区；第五步，去除辅助层；第六步，氧化层）的部分应用到存储层，并且对于存储层，由于去除间隔而处于自由；第七步，去除间隔；第八步，制造电介质层，其至少覆盖沟道区和存储层的边缘；第九步，应用导电印刷电路，该导电印刷电路流过沟道区。

按照本发明制造多位存储器单元，希望用来俘获源极和漏极载流子的存储层限制在邻接沟道区的源极区或漏极区。存储层安排在

界面层之间，并且掩埋在较之高能带带隙材料中，以便分别在源极区和漏极区上的存储层中俘获的载流子维持在那里。

氮化物是较佳的存储层材料；氧化物主要适合于包层材料。在存储器单元用于硅材料系统情况下，本例中的存储器单元为带隙约 5eV 的氮化硅，包层为带隙约 9eV 的二氧化硅。存储层可为具有比包层带隙小的不同材料，借此可获得好的载流子电子限制，并且带隙差应尽可能大。因此，如：氧化钽、硅化金合和本征（未掺杂）导体硅可与二氧化硅一起作为存储层材料。氮化硅的相对介电常数大约为 7.9。应用具有较高介电常数（如：15. . .18）的替代材料可减小用作存储的层堆垛整个厚度，并且这是一个优点。

在本方法中，用于俘获载流子的存储层完全清除出源极区和漏极区包层之上的一个区域，任何情况下，都对着沟道沟道区。之后，制造并构建希望作为一个字行的氧化物栅和栅电极或导电印刷电路，并且将始终处于悬空状态的存储层掩埋入包层材料中（氧化物更佳）。把沟道沟道区上的存储层去掉，用这种方法制作的 SONOS 晶体管单元具有了置于彼此分离的源极和漏极之上的存储区。

在一个更佳的具体实施例中，氧化物栅不仅制作在衬底沟道区的半导体材料之上，而且在栅电极边缘上的垂直方向，因而用此方法起到了相连的存储层间额外的电绝缘效应。栅电极边缘上的垂直氧化物层的制作也改变了电场的分布，以至于沿存储层方向增强热电子的激励并在那里俘获之。用此方法明显改进了存储器单元的工作特征（尤其编程状态）。

附图说明

- 图 1 表示本发明的方法的第一实施例的中间产品的横截面；
- 图 2 表示按照图 1 在源极区和漏极区形成之后的横截面；
- 图 3 表示按照图 2 在构建辅助层之后的横截面；
- 图 4 表示按照图 3 在形成侧壁间隔后的横截面；

图 5 表示按照图 4 在构建栅电极之后的横截面；
图 6 表示按照图 5 的在沉积导电印刷电路之后的横截面；
图 7 表示本发明方法的另一实施例的中间产品的横截面；
图 8 表示按照图 7 的在形成辅助层和在辅助层的侧壁形成间隔之后的横截面；
图 9 表示按照图 8 的在除去辅助层和部分存储层之后的横截面；
图 10 表示本发明方法的产品横截面。

具体实施方式

参照最适易的制造方法，根据本发明，下面给出存储器单元实例更详细的说明，其中间产品分别示于图 1 至 6 和图 7 至 10 的截面图。大量此类单个存储器单元组成可生成于一片芯片上。

图 1 至 6 显示根据本发明的一种制造方法的第一个实例。图 1 的截面图显示：在衬底上生长半导体本体 1、一层或半导体材料的层结构。如果半导体材料没有理想的本底掺杂，通过本来已知的方式，按照需要的浓度注入掺杂材料制造额定电导率的所谓的阱（如 p 阱）。此外，图 1 显示了用以将半导体本体 1 称为下界面层的下氧化物层 2（底氧化物）。之上是希望用以俘获载流子的存储层 3（本例中，这里为氮化硅）。这之上是作为上界面层的又一层氧化物层 4（顶氧化物）。辅助层 5 作为最顶层，比前一层较厚，并且也是氮化物较佳。利用一层掩膜（如光致抗蚀材料制成），用照相技术，按照图一所示的方式制作存储层 3、上氧化物层 4 和辅助层 5，以便侧向限制希望用作存储器单元的区域。图 1 中显示的已去除掩膜。

然后，辅助层 5 用做掩膜，通过在半导体材料中注入掺杂材料的方法制造源 6 a 和漏 6 b。例如，当用由硅制作的 p 掺杂衬底作为半导体本体时的，砷是用作此目的较适合掺杂材料。进一步说，按照图 2，也制造了侧向氧化物层 7，利用衬底硅的氧化制造更容易完成。在这样做时，材料经历了体积的增长，以致于侧向氧化物层 7

位于存储层 3 之上。

然后，如果需要，另一层辅助层 8（如也可是氧化物）淀积在第一层辅助层 5 的一侧。例如，通过 CMP（化学机械抛光）方法制造此辅助层 8 的平板表面，平整整个表面。然后去除第一辅助层 5，最好用湿法化学方法完成，上氧化物层作为刻蚀截止层。按这种方法，得到在图 3 中显示的中间产品。

然后，以本来已知的方式制造图 4 所示的隔离 9。为此目的，最好在整个表面上和接下来的各向异性刻蚀的背面淀积一层厚度极其均匀的材料（希望用做隔离的材料），以致于能显示出隔离 9 保持在辅助层 8 的内边缘上。因为隔离 9 可用来做后面要做的栅电极的部分，建议在此处淀积作为用于这些间隔的掺杂多晶硅材料。然后，用隔离刻除隔离之间区域的上氧化层 4、存储层 3 和下氧化层 2，并留下间隔下面的各部分。这样存储层就已经限制在源和漏边缘的区域（对着栅极）。

图 5 显示在衬底的半导体材料上和隔离形成的侧向内边上制造电介质层 10。通过半导体材料的表面氧化非常容易实现，尤其是当使用硅时。然后，为此目的通过在隔离之间的凹槽中淀积材料的方法制作并完成栅电极。最好能够将在此处的掺杂多晶硅用于此目的。按照图 5 显示，为平整表面再进行一次 CMP。

图 6 显示了淀积导电印刷电路后存储器单元状态的截面图，导电印刷电路用于栅电极（如其为存储器单元配置提供了一个字行）连接电源 12。此导电印刷电路最好还用掺杂多晶硅。通过沿垂直于图的平面方向限制图 6 所示结构的方法，完成单元的构造。这要通过进一步的光刻工艺来实现，刻蚀掉栅电极边的材料直至上氧化层 4 下。接下来，最好用湿法化学刻蚀方法刻除存储层 3。再一次氧化，以用氧化物掩埋存储层 3 存在的自由边缘。因而，作为根据本发明方法的结果，沿垂直于图 6 的图平面的两个方向，存储层 3 也被氧化层束缚。因此，存储层的所有边掩埋入氧化物，永久地防止俘获

在存储层两部分的载流子流在一起。所以，用本方法制造的小型多位存储器单元，具有比以前此类存储器单元更长的寿命。

图 7 至 10 显示了另一种方法，其提供了根据本发明稍微改进结构的一种存储器单元。本方法依然始于衬底上生长半导体本体 1（图 7）、一层和半导体材料层结构。如需要，为了半导体材料具有理想的本掺杂，按所需浓度通过掺杂材料注入的方法生长 p 型阱或 n 型阱，在此上整个表面是作为下界面层的下氧化物层 2（底氧化物层）、用以俘获载流子的存储层 3 和作为上界面层的再一层氧化物层（上氧化物层）。

根据构成希望制造的沟道区 6 的上部保留部分所显示的外型，制造一辅助层 80（如可为多晶硅）。利用此辅助层 80，为了在对着沟道区的源极区和漏极区的这些边缘制造 LDD 区 61（轻掺杂漏），首先完成掺杂材料的注入较佳。用此方法，制造与本底掺杂类型符号相反、不良电导率的掺杂区。这样在用于 n 型掺杂的 P 型阱情况下，完成注入。用某种本来已知的方式，对于本底掺杂（如 P）导电类型，辅助的所谓包注入 62 完成较好。但为获得源极区和漏极区陡峭的限制，要具有较高一些的掺杂浓度。如果辅助层用做这些注入的掩膜，其后按照图 7 所示点标示的尺寸再各向异性刻蚀。因为在刻蚀时，层的厚度要有一些损耗，为了获得准确的剩余层厚度，必须在原始层厚度中计算入适当的留存。如果不需要 LDD 和包注入，要严格按照点所标示外型尺寸大小制造辅助层。

图 8 所示，在辅助层 80 的相互对立边缘制造间隔 90，辅助层位于将制造的源和漏区的限制处。用本来已知的某种方式制造这些间隔，首先在打算作为间隔宽度的一层厚度整个区域上各向异性地应用有关材料（如氮化物）的一层，然后再各向异性地刻蚀此层直至层的水平部分消失并仅保留层的垂直部分，基本是原始层厚度。然后利用这些间隔 90，实施源区 6a 和漏区的掺杂材料 6b 的实际注入。这些掺杂的导电性表征与本底掺杂（如 n⁺）的导电性表征相反。

去除辅助层 80，仅保留间隔 90。用微距离作掩膜，通过除去间隔层覆盖区域外的上氧化层 4 和存储层 3，制造图 9 所示的结构。这样，氧化层 4 的部分应用到存储层，并且对于存储层，由于去除间隔而处于自由。除掉间隔层 90 后，仅保留下氧化物层 2 的表面上氧化物覆盖的存储层剩余部分。这些部分分别位于沟道区、源区和漏区之间的界面，即由于制造方法的结果，源区或漏区分别在每种情况下与沟道区的一头交叠。

制造氧化物层 13，至少形成在沟道区上和存储层 3 上，以至于存储层完全被氧化物包围。可部分用氮化物（尤其是当用硅作半导体材料时： $2 \text{Si}_3\text{N}_4 + 12 \text{H}_2\text{O}$ 产生 6SiO_2 ）再氧化的方法制造氧化物层 13。部分用氧化物淀积方法（氧化物 CVD，化学气相淀积，特别是用硅作为半导体材料时 TEOS 的热氧化，四乙氧基硅烷， $\text{Si}(\text{OC}_2\text{H}_5)_4 + 12 \text{O}_2$ 产生 SiO_2 ）。辅助以硅的热氧化具有优势，即提高对沟道区的源和漏区部分上硅的氧化，以形成厚氧化物层 70。图 10 显示了应用了作为字行的导电电路 12 和各自栅电极的制作。本导电印刷电路以电流从源经沟道区至漏的带状构成，以至于导电印刷电路限制在表面边缘的侧边并可想象到在图平面的前面和后面。部分暴露的存储层是移除的结果。最好是将此结果导致的暴露随后掩埋入氧化物，最好在再氧化时完成。

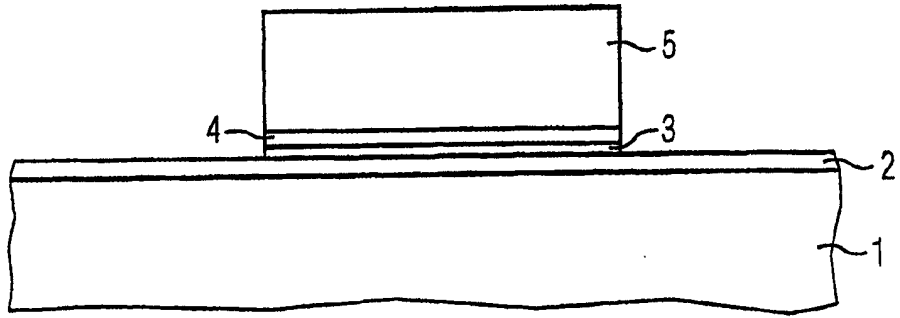


图 1

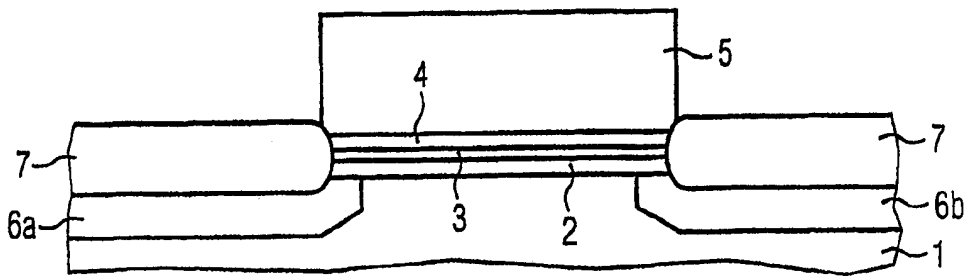


图 2

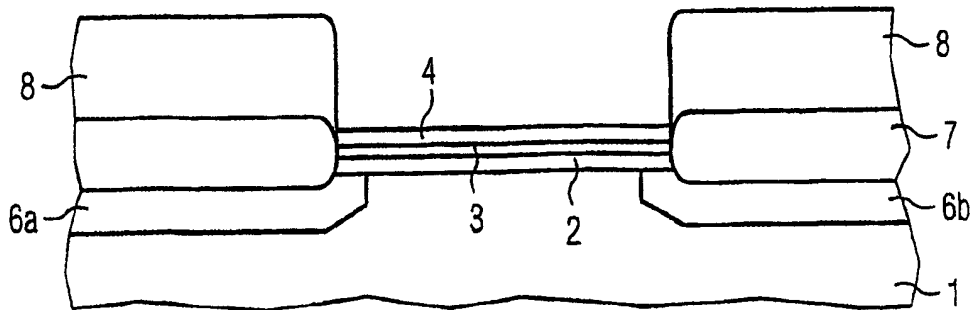


图 3

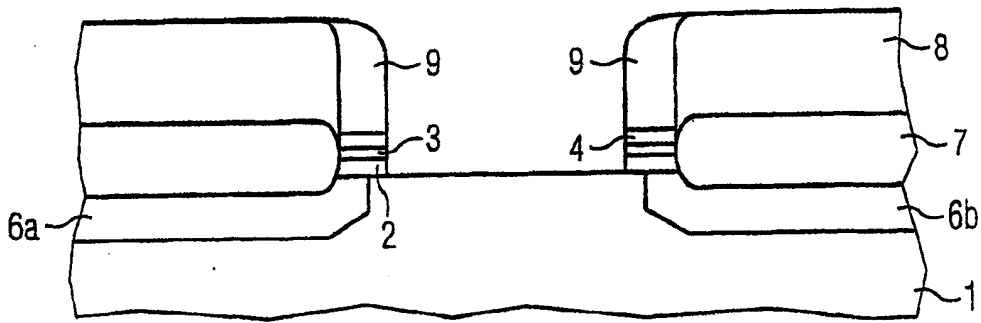


图 4

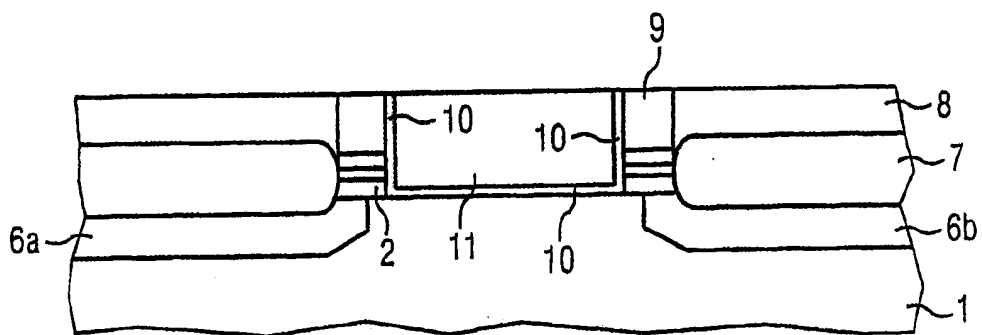


图 5

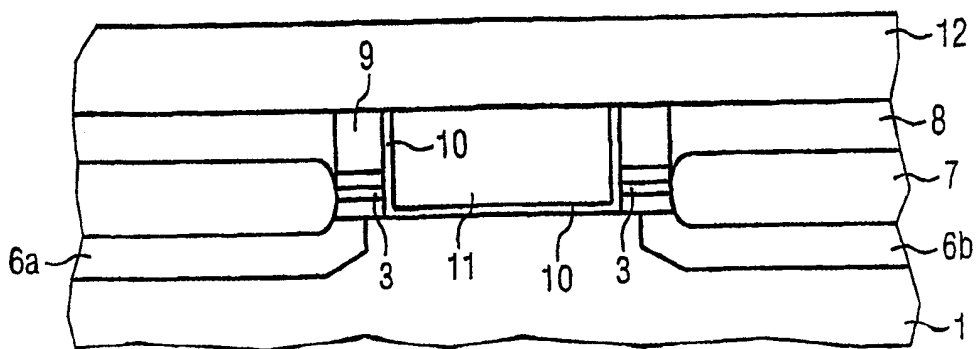


图 6

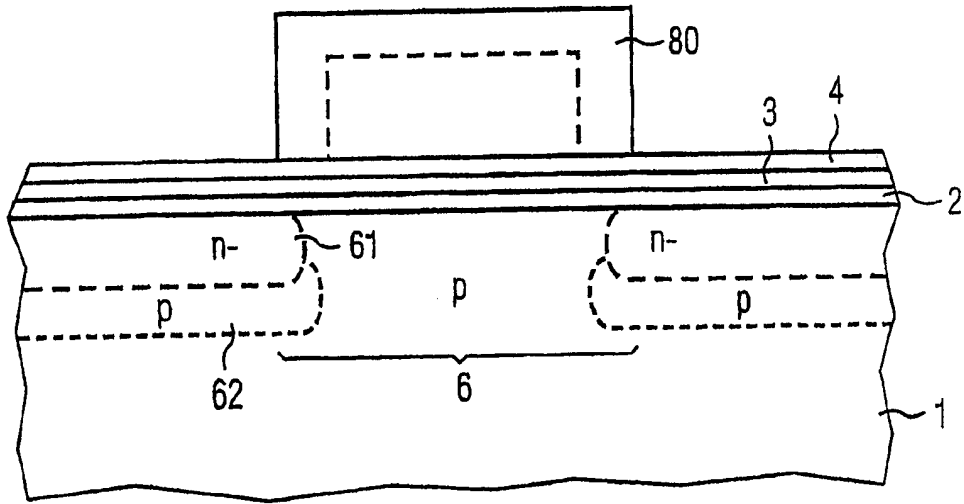


图 7

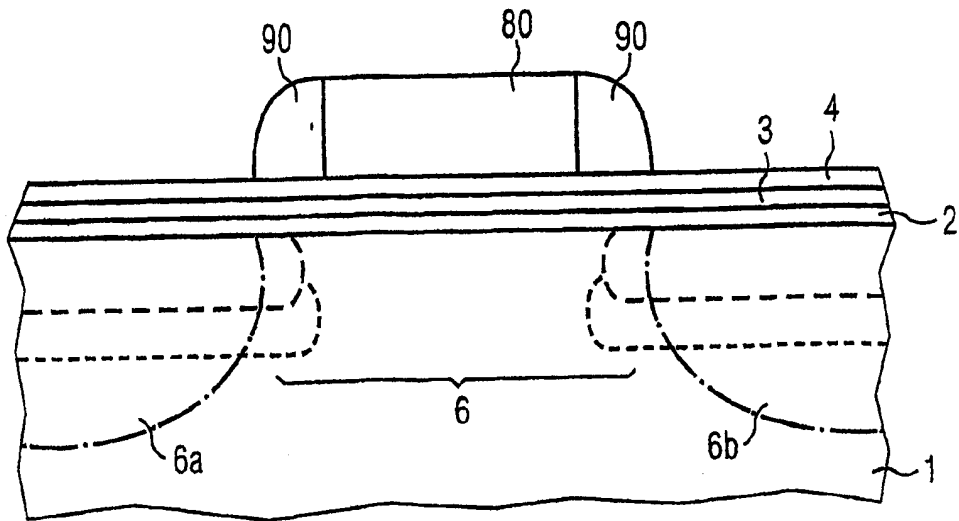


图 8

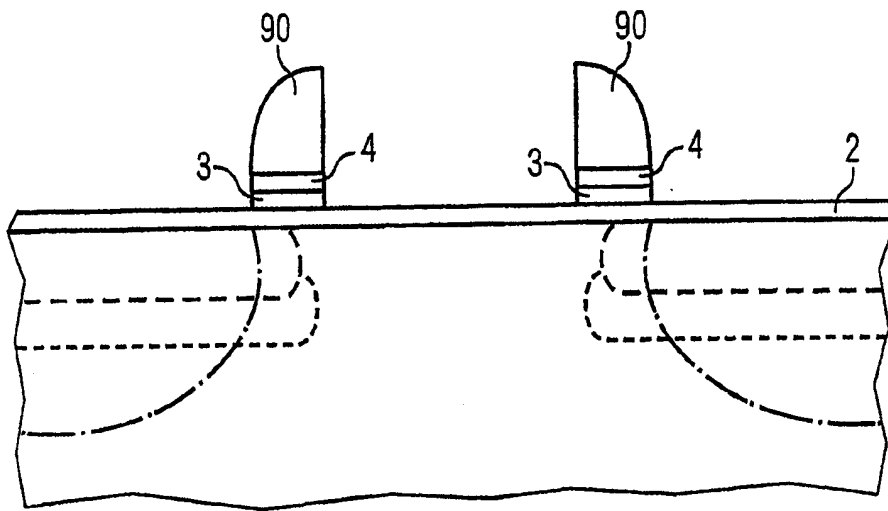


图 9

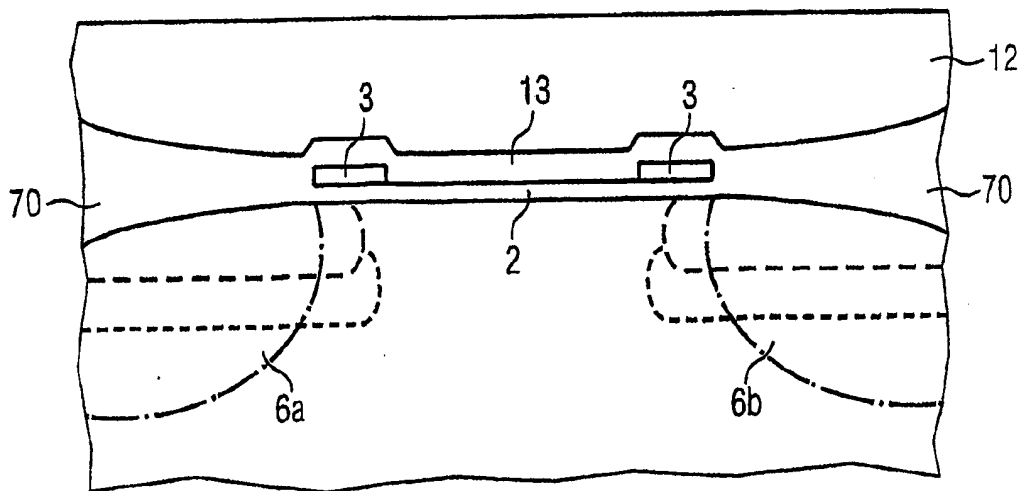


图 10