

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-123706

(P2007-123706A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/861 (2006.01)	HO 1 L 29/91 L	5 F O 3 2
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 1 O 2 A	5 F O 3 8
HO 1 L 27/06 (2006.01)	HO 1 L 27/04 B	5 F O 4 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/08 3 3 1 D	
HO 1 L 27/04 (2006.01)	HO 1 L 21/76 M	
審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2005-316493 (P2005-316493)
(22) 出願日 平成17年10月31日 (2005.10.31)

(71) 出願人 503361248
富士電機デバイステクノロジー株式会社
東京都品川区大崎一丁目11番2号
(74) 代理人 100133167
弁理士 山本 浩
(72) 発明者 小林 祐也
東京都品川区大崎一丁目11番2号 富士
電機デバイステクノロジー株式会社内
(72) 発明者 山田 耕平
神奈川県横須賀市長坂二丁目2番1号 富
士電機アドバンステクノロジー株式会社
内
Fターム(参考) 5F032 AB01 AB05 CA03 CA15 CA17
CA24
5F038 AV04 AV06 BB04 DF01 EZ20
最終頁に続く

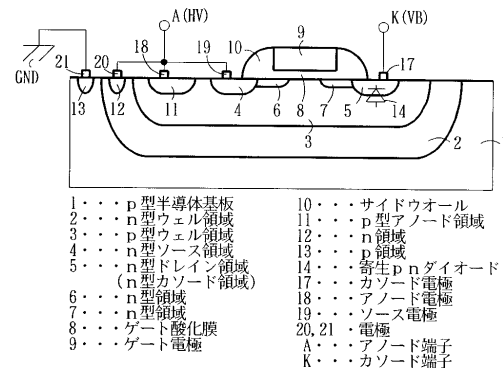
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 通常基板を用いて、製造コストが低く、基板への抜け電流を低減できる半導体装置を提供する。

【解決手段】 通常基板であるp型半導体基板1の表面層に深いn型ウェル領域2を形成し、n型ウェル領域2の表面層に浅いp型ウェル領域3を形成してトリプルウェル構造とする。p型ウェル領域3の表面層にn型ソース領域4、n型ドレイン領域5およびp型アノード領域11を形成し、さらにLDD構造である浅いn型領域6、7を形成し、このn型領域6、7に挟まれたp型ウェル領域3上にゲート酸化膜8を介してゲート電極9を形成し、n型ウェル領域2とp型半導体基板1の表面層にn型領域12、p型領域13を形成する。n型ソース領域4、p型アノード領域11およびn型領域12を短絡することで、p型ウェル領域3とn型ウェル領域2のpn接合を短絡して、p型アノード領域11からp型半導体基板1への抜け電流を防止する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第一導電型半導体基板と、該第一導電型半導体基板の表面層に形成される第二導電型ウェル領域と、該第二導電型ウェル領域の表面層に形成される第一導電型ウェル領域と、該第一導電型ウェル領域の表面層に形成される第二導電型ソース領域および第二導電型ドレイン領域と、前記第一導電型ウェル領域の表面層に形成される第一導電型領域と、前記第二導電型ソース領域と前記第二導電型ドレイン領域に挟まれた前記第一導電型ウェル領域上にゲート絶縁膜を介して形成されるゲート電極と、を有する半導体装置であって、

前記第一導電型領域に接触するアノード電極と、前記ドレイン領域に接触するカソード電極と、前記第一導電型ウェル領域と同電位または前記第一導電型ウェル領域との p n 接合に逆バイアスを与える電位を前記第二導電型ウェル領域に与えるための電極を備え、前記第一導電型領域と前記第二導電型ソース領域を短絡することを特徴とする半導体装置。 10

【請求項 2】

前記ゲート電極を前記第二導電型ソース領域と短絡することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第一導電型ウェル領域と前記ドレイン領域の p n 接合が順バイアス状態のときに、前記ゲート電極の電位を前記第二導電型ソース領域より高くしてチャンネルを形成し、前記 p n 接合が逆バイアス状態のとき、前記ゲート電極の電位を前記第二導電型ソース領域の電位より低くしてチャンネルを消滅させることを特徴とする請求項 1 に記載の半導体装置。 20

【請求項 4】

第一導電型半導体基板と、該第一導電型半導体基板の表面層に形成される第二導電型ウェル領域と、該第二導電型ウェル領域の表面層に形成される第一導電型ウェル領域と、該第一導電型ウェル領域の表面層に形成されるアノード領域およびカソード領域と、を有する半導体装置であって、

前記第一導電型領域に接触するアノード電極と、前記ドレイン領域に接触するカソード電極と、前記第一導電型ウェル領域と同電位または前記第一導電型ウェル領域との p n 接合に逆バイアスを与える電位を前記第二導電型ウェル領域に与えるための電極を備えることを特徴とする半導体装置。 30

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、デジタル回路、アナログ回路および電力出力回路を有するパワー I C などの半導体装置に関し、特にブートストラップ回路に用いられるハイサイドの整流ダイオードに係わる。

【背景技術】

【0002】

近年は携帯型情報機器に搭載される電源回路の主要構成部品であるパワー I C において、その低価格化と高効率化が求められている。そのためにはパワー I C のチップサイズの大部分を占める出力段素子の微細化と低抵抗化が求められている。以下の説明において P M O S は p チャネル M O S F E T であり、N M O S は n チャネル M O S F E T である。 40

図 7 は、パワー I C を搭載した電源回路の要部構成図である。この電源回路は同期整流方式を適用した降圧型 D C / D C コンバータである。

出力段回路 65 はプッシュプル回路で構成され、ハイサイド側の P M O S 55 とローサイド側の N M O S 54 が直列接続されている。図中の 61 は高圧側駆動回路、62 は低圧側駆動回路、63 はレベルシフト回路、64 は遅延回路、71 は制御電源、72 は高圧電源、73 はグラウンド (G N D) 、 200 はパワー I C 、 L はフィルタ回路用インダクタおよび C はフィルタ回路用コンデンサである。

【0003】

このように、ハイサイド側にPMOS55を用いると、このPMOS55のソース電位が高圧電源72の高電位側に固定され安定したゲート電圧をPMOS55に印加できる。

しかし、PMOS55は伝導キャリアが正孔であり、電子の移動度の $1/3$ 程度と小さいため、オン抵抗が高くなる。そのため、移動度の大きな電子を伝導キャリアとして用いたNMOSをハイサイド側の素子として用いることで、オン抵抗を小さくすることができる。つぎに、ハイサイド側の素子にNMOSを用いた例（例えば、特許文献1に記載されている）を説明する。

図8は、ハイサイド側の素子にNMOSを用いた電源回路の要部構成図である。この電源回路は、ブートストラップ回路100、パワーIC、フィルタ回路のインダクタL、コンデンサCで構成される。パワーICは出力段回路60、高圧側駆動回路61、低圧側駆動回路62、レベルシフト回路63、遅延回路64およびブートストラップ回路100を構成する整流ダイオード51で構成される。出力段回路60はNMOS53、54で構成され、ブートストラップ回路100は前記の整流ダイオード41とコンデンサ52で構成される。

10

【0004】

図8に示すように、出力段回路60のハイサイド側の素子をNMOS53で置き換えることにより、オン抵抗が低下して高効率化が実現でき、また同一のオン抵抗とした場合にはPMOS55の場合よりチップサイズの縮小化を図ることができる。

しかし、ハイサイド側のNMOS53をオンさせるためには、図8に示すように、高圧電源72の高電位側の電位よりも高い電位をゲートに印加することが必要となる。一般に、この高い電位を発生される回路としてブートストラップ回路100がある。このブートストラップ回路100はコンデンサ52と整流ダイオード51で構成され、このコンデンサ52を用いて、ハイサイド側のNMOS53のゲート印加電圧を生成する。このブートストラップ回路100は高圧電源72を用いて、整流ダイオード51を介してコンデンサ52を充電し、このコンデンサ52の電圧をハイサイド側のNMOS53のゲートに印加することで、ハイサイド側のNMOS53をオンさせる。また、ハイサイド側のNMOS53がオンした場合、コンデンサ52の高電位側の電位が制御電源71の高電位側の電位よりも上昇するため、制御電源71にコンデンサ52からの放電電流が逆流しないように整流ダイオード51が必要となる。

20

【0005】

30

つぎに、ブートストラップ回路100を構成する整流ダイオード51について説明する。

図9は、図8の整流ダイオードの要部断面図である。p型半導体基板81上にn型ウェル領域82を形成し、n型ウェル領域82上にゲート酸化膜88を介してゲート電極89を形成する。そして、n型ウェル領域82のゲート電極89の両脇に位置する部分にp型ソース領域83とp型ドレイン領域84を形成する。ソースおよびドレイン構造にはLD構造（浅いp型領域85、86）を適用している。

図9の構造において、p型ソース領域92をアノード電位に設定し、ゲート電極89とn型ウェル領域82とp型ドレイン領域84を短絡した上、カソード電位に設定し、p型半導体基板81をグランド電位に設定する。アノード側が高電位になったときにはp型ソース領域83とn型ウェル領域82の間のpn接合（寄生pnダイオード92）がボディダイオードとして働き、カソード側が高電位になったときにはPMOSとしての耐圧（p型ソース領域83とn型ウェル領域82の間pn接合の耐圧）により電流を阻止することができる。

40

【0006】

また、埋め込み基板を用いて前記の整流ダイオード51を形成した例が特許文献1に記載されている。

図10は、埋め込み基板を用いて形成した整流ダイオード51の要部断面図である。p型半導体基板81にn型不純物を選択的に拡散し、その上にn型エピタキシャル層を形成してn型埋め込み領域93を形成する。n型エピタキシャル層の表面からp型半導体基板

50

8 1 に達する p 型分離領域 9 4 を形成する。この p 型分離領域 9 4 に挟まれた n 型エピタキシャル層が n 型領域 9 5 となる。この n 型領域 9 5 の表面層に p 型アノード領域 9 6 と n 型カソード領域 9 7 を形成し、それぞれと電氣的に接続するアノード端子 A とカソード端子 K を設ける。p 型アノード領域 9 6、n 型領域 9 5 および n 型カソード領域 9 7 で p n ダイオード 9 8 が構成される。

【0007】

p 型アノード領域 9 6、n 型領域 9 5、n 型埋め込み領域 9 3 および p 型半導体基板 8 1 で寄生 p n p トランジスタが構成されるが、n 型領域 9 5 より高濃度の n 型埋め込み領域 9 3 があるために、p 型アノード領域 9 6 から n 型領域 9 5 に注入された正孔は n 型領域 9 5 と n 型埋め込み領域 9 3 の境界にある電位障壁に阻まれて p 型半導体基板 8 1 に流れ難くなる。またこの障壁により寄生 n p n トランジスタの hFE が小さくなり、p 型半導体基板 8 1 へ流れ込む電流 (p 型半導体基板 8 1 への抜け電流) が抑制される。

10

【特許文献 1】特開平 2004-47937 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

前記したように、図 9 の場合のような寄生 p n ダイオード 9 2 では、p 型アノード領域 8 3 と n 型ウェル領域 8 2 p 型半導体基板 8 1 で構成される寄生 p n p トランジスタが存在するために、p 型半導体基板 8 1 へ主電流の一部が抜け電流 (点線で示す) として流れ、効率低下を招いていた。

20

また、図 10 の場合は、n 型埋め込み領域 9 3 を形成した基板 (埋め込み基板) を用いることにより、p 型半導体基板 8 1 への抜け電流を低減しているが、埋め込み基板を用いると、図 9 のような通常基板 (CZ (チョクラスキーゾーン) 基板や FZ (フローティングゾーン) 基板などの通常のシリコン基板) を用いるのに比べて製造コストが大幅に上昇する。

この発明の目的は、前記の課題を解決して、通常基板を用いて、製造コストが低く、基板への抜け電流を低減できる半導体装置を提供することである。

【課題を解決するための手段】

【0009】

前記の目的を達するために、第一導電型半導体基板と、該第一導電型半導体基板の表面層に形成される第二導電型ウェル領域と、該第二導電型ウェル領域の表面層に形成される第一導電型ウェル領域と、該第一導電型ウェル領域の表面層に形成される第二導電型ソース領域および第二導電型ドレイン領域と、前記第一導電型ウェル領域の表面層に形成される第一導電型領域と、前記第二導電型ソース領域と前記第二導電型ドレイン領域に挟まれた前記第一導電型ウェル領域上にゲート絶縁膜を介して形成されるゲート電極と、を有する半導体装置であって、前記第一導電型領域に接触するアノード電極と、前記ドレイン領域に接触するカソード電極と、前記第一導電型ウェル領域と同電位または前記第一導電型ウェル領域との p n 接合に逆バイアスを与える電位を前記第二導電型ウェル領域に与えるための電極を備え、前記第一導電型領域と前記第二導電型ソース領域を短絡する構成とする。

30

40

【0010】

また、前記ゲート電極を前記第二導電型ソース領域と短絡するとよい。

また、前記第一導電型ウェル領域と前記ドレイン領域の p n 接合が順バイアス状態のときに、前記ゲート電極の電位を前記第二導電型ソース領域より高くしてチャンネルを形成し、前記 p n 接合が逆バイアス状態のとき、前記ゲート電極の電位を前記第二導電型ソース領域の電位より低くしてチャンネルを消滅させるとよい。

また、第一導電型半導体基板と、該第一導電型半導体基板の表面層に形成される第二導電型ウェル領域と、該第二導電型ウェル領域の表面層に形成される第一導電型ウェル領域と、該第一導電型ウェル領域の表面層に形成されるアノード領域およびカソード領域と、を有する半導体装置であって、前記第一導電型領域に接触するアノード電極と、前記ドレ

50

イン領域に接触するカソード電極と、前記第一導電型ウェル領域と同電位または前記第一導電型ウェル領域とのpn接合に逆バイアスを与える電位を前記第二導電型ウェル領域に与えるための電極を備える構成とする。

【発明の効果】

【0011】

この発明によれば、トリプルウェル構造の基板に形成したNMOSの寄生pnダイオードをブートスラップ回路の整流ダイオードとして用い、深いn型ウェル領域と浅いp型ウェル領域を同電位もしくは逆バイアスすることで、p型半導体基板への抜け電流を減少することができる。

また、トリプルウェル構造を通常基板に形成することで、埋め込み基板を用いた場合より大幅に製造コストを低減することができる。

【発明を実施するための最良の形態】

【0012】

実施の形態を以下の実施例で説明する。尚、ここでは、第1導電型をp型、第2導電型をn型として説明した。

【実施例1】

【0013】

図1は、この発明の第1実施例の半導体装置の要部断面図である。これは図2の本発明の整流ダイオード41をNMOSの寄生pnダイオード14で形成した要部断面図である。尚、NMOSとはn型ソース領域4、n型ドレイン領域5、n型領域6、7およびゲート電極9で構成されるnチャネルMOSFETのことである。また、NMOSおよび寄生pnダイオードの耐圧は5V～10V程度である。

この構造では、CZ基板よりなるp型半導体基板1の表面層に深いn型ウェル領域2を形成し、深いn型ウェル領域2の表面層に浅いp型ウェル領域3を形成してトリプルウェル構造とし、浅いp型ウェル領域3の表面上にゲート酸化膜8を介してゲート電極9を形成する。ゲート電極9をマスクにその両側のp型ウェル領域3の表面層に浅いn型領域6、7（LDD構造）する。ゲート電極9の側面に酸化膜でサイドウォール10を形成し、このサイドウォールをマスクに浅いn型領域6、7に接するようにp型ウェル領域3の表面層にn型ソース領域4とn型ドレイン領域5（n型カソード領域）を形成し、さらにn型ソース領域4の隣にp型アノード領域11を形成する。nウェル領域2の表面層とp型半導体基板1の表面層にn型領域12とp型領域13を形成する。この構成は、NMOS 53と同じ構成でありNMOS 53と同時に形成できる。

【0014】

この半導体装置の第1の使用方法としては、p型領域13をグランドGNDと電氣的に接続し、n型領域12（電極20）とp型アノード領域11（アノード電極18）とn型ソース領域4（ソース電極19）およびゲート電極9を短絡し、これらをアノード端子Aと電氣的に接続し、n型カソード領域5とカソード端子Kと電氣的に接続する。p型アノード領域11とn型ソース領域4とは短絡せずにそれぞれ同電位を与えてもよい。

ゲート電極9とn型ソース領域4を短絡することで、ゲート電極9とp型ウェル領域3が同電位となり、アノード端子A（n型ソース領域4）がカソード端子K（n型ドレイン領域5）に対して低電位の場合も高電位の場合もNMOSにはチャネルが形成されず、オフ状態となるので、寄生pnダイオード14に図2の整流ダイオード41の働きをさせることができる。この使用方法ではNMOSお動作させないが、MOS構造を形成することで、後述する図5、図6のMOS構造を形成しない場合と比べ、確実に出力段のハイサイド側NMOSと同等の耐圧を得ることができるので、開発に要する期間を短縮できる点において有利である。

【0015】

第2の使用方法としては、第1の使用方法と異なり、ゲート電極9をn型ソース領域4（ソース電極19）およびp型アノード領域11（アノード電極18）と短絡させず別々に制御する。アノード端子A（p型アノード領域11とn型ソース領域4）がカソード端

子K（n型ドレイン領域5）に対して高電位の場合、寄生pnダイオード14が順バイアスされオン状態となる。このとき、ゲート電極9をn型ソース領域4に対してゲートしきい値電圧以上の電圧とすると、NMOSにチャンネルが形成されてオン状態とさせる。

つぎに、アノード端子Aがカソード端子Kに対して低電位の場合は、寄生pnダイオードはオフ状態となる。このとき、ゲート電極9とn型ソース電極4に対してゲートしきい値電圧以下の電圧とすることにより、前記NMOSのチャンネルを閉じてオフ状態とさせる。

【0016】

このように、寄生pnダイオード14とNMOSを合わせて図2の整流ダイオード41の働きをさせ、整流ダイオード41の順方向電流を寄生pnダイオード14とNMOSに流すことにより、整流ダイオード41の占有面積を小さくすることができる。 10

以上のように、トリプルウェル構造とし、深いn型ウェル領域2がアノード電位に設定されていることにより、浅いp型ウェル領域3（エミッタ）と深いn型ウェル領域2（ベース）とp型半導体基板1（コレクタ）で構成される寄生pnptランジスタのエミッタとベースが短絡され、エミッタからベースへの正孔の注入が抑制されることにより、このpnptランジスタの h_{FE} が極めて小さくなり、p型半導体基板1への抜け電流（コレクタ電流）が大幅に抑制でされる。

また、このトリプルウェル構造を通常基板に形成することで、製造コストを埋め込み基板と比べて大幅に低減することができる。

【0017】

図2は、本発明の整流ダイオードを搭載した電源回路の要部回路図である。これは図8に相当する回路図であり、図8の整流ダイオード51を本発明の整流ダイオード41に代えている。また、図8と同一部位には同一の符号を付した。 20

この電源回路は、ブートストラップ回路100、パワーIC200、フィルタ回路のインダクタL、コンデンサCで構成され、パワーIC200は出力段回路60、高圧側駆動回路61、低圧側駆動回路62、レベルシフト回路63、遅延回路64およびブートストラップ回路100を構成する整流ダイオード41で構成され、出力段回路はNMOS53、54で構成され、ブートストラップ回路100は前記の整流ダイオード41とコンデンサ52で構成される。

【実施例2】

【0018】

図3は、この発明の第2実施例の半導体装置の要部断面図である。これは図1に相当する要部断面図である。

図1との違いは、n領域12をアノード端子Aと接続しないで独立させ、n領域12と電氣的に接続する逆バイアス端子VRをアノード端子Aより高い電圧に印加して、n型ウェル領域2とp型ウェル領域3のpn接合を逆バイアスすることで、p型半導体基板1への抜け電流をさらに低減させた点にある。

図4は、図3の整流ダイオードを用いた電源回路の要部回路図である。整流ダイオード42に接続する逆バイアス端子VRにアノード端子Aより高い電圧を外部電源もしくは内部電源により印加する。 40

【実施例3】

【0019】

図5は、この発明の第3実施例の半導体装置の要部断面図である。これは図1に相当する要部断面図である。

図1との違いは、浅いpウェル領域3にp型アノード領域11とn型カソード領域15を形成した点である。p型アノード領域11とn型領域12を短絡して、浅いp型ウェル領域3と深いn型ウェル領域2を同電位にすることで図1と同様の効果が得られる。

【実施例4】

【0020】

図6は、この発明の第4実施例の半導体装置の要部断面図である。これは図5に相当す 50

る要部断面図である。

図5との違いは、深いnウェル領域2と浅いpウェル領域3で構成されるpn接合を同電位にしないで逆バイアスを印加できる構成とした点である。逆バイアスすることでエミッタとベースが逆バイアスされることになり、図5よりさらに抜け電流を低減することができる。

以上の実施例では、出力段回路60にNMOS53、54を用いて説明したが、Nチャネル型IGBTを用いた場合も同様の効果を得ることができる。

【図面の簡単な説明】

【0021】

【図1】この発明の第1実施例の半導体装置の要部断面図 10

【図2】本発明の整流ダイオードを搭載した電源回路の要部回路図

【図3】この発明の第2実施例の半導体装置の要部断面図

【図4】図3の整流ダイオードを用いた電源回路の要部回路図

【図5】この発明の第3実施例の半導体装置の要部断面図

【図6】この発明の第4実施例の半導体装置の要部断面図

【図7】パワーICを搭載した電源回路の要部構成図

【図8】ハイスайд側の素子にNMOSを用いた電源回路の要部構成図

【図9】図8の整流ダイオードの要部断面図

【図10】図10は、埋め込み基板を用いて形成した整流ダイオードの要部断面図

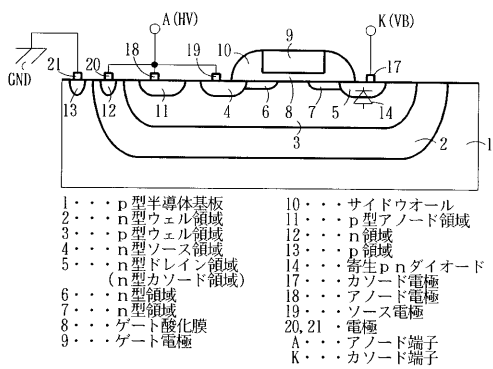
【符号の説明】 20

【0022】

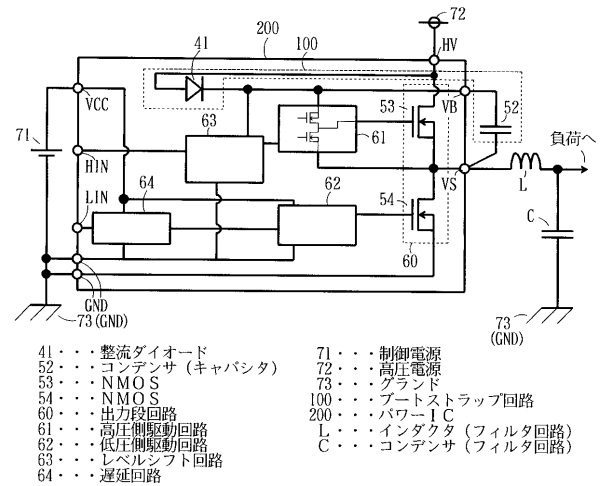
1	p型半導体基板	
2	n型ウェル領域	
3	p型ウェル領域	
4	n型ソース領域	
5	n型ドレイン領域	
6、7、12	n型領域	
8	ゲート酸化膜	
9	ゲート電極	
10	サイドウォール	30
11	p型アノード領域	
13	p型領域	
14	寄生pnダイオード	
17	カソード電極	
18	アノード電極	
19、20、21	電極	
41、42	整流ダイオード	
52	コンデンサ	
53、54	NMOS	
60	出力段回路	40
61	高圧側駆動回路	
62	低圧側駆動回路	
63	レベルシフト回路	
64	遅延回路	
71	制御電源	
72	高圧電源	
73	グランド (GND)	
100	ブートストラップ回路	
200	パワーIC	
A	アノード端子	50

- K カソード端子
 L インダクタ (フィルタ回路)
 C コンデンサ (フィルタ回路)

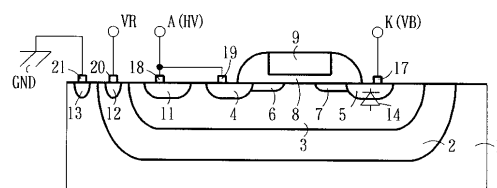
【図 1】



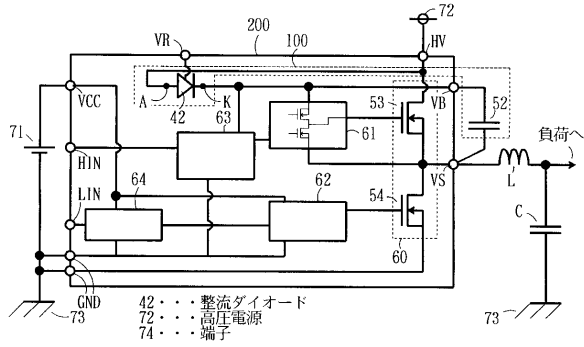
【図 2】



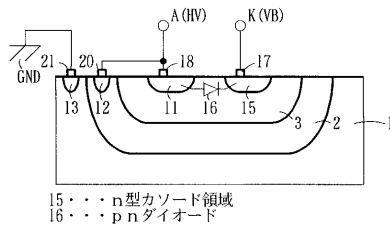
【図 3】



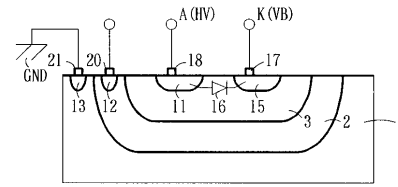
【図 4】



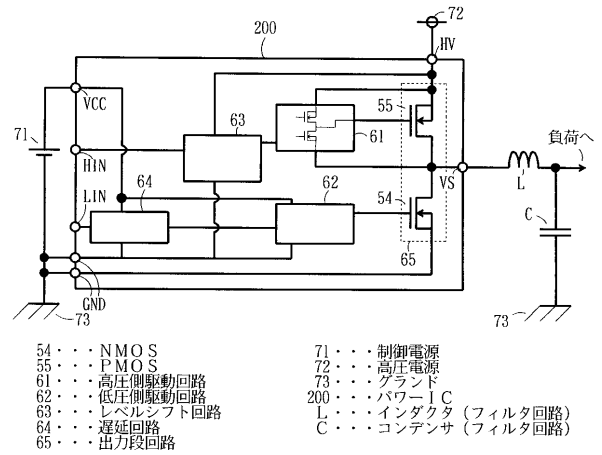
【図 5】



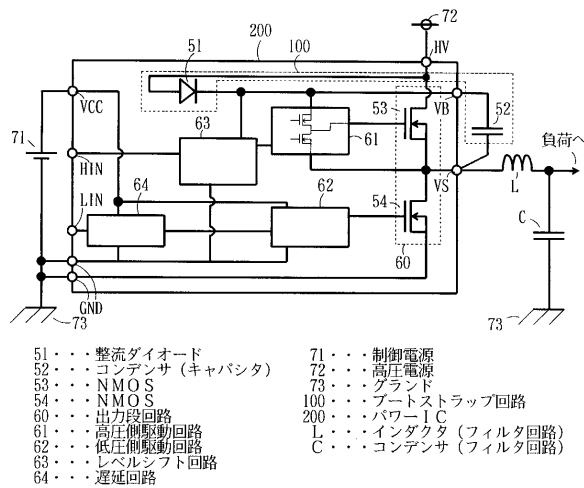
【図 6】



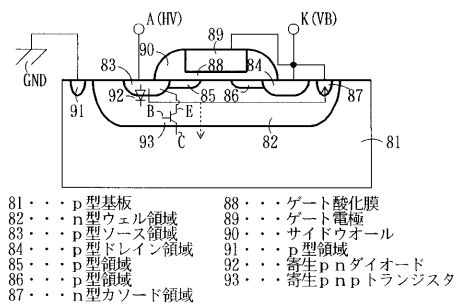
【図 7】



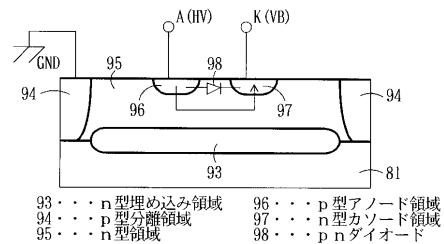
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L 27/08 (2006.01)

H O 1 L 21/76 (2006.01)

Fターム(参考) 5F048 AA05 AB10 AC10 BA01 BC06 BE02 BE09 BF16 BF18 DA23