

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-57213

(P2010-57213A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl. F I テーマコード(参考)  
**HO2M 3/28 (2006.01)** HO2M 3/28 H 5H730  
 HO2M 3/28 L

審査請求 未請求 請求項の数 4 O L (全 22 頁)

(21) 出願番号 特願2008-216355 (P2008-216355)  
 (22) 出願日 平成20年8月26日 (2008. 8. 26)

(71) 出願人 000106276  
 サンケン電気株式会社  
 埼玉県新座市北野3丁目6番3号  
 (74) 代理人 100083806  
 弁理士 三好 秀和  
 (74) 代理人 100100712  
 弁理士 岩▲崎▼ 幸邦  
 (74) 代理人 100100929  
 弁理士 川又 澄雄  
 (74) 代理人 100095500  
 弁理士 伊藤 正和  
 (74) 代理人 100101247  
 弁理士 高橋 俊一  
 (74) 代理人 100098327  
 弁理士 高松 俊雄

最終頁に続く

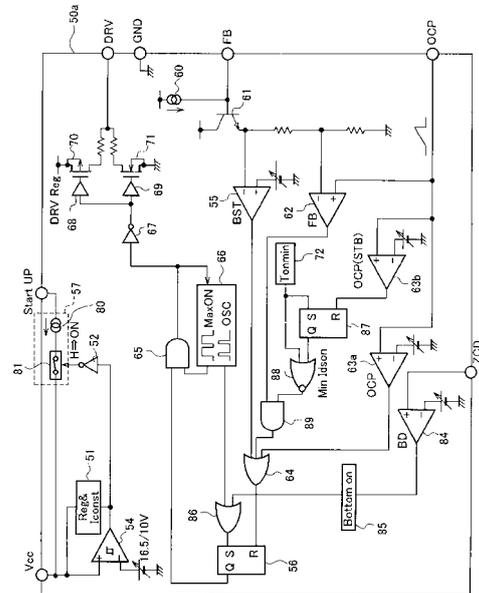
(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】簡易な構成で軽負荷時のスイッチング損失を低減するとともに高効率なスイッチング電源装置を提供する。

【解決手段】トランスの1次巻線に接続されたスイッチング素子を有し、トランスの1次側に電圧が入力された場合に制御回路50aがスイッチング素子をオン/オフ制御することによりトランスの2次巻線に誘起される電圧を整流平滑して負荷に出力するスイッチング電源装置であって、制御回路50aは、負荷が軽負荷の場合に、スイッチング素子に流れる電流が一定値以下に低下するのを防ぐようにスイッチング素子を制御する電流制御部である第2OCPコンパレータ63bと、負荷が軽負荷の場合に、負荷に対する出力電圧に応じたフィードバック信号に基づき、スイッチング素子に対して間欠発振動作を行うように制御する間欠制御部であるBSTコンパレータ55とを備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

トランスの 1 次巻線に接続されたスイッチング素子を有し、前記トランスの 1 次側に電圧が入力された場合に制御回路が前記スイッチング素子をオン/オフ制御することにより前記トランスの 2 次巻線に誘起される電圧を整流平滑して負荷に出力するスイッチング電源装置であって、

前記制御回路は、

前記負荷が軽負荷の場合に、前記スイッチング素子に流れる電流が一定値以下に低下するのを防ぐように前記スイッチング素子を制御する電流制御部と、

前記負荷が軽負荷の場合に、前記負荷に対する出力電圧に応じたフィードバック信号に基づき、前記スイッチング素子に対して間欠発振動作を行うように制御する間欠制御部と、

を備えることを特徴とするスイッチング電源装置。

## 【請求項 2】

前記電流制御部は、前記トランスの 1 次側に入力された電圧に応じて設定した最低オン時間よりも前記スイッチング素子のオン時間が短くなるのを防ぐように前記スイッチング素子を制御することを特徴とする請求項 1 記載のスイッチング電源装置。

## 【請求項 3】

前記電流制御部は、前記トランスの 1 次側に入力された電圧が所定値以下の場合には最低オン時間を長く設定し、前記トランスの 1 次側に入力された電圧が所定値を超える場合には最低オン時間を短く設定することを特徴とする請求項 2 記載のスイッチング電源装置。

## 【請求項 4】

前記電流制御部は、前記スイッチング素子に流れる電流値に所定電流をバイアスし、当該バイアス後の電流値が一定値以下に低下するのを防ぐように前記スイッチング素子を制御することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項記載のスイッチング電源装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スイッチング動作により所定の電圧を生成して出力するとともに、軽負荷時の安定制御が可能なスイッチング電源装置に関する。

## 【背景技術】

## 【0002】

従来から、スイッチング素子をオン/オフ制御して出力電圧制御を行うスイッチング電源装置は、OA 機器や民生機器等に利用されている。近年、環境への配慮及び省エネルギーの観点から、スイッチング電源装置の高効率化が求められている。スイッチング電源装置におけるスイッチング素子を制御する制御回路は、通常、1 チップの集積回路により構成され、内部に当該集積回路を起動するための起動回路を備えている。

## 【0003】

図 13 は、従来の擬似共振型のスイッチング電源装置の構成を示す回路図である。このスイッチング電源装置は、図 13 に示すように、交流電源 1 と、ブリッジ整流器 2 と、ノーマルフィルタ用のコンデンサ 3 と、トランス 4 と、スイッチング素子 5 と、整流用のダイオード 6 と、出力コンデンサ 7 と、エラーアンプ 8 と、フォトカプラ 9 a, 9 b と、コンデンサ 10, 14 と、補助巻線 D と、ダイオード 11 と、バックアップコンデンサ 12 と、抵抗 13 と、共振コンデンサ 15 と、スイッチング素子 5 を制御するための制御部 50 とを有する。補助巻線 D とダイオード 11 とバックアップコンデンサ 12 とは、補助電源回路を構成する。

## 【0004】

また、スイッチング素子 5 と共振コンデンサ 15 と制御部 50 とは例えば 1 チップの半

10

20

30

40

50

導体装置内に設けられ、当該装置は、外部入力端子として、スイッチング素子5の入力端子(Drain端子)、スイッチング素子5の出力端子(Source端子)、補助電源回路の入力端子(Vcc端子)、フィードバック信号入力端子(FB端子)、過電流保護端子(OC P端子)、ゼロ電流検出端子(ZCD端子)、及び制御部50のグランド端子(GND端子)を備えている。なお、制御部50は、Drain端子に接続されたStartUp端子、Vcc端子、FB端子、GND端子、OC P端子、ZCD端子、及びスイッチング素子5に制御信号を出力するためのDRV端子を備えている。

【0005】

トランス4は、1次巻線Pと2次巻線Sと補助巻線Dとを有し、2次側回路へエネルギーを伝達する。また、スイッチング素子5は、トランス4の1次巻線Pに接続されている。

10

【0006】

エラーンプ8は、Vout-Gnd間に接続され、出力電圧Voutと内部の基準電圧との差に応じて、フォトンプラ9aに流れる電流を制御する。フォトンプラ9aは、抵抗が並列に接続された発光ダイオードにより構成され、基準電圧に対する誤差を1次側にフィードバックする。また、フォトンプラ9bは、フォトンプラ9aの発光ダイオードの光に応じて動作するフォトランジスタであり、コレクタが制御部50のFB端子に接続されるとともにエミッタが接地されている。この構成により、フォトンプラ9bがフィードバック信号を制御部50のFB端子に出力するため、当該スイッチング電源装置は、負荷の変動に対応する電力を供給することができる。

20

【0007】

補助電源回路は、上述したように補助巻線Dにダイオード11とバックアップコンデンサ12とを接続して構成され、トランス4の補助巻線Dに誘起される電圧を整流平滑するとともに、自己の有するバックアップコンデンサ12に充電して制御部50のVcc端子に電力を供給する。また、補助巻線Dに誘起される電圧は、抵抗13を介して整流平滑されることなく制御部50のZCD端子に入力される。

【0008】

スイッチング素子5のオフ期間中に2次巻線Sに誘起される電圧は、整流用のダイオード6と出力コンデンサ7とにより整流平滑され、2次側出力電圧としてVoutから負荷に対して出力される。

30

【0009】

また、トランス4は、1次巻線Pのインダクタンスとスイッチング素子5に並列接続された共振コンデンサ15のキャパシタンスとからなるLC共振回路を備えている。この共振コンデンサ15は、スイッチング素子5の寄生容量のみにより構成することも可能である。共振コンデンサ15は、スイッチング素子5に並列接続されているが、1次巻線Pと並列に取り付けても同じ効果がある。

【0010】

制御部50は、制御信号をDRV端子から出力することにより、スイッチング素子5のゲートを駆動してオン/オフさせ、トランス4の2次巻線S側で平滑された直流電圧を電源出力端子Voutと接地端子Gnd間に生成する。具体的には、スイッチング素子5のオン期間に流れるドレイン電流により、トランス4は逆起電力を生じ、2次巻線S側に電流が流れてエネルギーが貯えられる。スイッチング素子5はその後にオフするが、トランス4に蓄えられたエネルギーは、スイッチング素子5のオフ期間にトランス4の2次巻線S側でダイオード6を通して平滑コンデンサ7に電流を流す。これにより、電源出力端子Voutと接地端子Gnd間には、トランス4の2次巻線S側で平滑された直流電圧が生成される。

40

【0011】

トランス4に蓄えられたエネルギーによる2次巻線S側の平滑回路に対する放出が終了し、ダイオード6に流れる電流がゼロになると、スイッチング素子5のソースドレイン間電圧が下がり、トランス4のLC共振回路で振動が始まる。その際、トランス4の補助巻線

50

Dは、その巻線数に比例した振幅のドレイン電圧に対応する電圧を生じる。スイッチング素子5のドレイン電圧は、交流電源1の交流入力を整流したときに平滑コンデンサ3の端子間に生じる直流電圧を中心に振動する。これに対して、ゼロ電流検出用の入力端子ZCDは、トランス4の1次巻線Pとは逆極性の補助巻線Dに接続されているため、0Vを中心とする振動波形のゼロ電流検出信号が入力される。これにより、制御部50は、スイッチング素子5のゲート端子にHレベルの信号を出力し、スイッチング素子5を再びオンさせる。

#### 【0012】

ここで、Vout-Gnd間に接続される図示されない負荷のインピーダンスが高い軽負荷状態の場合には、制御部50により出力されるスイッチング素子5に対する制御信号のオン幅が狭くなるので、スイッチング素子5は、オン期間が短く、ドレイン電流の最大値が低い。このため、トランス4に蓄積されるエネルギーが小さく、比較的短期間でトランス4のリセットが終了するので、スイッチング素子5のドレイン-ソース端子間電圧の値が高い期間が短くなり、トランス4の2次側のダイオード6に流れる電流は短期間でゼロとなる。

10

#### 【0013】

一方、重負荷状態の場合には、制御部50により出力される制御信号のオン幅が広がるので、スイッチング素子5は、オン期間が長くなり、ドレイン電流の最大値が高くなる。このため、トランス4に蓄積されるエネルギーが大きくなるとともにリセット期間が長くなるので、スイッチング素子5のドレイン-ソース端子間電圧の値が高い期間が長くなり、トランス4の2次側のダイオード6に流れる電流は比較的長期間に亘って流れ続ける。

20

#### 【0014】

また、図14は、従来の擬似共振型のスイッチング電源装置の制御部50内部の構成を示す回路図である。制御部50は、図14に示すように、内部電源51、反転回路52、ヒステリシスコンパレータ54、フリップフロップ56、起動回路57、定電流源60、トランジスタ61、FBコンパレータ62、OCPコンパレータ63、OR回路64、AND回路65、発振回路66、反転回路67、ドライブ回路68、69、スイッチング素子70、71、BDコンパレータ84、ボトム検出部85、及びOR回路86により構成される。

#### 【0015】

内部電源51は、Vcc端子から供給される電力に基づき、制御部50を起動させるとともに、制御部50全体に対して動作に必要な電力を供給する。また、内部電源51は、ヒステリシスコンパレータ54の出力を検出し、当該出力がH(ハイ)レベルの信号である場合に動作を行うが、当該出力がL(ロー)レベルの信号である場合には動作を停止して制御部50全体に対する電力供給を止める。

30

#### 【0016】

ヒステリシスコンパレータ54は、Vcc端子の電圧が起動電圧値である16.5V以上である場合にHレベルの信号を出力する。その後、Vcc端子の電圧が最低動作電圧値である10V以下に低下すると、ヒステリシスコンパレータ54は、Lレベルの信号を出力する。

40

#### 【0017】

反転回路52は、ヒステリシスコンパレータ54の出力を反転し、後述する起動回路57内のスイッチ81に対して出力する。

#### 【0018】

起動回路57は、定電流源80とスイッチ81とにより構成され、内部電源51に電力を供給するために起動電流を流す。ここで、定電流源80の入力端子は、Startup端子に接続されており、外部のDrain端子から電力供給を受ける。起動回路57は、スイッチ81がオンである場合に、Vcc端子を介して定電流源80による電流を補助電源回路30のバックアップコンデンサ12に供給して充電する。また、起動回路57内のスイッチ81は、反転回路52の出力がH(ハイ)レベルの信号である場合にオンに切り

50

替わり、反転回路52の出力がLレベルの信号である場合にオフに切り替わる。したがって、起動回路57は、Vcc端子の電圧が10V以下に低下して制御部50の再起動が必要とされる場合に、スイッチ81をオンにして起動電流を供給する。

【0019】

定電流源60は、FB端子に接続された外部のフォトブラ9bとコンデンサ10とにより、FB端子に2次側からのフィードバック電圧を生成する。

【0020】

トランジスタ61は、ベースがFB端子に接続され、FB端子のフィードバック電圧に応じてオンし、エミッタ電流が流れる。

【0021】

OCP端子は、外部でSource端子に接続されており、スイッチング素子5に流れる電流量に応じた電圧が印加され、FBコンパレータ62及びOCPコンパレータ63に電圧信号を出力する。

【0022】

FBコンパレータ62は、トランジスタ61に流れる電流量に応じた電圧信号に対して、OCP端子から出力される電圧信号が上回った場合にH(ハイ)信号を出力する。これにより、FBコンパレータ62は、FB端子に示される2次側からのフィードバック量に応じた電圧値をOCP端子により出力された電圧信号の電圧値を超えた際に、Hレベルの信号をOR回路64を介してフリップフロップ56のR端子に入力し、スイッチング素子5をオフさせ、2次側の出力電圧値を一定に制御することができる。

【0023】

OCPコンパレータ63は、OCP端子から出力される電圧信号が所定電圧値を上回った場合に、スイッチング素子5に流れる電流量が過電流であるとして、H(ハイ)信号を出力し、Hレベルの信号をOR回路64を介してフリップフロップ56のR端子に入力する。

【0024】

OR回路64は、FBコンパレータ62とOCPコンパレータ63との少なくとも1つによりH信号を入力された場合に、H信号をフリップフロップ56のR端子に対して出力する。

【0025】

発振回路66は、スイッチング素子5の最大デューティサイクルを決める最大デューティサイクル信号を生成してAND回路65に対して出力するとともに、スイッチング素子5の発振周波数を決めるクロック信号を生成し、OR回路86を介してフリップフロップ回路56のS端子に対して出力する。これにより、発振回路66は、過負荷時にスイッチング素子5のオン幅を制限し、過電流が流れるのを防止することができる。

【0026】

フリップフロップ56は、S端子に入力されたクロック信号とR端子に入力された信号とに基づき、Q端子から制御信号を出力する。フリップフロップ56の出力端子(Q端子)は、AND回路65の入力端子に接続されている。また、AND回路65の出力は、反転回路67を介してドライブ回路68, 69に接続されている。ドライブ回路68, 69は、それぞれP型MOSFETによるスイッチング素子70のゲート端子とN型MOSFETによるスイッチング素子71のゲート端子とに接続されている。スイッチング素子5は、AND回路65の出力に応じてスイッチング素子70, 71が交互に駆動されることにより、オン/オフ制御される。

【0027】

BDコンパレータ84は、上述した0Vを中心とする振動波形のゼロ電流検出信号の電圧値を所定の値と比較し、比較結果をボトム検出部85に対して出力する。

【0028】

ボトム検出部85は、BDコンパレータ84の出力に基づき、入力端子ZCDに印加されるゼロ電流検出信号のゼロクロス検出を行い、スイッチング素子5のドレイン電圧が最

10

20

30

40

50

低電圧（ボトム）となるタイミングでOR回路86を介してフリップフロップ56のS端子にHレベルの信号を出力する。これによりトランス4を流れる電流がゼロの状態でのスイッチング動作、すなわちソフトスイッチングが実現できる。

【0029】

OR回路86は、発振回路66とボトム検出部85との少なくとも1つによりH信号を入力された場合に、H信号をフリップフロップ56のS端子に対して出力する。

【0030】

次に、従来のスイッチング電源装置の動作について説明する。まず、交流電源1により出力された正弦波電圧は、ブリッジ整流器2で整流され、コンデンサ3を通して、トランス4の1次巻線Pを介してスイッチング素子5のDrain端子に出力される。一方、起動回路57は、スイッチ81がオンであるため、Vcc端子の電圧が16.5Vを超えるまで定電流源80により電流を補助電源回路のバックアップコンデンサ12に供給して充電する。Vcc端子の電圧が16.5Vを超え、内部電源51が動作を開始して制御部50に電力の供給を開始すると、起動回路57は、スイッチ81をオフして起動電流の供給を停止する。

10

【0031】

Vcc端子の電圧が16.5Vを超えて制御部50の動作が開始すると、スイッチング素子5は、スイッチング動作を開始する。そのため、トランス4の各巻線にエネルギーが供給されるようになり、2次巻線S及び補助巻線Dに電流が流れる。

【0032】

2次巻線Sに流れる電流は、整流用のダイオード6と出力コンデンサ7とにより整流平滑され直流電力となり、Voutから外部の負荷に対して出力される。

20

【0033】

スイッチング素子5のスイッチング動作が繰り返されることで、Voutの出力電圧が徐々に上昇し、エラーアンプ8で設定された基準電圧に達すると、フォトカプラ9aのフォトダイオードに流れる電流が増加する。すると、フォトカプラ9bのフォトトランジスタに流れる電流が増加するため、コンデンサ10が放電され、FB端子の電圧が低下する。これにより制御部50は、スイッチング素子5を制御してVoutの出力電圧を安定化させる。スイッチング素子5のスイッチング動作を停止している期間において、FB端子の電圧VFBは、定電流源60による電流がコンデンサ10を充電することにより増加する。

30

【0034】

補助巻線Dに流れる電流は、ダイオード11とバックアップコンデンサ12とにより整流平滑されて、制御部50の補助電源として活用され、Vcc端子に電力を供給する。上述したように、Vcc端子が一度起動電圧（16.5V）に達すると、起動回路57内のスイッチ81はオフとなるため、起動後のVcc端子に対する電力供給は、この補助電源回路により行われる。補助巻線Dの極性は、2次巻線Sと同一であるため、Vccの電圧はVoutの出力電圧に比例する。

【0035】

Voutに接続された負荷が軽負荷になると、エラーアンプ8で設定された基準電圧に対するVout電圧の誤差に応じて、フォトカプラ9aのフォトダイオードに流れる電流が増加する。すると、フォトカプラ9bのフォトトランジスタに流れる電流が増加するため、コンデンサ10が放電され、FB端子の電圧は低下する。これにより、制御部50は、フリップフロップ56がリセットされ、スイッチング素子5のオン時間（オン幅）が短くなるように制御する。

40

【0036】

また、上述したように、軽負荷時にスイッチング素子5のオン時間が短く制御されると、ドレイン電流の最大値が低いため、トランス4に蓄積されるエネルギーが小さく、比較的短時間でトランス4のリセットが終了する。したがって、スイッチング素子5のドレイン-ソース端子間電圧の値が高い期間が短くなり、トランス4の2次側のダイオード6に流

50

れる電流は短時間でゼロとなる。その後、ボトム検出部 85 によりフリップフロップ 56 がセットされるため、スイッチング素子 5 のオフ時間もオン時間同様に短くなり、周波数が上昇する。

【0037】

F B 端子の電圧が低下してスイッチング素子 5 の発振が停止する間は、フォトカプラ 9a のフォトダイオードに流れる電流が減少し、それに伴いフォトカプラ 9b のフォトトランジスタに流れる電流が減少する。これにより、定電流源 60 からコンデンサ 10 が充電され、F B 端子の電圧は上昇する。スイッチング電源装置は、以上の動作を繰り返し、軽負荷時にはスイッチング素子 5 の周波数を上昇させて電圧を制御する。

【0038】

図 15 は、従来 of 擬似共振型スイッチング電源装置の軽負荷時における各部の波形図である。制御部 50 は、図 15 に示すように D R V 端子から高い周波数の制御信号を出力し、スイッチング素子 5 のスイッチング周波数が上昇してドレイン電流  $I_{ds}$  の最大値は小さな値となる。また、図 16 は、従来 of 擬似共振型スイッチング電源装置の無負荷時におけるスイッチング動作波形図である。図 16 に示すように、スイッチング素子 5 は、無負荷時において 250 kHz 程度の高い周波数でスイッチング動作を行う。

【0039】

V o u t に接続された電子機器等が待機状態であれば、電源の出力端子に接続された出力負荷が軽負荷となり、負荷へ供給する電力は通常動作状態と比べて少なくすむ。しかしながら、軽負荷時には上述したようにスイッチング周波数が著しく上昇し、スイッチング素子 5 におけるスイッチング損失が増大するとともに、その発熱によりスイッチング素子 5 に対するダメージや当該周波数帯におけるノイズ規制の問題が生ずる。そこで、最大スイッチング周波数の上限をして周波数の上昇を抑えるスイッチング電源が提案されている。

【0040】

特許文献 1 には、電力効率を改善するスイッチング電源制御回路が記載されている。このスイッチング電源制御回路は、スイッチ素子へのスイッチング指令信号を生成する信号生成手段と、スイッチング指令信号によりスイッチ素子をターンオンする際 of 上限周波数を規定する固定周期 of 発振手段と、スイッチング指令信号によりスイッチ素子が連続してターンオンしたとき、予め設定された N 回 of ターンオンでスイッチング指令信号を停止させるようにターンオン回数を計数する計数手段とを備えており、負荷が軽負荷である場合に、スイッチ素子が連続して N 回ターンオンして休止する間欠動作を行う。

【0041】

したがって、このスイッチング電源制御回路によれば、発振手段であるタイマ回路と、計数手段であるパルスカウンタ回路とを利用することにより、所定回数 of 間欠動作を行って電力効率を改善することができる。また、スイッチング電源 of 用途に応じて連続スイッチング回数 N を適切な回数に設定することで、部分共振電源においてトレードオフ関係となるリップルの抑制、および軽負荷時での高効率化に関して、最適なスイッチング動作状態に設定することができる。

【特許文献 1】特開 2007 - 215316 号公報

【発明 of 開示】

【発明が解決しようとする課題】

【0042】

近年、省エネルギー化 of 観点から、スタンバイ時 of 効率改善・低消費化 of 対応が必要であり、スタンバイ時 of スwitching 損失を低減する工夫が必要とされる。上述したように、特許文献 1 に記載 of スwitching 電源制御回路は、F B 端子電圧が一定値以下に下がった場合に、所定 of 回数だけスイッチング動作を実行してから停止するというサイクルを繰り返すことで間欠動作を行う。そのため、当該スイッチング電源制御回路は、負荷 of 軽重にかかわらず常に所定 of 間欠動作を行うこととなり、より厳密な出力制御を困難にする。従来 of 擬似共振型 of スwitching 電源装置は、軽負荷時に周波数が上昇して出力が下がる

10

20

30

40

50

ため、FB端子電圧の急峻な変化が起こりにくく、FB端子電圧に基づいて負荷の軽重を判断するのが困難である。

【0043】

この現象は、特許文献1に記載のスイッチング電源制御回路のようにボトムスキップによりスイッチング周波数の上昇を抑えた場合においても、オフ時間デューティが増えているだけなので同様に生じる。さらに、パルスカウンタ回路やタイマ回路を必要とし、スイッチング回数の設定が必要なため、コストや手間がかかるとともに装置が大型化する。

【0044】

本発明は上述した従来技術の問題点を解決するもので、簡易な構成で軽負荷時のスイッチング損失を低減するとともに高効率なスイッチング電源装置を提供することを課題とする。

10

【課題を解決するための手段】

【0045】

本発明に係るスイッチング電源装置は、上記課題を解決するために、トランスの1次巻線に接続されたスイッチング素子を有し、前記トランスの1次側に電圧が入力された場合に制御回路が前記スイッチング素子をオン/オフ制御することにより前記トランスの2次巻線に誘起される電圧を整流平滑して負荷に出力するスイッチング電源装置であって、前記制御回路は、前記負荷が軽負荷の場合に、前記スイッチング素子に流れる電流が一定値以下に低下するのを防ぐように前記スイッチング素子を制御する電流制御部と、前記負荷が軽負荷の場合に、前記負荷に対する出力電圧に応じたフィードバック信号に基づき、前記スイッチング素子に対して間欠発振動作を行うように制御する間欠制御部とを備えることを特徴とする。

20

【発明の効果】

【0046】

本発明によれば、簡易な構成で軽負荷時のスイッチング損失を低減するとともに高効率なスイッチング電源装置を提供することができる。

【発明を実施するための最良の形態】

【0047】

以下、本発明のスイッチング電源装置の実施の形態を、図面に基づいて詳細に説明する。

30

【実施例1】

【0048】

以下、本発明の実施例について図面を参照しながら説明する。図1は、本発明の実施例1のスイッチング電源装置の制御部50aの構成を示す回路図である。なお、本発明のスイッチング電源装置全体の構成は、図13を用いて説明した従来のスイッチング電源装置と同様であり、図13、14における制御部50を図1に記載した制御部50aに置き換えたものとする。

【0049】

制御部50aは、本発明の制御回路に対応し、スイッチング素子5のオン/オフを制御する。すなわち、本発明のスイッチング電源装置は、トランス4の1次巻線Pに接続されたスイッチング素子5を有し、トランス4の1次側に電圧が入力された場合に制御部50aがスイッチング素子5をオン/オフ制御することにより、トランス4の2次巻線Sに誘起される電圧を整流平滑してVoutから外部の負荷に出力する。また、補助電源回路は、補助巻線Dにダイオード11とバックアップコンデンサ12とを接続して構成され、トランス4の補助巻線Dに誘起される電圧を整流平滑するとともに、自己の有するバックアップコンデンサ12に充電して制御部50aのVcc端子に電力を供給する。なお、図1及び後述の各実施の形態を示す図において、図13、14における構成要素と同一ないし均等のもの、前記と同一符号を以て示し、重複した説明を省略する。

40

【0050】

まず、本実施の形態の構成を説明する。本実施例のスイッチング電源装置の制御部50

50

aは、図14に示す従来のスイッチング電源装置の制御部50の構成に加えて、BSTコンパレータ55、第2OCPコンパレータ63b、パルス発生部72、フリップフロップ87、NOR回路88、及びAND回路89を備えた構成を有する。

【0051】

BSTコンパレータ55は、本発明の間欠制御部に対応し、負荷が軽負荷の場合に、負荷に対する出力電圧に応じたフィードバック信号に基づき、スイッチング素子5に対して間欠発振動作を行うように制御する。具体的には、BSTコンパレータ55は、トランジスタ61に流れる電流量に応じた電圧信号が所定電圧値以下に低下した場合にHレベルの信号を出力する。軽負荷（無負荷）時にフォトプラ9a、9bの動作によりコンデンサ10が放電されるため、フィードバック信号（FB端子電圧）は降下する。したがって、BSTコンパレータ55は、通常負荷時において、Lレベルの信号を出力するが、軽負荷時においてはHレベルの信号を出力する。

10

【0052】

第2OCPコンパレータ63bは、本発明の電流制御部に対応し、負荷が軽負荷の場合に、スイッチング素子5に流れる電流が一定値以下に低下するのを防ぐようにスイッチング素子5を制御する。具体的には、第2OCPコンパレータ63bは、OCP端子から出力される電圧信号が所定電圧値を上回った場合に、H（ハイ）信号を出力し、Hレベルの信号をフリップフロップ87のR端子に入力する。第2OCPコンパレータ63bにおける所定電圧値（しきい値）は、例えば第1OCPコンパレータ63aにおけるしきい値の5%～25%程度に予め設定しておく。この値を適切に設定することにより、BSTコンパレータ55は、軽負荷時にスムーズに動作することができる。

20

【0053】

なお、第1OCPコンパレータ63aは、図14において説明した従来のOCPコンパレータ63と同様であり、OCP端子から出力される電圧信号が所定電圧値を上回った場合に、スイッチング素子5に流れる電流量が過電流であるとして、H（ハイ）信号を出力し、Hレベルの信号をOR回路64を介してフリップフロップ56のR端子に入力する。

【0054】

OR回路64は、BSTコンパレータ55とAND回路89と第1OCPコンパレータ63aとの少なくとも1つによりH信号を入力された場合に、H信号をフリップフロップ56のR端子に対して出力する。

30

【0055】

パルス発生部72は、ターンオン時に発生するサージ電流をマスクするためのパルス波形の信号をNOR回路88とフリップフロップ87のS端子に出力する。これにより、ターンオン時に発生するサージ電流によりFBコンパレータ62がHレベルの信号を出力したとしても、パルス発生部72は、パルス信号を出力してスイッチング素子5がオフするのを防ぐ。なお、パルス発生部72が出力するパルス信号の信号幅は、主回路に対して入力されるAC入力が最も高い場合の最小オン幅以下であり、例えば0.3μs～1.5μs程度である。

【0056】

フリップフロップ87は、パルス発生部72からS端子に入力された信号と、第2OCPコンパレータ63bからR端子に入力された信号とに基づき、Q端子から制御信号をNOR回路88に対して出力する。

40

【0057】

NOR回路88の入力端子には、パルス発生部72の出力とフリップフロップ87の出力とが入力されている。すなわち、NOR回路88は、パルス発生部72によりHレベルの信号が出力された場合、あるいはフリップフロップ87によりHレベルの信号が出力された場合に、Lレベルの信号をAND回路89に出力する。

【0058】

AND回路89は、FBコンパレータ62の出力とNOR回路88の出力とがいずれもHレベルの信号であった場合にのみHレベルの信号をOR回路64を介してフリップフロ

50

ップ56のR端子に対して出力し、スイッチング素子5をオフさせる。

【0059】

次に、上述のように構成された本実施の形態の作用を説明する。図2は、本実施例のスイッチング電源装置の動作原理を示す波形図である。なお、図2において、交流電源1により出力される電圧はAC200Vであるとする。

【0060】

まず、交流電源1により出力された正弦波電圧は、ブリッジ整流器2で整流され、コンデンサ3を通して、トランス4の1次巻線Pを介してスイッチング素子5のDrain端子に出力される。一方、起動回路57は、スイッチ81がオンであるため、Vccの電圧が16.5Vを超えるまで定電流源80により電流を補助電源回路のバックアップコンデンサ12に供給して充電する。Vccの電圧が16.5Vを超え、内部電源51が動作を開始して制御部50aに電力の供給を開始すると、起動回路57は、スイッチ81をオフして起動電流の供給を停止する。

【0061】

Vccの電圧が16.5Vを超えて制御部50aの動作が開始すると、スイッチング素子5は、スイッチング動作を開始する。そのため、トランス4の各巻線にエネルギーが供給されるようになり、2次巻線S及び補助巻線Dに電流が流れる。

【0062】

2次巻線Sに流れる電流は、整流用のダイオード6と出力コンデンサ7とにより整流平滑され直流電力となり、Voutから外部の負荷に対して出力される。

【0063】

通常負荷時において、スイッチング素子5は、連続発振動作にて動作する。その際のエラーアンプ8、フォトカプラ9a, 9bを使用したフィードバックによる出力電圧安定化動作は、図13, 14で説明した従来技術と同様であり、重複した説明を省略する。

【0064】

次に軽負荷（無負荷）時における本実施例のスイッチング電源の動作を説明する。Voutに接続された負荷が徐々に軽負荷になるに従い、エラーアンプ8で設定された基準電圧に対するVout電圧の誤差に応じて、フォトカプラ9aのフォトダイオードに流れる電流が増加する。すると、フォトカプラ9bのフォトトランジスタに流れる電流が増加するため、コンデンサ10が放電され、FB端子の電圧は低下する。これにより、FBコンパレータ62の-側に入力される電圧が低下するため、上述したようにスイッチング素子5のスイッチング周波数が上昇し、スイッチング素子5に流れる電流Idsの電流値は低下する。しかしながらFBコンパレータ62による出力にかかわらず、第2OCPコンパレータ63bは、ドレイン電流Idsが所定の値（図2に破線で示すOCP(stb)の値）に達するまでスイッチング素子5がオフされるのを防ぐ。これにより、ドレイン電流Idsは、所定の電流値以下に下がることはない。

【0065】

なお、図2に示すOCP(stb)compとは、第2OCPコンパレータ63bの出力波形を示す。ドレイン電流Idsが所定の値に達した場合に、第2OCPコンパレータ63bは、Hレベルの信号を出力してスイッチング素子5がオフされるのを許可するが、スイッチング素子5がオフされた結果ドレイン電流Idsの値が零となるため、その後Lレベルの信号を出力する。

【0066】

また、図2に示すTonminとは、パルス発生部72により出力されたパルス波形であり、これがHレベルの間はFBコンパレータ62の出力にかかわらず、スイッチング素子5がオフされることはない。したがって、ドレイン電流Idsが立ち上がり時に図示されないスパイク電流波形を示したとしても、パルス発生部72は、当該電流をマスクし、スイッチング素子5がオフされるのを防ぐ。

【0067】

また、図2の最下段に示すDRVは、制御部50aのDRV端子の電圧波形を示し、H

10

20

30

40

50

レベルの場合にスイッチング素子 5 がオンされる。

【0068】

図 3 は、本発明の実施例 1 のスイッチング電源装置の軽負荷時における各部の波形図である。図 2 で説明したように、ドレイン電流  $I_{ds}$  は軽負荷においても所定の電流値以下に下がること無し。この結果、本実施例のスイッチング電源装置による負荷に対する出力が大きくなるため、FB 端子の電圧 ( $V_{FB}$ ) は、図 3 に示すように急激に下がる。これにより、制御部 50a 内の B S T コンパレータ 55 は、H レベルの信号を出力するため、フリップフロップ 56 の R 端子に入力されてフリップフロップ 56 をリセットし、スイッチング素子 5 の発振が停止する。なお、図 3 において B S T コンパレータ 55 は、ヒステリシスコンパレータとし、2 つの基準電圧値 ( $V_{FB}(B S T 1)$  と  $V_{FB}(B S T 2)$ ) があるものとしているが、基準電圧値が 1 つの通常のコンパレータを使用してもよい。

10

【0069】

ここで、図 3 における「 $V_{FB}(I_{dsmin}$ 相当)」で示した破線は、第 2 O C P コンパレータ 63b において設定した最小電流値にドレイン電流  $I_{ds}$  が達した際における FB 端子の電圧値であるが、負荷がさらに軽負荷である場合には、上述したように、ドレイン電流  $I_{ds}$  が低下する代わりに、負荷に対する出力が上昇して FB 端子の電圧がさらに下がる。したがって、B S T コンパレータ 55 の基準電圧値 ( $V_{FB}(B S T 1)$  と  $V_{FB}(B S T 2)$ ) は、「 $V_{FB}(I_{dsmin}$ 相当)」よりも低く設定し、間欠動作を必要とする軽負荷時にのみ B S T コンパレータ 55 が動作するように調整する必要がある。

また、ここで言う基準電圧値 ( $V_{FB}(B S T 1)$  と  $V_{FB}(B S T 2)$ ) とは、B S T コンパレータ 55 の + 側に入力される電圧に対応する値であるが、厳密には同一でなく、FB 端子の電圧値に対する基準値として考える。FB 端子電圧である  $V_{FB}$  と基準電圧値 ( $V_{FB}(B S T 1)$  と  $V_{FB}(B S T 2)$ ) との比較は、B S T コンパレータ 55 により行われるが、B S T コンパレータ 55 が直接 FB 端子の電圧をみるわけではなく、実際には自己の + 側と - 側に入力される電圧を用いて比較が行われるからである。

20

【0070】

その後、二次側出力の電圧が下がりフィードバック信号が上昇すると、B S T コンパレータ 55 は、L レベルの信号を出力し、スイッチング素子 5 の発振を再開させる。以後、本実施例のスイッチング電源装置は、軽負荷時において上述した動作を繰り返す。

30

【0071】

本発明のポイントは、ドレイン電流が一定値以下に下がるのを防止する電流制御部 (第 2 O C P コンパレータ 63b) と、間欠発振動作を行う間欠制御部 (B S T コンパレータ 55) とを備える点にある。従来 of 擬似共振型のスイッチング電源装置は、負荷が軽くなった場合においてもスイッチング周波数が限りなく上昇するため、フィードバック信号の急峻な変化が無く、間欠発振動作が困難であった。しかしながら、本発明は、電流制御部と間欠制御部を備えることにより、ドレイン電流  $I_{ds}$  が設定電流値以下に絞られるのを防止し、それに伴う出力上昇によりフィードバック信号を急峻に変化させ、軽負荷時における間欠発振動作を可能にしたものである。

【0072】

図 4 は、本実施例のスイッチング電源装置のスイッチング素子 5 における軽負荷時の間欠動作波形を示す図である。また、図 5 は、本実施例のスイッチング電源装置のスイッチング素子 5 における軽負荷時の動作波形を示す図である。図 5 に示すように、スイッチング素子 5 に流れるドレイン電流は立ち上がり時においてサージ電流を発生しているが、パルス発生部 72 は、上述したようにパルス信号を出力してサージ電流をマスクし、スイッチング素子 5 が不適切なときにオフされるのを回避する。なお、図 4, 5 において、交流電源 1 により出力される電圧は A C 200 V であるとする。

40

【0073】

図 6 は、本実施例のスイッチング電源装置の動作原理を示す波形図である。なお、図 2 との違いは、交流電源 1 により出力される電圧が A C 100 V である点である。入力電圧

50

が AC 100V の場合におけるスイッチング素子 5 のドレイン電流  $I_{ds}$  は、図 2, 6 に示すように AC 200V の場合に比して電流値の上昇に時間を要する。しかしながら、第 2 O C P コンパレータ 6 3 b は、ドレイン電流  $I_{ds}$  が所定の値 (図 6 に破線で示す O C P ( s t b ) の値) に達するまでスイッチング素子 5 がオフされるのを回避する。したがって、制御部 5 0 a は、AC 200V の場合に比して長い期間スイッチング素子 5 をオン ( D R V を H レベル) し、ドレイン電流  $I_{ds}$  が所定の電流値以下に下がるのを回避する。また、制御部 5 0 a は、第 2 O C P コンパレータ 6 3 b により設定された最小電流値以上の電流をスイッチング素子 5 に流すように制御するため、AC 入力の大きさにかかわらず確実に軽負荷時における間欠動作を達成することができる。さらに、間欠動作を行う負荷領域 (連続発振 / 間欠動作を切り替える境界) は、フライバックトランスの巻数比の違いにも影響を受けることなく、O C P ( s t b ) の基準電圧で設定される負荷率 ( O C P の一端子に接続される基準電圧に対する比率) で決まる。

10

**【0074】**

図 7 は、本実施例のスイッチング電源装置のスイッチング素子 5 における軽負荷時の間欠動作波形を示す図である。また、図 8 は、本実施例のスイッチング電源装置のスイッチング素子 5 における軽負荷時の動作波形を示す図である。なお、図 7, 8 において、交流電源 1 により出力される電圧は AC 100V である。

**【0075】**

上述のとおり、本発明の実施例 1 の形態に係るスイッチング電源装置によれば、軽負荷となるスタンバイ動作時において発振周波数が限りなく上昇することなく、間欠発振動作を行い、簡易な構成で軽負荷時のスイッチング損失を低減するとともに高効率なスイッチング電源装置を実現することができる。

20

**【0076】**

すなわち、本実施例のスイッチング電源装置によれば、従来の擬似共振型のスイッチング電源装置で困難であった負荷の軽重に基づく高効率な間欠発振動作を行うことができ、スイッチング回数を少なくして軽負荷時のスイッチング損失を低減することができる。また、本実施例のスイッチング電源装置によれば、特許文献 1 に記載のスイッチング電源制御回路のようなパルスカウンタ回路やタイマ回路を必要とせず、簡易な構成で小型且つ低コストのスイッチング電源装置を実現することができる。

**【0077】**

また、本実施例のスイッチング電源装置は、スイッチング素子 5 のドレイン電流値によりゲートドライブ ( D R V ) の最小オン幅を制限することで、軽負荷時に確実に間欠動作を達成することができる。さらに、本実施例のスイッチング電源装置は、AC 入力電圧の大小にかかわらず、スタンバイ状態 (軽負荷時) において安定に間欠動作を達成することができる。

30

**【実施例 2】****【0078】**

図 9 は、本発明の実施例 2 のスイッチング電源装置の構成を示す図である。なお、本実施例のスイッチング電源装置全体の構成は、実施例 1 のスイッチング電源装置とほぼ同様である。実施例 1 のスイッチング電源装置と異なる点は、制御部 5 0 a 内に補正定電流供給用の定電流源 9 0 とスイッチ 9 1 を備えた点と、制御部 5 0 a 外部に検出用抵抗  $R_{ocp}$ 、調整用抵抗  $R_{focp}$ 、及びノイズ除去用コンデンサ  $C_{focp}$  を備えた点である。

40

**【0079】**

定電流源 9 0 は、スイッチ 9 1 がオンの場合に O C P 端子に定電流を供給する。また、スイッチ 9 1 は、D R V がオンしてから第 2 O C P コンパレータ 6 3 b が H レベルの信号を出力するまでの間にオンすることにより、当該期間に所定電流を O C P 端子にバイアスする。

**【0080】**

本実施例において、第 2 O C P コンパレータ 6 3 b、定電流源 9 0、及びスイッチ 9 1 は、本発明の電流制御部に対応し、スイッチング素子 5 に流れる電流値に所定電流をバイ

50

アスし、当該バイアス後の電流値が一定値以下に低下するのを防ぐようにスイッチング素子5を制御する。具体的には、第2 O C Pコンパレータ63 bは、バイアス後のO C P端子から出力される電圧信号が所定電圧値を上回った場合に、H（ハイ）信号を出力し、Hレベルの信号をフリップフロップ87のR端子に入力する。

【0081】

その他の構成は、実施例1と同様であり、重複した説明を省略する。

【0082】

次に、上述のように構成された本実施の形態の作用を説明する。図10は、本実施例のスイッチング電源装置の各部の動作を示す波形図である。V c cの電圧が16.5Vを超えて制御部50 aの動作が開始し、フィードバックによる2次側の出力電圧安定化を図る動作は、実施例1と同様であり、重複した説明を省略する。

10

【0083】

次に軽負荷（無負荷）時における本実施例のスイッチング電源の動作を説明する。V o u tに接続された負荷が徐々に軽負荷になるに従い、エラーアンプ8で設定された基準電圧に対するV o u t電圧の誤差に応じて、フォトカプラ9 aのフォトダイオードに流れる電流が増加する。すると、フォトカプラ9 bのフォトトランジスタに流れる電流が増加するため、コンデンサ10が放電され、F B端子の電圧は低下する。

【0084】

これにより、F Bコンパレータ62の-側に入力される電圧が低下するため、上述したようにスイッチング素子5のスイッチング周波数が上昇し、スイッチング素子5に流れる電流I d sの電流値は低下する。ここで、スイッチング素子5に流れるドレイン電流I d s（検出用抵抗R o c pにかかる電圧）は、図10の最上段に描かれた実線の波形であり、所定の値（図10に破線で示すO C P（s t b）の値）に達していない。しかしながら、定電流源90とスイッチ91とにより供給された所定電流（図10に示す補正定電流）は、D R Vがオンしてから第2 O C Pコンパレータ63 bがHレベルの信号を出力するまでの間にO C P端子にバイアスされる。当該補正定電流が外部の調整用抵抗R f o c pを流れるため、補正定電流を流さない場合に比してO C P端子の電圧が上昇し、第2 O C Pコンパレータ63 bは、バイアス後の電流値（図10の点線の波形）が所定の値（図10に破線で示すO C P（s t b）の値）に達するまでスイッチング素子5がオフされるのを防ぐ。

20

30

【0085】

すなわち、本実施例のスイッチング電源装置は、制御部50 a内に備えた定電流源90とスイッチ91とにより補正定電流をO C P端子に供給することで、スイッチング素子5に流れるドレイン電流I d sの下限値を制御することができる。

【0086】

なお、図10に示すO C P（s t b）c o m pは、図2と同様に第2 O C Pコンパレータ63 bの出力波形を示す。ドレイン電流I d sに所定電流をバイアスした値が所定値に達した場合に、第2 O C Pコンパレータ63 bは、Hレベルの信号を出力してスイッチング素子5がオフされるのを許可し、スイッチング素子5がオフされた結果ドレイン電流I d sの値が零となるため、その後Lレベルの信号を出力する。また、図10に示すように、入力される電圧にかかわらず（A C 100 V、A C 200 V）、スイッチング素子5に流れるドレイン電流I d sは、一定電流値以下に下がることはない。

40

【0087】

その他の作用は、従来技術及び実施例1と同様であり、重複した説明を省略する。

【0088】

上述のとおり、本発明の実施例2の形態に係るスイッチング電源装置によれば、実施例1の効果に加え、制御部50 a内に備えた定電流源90とスイッチ91とにより補正定電流をO C P端子に供給することで、スイッチング素子5に流れるドレイン電流I d sの下限値を制御することができる。これにより、本実施例のスイッチング電源装置は、間欠発振となる負荷領域の調整を行うことができる。特に、制御部50 aをI C化したときにお

50

いても、使用者は、調整用抵抗  $R_{focp}$  の抵抗値を変更することにより、間欠発振動作を行う負荷領域を自由に設定することができる。

【0089】

また、スイッチ 91 は、第 2 O C P コンパレータ 63 b が H レベルの信号を出力した際にオフされ、補正定電流の O C P 端子に対する供給を停止するので、ドレイン電流  $I_{ds}$  が第 1 O C P コンパレータ 63 a のしきい値に達する際に補正定電流が流れていることはない。したがって、定電流源 90 とスイッチ 91 とによる補正定電流は、第 1 O C P コンパレータ 63 a による過電流検出に影響を与えることはない。

【0090】

なお、スイッチ 91 は、第 2 O C P コンパレータ 63 b が H レベルの信号を出力した際にオフされればよく、第 2 O C P コンパレータ 63 b が L レベルの信号を出力する間はオンされていても良い。

【実施例 3】

【0091】

図 11 は、本発明の実施例 3 のスイッチング電源装置の制御部 50 b の構成を示す回路図である。なお、本発明のスイッチング電源装置全体の構成は、実施例 1 あるいは図 13 を用いて説明した従来のスイッチング電源装置と同様であり、実施例 1 における制御部 50 a を図 11 に記載した制御部 50 b に置き換えたものとする。実施例 1 のスイッチング電源装置の制御部 50 a と異なる点は、パルス発生部 72、第 2 O C P コンパレータ 63 b、フリップフロップ 87、及び N O R 回路 88 が無く、代わりに制御部 50 b 内に第 1

10

20

【0092】

第 1 パルス発生部 92、第 2 パルス発生部 93、及び電圧検知部 94 は、本発明の電流制御部に対応し、トランス 4 の 1 次側に入力された電圧に応じて設定した最低オン時間よりもスイッチング素子 5 のオン時間が短くなるのを防ぐようにスイッチング素子 5 を制御する。また、この電流制御部は、トランス 4 の 1 次側に入力された電圧が所定値以下の場合には最低オン時間を長く設定し、トランス 4 の 1 次側に入力された電圧が所定値を超える場合には最低オン時間を短く設定する。

【0093】

具体的には、第 1 パルス発生部 92 及び第 2 パルス発生部 93 は、ターンオン時に発生するサージ電流をマスクする役割を担い且つスイッチング素子 5 の最低オン時間と同幅のパルス波形信号をスイッチ 95 に出力する。これにより、第 1 パルス発生部 92 及び第 2 パルス発生部 93 は、ターンオン時に発生するサージ電流により F B コンパレータ 62 が H レベルの信号を出力してスイッチング素子 5 をオフさせるのを回避するばかりでなく、最低オン時間よりもスイッチング素子 5 のオン時間が短くなるのを防ぐ。なお、第 1 パルス発生部 92 及び第 2 パルス発生部 93 が出力するパルス信号の信号幅（最低オン時間）は、軽負荷時に間欠発振用の B S T コンパレータ 55 を動作させるために、例えば  $0.5 \mu s \sim 2 \mu s$  程度に設定する。

30

【0094】

第 1 パルス発生部 92 によるパルス信号の信号幅 ( $T_{onminL}$ ) は、第 2 パルス発生部 93 によるパルス信号の信号幅 ( $T_{onminH}$ ) よりも長く設定する ( $T_{onminH} < T_{onminL}$ )。これは、第 1 パルス発生部 92 によるパルス信号が A C 入力が高い場合の最低オン時間に対応した信号であり、第 2 パルス発生部 93 によるパルス信号が A C 入力が高い場合の最低オン時間に対応した信号だからである。既に A C 100 V の場合と A C 200 V の場合とで説明したように、A C 入力が高い場合にはドレイン電流の立ち上がりに時間がかかるため、一定値以上のドレイン電流を確保するためには長めの最低オン時間が必要とされる。

40

【0095】

電圧検知部 94 は、Z C D 端子に入力される電圧に基づき、A C 入力電圧の大きさを検

50

知する。また、スイッチ 95 は、電圧検知部 94 による検知結果に基づき、第 1 パルス発生部 92 と第 2 パルス発生部 93 とのいずれかを選択して、出力されたパルス波形信号を反転回路 96 に伝達する。例えば、スイッチ 95 は、電圧検知部 94 の検知結果から AC 入力 150 V 以下の場合には、第 1 パルス発生部 92 を選択して最低オン時間を長く設定し、AC 入力 150 V を超える場合には、第 2 パルス発生部 93 を選択して最低オン時間を短く設定する。このようにして、電流制御部は、トランス 4 の 1 次側に入力された電圧に応じて最低オン時間を設定する。

#### 【0096】

反転回路 96 は、スイッチ 95 を介して入力されたパルス信号を反転して AND 回路 89 に出力する。したがって、H レベルのパルス信号がスイッチ 95 から反転回路 96 に対して出力されている間は、AND 回路 89 は、例え FB コンパレータ 62 から H レベルの信号が入力されても H レベルの信号を出力せず、スイッチング素子 5 がオフされるのを回避する。

10

#### 【0097】

次に、上述のように構成された本実施の形態の作用を説明する。図 12 は、本実施例のスイッチング電源装置の動作原理を示す波形図である。Vcc の電圧が 16.5 V を超えて制御部 50a の動作が開始し、フィードバックによる 2 次側の出力電圧安定化を図る動作は、実施例 1 と同様であり、重複した説明を省略する。

#### 【0098】

次に軽負荷（無負荷）時における本実施例のスイッチング電源の動作を説明する。Vout に接続された負荷が徐々に軽負荷になるに従い、エラーアンプ 8 で設定された基準電圧に対する Vout 電圧の誤差に応じて、フォトカプラ 9a のフォトダイオードに流れる電流が増加する。すると、フォトカプラ 9b のフォトトランジスタに流れる電流が増加するため、コンデンサ 10 が放電され、FB 端子の電圧は低下する。これにより、FB コンパレータ 62 の - 側に入力される電圧が低下するため、上述したようにスイッチング素子 5 のスイッチング周波数が上昇し、スイッチング素子 5 に流れる電流 Ids の電流値は低下する。しかしながら FB コンパレータ 62 による出力にかかわらず、第 1 パルス発生部 92（あるいは第 2 パルス発生部 93）は、パルス波形信号を出力することにより最低オン時間が経過するまでスイッチング素子 5 がオフされるのを防ぐ。その際に、スイッチ 95 は、電圧検知部 94 の検知結果に基づき AC 入力に応じたパルス発生部を選択し、AC 入力 150 V 以下の場合には最低オン時間を長く設定し、AC 入力 150 V を超える場合には最低オン時間を短く設定する。これにより、ドレイン電流 Ids は、所定の電流値（図 12 に示す OCP (stb)）以下に下がることはない。

20

30

#### 【0099】

図 12 に示す TonminL とは、第 1 パルス発生部 92 により出力されたパルス波形であり、TonminH とは、第 2 パルス発生部 93 により出力されたパルス波形である。これらが H レベルの間は FB コンパレータ 62 の出力にかかわらず、スイッチング素子 5 がオフされることはない（DRV が H レベルに維持される）。

#### 【0100】

スイッチング素子 5 のドレイン電流 Ids が軽負荷においても所定の電流値以上に維持された結果、負荷に対する出力が大きくなり、FB 端子の電圧 (VFB) は急激に下がる。これにより、制御部 50b 内の BST コンパレータ 55 が間欠発振動作を行うのは、実施例 1, 2 と同様である。その後、二次側出力の電圧が下がりフィードバック信号が上昇すると、BST コンパレータ 55 は、L レベルの信号を出力し、スイッチング素子 5 の発振を再開させる。以後、本実施例のスイッチング電源装置は、軽負荷時において上述した動作を繰り返す。

40

#### 【0101】

上述のとおり、本発明の実施例 3 の形態に係るスイッチング電源装置によれば、実施例 1 の効果に加え、AC 入力電圧により最小オン幅を切り替えることにより、AC 入力電圧の大きさにかかわらずスタンバイ状態（軽負荷時）において安定に間欠動作を行うことが

50

できる。

【 0 1 0 2 】

また、本発明のスイッチング電源装置の実施態様は、上述した実施状態に限定されず、さらに種々の変更が可能である。制御方式は、OCPの検出をプラス信号検出から、マイナス信号検出として制御しても良い。FBの制御は、フォトカプラのフォトランジスタ電流を流し込んだフィードバック制御でもよい。本発明では、擬似共振型の制御方式としているが、固定周波数のPWM制御方式等、他のフライバックコンバータ、DC-DCコンバータ等にも適用できる。

【産業上の利用可能性】

【 0 1 0 3 】

本発明に係るスイッチング電源装置は、スタンバイ機能を有する電気機器等に使用されるスイッチング電源装置に利用可能である。

【図面の簡単な説明】

【 0 1 0 4 】

【図1】本発明の実施例1の形態のスイッチング電源装置の制御部の構成を示す回路図である。

【図2】本発明の実施例1の形態のスイッチング電源装置の動作原理を示す波形図である。

【図3】本発明の実施例1の形態のスイッチング電源装置の軽負荷時における各部の波形図である。

【図4】本発明の実施例1の形態のスイッチング電源装置のスイッチング素子における軽負荷時の間欠動作波形を示す図である。

【図5】本発明の実施例1の形態のスイッチング電源装置のスイッチング素子における軽負荷時の動作波形を示す図である。

【図6】本発明の実施例1の形態のスイッチング電源装置の動作原理を示す波形図である。

【図7】本発明の実施例1の形態のスイッチング電源装置のスイッチング素子における軽負荷時の間欠動作波形を示す図である。

【図8】本発明の実施例1の形態のスイッチング電源装置のスイッチング素子における軽負荷時の動作波形を示す図である。

【図9】本発明の実施例2の形態のスイッチング電源装置の構成を示す図である。

【図10】本発明の実施例2の形態のスイッチング電源装置の各部の動作を示す波形図である。

【図11】本発明の実施例3の形態のスイッチング電源装置の制御部の構成を示す回路図である。

【図12】本発明の実施例3の形態のスイッチング電源装置の動作原理を示す波形図である。

【図13】従来の擬似共振型のスイッチング電源装置の構成を示す回路図である。

【図14】従来のスイッチング電源装置の制御部内部の構成を示す回路図である。

【図15】従来の擬似共振型スイッチング電源装置の軽負荷時における各部の波形図である。

【図16】従来の擬似共振型スイッチング電源装置の無負荷時におけるスイッチング動作波形図である。

【符号の説明】

【 0 1 0 5 】

- 1 交流電源
- 2 ブリッジ整流器
- 3 コンデンサ
- 4 トランス
- 5 スwitchング素子

10

20

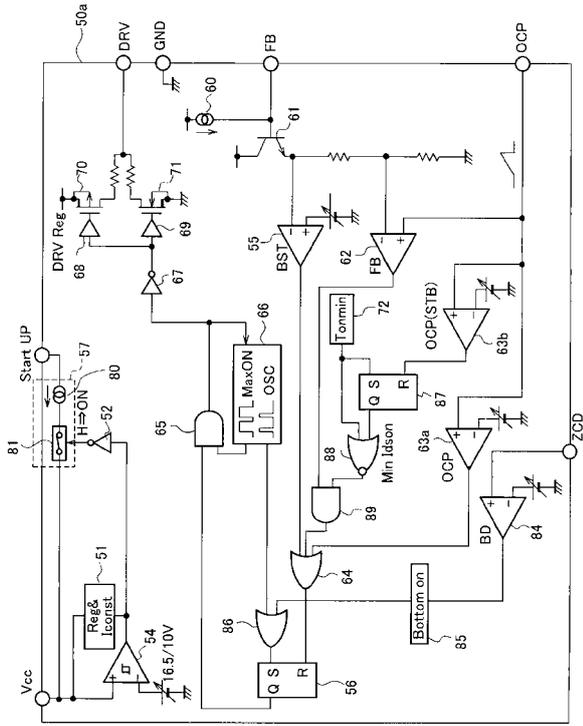
30

40

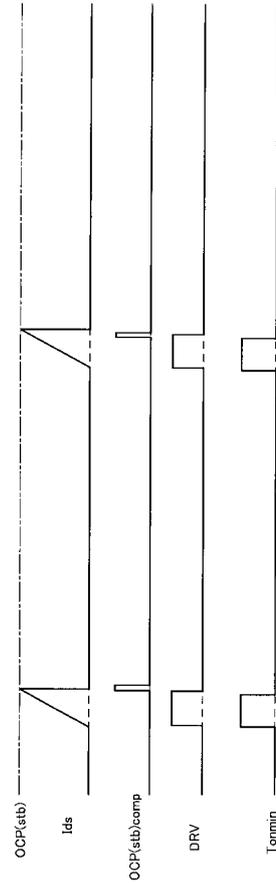
50

6	ダイオード	
7	出力コンデンサ	
8	エラーアンプ	
9 a , 9 b	フォトカプラ	
10	コンデンサ	
11	ダイオード	
12	バックアップコンデンサ	
13	抵抗	
14	コンデンサ	
15	共振コンデンサ	10
50 , 50 a , 50 b	制御部	
51	内部電源	
52	反転回路	
54	ヒステリシスコンパレータ	
55	BSTコンパレータ	
56	フリップフロップ	
57	起動回路	
60	定電流源	
61	トランジスタ	
62	FBコンパレータ	20
63	OCPコンパレータ	
63 a	第1OCPコンパレータ	
63 b	第2OCPコンパレータ	
64	OR回路	
65	AND回路	
66	発振回路	
67	反転回路	
68 , 69	ドライブ回路	
70 , 71	スイッチング素子	
72	パルス発生部	30
80	定電流源	
81	スイッチ	
84	BDコンパレータ	
85	ボトム検出部	
86	OR回路	
87	フリップフロップ	
88	NOR回路	
89	AND回路	
90	定電流源	
91	スイッチ	40
92	第1パルス発生部	
93	第2パルス発生部	
94	電圧検知部	
95	スイッチ	
96	反転回路	

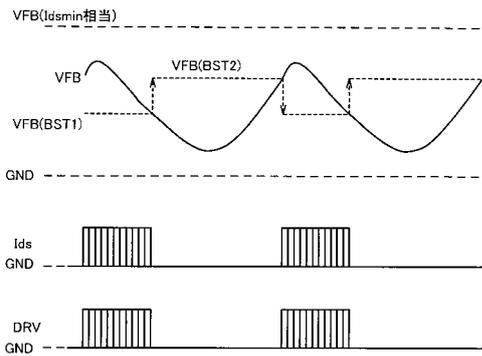
【 図 1 】



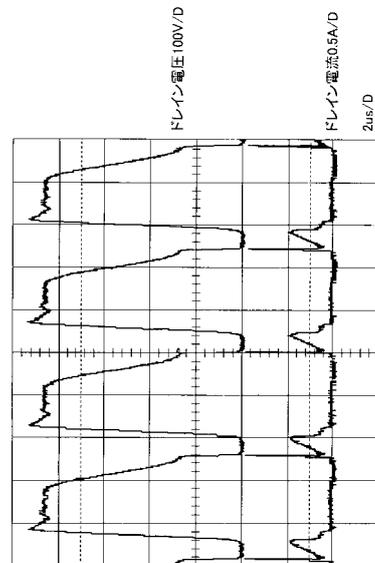
【 図 2 】



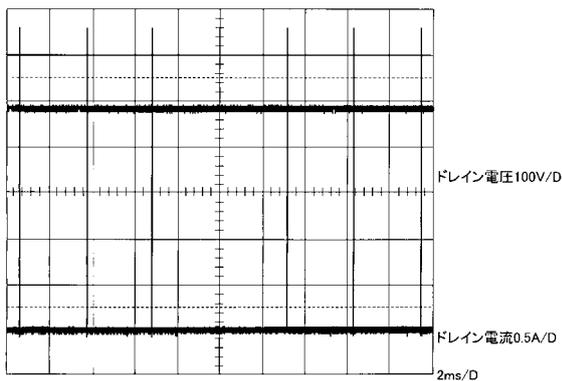
【 図 3 】



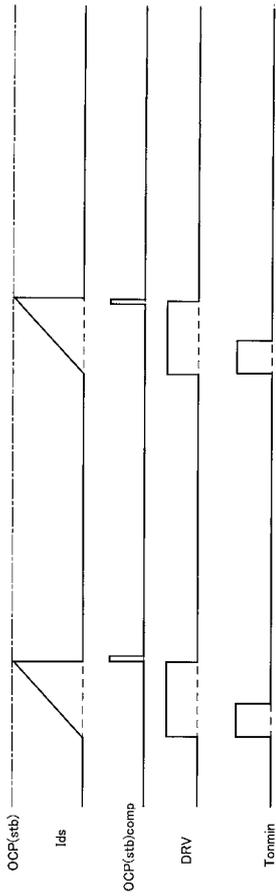
【 図 5 】



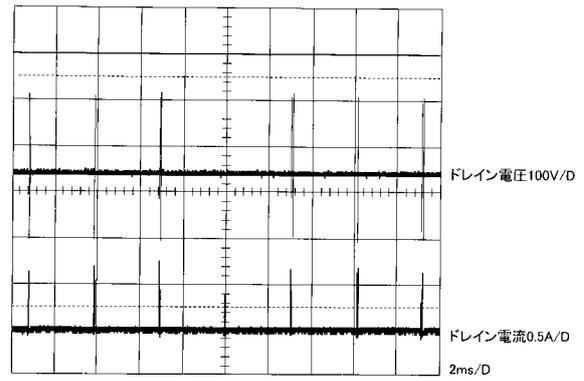
【 図 4 】



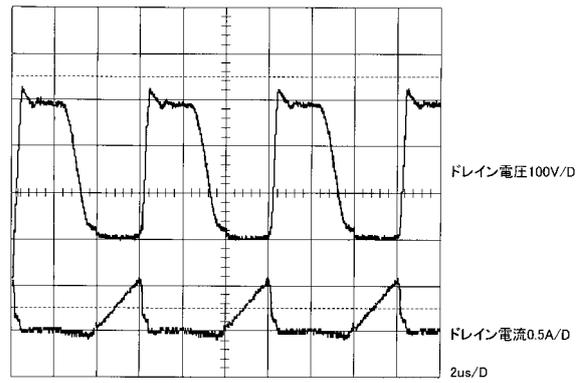
【 図 6 】



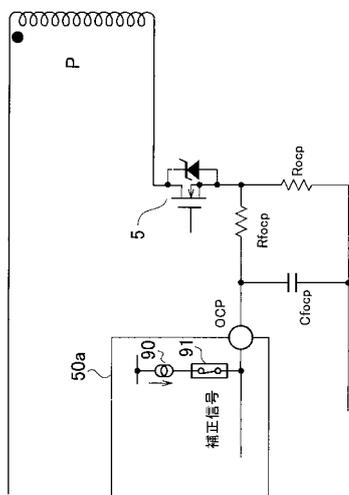
【 図 7 】



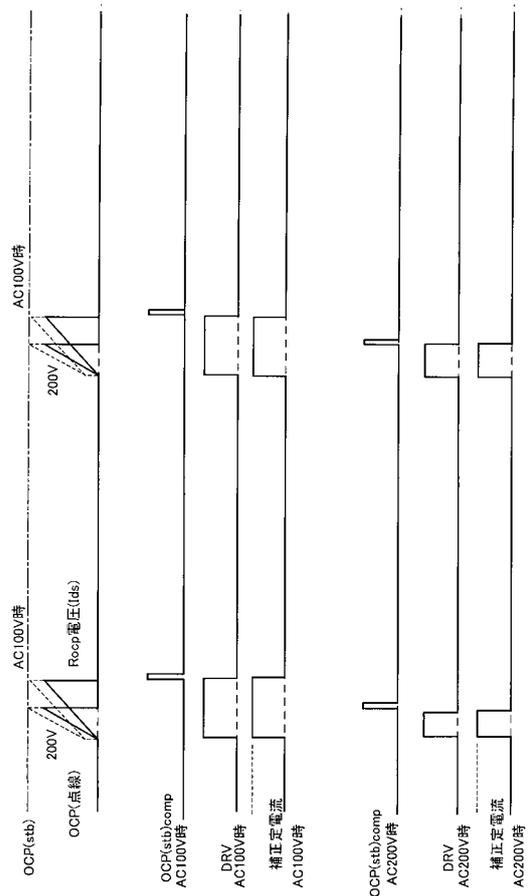
【 図 8 】



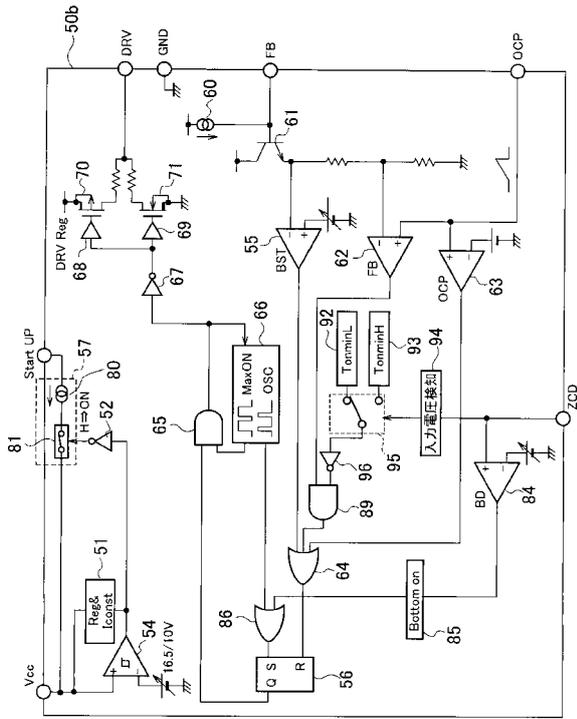
【 図 9 】



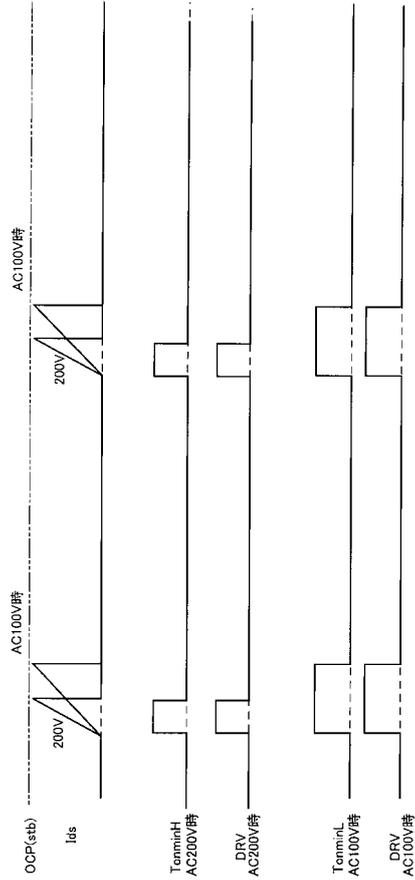
【 図 10 】



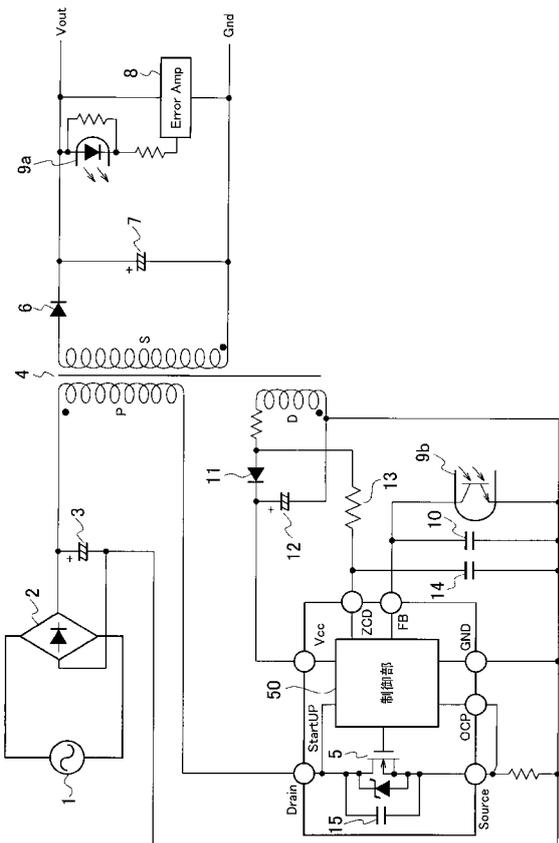
【 図 1 1 】



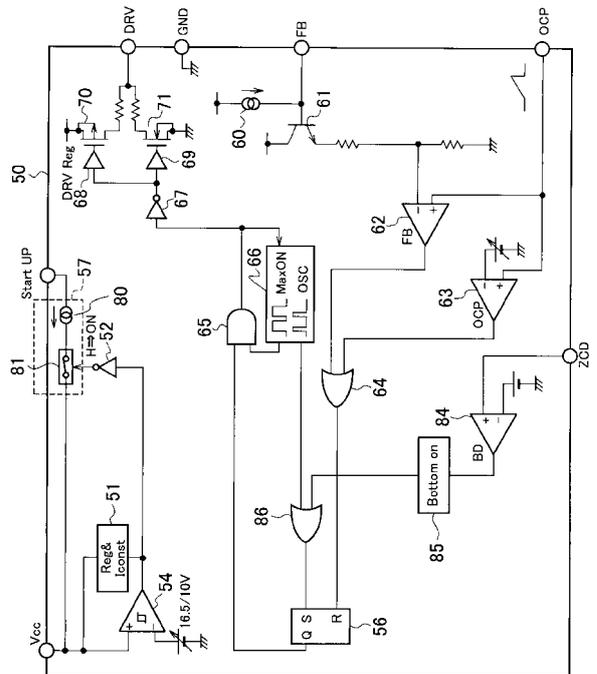
【 図 1 2 】



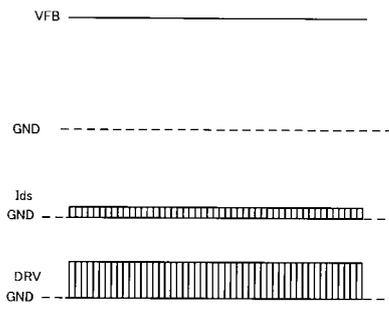
【 図 1 3 】



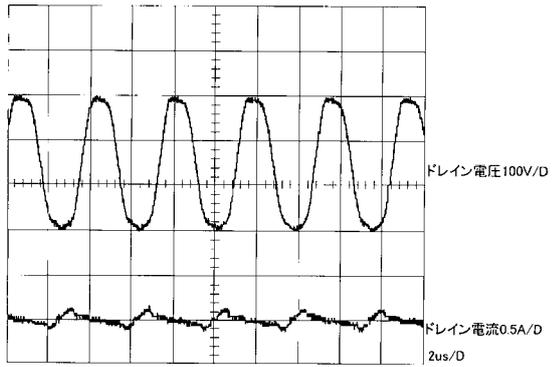
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



---

フロントページの続き

(72)発明者 嶋田 雅章

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

Fターム(参考) 5H730 AA14 AS01 BB43 BB57 BB61 CC01 DD04 DD41 EE02 EE07

FD01 FD51 FF01 FF19 FG01 VV03