

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4808618号
(P4808618)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl.

F 1

HO1L 27/092	(2006.01)	HO1L 27/08	321C
HO1L 21/8238	(2006.01)	HO1L 29/78	301X
HO1L 29/78	(2006.01)	HO1L 29/78	301Y
HO1L 21/336	(2006.01)	HO1L 29/78	301S
		HO1L 27/08	321E

請求項の数 22 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2006-522694 (P2006-522694)
 (86) (22) 出願日 平成16年8月4日 (2004.8.4)
 (65) 公表番号 特表2007-501526 (P2007-501526A)
 (43) 公表日 平成19年1月25日 (2007.1.25)
 (86) 國際出願番号 PCT/US2004/025152
 (87) 國際公開番号 WO2005/017964
 (87) 國際公開日 平成17年2月24日 (2005.2.24)
 審査請求日 平成19年7月18日 (2007.7.18)
 (31) 優先権主張番号 10/604,607
 (32) 優先日 平成15年8月4日 (2003.8.4)
 (33) 優先権主張国 米国(US)

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】格子不整合のソースおよびドレイン領域を有する歪み半導体CMOSトランジスタを有する集積回路および製作方法

(57) 【特許請求の範囲】

【請求項1】

p型電界効果トランジスタ(PFET)とn型電界効果トランジスタ(NFET)とを含む相補型金属酸化膜半導体(CMOS)トランジスタを有する集積回路において、

前記PFETおよび前記NFETのチャネル領域が第1の半導体の単結晶領域内に配置され、

前記第1の半導体の単結晶領域の上であって、前記NFETではなく前記PFETのソース領域およびドレイン領域内に、前記単結晶領域に対して格子不整合の第2の半導体の層が配置され、

前記第2の半導体の層の上面が、前記PFETのゲート・スタックのゲート誘電体のレベルによって画定される前記第1の半導体の単結晶領域の主表面より下に配置され、

前記第2の半導体の層の上に前記第1の半導体の単結晶層が配置され、

前記第2の半導体の層を介して前記NFETではなく前記PFETのチャネル領域に第1の歪みが加えられる、

集積回路。

【請求項2】

前記第1の半導体が、シリコン、シリコン・ゲルマニウム、および炭化珪素からなるグループから選択された半導体からなり、前記第2の半導体が前記第1の半導体とは異なる他の半導体からなり、前記他の半導体がシリコン、シリコン・ゲルマニウム、および炭化シリコンからなるグループから選択される、請求項1に記載の集積回路。

【請求項 3】

前記第1の半導体がシリコンからなり、前記第2の半導体がシリコン・ゲルマニウムからなる、請求項1に記載の集積回路。

【請求項 4】

前記第1の半導体が、 x_1 および y_1 が百分率であり、 $x_1 + y_1 = 100\%$ であり、 y_1 が少なくとも1%である第1の式 $S_i x_1 G e y_1$ によるシリコン・ゲルマニウムからなり、前記第2の半導体が、 x_2 および y_2 が百分率であり、 $x_2 + y_2 = 100\%$ であり、 y_2 が少なくとも1%である第2の式 $S_i x_2 G e y_2$ によるシリコン・ゲルマニウムからなり、 x_1 が x_2 に等しくなく、 y_1 が y_2 に等しくない、請求項1に記載の集積回路。

【請求項 5】

前記第1の歪みが圧縮歪みである、請求項1に記載の集積回路。

【請求項 6】

前記第2の半導体が、少なくとも1%のゲルマニウム含有量を有するシリコン・ゲルマニウムからなる、請求項3に記載の集積回路。

【請求項 7】

前記P F E Tおよび前記N F E Tのそれぞれが、前記P F E Tおよび前記N F E Tのゲート導体、ソース領域、およびドレイン領域に接触するシリサイドの層をさらに有する、請求項1に記載の集積回路。

【請求項 8】

前記シリサイドがコバルトのシリサイドからなる、請求項7に記載の集積回路。

【請求項 9】

それぞれが基板の単結晶シリコン領域内に配置されたチャネル領域を有するp型電界効果トランジスタ(P F E T)とn型電界効果トランジスタ(N F E T)とを含む相補型金属酸化膜半導体(C M O S)トランジスタを有する集積回路において、

前記P F E Tおよび前記N F E Tのチャネル領域が第1の半導体の単結晶領域内に配置され、

前記第1の半導体の単結晶領域の上であって、前記N F E Tではなく前記P F E Tのソース領域およびドレイン領域内に、前記単結晶領域に対してシリコン・ゲルマニウムからなる埋込み格子不整合半導体層が配置され、

前記埋込み格子不整合半導体層の上面が、前記P F E Tのゲート・スタックのゲート誘電体のレベルによって画定される前記第1の半導体の単結晶領域の主表面より下に配置され、

前記埋込み格子不整合半導体層の上に前記第1の半導体の単結晶層が配置され、

前記埋込み格子不整合半導体層を介して前記N F E Tではなく前記P F E Tのチャネル領域に圧縮歪みが加えられ、

前記シリコン・ゲルマニウムが、 x および y が百分率であり、それぞれが少なくとも1%であり、 x に y を加えると100%になる式 $S_i x G e y$ による割合を有する、集積回路。

【請求項 10】

p型電界効果トランジスタ(P F E T)およびn型電界効果トランジスタ(N F E T)を含む相補型金属酸化膜半導体(C M O S)トランジスタを有する集積回路において、前記P F E Tのチャネル領域が第1歪みを有し、前記N F E Tの前記チャネル領域が前記第1歪みを有しないように前記集積回路を製造する方法であって、

第1の半導体の単結晶領域の主表面の上にP F E Tゲート・スタックおよびN F E Tゲート・スタックを形成するステップであって、前記P F E Tゲート・スタックおよび前記N F E Tゲート・スタックのそれぞれが、ゲート誘電体と、その上に形成されたゲート導体と、前記ゲート導体の上に形成されたキャップ層と、前記ゲート導体の側壁上に形成された第1のスペーサとを含むステップと、

前記N F E Tゲート・スタックの両側の前記単結晶領域の前記主表面を保護しながら、前記P F E Tゲート・スタックの両側の前記単結晶領域にトレンチを形成するステップと、

10

20

30

40

50

第2の半導体の層が前記N F E Tゲート・スタックの両側の前記単結晶領域上で成長しないように防止しながら、前記トレンチ内に前記第2の半導体の層の上面が前記単結晶領域の前記主表面の下になるように前記第2の半導体の層を形成するステップであって、前記P F E Tの前記チャネル領域に前記第1の歪みを加えるために前記第1の半導体に対して前記第2の半導体が格子不整合であるステップと、

前記第2の半導体層の上に前記第1の半導体の層を成長させるステップと、

前記P F E Tを形成するために前記P F E Tゲート・スタックの前記両側にソース領域およびドレイン領域を形成し、前記N F E Tを形成するために前記N F E Tゲート・スタックの前記両側にソース領域およびドレイン領域を形成するステップと、
を有する方法。

10

【請求項11】

前記第2の半導体の層を形成するステップは、

前記トレンチ内に前記第2の半導体の層を成長させるステップと、

前記単結晶領域の前記主表面より下のレベルまで前記第2の半導体の層をエッチングするステップとを有する、

請求項10に記載の方法。

【請求項12】

前記P F E Tおよび前記N F E Tの前記ソース領域およびドレイン領域の上に自己整合シリサイド(サリサイド)を形成するステップと、前記ゲート導体のポリシリコン部分の上に自己整合シリサイド(サリサイド)を形成するステップとをさらに有する、請求項10に記載の方法。

20

【請求項13】

前記格子不整合の前記第2の半導体が前記P F E Tの前記チャネル領域に圧縮歪みを加える、請求項10に記載の方法。

【請求項14】

前記ソース領域およびドレイン領域を形成する前記ステップが、前記P F E Tゲート・スタックおよび前記N F E Tゲート・スタックから前記第1のスペーサを除去するステップと、前記P F E Tゲート・スタックおよび前記N F E Tゲート・スタックの側壁上に第2のスペーサを形成するステップとをさらに含む、請求項10に記載の方法。

30

【請求項15】

前記第2のスペーサが前記第1のスペーサより大きい厚さを有し、

前記第2のスペーサに横方向に接触する第3のスペーサを形成するステップと、前記単結晶領域の露出エリアおよび前記第1の半導体の前記層にソースおよびドレイン領域を注入するステップとをさらに有する、請求項14に記載の方法。

【請求項16】

前記単結晶領域の露出エリアおよび前記第1の半導体の前記層にハロー注入および拡張注入をするステップをさらに有する、請求項14に記載の方法。

【請求項17】

前記N F E Tゲート・スタックの前記両側の前記単結晶領域が陥凹されないようにパターン化されたブロック・マスクによって防止される、請求項10に記載の方法。

40

【請求項18】

前記N F E Tゲート・スタックの前記両側の前記単結晶領域に第1のコーティングを施すことにより、前記第2の半導体層が前記N F E Tゲート・スタックの前記両側の前記単結晶領域上で成長しないように防止される、請求項10に記載の方法。

【請求項19】

前記コーティングが、前記P F E Tゲート・スタックおよび前記N F E Tゲート・スタックの上を含む前記単結晶領域の露出表面の上に共形的に形成される、請求項18に記載の方法。

【請求項20】

前記第2の半導体の層を形成するステップは、

50

前記トレンチの側壁上に第2のコーティングを形成するステップと、
その後、前記トレンチの底部をエッティングして前記単結晶領域を露出させるステップと

、
露出した前記トレンチ内の底部および側壁上に、前記第2のコーティングのレベルまで
前記第2の半導体を成長させるステップとを有する、請求項19に記載の方法。

【請求項21】

前記第1の半導体がシリコンを有し、前記第2の半導体がシリコン・ゲルマニウムを有し、前記シリコン・ゲルマニウムが少なくとも1%のゲルマニウム含有量を有する、請求項20に記載の方法。

【請求項22】

前記第2の半導体が前記第1の歪みを圧縮歪みとして加える、請求項20に記載の方法
 。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の製作に関し、より具体的には、格子不整合 (lattice-mism attached) のソース領域およびドレイン領域を有する歪み半導体相補型金属酸化膜半導体 (CMOS) トランジスタを形成する装置 (集積回路) および方法に関する。

【背景技術】

【0002】

理論的研究および経験的研究のいずれでも、トランジスタの伝導チャネルに歪みが加えられると、トランジスタによる担体 (キャリア) 移動度が大幅に増加することが立証されている。p型電界効果トランジスタでは、伝導チャネルに圧縮 (compressive) 縱歪みを加えることは、PFEトの駆動電流を増加するものとして知られている。しかし、同じ歪みがNFEトの伝導チャネルに加えられた場合、そのパフォーマンスは低下する。

【0003】

これまで、NFEトの伝導チャネルに引張 (tensile) 縱歪みを加え、PFEトの伝導チャネルに圧縮縱歪みを加えることが提案されてきた。このような提案は、チップのPFEトまたはNFEト部分のマスキングを伴い、歪みを加えるために浅いトレンチ分離領域で使用される材料を変更する、マスクされたプロセスに焦点を合わせてきた。また、この提案は、スペーサ構造体内に存在する固有応力を調節することに集中させたマスクされたプロセスも含んでいる。

【0004】

シリコン・ゲルマニウムは、歪みシリコン・トランジスタ・チャネルを形成する際に使用するための望ましい格子不整合の半導体である。第1の半導体と第2の半導体が互いに格子不整合になったときに第1の半導体を第2の半導体の単結晶の上に成長させると、歪みが引き起こされる。シリコンとシリコン・ゲルマニウムは、もう一方の上に一方が成長することによって引張または圧縮のいずれかになりうる歪みを発生するように、互いに格子不整合になっている。

【0005】

シリコン・ゲルマニウムは、シリコン結晶構造と位置合せされた結晶構造を有するシリコン上でエピタキシャル成長する。しかし、シリコン・ゲルマニウムは通常、シリコンより大きい結晶構造を有するので、エピタキシャル成長したシリコン・ゲルマニウムは内部で圧縮された状態になる。

【0006】

歪みシリコンを使用する他の提案では、シリコン・ゲルマニウムが基板全体の単結晶層を形成する。このようなケースでは、シリコン・ゲルマニウム層内に転位 (dislocation) を形成することにより、歪みが解放されるので、シリコン・ゲルマニウム層は緩和された層 (relaxed layer) として知られている。緩和されたSiGe結晶領域上で単結晶シリコン層をエピタキシャル成長させると、エピタキシャル成長したシリコン結晶内に引張

10

20

30

40

50

歪みが発生する。この結果、電子移動度が改善され、これによりN F E Tのパフォーマンスを改善することができる。

【0007】

しかし、このような技法ではSiGeが緩和されることが必要であり、これはSiGe層が非常に厚く、すなわち、0.5~1.0 μmであることが必要である。正孔移動度の改善は獲得しがたいものである。というのは、そのようにするには、SiGe層のゲルマニウムの割合が大きいことが必要であり、その結果、SiGe結晶内に過剰転位が発生し、歩留まりの問題を引き起こす可能性があるからである。さらに、処理コストは極端に高くなる可能性がある。

【0008】

膜の品質を改善するために、段階的Ge濃度および化学機械的研磨方法などのその他の技法が使用される。しかし、これらの技法は高いコストおよび高い欠陥密度に悩まされる。

【発明の開示】

【発明が解決しようとする課題】

【0009】

したがって、厚いSiGe結晶領域を使用せずにP F E Tのチャネル領域内に歪みを引き起こすことが望ましいであろう。比較的薄いエピタキシャル成長SiGeを使用してデバイスのチャネル領域内に所望の歪みを引き起こすことが望ましいであろう。

【0010】

さらに、P F E Tのソース領域およびドレイン領域内にSiGeのエピタキシャル層を成長させることにより、P F E Tのチャネル領域内の正孔移動度を増加するように圧縮歪みを引き起こすことが望ましいであろう。

【0011】

さらに、N F E Tのチャネル領域内に同じ歪みを引き起こさずにP F E Tのチャネル領域内に所望の歪みを加えるためのプロセスを提供することが望ましいであろう。

【課題を解決するための手段】

【0012】

本発明の一態様により、集積回路のp型電界効果トランジスタ(P F E T)およびn型電界効果トランジスタ(N F E T)が提供される。第1の歪みは、N F E TではなくP F E Tのみのソースおよびドレイン領域内に配置されたシリコン・ゲルマニウムなどの格子不整合の半導体層を介してN F E TではなくP F E Tのチャネル領域に加えられる。P F E TおよびN F E Tを形成するプロセスが提供される。P F E Tのソース領域およびドレイン領域になるためのエリア内にトレンチがエッティングされ、それに隣接するP F E Tのチャネル領域に歪みを加えるために、格子不整合のシリコン・ゲルマニウム層をそのトレンチ内にエピタキシャル成長させる。

【0013】

本発明の一態様では、シリコン・ゲルマニウム層の上にシリコンの層を成長させ、シリコンの層からサリサイド(salicide)を形成して、低抵抗ソース領域およびドレイン領域を提供することができる。同時に、P F E TおよびN F E Tのゲート導体にサリサイドを形成することができる。

【発明を実施するための最良の形態】

【0014】

図1は、本発明の一実施形態によるp型電界効果トランジスタ(P F E T)およびn型電界効果トランジスタ(N F E T)を示している。図1に図示されている通り、P F E T 10およびN F E T 12は、概して酸化物のトレンチ分離領域17によって分離された基板16の単結晶半導体領域14内に形成される。基板16は、バルク基板である場合もあれば、好ましくは半導体の比較的薄い層が絶縁層18の上に形成されるセミコンダクター・オン・インシュレータ(semiconductor-on-insulator)またはシリコン・オン・インシュレータ(silicon-on-insulator)(S O I)基板である場合もある。電界効果トランジ

10

20

30

40

50

スタ (FET) がこのようなSOI基板内に形成されると、トランジスタのチャネル領域とバルク基板との接合容量が除去されるので、そうではない場合より高速のスイッチング動作が達成される場合が多い。この基板は、好ましくはバルク単結晶シリコン基板であり、より好ましくは絶縁層の上に単結晶シリコン領域を有するシリコンSOI基板である。この実施形態および以下の諸実施形態に記載する通り、III-V族化合物半導体、たとえば、ガリウムヒ素 (GaAs) などの他のタイプの半導体とは対照的に、基板の単結晶シリコン領域内のトランジスタの製作について言及する。

【0015】

図1に示されている通り、PFET10は、ゲート導体のポリシリコン部分26の下に配置されたチャネル領域20を含む。ポリシリコン部分26は好ましくは、約 10^{19} cm^{-3} の濃度まで高濃度ドーピングされている。好ましくは、ポリシリコン部分26は、作動中にPFETがオンになったときに存在するp型伝導チャネルの仕事関数と一致させるために、ホウ素などのp型ドーパントを含む。また、ゲート導体は好ましくは、ポリシリコン部分26の上に配置された低抵抗部分28も含む。低抵抗部分28は、ポリシリコン部分26よりかなり低い抵抗を有し、好ましくは金属、金属のシリサイド、またはその両方を含む。好ましい一実施形態では、低抵抗部分28は、コバルトのシリサイド (CoSi₂) などのシリサイドを含む。

【0016】

ゲート導体26の両側の単結晶半導体領域には、1対のシリサイド化した隆起 (raised) ソース・ドレイン領域11が配置されている。隆起ソース・ドレイン領域11のそれぞれは、1対のスペーサ29、30によってゲート導体26から位置をずらされている。スペーサ29および30はどちらも好ましくは窒化シリコンで形成されるが、スペーサ30は、その代わりに二酸化シリコンで形成するか、または窒化シリコンと二酸化シリコン層の組み合わせ、たとえば、酸窒化シリコンで形成することができる。

【0017】

第1の歪みは、PFET10のソース・ドレイン領域11の下に配置された第2の半導体の埋込み単結晶層21を介してチャネル領域20に加えられる。第2の半導体21は好ましくは、シリコンと、炭素 (C) またはゲルマニウム (Ge) などの1つまたは複数の他の4族元素を取り入れた格子不整合半導体である。第2の半導体層21は最も好ましくはシリコン・ゲルマニウムである。第1の半導体の層22は、好ましくはシリコンであり、第2の半導体層21の上に配置されている。好ましくは低抵抗コンタクト層24は、好ましくはシリサイドであり、第1の半導体層22の上に配置されている。低抵抗層は、好ましくはシリサイドであり、より好ましくはコバルトのシリサイド、すなわち、CoSi₂である。

【0018】

PFET10のチャネル領域の両側の格子不整合された第2の半導体の存在は、チャネル領域20内に歪みを発生する。好ましくは、この歪みは圧縮歪みである。このような圧縮歪みは、50 MPa (メガパスカル) 程度の低い値から数GPa (ギガパスカル) の範囲にわたる可能性がある。この歪みは、チャネル領域20内の電荷担体 (チャージ・キャリア) の移動度に対して積極的な効果をもたらし、このような歪みがそれに加えられていないPFETチャネル領域の移動度の数倍にまで達する可能性がある。

【0019】

第1の半導体は好ましくはシリコンであるので、格子不整合された第2の半導体は好ましくは、シリコン・ゲルマニウムまたは炭化シリコン (炭化珪素) などの異なる半導体であり、より好ましくは、xおよびyが百分率であり、xにyを加えると100%になるシリコン・ゲルマニウム (Si_xGe_y) である。xとyとの変動の範囲はかなり大きくなる可能性があり、yは例証としては1%から99%まで変動し、このような場合、xはその結果として99%と1%との間で変動する。

【0020】

代わって、基板14の単結晶領域は本質的に、x₁およびy₁が百分率であり、x₁ +

10

20

30

40

50

$y_1 = 100\%$ である第 1 の式 $S_{i_{x_1}} G_{e_{y_1}}$ による割合のシリコン・ゲルマニウムからなる可能性があり、第 2 の半導体の層は本質的に、 x_2 および y_2 が百分率であり、 $x_2 + y_2 = 100\%$ である第 2 の式 $S_{i_{x_2}} G_{e_{y_2}}$ による異なる割合のシリコン・ゲルマニウムからなり、 x_1 は x_2 に等しくなく、 y_1 は y_2 に等しくない。

【0021】

同じく図 1 に図示されている通り、基板の単結晶領域 14 には N F E T 12 が設けられている。N F E T 12 は、ゲート導体の高濃度ドーピングされた n 型ポリシリコン部分 42 の下に配置されたチャネル領域 40 を含み、そのゲート導体は N F E T 12 の低抵抗部分 44 の下に配置されている。低抵抗部分 44 は、P F E T 10 の低抵抗部分 28 のように、金属、シリサイド、またはその両方を含むことができ、最も好ましくはコバルトのシリサイド (CoSi₂) を含む。

【0022】

また、N F E T 12 は、1 対の低抵抗の隆起ソース・ドレイン・コンタクト領域 46 を含み、それぞれの領域は好ましくはシリサイドなどの低抵抗材料を含み、最も好ましくはコバルトのシリサイド (CoSi₂) を含む。好ましくは、隆起ソース・ドレイン・コンタクト領域 46 のそれぞれは 1 対のスペーサ 47、48 によってゲート導体部分 42、44 から間隔を開けられている。スペーサ 47 は好ましくは窒化シリコンを含み、スペーサ 48 は好ましくは窒化シリコン、二酸化シリコン、または窒化シリコンと二酸化シリコンの組み合わせを含む。

【0023】

N F E T 12 は、そのチャネル領域 40 に第 1 の歪み、すなわち、P F E T 10 のチャネル領域 20 に加えられた歪みのタイプおよび大きさの歪みが加えられていない。これは、以下の理由によるものである。第 1 に、N F E T 12 は、主要担体として電子を有する n 型伝導チャネルを有する。P F E T は主要担体として電子ではなく正孔を有する p 型伝導チャネルを有するので、N F E T 12 は、他のすべてのものが等しいときに、P F E T 10 より速いスイッチング速度を有する。正孔は電子より低い移動度を有し、このため、N F E T 12 内の方がスイッチング速度が速くなる。したがって、少なくとも N F E T 12 のスイッチング速度と一致させるために、P F E T 10 のスイッチング速度を増加しなければならない。

【0024】

第 2 に、N F E T 12 に対して同じ効果を及ぼすとは思われないので、同じタイプおよび大きさの歪みを P F E T 10 と N F E T 12 の両方に加えることはできない。N F E T 12 のチャネル領域 40 に加えられた圧縮歪みの大きさが大きい場合 (たとえば、50 MPa ~ 数 GPa)、実際にはその中の電子の移動度を低減することになり、その結果、スイッチング速度が所望の通りより速くなるのではなく、より遅くなるであろう。

【0025】

図 2 は、基板の単結晶領域 114 内の P F E T 110 の歪みプロファイルを示す図である。P F E T 110 は、P F E T 10 に関して上述した構造を有し、ゲート導体の両側にチャネル領域 120 と隆起ソース・ドレイン領域を有し、そのうちの 1 つの隆起ソース・ドレイン領域 111 が図示されている。隆起ソース・ドレイン領域 111 はシリコンの層 122 の上に配置されたシリサイド領域 124 を含み、そのシリコンの層 122 は、シリコン・ゲルマニウムなどの格子不整合された第 2 の半導体の比較的薄い層 121 の上に配置されている。次に、この薄い層 121 は基板の単結晶領域 114 内に配置されている。

【0026】

図 2 では、基板 114 内の曲線は、同じ大きさおよびタイプ (すなわち、圧縮であるか引張であるか) の歪みが存在する位置を示している。したがって、線 126 は、チャネル領域 120 に加えられた歪みが等しい位置を示している。好ましくは 50 MPa ~ 2 GPa の範囲の圧縮歪みが P F E T 110 のチャネル領域 120 のこのような位置に加えられる。より好ましくは、100 MPa ~ 1 GPa の間の圧縮歪みがチャネル領域 120 に加えられる。最も好ましくは、400 MPa がその歪みに関する所望の目標になるように、

10

20

30

40

50

200 MPa ~ 600 MPa の範囲の圧縮歪みがそれに加えられる。ソース・ドレイン領域 111 では、歪みの大きさおよび方向はチャネル領域 120 内の歪みとは非常に異なっている。埋込み SiGe 層 121 では、歪みは 1 ~ 5 GPa の範囲にわたる可能性があり、2.5 GPa は所望の歪みをチャネル領域 120 に加えるために PFEt の特定の形状 (geometry) および寸法について達成されるおおよその量である。これに反して、SiGe 層の上に重なるシリコン層 122 には、引張歪みが加えられている。ソース・ドレイン領域 111 内の歪みの特定の大きさはそれほど重要ではない。所望の大きさおよび方向の歪みを PFEt のチャネル領域 120 に加えることが実際の目標である。本発明の諸実施形態による処理方法を実行することにより、NFET ではなく PFEt にこのような歪みが加えられる。

10

【0027】

図 3 は、本発明の一実施形態による CMOS 製作プロセスの第 1 の段階を示している。この実施形態による処理の結果として、p 型電界効果トランジスタ (PFEt) および n 型電界効果トランジスタ (NFET) が形成される。PFEt では、格子不整合の半導体層によってチャネル領域に第 1 の歪みが加えられる。これに反して、NFET のチャネル領域では、格子不整合の半導体層がそれにきわめて接近しているわけではないので、第 1 の歪みは加えられない。このようにして、依然として NFET 内の望ましいパフォーマンスを維持しながら、PFEt の担体 (キャリア) 移動度の増加が達成される。

【0028】

図 3 は、本発明の一実施形態により PFEt および NFET を形成するための処理における一段階を示している。図 3 に示されている通り、PFEt ゲート・スタック 25 および NFET ゲート・スタック 45 は、基板の単結晶領域の上に重なって形成される。単結晶領域 14 は本質的に、シリコンなどの第 1 の半導体材料からなる。PFEt ゲート・スタック 25 は、単結晶領域 14 の上に重なるゲート誘電体 13 と、ゲート導体層 26 の側壁上に形成された 1 対のスペーサ 29 と、絶縁キャップ 50 とを含む。NFET ゲート・スタック 45 は、単結晶領域 14 の上に重なるゲート誘電体 13 と、ゲート導体層 42 の側壁上に形成された 1 対のスペーサ 47 と、同じく好ましくはテトラエチルオルトシリケート (TEOS) の前駆物質からの酸化物の付着によって形成された絶縁キャップ 52 とを含む。

20

【0029】

ゲート導体層 26、42 は好ましくは、高濃度ドーピングされた半導体のみを含み、最も好ましくは、処理のこの段階では高濃度ドーピングされたポリシリコンである。好ましくは、それぞれの PFEt ゲート・スタック および NFET ゲート・スタック のゲート導体 26、42 には、すでにこの段階で、望ましい仕事関数を提供するために所望のドーパント・タイプおよび濃度が提供されている。たとえば、PFEt ゲート・スタック には p+ ドーピングのゲート導体層 26 を設けることができ、NFET ゲート・スタック には n+ ドーピングのゲート導体層 42 を設けることができる。スペーサ 29 は好ましくは、付着した窒化物から形成され、絶縁キャップ 50、52 は好ましくは、テトラエチルオルトシリケート (TEOS) の前駆物質からの酸化物の付着によって形成される。

30

【0030】

次に、図 4 に示されている通り、基板の単結晶領域 14 の主表面 54 にはコーティング 56 が施される。コーティング 56 は好ましくは、選択的付着プロセスにおいてシリコンの付着を制限できる除去可能材料を付着させることによって施される。好ましくは、この材料は窒化シリコンであり、この材料は好ましくは付着によって施される。次に、図 5 に示されている通り、マスキング材料 58 は、基板に施され、PFEt ゲート・スタック 25 の両側の単結晶領域 14 のエリアではなく、NFET ゲート・スタック 45 の両側の単結晶領域 14 のエリアをカバーするようにパターン化される。一実施形態では、マスキング材料は好ましくはフォトレジストである。代わって、マスキング材料は、反射防止膜 (ARC : antireflective coating)、スピノン・オン・グラス (spin-on-glass)、TEOS 前駆物質からの酸化物、あるいは付着させ、その後、除去できるホウケイ酸ガラス (B

40

50

S G : borosilicateglass)、ヒ素ドープ・ガラス (A S G : arsenic doped glass)、リン酸シリケート・ガラス (P S G : phosphosilicateglass)、またはボロンリン・シリケート・ガラス (B P S G : borophosphosilicate glass) などの様々なドープ・ガラスなど、後で完全に除去できる、いくつかの周知のエッティングに強い材料のうちの任意の 1 つにすることができる。

【0031】

その後、単結晶領域 1 4 は、好ましくは反応性イオン・エッティング (R I E) などの異方性垂直エッティング・プロセスにより、P F E T ゲート・スタック 2 5 の両側でエッティングされる。このようなエッティング中に、P F E T ゲート・スタック 2 5 は、P F E T ゲート・スタック 2 5 の下のエリアがエッティングされないように防止するマスクを提供する。
N F E T ゲート・スタック 4 5 の両側の単結晶領域 1 4 のエリアは、マスキング層 5 8 およびコーティング 5 6 によって保護されているので、エッティングされない。エッティングの結果として、P F E T ゲート・スタック 2 5 の両側の単結晶領域 1 4 内にトレンチ 6 0 が形成される。トレンチ 6 0 をエッティングした後、時限 (timed) 等方性エッティングなどにより、マスキング層 5 8 が除去される。これは、R I E エッティングの結果として損傷を受けた状態になる可能性のあるトレンチ 6 0 内の単結晶シリコンの部分を除去するという影響も及ぼす。

【0032】

その後、図 6 に示されている通り、トレンチ 6 0 内の単結晶領域 1 4 の第 1 の半導体上に第 2 の半導体の層 6 2 をエピタキシャル成長させる。このエピタキシャル成長プロセスは好ましくは、トレンチ 6 0 内の単結晶半導体上に成長したもの以外の表面上に第 2 の半導体の材料がほとんどまたはまったく付着しないような選択的付着によって実行される。第 2 の半導体は、他の半導体の単結晶領域に接触して成長した層として歪みを引き起こすことができる格子不整合半導体である。

【0033】

次に、図 7 に示されている通り、コーティング 5 6 が依然としてN F E T が形成されるエリアを保護するための所定の位置にある状態で、エピタキシャル成長した第 2 の半導体層 6 2 を基板 1 4 の単結晶領域の主表面 5 4 より下の望ましいレベル 6 4 まで陥凹させる。この陥凹 (recess) ステップは好ましくは、時限異方性反応性イオン・エッティングによって実行される。代わって、この陥凹ステップは、下にあるシリコン単結晶領域に対しては比較的低速でエッティングしながら、露出されたシリコン・ゲルマニウムに対してはエッティングがより高速で進行するような、シリコンに対して選択的な等方性エッティングによって実行することができる。

【0034】

次に、図 8 に示されている通り、シリコン・ゲルマニウムの陥凹層 6 2 の上に単結晶シリコンの第 2 の層 6 6 をエピタキシャル成長させる。この第 2 の層 6 6 は好ましくは、シリコン・ゲルマニウム層 6 2 の露出エリアおよびトレンチ 6 0 の側壁に沿った単結晶シリコンの露出エリア以外には、シリコンがほとんどまたはまったく付着しないような、選択的エピタキシャル付着として成長させる。したがって、この選択的エピタキシャル付着の結果として、コーティング 5 6 およびP F E T ゲート・スタック 2 5 には、シリコンがほとんどまたはまったく付着しない。

【0035】

次に、図 9 に示されている通り、N F E T ゲート・スタック 4 5 の両側の単結晶領域 1 4 からコーティング 5 6 が除去される。次に、第 2 の対のスペーサ 3 0 は、好ましくは酸化物材料を含み、P F E T ゲート・スタック 2 5 およびN F E T ゲート・スタック 4 5 の両側に形成される。スペーサ 3 0 は好ましくは、T E O S 前駆物質からなどの酸化物材料を共形的 (conformally) に付着させ、続いてR I E などの異方性垂直エッティングを行うことによって形成される。このエッティングは好ましくは、シリコンの上部層 6 6 を過度に陥凹させることを回避するように、シリコンに対して選択的に実行される。このエッティング・ステップの結果として、P F E T ゲート・スタック 2 5 およびN F E T ゲート・スタ

10

20

30

40

50

ツク45から絶縁キャップ50が除去され、その下のポリシリコン部分26および42を露出する。

【0036】

その後、図9に示されている通り、露出された半導体層66およびNFEトゲート・スタッツク45の両側の露出された単結晶領域上にシリサイド68が形成される。同時に、それぞれPFEトゲート・スタッツクおよびNFEトゲート・スタッツクの露出されたポリシリコン部分26、42上にシリサイドが形成される。好ましくは、このシリサイドは、好ましくは処理された基板の上にコバルトの層を付着させることにより自己整合で形成されるコバルトのシリサイド(CoSi₂) (すなわち、「シリサイド」)である。次に、アニーリングを実行して、コバルトと、それに接触しているシリコンとを反応させてシリサイド68を形成する。次に、処理された基板の残りのエリア、すなわち、スペーサ29、30およびトレンチ分離17から未反応のコバルトが除去される。

【0037】

図10～14は、他の方法の実施形態による歪みチャネル領域PFEトおよびNFEトを有するチップの製作の諸段階を示している。図10は、PFEトゲート・スタッツク125およびNFEトゲート・スタッツク145の形成後の処理における一段階を示している。これらのゲート・スタッツクは、図3に関連して上述したものと同じ構造を有する。たとえば、PFEトゲート・スタッツクは、ゲート誘電体113の上に重なるゲート導体126と、窒化物側壁スペーサ129と、酸化物絶縁キャップ150とを有する。NFEトゲート・スタッツク145は同じ構造を有する。トレンチ分離117は、その上にPFEトゲート・スタッツク125およびNFEトゲート・スタッツク145が配置される基板の単結晶領域114のエリア同士の間に位置する。

【0038】

図10は、図5に示されているものと同様の処理における一段階を示している。共形(conformal)マスキング層156は、PFEトゲート・スタッツク125およびNFEトゲート・スタッツク145の上に付着されている。共形マスキング層156は好ましくは、二酸化シリコンなどの酸化物を有する。層156は、PFEトゲート・スタッツク125を囲む単結晶領域114のエリアから除去される。これは、NFEトゲート・スタッツク145を囲む単結晶領域114をブロック・マスキングし、その後、RIEなどの異方性エッティングを使用して、層156および単結晶領域の下にあるエリア160を垂直にエッティングすることにより、図5に関して上述したものと同じように実行することができる。このエッティング中に、エリア160は、上述の実施形態ほど深くエッティングされない。むしろ、エリア160は部分的にのみエッティングされる。後でこのエッティングは、シリコンの上部層が形成されるレベルを画定することになる。

【0039】

次に、図示の通りの構造を形成するために、第2の共形マスキング層170が付着される。この層170は好ましくは、格子不整合半導体を選択的に成長させるその後のステップを阻止することができる共形マスキング層170としての窒化シリコンである。次に、図11に示されている通り、トレンチ160の底部からマスキング層170を除去するために、RIEなどの異方性垂直エッティング・プロセスが実行される。このプロセス中に、スペーサ172はトレンチ160およびゲート・スタッツク125、145の側壁上に存続する。このエッティング中に、絶縁キャップ150からならびにNFEトゲート・スタッツク145を囲む単結晶領域114のエリア内の第1のマスキング層156の上からなど、すべての水平表面からマスキング層170が除去される。

【0040】

このエッティング後に、マスキング層170の材料に対して選択的な異方性垂直RIEによりトレンチ160がさらに陥凹され、その結果、図12に示されている構造が得られる。たとえば、マスキング層170が窒化シリコンを含む場合、窒化シリコンに対して選択的にエッティングが実行される。代わって、このステップは、窒化シリコンに対して選択的な等方性エッティングによって実行することができる。

【0041】

次に、図13に図示されている通り、トレンチ160内で格子不整合半導体を選択的に成長させる。格子不整合半導体は好ましくはシリコン・ゲルマニウムである。このプロセスにより、シリコン・ゲルマニウムの層176は、スペーサ172のレベルまでトレンチ160の底部および側壁上にエピタキシャル成長するが、他の場所には付着されない。

【0042】

その後、図14に示されている通り、マスキング層170およびスペーサ172は、トレンチ160内のシリコンおよびシリコン・ゲルマニウム材料に対して選択的な等方性ウェット剥離プロセスによって除去される。その結果として、トレンチの側壁174に沿った単結晶領域114が露出される。

10

【0043】

次に、シリコン・ゲルマニウム層176の上にトレンチ160内のシリコンのエピタキシャル層178を選択的に成長させるためのステップが実行される。この結果、図15に示されている構造が得られるが、これは、酸化物マスキング層156が図8の窒化物マスキング層56の代わりにNFEトゲート・スタック145の上に存続することを除き、図8に示されているものと同様である。

【0044】

その後、RIEエッティングを使用して、酸化物マスキング材料156を除去することができる。このエッティングにより、窒化物側壁スペーサ129を所定の位置に残しながら、酸化物絶縁キャップ150が除去される。次に、前者のトレンチ160の上のソースおよびドレイン・エリアならびにポリシリコン・ゲート導体層126および142の上部は、図9に関連して上述した通り、好ましくはコバルト・シリサイドにより、シリサイド化することができる。

20

【0045】

図16～18は、図9に関して上述したものに対する代替一実施形態を示している。この代替実施形態は、図8または図15に示されているような処理の一段階から進行する。図16に示されている通り、この実施形態では、酸化物マスキング層156およびスペーサ29（または129）はポリシリコン・ゲート導体26、42（または126、142）から除去され、新しいスペーサがそれぞれの位置に設けられる。これを行う目的は、シリコン・ゲルマニウムおよびシリコンのエピタキシャル成長プロセスの熱使用量が増加したことによるスペーサの特性の変化（たとえば、種の合体）によって引き起こされたデバイス・パラメータ・シフトを回避することである。

30

【0046】

図17に示されている通り、第1のスペーサ230はポリシリコン・ゲート導体226、242上に形成される。これは好ましくは、窒化シリコンを共形的に付着させ、その後、RIEなどにより垂直にエッティングすることによって実行される。次に、PFEトのソースおよびドレイン領域内への（すなわち、PFEトゲート・スタックのスペーサ230の両側の単結晶領域114のエリア内への）拡張（エクステンション）およびハロー注入（extension and halo implant）が実行される。また、NFEトのソースおよびドレイン領域内への（すなわち、NFEトゲート・スタックのスペーサ230の両側の単結晶領域114のエリア内への）拡張およびハロー注入も実行される。拡張およびハロー注入は、それぞれの場合にPFEトおよびNFEトランジスタのチャネル領域により近い領域に注入するために、第1のスペーサ230のみが所定の位置にある状態で実行される。

40

【0047】

その後、第2のスペーサ232がスペーサ230上に形成され、次にPFEトソースおよびドレイン領域を形成するためにPFEトゲート・スタックの両側でソースおよびドレイン注入（インプラント）が実行され、NFEトソースおよびドレイン領域を形成するためにNFEトゲート・スタックの両側でソースおよびドレイン注入が実行される。このようにして、ソースおよびドレイン注入領域は、トランジスタのチャネル領域から望ましい距離だけ間隔を開けられる。

50

【0048】

その後、ソースおよびドレイン領域内ならびにP F E Tゲート・スタックおよびN F E Tゲート・スタックのそれぞれのポリシリコン部分226および242の上に、上述のようにサリサイドを形成することができる。

【0049】

上記では、第1の歪みがP F E Tのソースおよびドレイン領域内に配置された格子不整合半導体層を介してP F E Tのチャネル領域に加えられるような、集積回路のP F E TおよびN F E Tを製作する方法を説明してきた。格子不整合半導体層がN F E Tのソースおよびドレイン領域内ではなく、P F E Tのソースおよびドレイン領域内にのみ配置されるために、第1の歪みはN F E Tのチャネル領域には加えられない。

10

【0050】

格子不整合半導体層がP F E Tのみのソースおよびドレイン領域内に配置され、N F E Tのソースおよびドレイン領域内には配置されないような、P F E TおよびN F E Tを形成するプロセスについて説明してきた。このプロセスは、N F E Tエリアの上に形成されたマスキング層を使用するものであり、P F E Tのソースおよびドレイン領域になるようにエリア内にトレンチをエッチングし、その内でシリコン・ゲルマニウム層をエピタキシャル成長させ、次にエピタキシャル成長したシリコン・ゲルマニウム層の上にシリコン層を成長させることを基にしている。

【0051】

その特定の好ましい諸実施形態に関連して本発明を説明してきたが、当業者であれば、特許請求の範囲のみによって限定される本発明の真の範囲および精神を逸脱せずに行うことができる多くの変更および強化を理解するであろう。

20

【図面の簡単な説明】

【0052】

【図1】本発明の一実施形態によるP F E TおよびN F E Tを示す図である。

【図2】本発明の一実施形態によるP F E Tの歪みプロファイルを示す図である。

【図3】本発明の一実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図4】本発明の一実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

30

【図5】本発明の一実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図6】本発明の一実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図7】本発明の一実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図8】本発明の一実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図9】本発明の一実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

40

【図10】本発明の他の実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図11】本発明の他の実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図12】本発明の他の実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図13】本発明の他の実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

【図14】本発明の他の実施形態によるP F E TおよびN F E Tの製作の段階を示す図である。

50

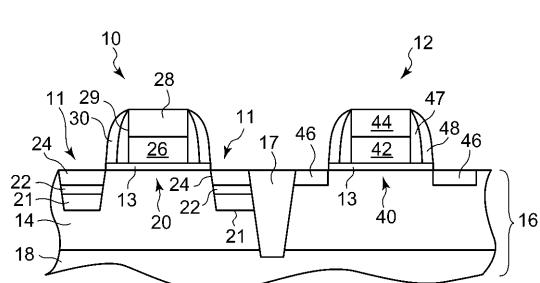
【図15】本発明の他の実施形態によるPFEトおよびNFEトの製作の段階を示す図である。

【図16】本発明のさらに他の実施形態によるPFEトおよびNFEトの製作の段階を示す図である。

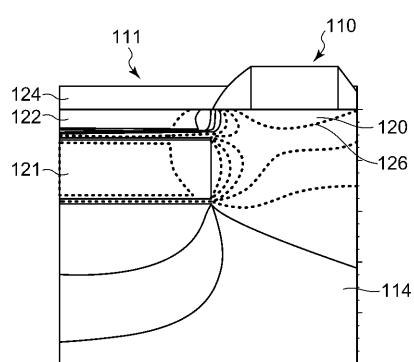
【図17】本発明のさらに他の実施形態によるPFEトおよびNFEトの製作の段階を示す図である。

【図18】本発明のさらに他の実施形態によるPFEトおよびNFEトの製作の段階を示す図である。

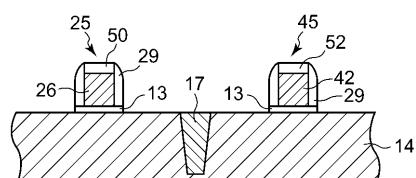
【図1】



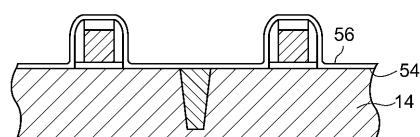
【図2】



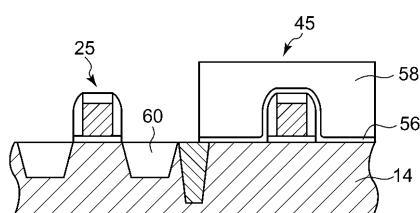
【図3】



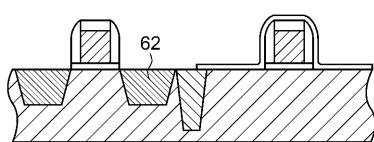
【図4】



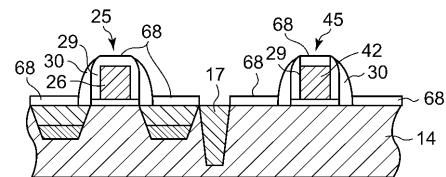
【図5】



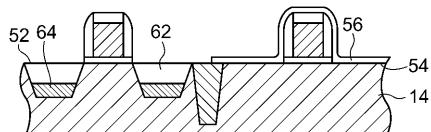
【図6】



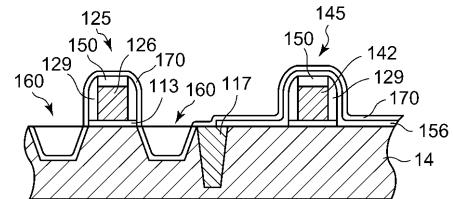
【図9】



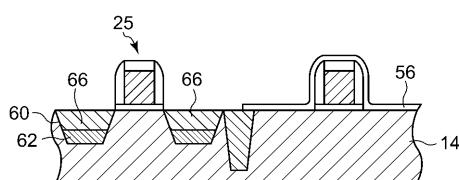
【図7】



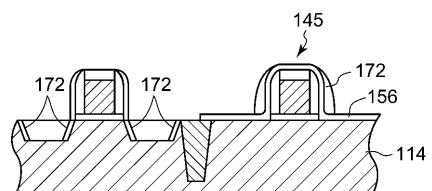
【図10】



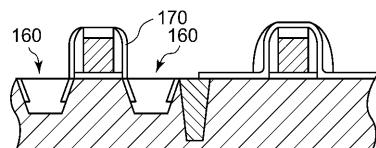
【図8】



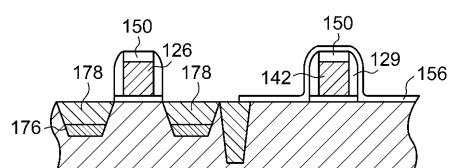
【図11】



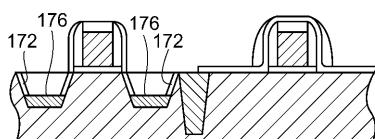
【図12】



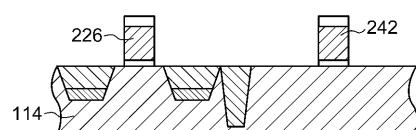
【図15】



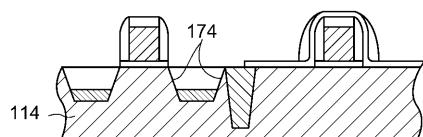
【図13】



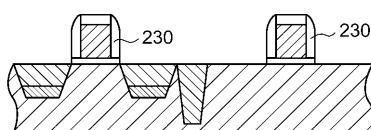
【図16】



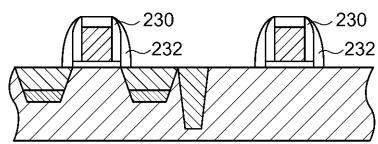
【図14】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 3 0 1 P

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 チエン、ファジエ

アメリカ合衆国 0 6 8 1 0 コネチカット州ダンパリー アヴァロン・レイク・ロード 6 2 2

(72)発明者 チダンバラオ、デュレセティ

アメリカ合衆国 0 6 8 8 3 コネチカット州ウェストン オールド・ミル・ロード 2 9

(72)発明者 グラシェンコフ、オレグ、ジー

アメリカ合衆国 1 2 6 0 1 ニューヨーク州ポキプシー アカデミー・ストリート 1 6 0 アパートメント # 9 エイチ

(72)発明者 スティーゲン、アン、エル

アメリカ合衆国 0 6 9 0 2 コネチカット州スタンフォード サウスフィールド・アヴェニュー 1 5 0 アパートメント 2 4 8 3

(72)発明者 ヤン、ヘイニング、エス

アメリカ合衆国 1 2 5 9 0 ニューヨーク州ワッピンガーズ・フォールズ ロビンソン・レーン 3 6

審査官 宇多川 勉

(56)参考文献 米国特許出願公開第 2 0 0 3 / 0 0 8 0 3 6 1 (U S , A 1)

特開平 1 0 - 1 0 7 2 9 4 (J P , A)

特開 2 0 0 1 - 0 5 3 0 2 7 (J P , A)

特開平 1 1 - 1 6 3 3 4 3 (J P , A)

特開 2 0 0 1 - 0 2 4 1 9 4 (J P , A)

特開 2 0 0 4 - 0 3 1 7 5 3 (J P , A)

特開 2 0 0 3 - 1 5 2 1 7 7 (J P , A)

特表平 1 0 - 5 1 1 5 0 6 (J P , A)

特表 2 0 0 1 - 5 0 1 0 3 3 (J P , A)

国際公開第 2 0 0 5 / 0 1 0 9 8 2 (W O , A 1)

(58)調査した分野(Int.Cl. , DB名)

H01L 21/8238

H01L 21/336

H01L 27/092

H01L 27/088

H01L 29/78