

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4808618号
(P4808618)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl.

F I

HO 1 L 27/092 (2006.01)
 HO 1 L 21/8238 (2006.01)
 HO 1 L 29/78 (2006.01)
 HO 1 L 21/336 (2006.01)

HO 1 L 27/08 3 2 1 C
 HO 1 L 29/78 3 0 1 X
 HO 1 L 29/78 3 0 1 Y
 HO 1 L 29/78 3 0 1 S
 HO 1 L 27/08 3 2 1 E

請求項の数 22 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2006-522694 (P2006-522694)
 (86) (22) 出願日 平成16年8月4日(2004.8.4)
 (65) 公表番号 特表2007-501526 (P2007-501526A)
 (43) 公表日 平成19年1月25日(2007.1.25)
 (86) 国際出願番号 PCT/US2004/025152
 (87) 国際公開番号 W02005/017964
 (87) 国際公開日 平成17年2月24日(2005.2.24)
 審査請求日 平成19年7月18日(2007.7.18)
 (31) 優先権主張番号 10/604,607
 (32) 優先日 平成15年8月4日(2003.8.4)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MACHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 格子不整合のソースおよびドレイン領域を有する歪み半導体CMOSトランジスタを有する集積回路および製作方法

(57) 【特許請求の範囲】

【請求項 1】

p型電界効果トランジスタ(PFET)とn型電界効果トランジスタ(NFET)とを含む相補型金属酸化膜半導体(CMOS)トランジスタを有する集積回路において、

前記PFETおよび前記NFETのチャネル領域が第1の半導体の単結晶領域内に配置され、

前記第1の半導体の単結晶領域の上であって、前記NFETではなく前記PFETのソース領域およびドレイン領域内に、前記単結晶領域に対して格子不整合の第2の半導体の層が配置され、

前記第2の半導体の層の上面が、前記PFETのゲート・スタックのゲート誘電体のレベルによって画定される前記第1の半導体の単結晶領域の主表面より下に配置され、

前記第2の半導体の層の上に前記第1の半導体の単結晶層が配置され、

前記第2の半導体の層を介して前記NFETではなく前記PFETのチャネル領域に第1の歪みが加えられる、
 集積回路。

【請求項 2】

前記第1の半導体が、シリコン、シリコン・ゲルマニウム、および炭化珪素からなるグループから選択された半導体からなり、前記第2の半導体が前記第1の半導体とは異なる他の半導体からなり、前記他の半導体がシリコン、シリコン・ゲルマニウム、および炭化シリコンからなるグループから選択される、請求項1に記載の集積回路。

10

20

【請求項 3】

前記第 1 の半導体がシリコンからなり、前記第 2 の半導体がシリコン・ゲルマニウムからなる、請求項 1 に記載の集積回路。

【請求項 4】

前記第 1 の半導体が、 x_1 および y_1 が百分率であり、 $x_1 + y_1 = 100\%$ であり、 y_1 が少なくとも 1 % である第 1 の式 $Six_1Ge_{y_1}$ によるシリコン・ゲルマニウムからなり、前記第 2 の半導体が、 x_2 および y_2 が百分率であり、 $x_2 + y_2 = 100\%$ であり、 y_2 が少なくとも 1 % である第 2 の式 $Six_2Ge_{y_2}$ によるシリコン・ゲルマニウムからなり、 x_1 が x_2 に等しくなく、 y_1 が y_2 に等しくない、請求項 1 に記載の集積回路。

【請求項 5】

前記第 1 の歪みが圧縮歪みである、請求項 1 に記載の集積回路。

【請求項 6】

前記第 2 の半導体が、少なくとも 1 % のゲルマニウム含有量を有するシリコン・ゲルマニウムからなる、請求項 3 に記載の集積回路。

【請求項 7】

前記 P F E T および前記 N F E T のそれぞれが、前記 P F E T および前記 N F E T のゲート導体、ソース領域、およびドレイン領域に接触するシリサイドの層をさらに有する、請求項 1 に記載の集積回路。

【請求項 8】

前記シリサイドがコバルトのシリサイドからなる、請求項 7 に記載の集積回路。

【請求項 9】

それぞれが基板の単結晶シリコン領域内に配置されたチャネル領域を有する p 型電界効果トランジスタ (P F E T) と n 型電界効果トランジスタ (N F E T) とを含む相補型金属酸化膜半導体 (C M O S) トランジスタを有する集積回路において、

前記 P F E T および前記 N F E T のチャネル領域が第 1 の半導体の単結晶領域内に配置され、

前記第 1 の半導体の単結晶領域の上であって、前記 N F E T ではなく前記 P F E T のソース領域およびドレイン領域内に、前記単結晶領域に対してシリコン・ゲルマニウムからなる埋込み格子不整合半導体層が配置され、

前記埋込み格子不整合半導体層の上面が、前記 P F E T のゲート・スタックのゲート誘電体のレベルによって画定される前記第 1 の半導体の単結晶領域の主表面より下に配置され、

前記埋込み格子不整合半導体層の上に前記第 1 の半導体の単結晶層が配置され、

前記埋込み格子不整合半導体層を介して前記 N F E T ではなく前記 P F E T のチャネル領域に圧縮歪みが加えられ、

前記シリコン・ゲルマニウムが、 x および y が百分率であり、それぞれが少なくとも 1 % であり、 x に y を加えると 100 % になる式 $SixGe_y$ による割合を有する、集積回路。

【請求項 10】

p 型電界効果トランジスタ (P F E T) および n 型電界効果トランジスタ (N F E T) を含む相補型金属酸化膜半導体 (C M O S) トランジスタを有する集積回路において、前記 P F E T のチャネル領域が第 1 歪みを有し、前記 N F E T の前記チャネル領域が前記第 1 歪みを有しないように前記集積回路を製造する方法であって、

第 1 の半導体の単結晶領域の主表面の上に P F E T ゲート・スタックおよび N F E T ゲート・スタックを形成するステップであって、前記 P F E T ゲート・スタックおよび前記 N F E T ゲート・スタックのそれぞれが、ゲート誘電体と、その上に形成されたゲート導体と、前記ゲート導体の上に形成されたキャップ層と、前記ゲート導体の側壁上に形成された第 1 のスペーサとを含むステップと、

前記 N F E T ゲート・スタックの両側の前記単結晶領域の前記主表面を保護しながら、前記 P F E T ゲート・スタックの両側の前記単結晶領域にトレンチを形成するステップと、

、

10

20

30

40

50

第2の半導体の層が前記NFE Tゲート・スタックの両側の前記単結晶領域上で成長しないように防止しながら、前記トレンチ内に前記第2の半導体の層の上面が前記単結晶領域の前記主表面の下になるように前記第2の半導体の層を形成するステップであって、前記PFETの前記チャネル領域に前記第1の歪みを加えるために前記第1の半導体に対して前記第2の半導体が格子不整合であるステップと、

前記第2の半導体層の上に前記第1の半導体の層を成長させるステップと、

前記PFETを形成するために前記PFETゲート・スタックの前記両側にソース領域およびドレイン領域を形成し、前記NFE Tを形成するために前記NFE Tゲート・スタックの前記両側にソース領域およびドレイン領域を形成するステップと、
を有する方法。

10

【請求項11】

前記第2の半導体の層を形成するステップは、

前記トレンチ内に前記第2の半導体の層を成長させるステップと、

前記単結晶領域の前記主表面より下のレベルまで前記第2の半導体の層をエッチングするステップとを有する、
請求項10に記載の方法。

【請求項12】

前記PFETおよび前記NFE Tの前記ソース領域およびドレイン領域の上に自己整合シリサイド(サリサイド)を形成するステップと、前記ゲート導体のポリシリコン部分の上に自己整合シリサイド(サリサイド)を形成するステップとをさらに有する、請求項10に記載の方法。

20

【請求項13】

前記格子不整合の前記第2の半導体が前記PFETの前記チャネル領域に圧縮歪みを加える、請求項10に記載の方法。

【請求項14】

前記ソース領域およびドレイン領域を形成する前記ステップが、前記PFETゲート・スタックおよび前記NFE Tゲート・スタックから前記第1のスペーサを除去するステップと、前記PFETゲート・スタックおよび前記NFE Tゲート・スタックの側壁上に第2のスペーサを形成するステップとをさらに含む、請求項10に記載の方法。

【請求項15】

30

前記第2のスペーサが前記第1のスペーサより大きい厚さを有し、

前記第2のスペーサに横方向に接触する第3のスペーサを形成するステップと、
前記単結晶領域の露出エリアおよび前記第1の半導体の前記層にソースおよびドレイン領域を注入するステップとをさらに有する、請求項14に記載の方法。

【請求項16】

前記単結晶領域の露出エリアおよび前記第1の半導体の前記層にハロー注入および拡張注入をするステップをさらに有する、請求項14に記載の方法。

【請求項17】

前記NFE Tゲート・スタックの前記両側の前記単結晶領域が陥凹されないようにパターン化されたブロック・マスクによって防止される、請求項10に記載の方法。

40

【請求項18】

前記NFE Tゲート・スタックの前記両側の前記単結晶領域に第1のコーティングを施すことにより、前記第2の半導体層が前記NFE Tゲート・スタックの前記両側の前記単結晶領域上で成長しないように防止される、請求項10に記載の方法。

【請求項19】

前記コーティングが、前記PFETゲート・スタックおよび前記NFE Tゲート・スタックの上を含む前記単結晶領域の露出表面の上に共形的に形成される、請求項18に記載の方法。

【請求項20】

前記第2の半導体の層を形成するステップは、

50

前記トレンチの側壁上に第２のコーティングを形成するステップと、
その後、前記トレンチの底部をエッチングして前記単結晶領域を露出させるステップと

、
露出した前記トレンチ内の底部および側壁上に、前記第２のコーティングのレベルまで
前記第２の半導体を成長させるステップとを有する、請求項 19 に記載の方法。

【請求項 21】

前記第１の半導体がシリコンを有し、前記第２の半導体がシリコン・ゲルマニウムを有し、前記シリコン・ゲルマニウムが少なくとも１％のゲルマニウム含有量を有する、請求項 20 に記載の方法。

【請求項 22】

前記第２の半導体が前記第１の歪みを圧縮歪みとして加える、請求項 20 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の製作に関し、より具体的には、格子不整合 (lattice-mismatched) のソース領域およびドレイン領域を有する歪み半導体相補型金属酸化膜半導体 (CMOS) トランジスタを形成する装置 (集積回路) および方法に関する。

【背景技術】

【0002】

理論的研究および経験的研究のいずれでも、トランジスタの伝導チャネルに歪みが増えられ、トランジスタによる担体 (キャリア) 移動度が大幅に増加することが立証されている。p 型電界効果トランジスタでは、伝導チャネルに圧縮 (compressive) 縦歪みを加えることは、P F E T の駆動電流を増加するものとして知られている。しかし、その同じ歪みが N F E T の伝導チャネルに加えられた場合、そのパフォーマンスは低下する。

【0003】

これまで、N F E T の伝導チャネルに引張 (tensile) 縦歪みを加え、P F E T の伝導チャネルに圧縮縦歪みを加えることが提案されてきた。このような提案は、チップの P F E T または N F E T 部分のマスキングを伴い、歪みを加えるために浅いトレンチ分離領域で使用される材料を変更する、マスクされたプロセスに焦点を合わせてきた。また、この提案は、スペーサ構造体内に存在する固有応力を調節することに集中させたマスクされたプロセスも含んでいる。

【0004】

シリコン・ゲルマニウムは、歪みシリコン・トランジスタ・チャネルを形成する際に使用するための望ましい格子不整合の半導体である。第１の半導体と第２の半導体が互いに格子不整合になったときに第１の半導体を第２の半導体の単結晶の上に成長させると、歪みが引き起こされる。シリコンとシリコン・ゲルマニウムは、もう一方の上に一方が成長することによって引張または圧縮のいずれかになりうる歪みを発生するように、互いに格子不整合になっている。

【0005】

シリコン・ゲルマニウムは、シリコン結晶構造と位置合せされた結晶構造を有するシリコン上でエピタキシャル成長する。しかし、シリコン・ゲルマニウムは通常、シリコンより大きい結晶構造を有するので、エピタキシャル成長したシリコン・ゲルマニウムは内部で圧縮された状態になる。

【0006】

歪みシリコンを使用する他の提案では、シリコン・ゲルマニウムが基板全体の単結晶層を形成する。このようなケースでは、シリコン・ゲルマニウム層内に転位 (dislocation) を形成することにより、歪みが解放されるので、シリコン・ゲルマニウム層は緩和された層 (relaxed layer) として知られている。緩和された S i G e 結晶領域上で単結晶シリコン層をエピタキシャル成長させると、エピタキシャル成長したシリコン結晶内に引張

10

20

30

40

50

歪みが発生する。この結果、電子移動度が改善され、これによりN F E Tのパフォーマンスを改善することができる。

【0007】

しかし、このような技法ではS i G eが緩和されることが必要であり、これはS i G e層が非常に厚く、すなわち、0.5 ~ 1.0 μm であることが必要である。正孔移動度の改善は獲得しがたいものである。というのは、そのようにするには、S i G e層のゲルマニウムの割合が大きいことが必要であり、その結果、S i G e結晶内に過剰転位が発生し、歩留まりの問題を引き起こす可能性があるからである。さらに、処理コストは極端に高くなる可能性がある。

【0008】

膜の品質を改善するために、段階的G e濃度および化学機械的研磨方法などのその他の技法が使用される。しかし、これらの技法は高いコストおよび高い欠陥密度に悩まされる。

【発明の開示】

【発明が解決しようとする課題】

【0009】

したがって、厚いS i G e結晶領域を使用せずにP F E Tのチャネル領域内に歪みを引き起こすことが望ましいであろう。比較的薄いエピタキシャル成長S i G eを使用してデバイスのチャネル領域内に所望の歪みを引き起こすことが望ましいであろう。

【0010】

さらに、P F E Tのソース領域およびドレイン領域内にS i G eのエピタキシャル層を成長させることにより、P F E Tのチャネル領域内の正孔移動度を増加するように圧縮歪みを引き起こすことが望ましいであろう。

【0011】

さらに、N F E Tのチャネル領域内に同じ歪みを引き起こさずにP F E Tのチャネル領域内に所望の歪みを加えるためのプロセスを提供することが望ましいであろう。

【課題を解決するための手段】

【0012】

本発明の一態様により、集積回路のp型電界効果トランジスタ(P F E T)およびn型電界効果トランジスタ(N F E T)が提供される。第1の歪みは、N F E TではなくP F E Tのみのソースおよびドレイン領域内に配置されたシリコン・ゲルマニウムなどの格子不整合の半導体層を介してN F E TではなくP F E Tのチャネル領域に加えられる。P F E TおよびN F E Tを形成するプロセスが提供される。P F E Tのソース領域およびドレイン領域になるためのエリア内にトレンチがエッチングされ、それに隣接するP F E Tのチャネル領域に歪みを加えるために、格子不整合のシリコン・ゲルマニウム層をそのトレンチ内にエピタキシャル成長させる。

【0013】

本発明の一態様では、シリコン・ゲルマニウム層の上にシリコンの層を成長させ、シリコンの層からサリサイド(salicide)を形成して、低抵抗ソース領域およびドレイン領域を提供することができる。同時に、P F E TおよびN F E Tのゲート導体にサリサイドを形成することができる。

【発明を実施するための最良の形態】

【0014】

図1は、本発明の一実施形態によるp型電界効果トランジスタ(P F E T)およびn型電界効果トランジスタ(N F E T)を示している。図1に図示されている通り、P F E T 10およびN F E T 12は、概して酸化物のトレンチ分離領域17によって分離された基板16の単結晶半導体領域14内に形成される。基板16は、バルク基板である場合もあれば、好ましくは半導体の比較的薄い層が絶縁層18の上に形成されるセミコンダクター・オン・インシュレータ(semiconductor-on-insulator)またはシリコン・オン・インシュレータ(silicon-on-insulator)(S O I)基板である場合もある。電界効果トランジ

10

20

30

40

50

スタ (F E T) がこのような S O I 基板内に形成されると、トランジスタのチャネル領域とバルク基板との接合容量が除去されるので、そうではない場合より高速のスイッチング動作が達成される場合が多い。この基板は、好ましくはバルク単結晶シリコン基板であり、より好ましくは絶縁層の上に単結晶シリコン領域を有するシリコン S O I 基板である。この実施形態および以下の諸実施形態に記載する通り、 I I I - V 族化合物半導体、たとえば、ガリウムヒ素 (G a A s) などの他のタイプの半導体とは対照的に、基板の単結晶シリコン領域内のトランジスタの製作について言及する。

【 0 0 1 5 】

図 1 に示されている通り、 P F E T 1 0 は、ゲート導体のポリシリコン部分 2 6 の下に配置されたチャネル領域 2 0 を含む。ポリシリコン部分 2 6 は好ましくは、約 10^{19} cm^{-3} の濃度まで高濃度ドーピングされている。好ましくは、ポリシリコン部分 2 6 は、作動中に P F E T がオンになったときに存在する p 型伝導チャネルの仕事関数と一致させるために、ホウ素などの p 型ドーパントを含む。また、ゲート導体は好ましくは、ポリシリコン部分 2 6 の上に配置された低抵抗部分 2 8 も含む。低抵抗部分 2 8 は、ポリシリコン部分 2 6 よりかなり低い抵抗を有し、好ましくは金属、金属のシリサイド、またはその両方を含む。好ましい一実施形態では、低抵抗部分 2 8 は、コバルトのシリサイド (C o S i ₂) などのシリサイドを含む。

10

【 0 0 1 6 】

ゲート導体 2 6 の両側の単結晶半導体領域には、1 対のシリサイド化した隆起 (raised) ソース・ドレイン領域 1 1 が配置されている。隆起ソース・ドレイン領域 1 1 のそれぞれは、1 対のスペーサ 2 9、3 0 によってゲート導体 2 6 から位置をずらされている。スペーサ 2 9 および 3 0 はどちらも好ましくは窒化シリコンで形成されるが、スペーサ 3 0 は、その代わりに二酸化シリコンで形成するか、または窒化シリコンと二酸化シリコン層の組み合わせ、たとえば、酸窒化シリコンで形成することができる。

20

【 0 0 1 7 】

第 1 の歪みは、P F E T 1 0 のソース・ドレイン領域 1 1 の下に配置された第 2 の半導体の埋込み単結晶層 2 1 を介してチャネル領域 2 0 に加えられる。第 2 の半導体 2 1 は好ましくは、シリコンと、炭素 (C) またはゲルマニウム (G e) などの 1 つまたは複数の他の 4 族元素とを取り入れた格子不整合半導体である。第 2 の半導体層 2 1 は最も好ましくはシリコン・ゲルマニウムである。第 1 の半導体の層 2 2 は、好ましくはシリコンであり、第 2 の半導体層 2 1 の上に配置されている。好ましくは低抵抗コンタクト層 2 4 は、好ましくはシリサイドであり、第 1 の半導体層 2 2 の上に配置されている。低抵抗層は、好ましくはシリサイドであり、より好ましくはコバルトのシリサイド、すなわち、C o S i ₂ である。

30

【 0 0 1 8 】

P F E T 1 0 のチャネル領域の両側の格子不整合された第 2 の半導体の存在は、チャネル領域 2 0 内に歪みを発生する。好ましくは、この歪みは圧縮歪みである。このような圧縮歪みは、5 0 M P a (メガパスカル) 程度の低い値から数 G P a (ギガパスカル) の範囲にわたる可能性がある。この歪みは、チャネル領域 2 0 内の電荷担体 (チャージ・キャリア) の移動度に対して積極的な効果をもたらし、このような歪みがそれに加えられていない P F E T チャネル領域の移動度の数倍にまで達する可能性がある。

40

【 0 0 1 9 】

第 1 の半導体は好ましくはシリコンであるので、格子不整合された第 2 の半導体は好ましくは、シリコン・ゲルマニウムまたは炭化シリコン (炭化珪素) などの異なる半導体であり、より好ましくは、x および y が百分率であり、x に y を加えると 1 0 0 % になるシリコン・ゲルマニウム (S i _x G e _y) である。x と y との変動の範囲はかなり大きくなる可能性があり、y は例証としては 1 % から 9 9 % まで変動し、このような場合、x はその結果として 9 9 % と 1 % との間で変動する。

【 0 0 2 0 】

代わって、基板 1 4 の単結晶領域は本質的に、x 1 および y 1 が百分率であり、x 1 +

50

$y_1 = 100\%$ である第1の式 $Si_{x_1}Ge_{y_1}$ による割合のシリコン・ゲルマニウムからなる可能性があり、第2の半導体の層は本質的に、 x_2 および y_2 が百分率であり、 $x_2 + y_2 = 100\%$ である第2の式 $Si_{x_2}Ge_{y_2}$ による異なる割合のシリコン・ゲルマニウムからなり、 x_1 は x_2 に等しくなく、 y_1 は y_2 に等しくない。

【0021】

同じく図1に図示されている通り、基板の単結晶領域14にはNFE T 12が設けられている。NFE T 12は、ゲート導体の高濃度ドーピングされたn型ポリシリコン部分42の下に配置されたチャネル領域40を含み、そのゲート導体はNFE T 12の低抵抗部分44の下に配置されている。低抵抗部分44は、PFE T 10の低抵抗部分28のように、金属、シリサイド、またはその両方を含むことができ、最も好ましくはコバルトのシリサイド($CoSi_2$)を含む。

10

【0022】

また、NFE T 12は、1対の低抵抗の隆起ソース・ドレイン・コンタクト領域46を含み、それぞれの領域は好ましくはシリサイドなどの低抵抗材料を含み、最も好ましくはコバルトのシリサイド($CoSi_2$)を含む。好ましくは、隆起ソース・ドレイン・コンタクト領域46のそれぞれは1対のスペーサ47、48によってゲート導体部分42、44から間隔を開けられている。スペーサ47は好ましくは窒化シリコンを含み、スペーサ48は好ましくは窒化シリコン、二酸化シリコン、または窒化シリコンと二酸化シリコンの組み合わせを含む。

【0023】

20

NFE T 12は、そのチャネル領域40に第1の歪み、すなわち、PFE T 10のチャネル領域20に加えられた歪みのタイプおよび大きさの歪みが加えられていない。これは、以下の理由によるものである。第1に、NFE T 12は、主要担体として電子を有するn型伝導チャネルを有する。PFE Tは主要担体として電子ではなく正孔を有するp型伝導チャネルを有するので、NFE T 12は、他のすべてのものが等しいときに、PFE T 10より速いスイッチング速度を有する。正孔は電子より低い移動度を有し、このため、NFE T 12内の方がスイッチング速度が速くなる。したがって、少なくともNFE T 12のスイッチング速度と一致させるために、PFE T 10のスイッチング速度を増加しなければならない。

【0024】

30

第2に、NFE T 12に対して同じ効果を及ぼすとは思われないので、同じタイプおよび大きさの歪みをPFE T 10とNFE T 12の両方に加えることはできない。NFE T 12のチャネル領域40に加えられた圧縮歪みの大きさが大きい場合(たとえば、50 MPa ~ 数GPa)、実際にはその中の電子の移動度を低減することになり、その結果、スイッチング速度が所望の通りより速くなるのではなく、より遅くなるであろう。

【0025】

図2は、基板の単結晶領域114内のPFE T 110の歪みプロファイルを示す図である。PFE T 110は、PFE T 10に関して上述した構造を有し、ゲート導体の両側にチャネル領域120と隆起ソース・ドレイン領域を有し、そのうちの1つの隆起ソース・ドレイン領域111が図示されている。隆起ソース・ドレイン領域111はシリコンの層122の上に配置されたシリサイド領域124を含み、そのシリコンの層122は、シリコン・ゲルマニウムなどの格子不整合された第2の半導体の比較的薄い層121の上に配置されている。次に、この薄い層121は基板の単結晶領域114内に配置されている。

40

【0026】

図2では、基板114内の曲線は、同じ大きさおよびタイプ(すなわち、圧縮であるか引張であるか)の歪みが存在する位置を示している。したがって、線126は、チャネル領域120に加えられた歪みが等しい位置を示している。好ましくは50 MPa ~ 2 GPaの範囲の圧縮歪みがPFE T 110のチャネル領域120のこのような位置に加えられる。より好ましくは、100 MPa ~ 1 GPaの間の圧縮歪みがチャネル領域120に加えられる。最も好ましくは、400 MPaがその歪みに関する所望の目標になるように、

50

200MPa～600MPaの範囲の圧縮歪みがそれに加えられる。ソース・ドレイン領域111では、歪みの大きさおよび方向はチャンネル領域120内の歪みとは非常に異なっている。埋込みSiGe層121では、歪みは1～5GPaの範囲にわたる可能性があり、2.5GPaは所望の歪みをチャンネル領域120に加えるためにPFEETの特定の形状(geometry)および寸法について達成されるおおよその量である。これに反して、SiGe層の上に重なるシリコン層122には、引張歪みが増えられている。ソース・ドレイン領域111内の歪みの特定の大きさはそれほど重要ではない。所望の大きさおよび方向の歪みをPFEETのチャンネル領域120に加えることが実際の目標である。本発明の諸実施形態による処理方法を実行することにより、NFEETではなくPFEETにこのような歪みが増えられる。

10

【0027】

図3は、本発明の一実施形態によるCMOS製作プロセスの第1の段階を示している。この実施形態による処理の結果として、p型電界効果トランジスタ(PFEET)およびn型電界効果トランジスタ(NFEET)が形成される。PFEETでは、格子不整合の半導体層によってチャンネル領域に第1の歪みが増えられる。これに反して、NFEETのチャンネル領域では、格子不整合の半導体層がそれにきわめて接近しているわけではないので、第1の歪みは加えられない。このようにして、依然としてNFEET内の望ましいパフォーマンスを維持しながら、PFEETの担体(キャリア)移動度の増加が達成される。

【0028】

図3は、本発明の一実施形態によりPFEETおよびNFEETを形成するための処理における一段階を示している。図3に示されている通り、PFEETゲート・スタック25およびNFEETゲート・スタック45は、基板の単結晶領域の上に重なって形成される。単結晶領域14は本質的に、シリコンなどの第1の半導体材料からなる。PFEETゲート・スタック25は、単結晶領域14の上に重なるゲート誘電体13と、ゲート導体層26の側壁上に形成された1対のスペーサ29と、絶縁キャップ50とを含む。NFEETゲート・スタック45は、単結晶領域14の上に重なるゲート誘電体13と、ゲート導体層42の側壁上に形成された1対のスペーサ47と、同じく好ましくはテトラエチルオルトシリケート(TEOS)の前駆物質からの酸化物の付着によって形成された絶縁キャップ52とを含む。

20

【0029】

ゲート導体層26、42は好ましくは、高濃度ドーピングされた半導体のみを含み、最も好ましくは、処理のこの段階では高濃度ドーピングされたポリシリコンである。好ましくは、それぞれのPFEETゲート・スタックおよびNFEETゲート・スタックのゲート導体26、42には、すでにこの段階で、望ましい仕事関数を提供するために所望のドーパント・タイプおよび濃度が提供されている。たとえば、PFEETゲート・スタックにはp+ドーピングのゲート導体層26を設けることができ、NFEETゲート・スタックにはn+ドーピングのゲート導体層42を設けることができる。スペーサ29は好ましくは、付着した窒化物から形成され、絶縁キャップ50、52は好ましくは、テトラエチルオルトシリケート(TEOS)の前駆物質からの酸化物の付着によって形成される。

30

【0030】

次に、図4に示されている通り、基板の単結晶領域14の主表面54にはコーティング56が施される。コーティング56は好ましくは、選択的付着プロセスにおいてシリコンの付着を制限できる除去可能材料を付着させることによって施される。好ましくは、この材料は窒化シリコンであり、この材料は好ましくは付着によって施される。次に、図5に示されている通り、マスキング材料58は、基板に施され、PFEETゲート・スタック25の両側の単結晶領域14のエリアではなく、NFEETゲート・スタック45の両側の単結晶領域14のエリアをカバーするようにパターン化される。一実施形態では、マスキング材料は好ましくはフォトレジストである。代わって、マスキング材料は、反射防止膜(ARC:antireflective coating)、スピン・オン・グラス(spin-on-glass)、TEOS前駆物質からの酸化物、あるいは付着させ、その後、除去できるホウケイ酸ガラス(B

40

50

S G : borosilicate glass)、ヒ素ドーブ・ガラス (A S G : arsenic doped glass)、リン酸シリケート・ガラス (P S G : phosphosilicate glass)、またはボロンリン・シリケート・ガラス (B P S G : borophosphosilicate glass) などの様々なドーブ・ガラスなど、後で完全に除去できる、いくつかの周知のエッチングに強い材料のうちの任意の 1 つにすることができる。

【 0 0 3 1 】

その後、単結晶領域 1 4 は、好ましくは反応性イオン・エッチング (R I E) などの異方性垂直エッチング・プロセスにより、P F E T ゲート・スタック 2 5 の両側でエッチングされる。このようなエッチング中に、P F E T ゲート・スタック 2 5 は、P F E T ゲート・スタック 2 5 の下のエリアがエッチングされないように防止するマスクを提供する。N F E T ゲート・スタック 4 5 の両側の単結晶領域 1 4 のエリアは、マスキング層 5 8 およびコーティング 5 6 によって保護されているので、エッチングされない。エッチングの結果として、P F E T ゲート・スタック 2 5 の両側の単結晶領域 1 4 内にトレンチ 6 0 が形成される。トレンチ 6 0 をエッチングした後、時限 (timed) 等方性エッチングなどにより、マスキング層 5 8 が除去される。これは、R I E エッチングの結果として損傷を受けた状態になる可能性のあるトレンチ 6 0 内の単結晶シリコンの部分除去するという影響も及ぼす。

【 0 0 3 2 】

その後、図 6 に示されている通り、トレンチ 6 0 内の単結晶領域 1 4 の第 1 の半導体上に第 2 の半導体の層 6 2 をエピタキシャル成長させる。このエピタキシャル成長プロセスは好ましくは、トレンチ 6 0 内の単結晶半導体上に成長したもの以外の表面上に第 2 の半導体の材料がほとんどまたはまったく付着しないような選択的付着によって実行される。第 2 の半導体は、他の半導体の単結晶領域に接触して成長した層として歪みを引き起こすことができる格子不整合半導体である。

【 0 0 3 3 】

次に、図 7 に示されている通り、コーティング 5 6 が依然として N F E T が形成されるエリアを保護するための所定の位置にある状態で、エピタキシャル成長した第 2 の半導体層 6 2 を基板 1 4 の単結晶領域の主表面 5 4 より下の望ましいレベル 6 4 まで陥凹させる。この陥凹 (recess) ステップは好ましくは、時限異方性反応性イオン・エッチングによって実行される。代わって、この陥凹ステップは、下にあるシリコン単結晶領域に対しては比較的低速でエッチングしながら、露出されたシリコン・ゲルマニウムに対してはエッチングがより高速で進行するような、シリコンに対して選択的な等方性エッチングによって実行することができる。

【 0 0 3 4 】

次に、図 8 に示されている通り、シリコン・ゲルマニウムの陥凹層 6 2 の上に単結晶シリコンの第 2 の層 6 6 をエピタキシャル成長させる。この第 2 の層 6 6 は好ましくは、シリコン・ゲルマニウム層 6 2 の露出エリアおよびトレンチ 6 0 の側壁に沿った単結晶シリコンの露出エリア以外には、シリコンがほとんどまたはまったく付着しないような、選択的エピタキシャル付着として成長させる。したがって、この選択的エピタキシャル付着の結果として、コーティング 5 6 および P F E T ゲート・スタック 2 5 には、シリコンがほとんどまたはまったく付着しない。

【 0 0 3 5 】

次に、図 9 に示されている通り、N F E T ゲート・スタック 4 5 の両側の単結晶領域 1 4 からコーティング 5 6 が除去される。次に、第 2 の対のスペーサ 3 0 は、好ましくは酸化物材料を含み、P F E T ゲート・スタック 2 5 および N F E T ゲート・スタック 4 5 の両側に形成される。スペーサ 3 0 は好ましくは、T E O S 前駆物質からなどの酸化物材料を共形的 (conformally) に付着させ、続いて R I E などの異方性垂直エッチングを行うことによって形成される。このエッチングは好ましくは、シリコンの上部層 6 6 を過度に陥凹させることを回避するように、シリコンに対して選択的に実行される。このエッチング・ステップの結果として、P F E T ゲート・スタック 2 5 および N F E T ゲート・スタ

ック４５から絶縁キャップ５０が除去され、その下のポリシリコン部分２６および４２を露出する。

【００３６】

その後、図９に示されている通り、露出された半導体層６６およびＮＦＥＴゲート・スタック４５の両側の露出された単結晶領域上にシリサイド６８が形成される。同時に、それぞれＰＦＥＴゲート・スタックおよびＮＦＥＴゲート・スタックの露出されたポリシリコン部分２６、４２上にシリサイドが形成される。好ましくは、このシリサイドは、好ましくは処理された基板の上にコバルトの層を付着させることにより自己整合で形成されるコバルトのシリサイド（ CoSi_2 ）（すなわち、「サリサイド」）である。次に、アニーリングを実行して、コバルトと、それに接触しているシリコンとを反応させてシリサイド６８を形成する。次に、処理された基板の残りのエリア、すなわち、スペーサ２９、３０およびトレンチ分離１７から未反応のコバルトが除去される。

【００３７】

図１０～１４は、他の方法の実施形態による歪みチャネル領域ＰＦＥＴおよびＮＦＥＴを有するチップの製作の諸段階を示している。図１０は、ＰＦＥＴゲート・スタック１２５およびＮＦＥＴゲート・スタック１４５の形成後の処理における一段階を示している。これらのゲート・スタックは、図３に関連して上述したものと同一構造を有する。たとえば、ＰＦＥＴゲート・スタックは、ゲート誘電体１１３の上に重なるゲート導体１２６と、窒化物側壁スペーサ１２９と、酸化物絶縁キャップ１５０とを有する。ＮＦＥＴゲート・スタック１４５は同じ構造を有する。トレンチ分離１１７は、その上にＰＦＥＴゲート・スタック１２５およびＮＦＥＴゲート・スタック１４５が配置される基板の単結晶領域１１４のエリア同士の間位置する。

【００３８】

図１０は、図５に示されているものと同様の処理における一段階を示している。共形（conformal）マスキング層１５６は、ＰＦＥＴゲート・スタック１２５およびＮＦＥＴゲート・スタック１４５の上に付着されている。共形マスキング層１５６は好ましくは、二酸化シリコンなどの酸化物を有する。層１５６は、ＰＦＥＴゲート・スタック１２５を囲む単結晶領域１１４のエリアから除去される。これは、ＮＦＥＴゲート・スタック１４５を囲む単結晶領域１１４をブロック・マスキングし、その後、ＲＩＥなどの異方性エッチングを使用して、層１５６および単結晶領域の下にあるエリア１６０を垂直にエッチングすることにより、図５に関して上述したものと同一ように実行することができる。このエッチング中に、エリア１６０は、上述の実施形態ほど深くエッチングされない。むしろ、エリア１６０は部分的にのみエッチングされる。後でこのエッチングは、シリコンの上部層が形成されるレベルを画定することになる。

【００３９】

次に、図示の通りの構造を形成するために、第２の共形マスキング層１７０が付着される。この層１７０は好ましくは、格子不整合半導体を選択的に成長させるその後のステップを阻止することができる共形マスキング層１７０としての窒化シリコンである。次に、図１１に示されている通り、トレンチ１６０の底部からマスキング層１７０を除去するために、ＲＩＥなどの異方性垂直エッチング・プロセスが実行される。このプロセス中に、スペーサ１７２はトレンチ１６０およびゲート・スタック１２５、１４５の側壁上に存続する。このエッチング中に、絶縁キャップ１５０からならびにＮＦＥＴゲート・スタック１４５を囲む単結晶領域１１４のエリア内の第１のマスキング層１５６の上からなど、すべての水平表面からマスキング層１７０が除去される。

【００４０】

このエッチング後に、マスキング層１７０の材料に対して選択的な異方性垂直ＲＩＥによりトレンチ１６０がさらに陥凹され、その結果、図１２に示されている構造が得られる。たとえば、マスキング層１７０が窒化シリコンを含む場合、窒化シリコンに対して選択的にエッチングが実行される。代わって、このステップは、窒化シリコンに対して選択的な等方性エッチングによって実行することができる。

【 0 0 4 1 】

次に、図 1 3 に図示されている通り、トレンチ 1 6 0 内で格子不整合半導体を選択的に成長させる。格子不整合半導体は好ましくはシリコン・ゲルマニウムである。このプロセスにより、シリコン・ゲルマニウムの層 1 7 6 は、スペーサ 1 7 2 のレベルまでトレンチ 1 6 0 の底部および側壁上にエピタキシャル成長するが、他の場所には付着されない。

【 0 0 4 2 】

その後、図 1 4 に示されている通り、マスキング層 1 7 0 およびスペーサ 1 7 2 は、トレンチ 1 6 0 内のシリコンおよびシリコン・ゲルマニウム材料に対して選択的な等方性ウェット剥離プロセスによって除去される。その結果として、トレンチの側壁 1 7 4 に沿った単結晶領域 1 1 4 が露出される。

10

【 0 0 4 3 】

次に、シリコン・ゲルマニウム層 1 7 6 の上にトレンチ 1 6 0 内のシリコンのエピタキシャル層 1 7 8 を選択的に成長させるためのステップが実行される。この結果、図 1 5 に示されている構造が得られるが、これは、酸化物マスキング層 1 5 6 が図 8 の窒化物マスキング層 5 6 の代わりに N F E T ゲート・スタック 1 4 5 の上に存続することを除き、図 8 に示されているものと同様である。

【 0 0 4 4 】

その後、R I E エッチングを使用して、酸化物マスキング材料 1 5 6 を除去することができる。このエッチングにより、窒化物側壁スペーサ 1 2 9 を所定の位置に残しながら、酸化物絶縁キャップ 1 5 0 が除去される。次に、前者のトレンチ 1 6 0 の上のソースおよびドレイン・エリアならびにポリシリコン・ゲート導体層 1 2 6 および 1 4 2 の上部は、図 9 に関連して上述した通り、好ましくはコバルト・シリサイドにより、シリサイド化することができる。

20

【 0 0 4 5 】

図 1 6 ~ 1 8 は、図 9 に関して上述したものに対する代替一実施形態を示している。この代替実施形態は、図 8 または図 1 5 に示されているような処理の一段階から進行する。図 1 6 に示されている通り、この実施形態では、酸化物マスキング層 1 5 6 およびスペーサ 2 9 (または 1 2 9) はポリシリコン・ゲート導体 2 6、4 2 (または 1 2 6、1 4 2) から除去され、新しいスペーサがそれぞれの位置に設けられる。これを行う目的は、シリコン・ゲルマニウムおよびシリコンのエピタキシャル成長プロセスの熱使用量が増加したことによるスペーサの特性の変化 (たとえば、種の合体) によって引き起こされたデバイス・パラメータ・シフトを回避することである。

30

【 0 0 4 6 】

図 1 7 に示されている通り、第 1 のスペーサ 2 3 0 はポリシリコン・ゲート導体 2 2 6、2 4 2 上に形成される。これは好ましくは、窒化シリコンを共形的に付着させ、その後、R I E などにより垂直にエッチングすることによって実行される。次に、P F E T のソースおよびドレイン領域内への (すなわち、P F E T ゲート・スタックのスペーサ 2 3 0 の両側の単結晶領域 1 1 4 のエリア内への) 拡張 (エクステンション) およびハロー注入 (extension and halo implant) が実行される。また、N F E T のソースおよびドレイン領域内への (すなわち、N F E T ゲート・スタックのスペーサ 2 3 0 の両側の単結晶領域 1 1 4 のエリア内への) 拡張およびハロー注入も実行される。拡張およびハロー注入は、それぞれの場合に P F E T および N F E T トランジスタのチャネル領域により近い領域に注入するために、第 1 のスペーサ 2 3 0 のみが所定の位置にある状態で実行される。

40

【 0 0 4 7 】

その後、第 2 のスペーサ 2 3 2 がスペーサ 2 3 0 上に形成され、次に P F E T ソースおよびドレイン領域を形成するために P F E T ゲート・スタックの両側でソースおよびドレイン注入 (インプラント) が実行され、N F E T ソースおよびドレイン領域を形成するために N F E T ゲート・スタックの両側でソースおよびドレイン注入が実行される。このようにして、ソースおよびドレイン注入領域は、トランジスタのチャネル領域から望ましい距離だけ間隔を開けられる。

50

【 0 0 4 8 】

その後、ソースおよびドレイン領域内ならびに P F E T ゲート・スタックおよび N F E T ゲート・スタックのそれぞれのポリシリコン部分 2 2 6 および 2 4 2 の上に、上述のようにサリサイドを形成することができる。

【 0 0 4 9 】

上記では、第 1 の歪みが P F E T のソースおよびドレイン領域内に配置された格子不整合半導体層を介して P F E T のチャネル領域に加えられるような、集積回路の P F E T および N F E T を製作する方法を説明してきた。格子不整合半導体層が N F E T のソースおよびドレイン領域内ではなく、P F E T のソースおよびドレイン領域内にのみ配置されるために、第 1 の歪みは N F E T のチャネル領域には加えられない。

10

【 0 0 5 0 】

格子不整合半導体層が P F E T のみのソースおよびドレイン領域内に配置され、N F E T のソースおよびドレイン領域内には配置されないような、P F E T および N F E T を形成するプロセスについて説明してきた。このプロセスは、N F E T エリアの上に形成されたマスキング層を使用するものであり、P F E T のソースおよびドレイン領域になるようにエリア内にトレンチをエッチングし、その内でシリコン・ゲルマニウム層をエピタキシャル成長させ、次にエピタキシャル成長したシリコン・ゲルマニウム層の上にシリコン層を成長させることを基にしている。

【 0 0 5 1 】

その特定の好ましい諸実施形態に関連して本発明を説明してきたが、当業者であれば、特許請求の範囲のみによって限定される本発明の真の範囲および精神を逸脱せずに行うことができる多くの変更および強化を理解するであろう。

20

【図面の簡単な説明】

【 0 0 5 2 】

【図 1】本発明の一実施形態による P F E T および N F E T を示す図である。

【図 2】本発明の一実施形態による P F E T の歪みプロファイルを示す図である。

【図 3】本発明の一実施形態による P F E T および N F E T の製作の段階を示す図である。

。

【図 4】本発明の一実施形態による P F E T および N F E T の製作の段階を示す図である。

。

【図 5】本発明の一実施形態による P F E T および N F E T の製作の段階を示す図である。

。

【図 6】本発明の一実施形態による P F E T および N F E T の製作の段階を示す図である。

。

【図 7】本発明の一実施形態による P F E T および N F E T の製作の段階を示す図である。

。

【図 8】本発明の一実施形態による P F E T および N F E T の製作の段階を示す図である。

。

【図 9】本発明の一実施形態による P F E T および N F E T の製作の段階を示す図である。

。

【図 1 0】本発明の他の実施形態による P F E T および N F E T の製作の段階を示す図である。

30

【図 1 1】本発明の他の実施形態による P F E T および N F E T の製作の段階を示す図である。

【図 1 2】本発明の他の実施形態による P F E T および N F E T の製作の段階を示す図である。

【図 1 3】本発明の他の実施形態による P F E T および N F E T の製作の段階を示す図である。

【図 1 4】本発明の他の実施形態による P F E T および N F E T の製作の段階を示す図である。

40

50

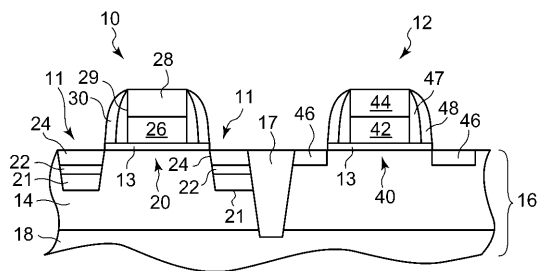
【図 1 5】本発明の他の実施形態による P F E T および N F E T の製作の段階を示す図である。

【図 1 6】本発明のさらに他の実施形態による P F E T および N F E T の製作の段階を示す図である。

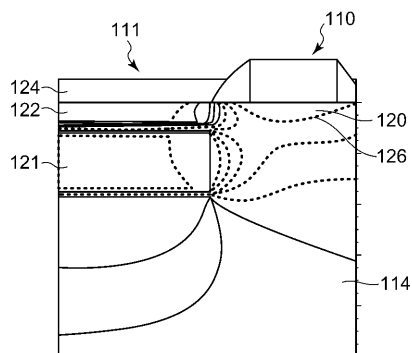
【図 1 7】本発明のさらに他の実施形態による P F E T および N F E T の製作の段階を示す図である。

【図 1 8】本発明のさらに他の実施形態による P F E T および N F E T の製作の段階を示す図である。

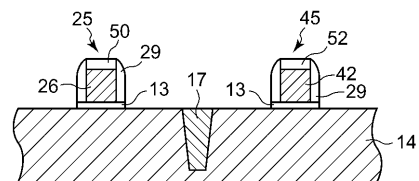
【図 1】



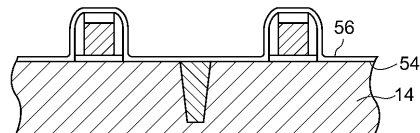
【図 2】



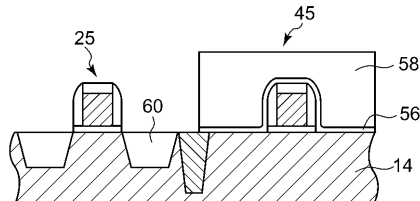
【図 3】



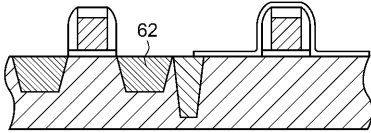
【図 4】



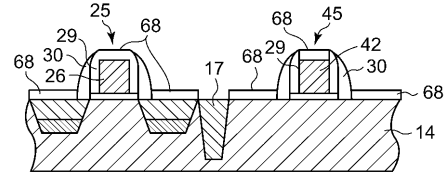
【図 5】



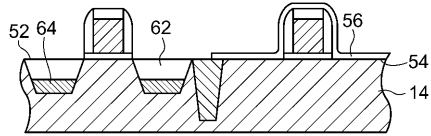
【図 6】



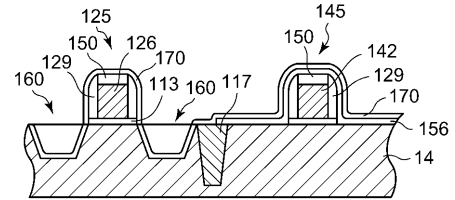
【図 9】



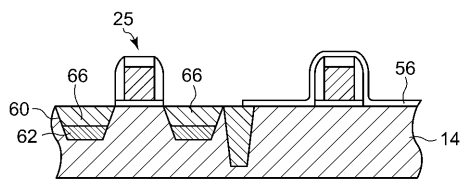
【図 7】



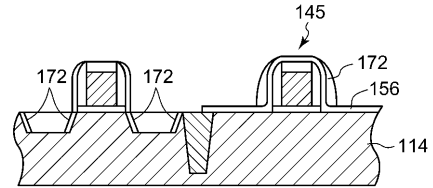
【図 10】



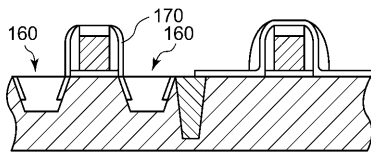
【図 8】



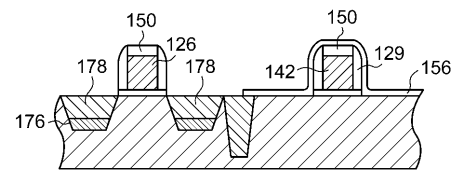
【図 11】



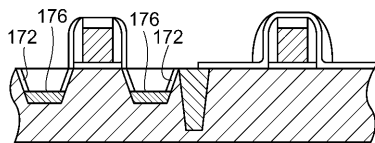
【図 12】



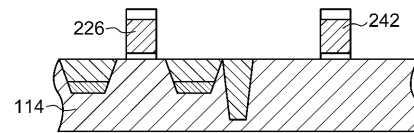
【図 15】



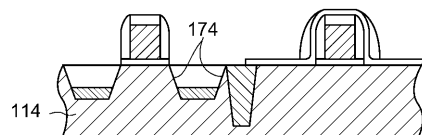
【図 13】



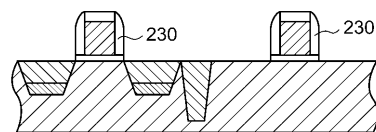
【図 16】



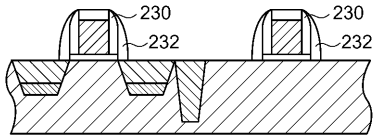
【図 14】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 3 0 1 P

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 チェン、ファジェ

アメリカ合衆国 0 6 8 1 0 コネチカット州ダンバリー アヴァロン・レイク・ロード 6 2 2

(72)発明者 チダンバラオ、デュレセティ

アメリカ合衆国 0 6 8 8 3 コネチカット州ウェストン オールド・ミル・ロード 2 9

(72)発明者 グラシェンコフ、オレグ、ジー

アメリカ合衆国 1 2 6 0 1 ニューヨーク州ポキプシー アカデミー・ストリート 1 6 0 アパートメント # 9 エイチ

(72)発明者 スティーゲン、アン、エル

アメリカ合衆国 0 6 9 0 2 コネチカット州スタンフォード サウスフィールド・アヴェニュー 1 5 0 アpartment 2 4 8 3

(72)発明者 ヤン、ヘイニング、エス

アメリカ合衆国 1 2 5 9 0 ニューヨーク州ワッピングーズ・フォールズ ロビンソン・レーン 3 6

審査官 宇多川 勉

(56)参考文献 米国特許出願公開第 2 0 0 3 / 0 0 8 0 3 6 1 (U S , A 1)

特開平 1 0 - 1 0 7 2 9 4 (J P , A)

特開 2 0 0 1 - 0 5 3 0 2 7 (J P , A)

特開平 1 1 - 1 6 3 3 4 3 (J P , A)

特開 2 0 0 1 - 0 2 4 1 9 4 (J P , A)

特開 2 0 0 4 - 0 3 1 7 5 3 (J P , A)

特開 2 0 0 3 - 1 5 2 1 7 7 (J P , A)

特表平 1 0 - 5 1 1 5 0 6 (J P , A)

特表 2 0 0 1 - 5 0 1 0 3 3 (J P , A)

国際公開第 2 0 0 5 / 0 1 0 9 8 2 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8238

H01L 21/336

H01L 27/092

H01L 27/088

H01L 29/78