

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6834557号
(P6834557)

(45) 発行日 令和3年2月24日 (2021.2.24)

(24) 登録日 令和3年2月8日 (2021.2.8)

(51) Int.Cl. F I
HO 2M 7/493 (2007.01) HO 2M 7/493
HO 2M 7/483 (2007.01) HO 2M 7/483

請求項の数 5 (全 29 頁)

(21) 出願番号	特願2017-22736 (P2017-22736)	(73) 特許権者	000006105
(22) 出願日	平成29年2月10日 (2017.2.10)		株式会社明電舎
(65) 公開番号	特開2018-129968 (P2018-129968A)		東京都品川区大崎2丁目1番1号
(43) 公開日	平成30年8月16日 (2018.8.16)	(74) 代理人	100086232
審査請求日	令和1年12月13日 (2019.12.13)		弁理士 小林 博通
		(74) 代理人	100092613
			弁理士 富岡 潔
		(74) 代理人	100104938
			弁理士 鶴澤 英久
		(72) 発明者	大井 一伸
			東京都品川区大崎2丁目1番1号 株式会
			社明電舎内
		審査官	土井 悠生

最終頁に続く

(54) 【発明の名称】 横流電流抑制制御装置

(57) 【特許請求の範囲】

【請求項1】

直流電圧源にインバータユニットを2つ以上並列接続した電力変換回路における横流電流を抑制する横流電流抑制制御装置であって、

前記インバータユニットは、順次直列接続された第1～第4のスイッチングデバイスと、第1、第2スイッチングデバイスの共通接続点と第3、第4スイッチングデバイスの共通接続点との間に介挿されたフライングキャパシタと、を有し、

前記横流電流抑制制御装置は、

固定値の立ち上がりのゲート遅延指令値をPWM変調器とF C電圧制御器によって生成された前記第1、第4スイッチングデバイスをON/OFFする第1ゲート指令値に付加する第1立ち上がり遅延付加器と、固定値の立ち上がりのゲート遅延指令値をPWM変調器とF C電圧制御器によって生成された前記第2、第3スイッチングデバイスをON/OFFする第2ゲート指令値に付加する第2立ち上がり遅延付加器と、固定値の立ち下りのゲート遅延指令値を前記第1ゲート指令値に付加する第1立ち下り遅延付加器と、固定値の立ち下りのゲート遅延指令値を前記第2ゲート指令値に付加する第2立ち下り遅延付加器と、を第1インバータユニットに設け、

インバータユニット出力電流指令値に横流電流指令値を加算した値から自らのインバータユニット出力電流検出値を減算した値を横流電流としてゲインを乗算する比例アンプと、前記横流電流を入力し前記第1ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第1積分アンプと、前記横流電

10

20

流を入力し前記第1ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第2積分アンプと、前記横流電流を入力し前記第1ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第3積分アンプと、前記横流電流を入力し前記第1ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第4積分アンプと、前記横流電流を入力し前記第2ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第5積分アンプと、前記横流電流を入力し前記第2ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第6積分アンプと、前記横流電流を入力し前記第2ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第7積分アンプと、前記横流電流を入力し前記第2ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第8積分アンプと、を有し、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第1積分アンプの出力とを加算して-1を乗算した値を第1立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第2積分アンプの出力とを加算して-1を乗算した値を第1立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第3積分アンプの出力とを加算した値を第1立ち下りのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第4積分アンプの出力とを加算した値を第1立ち下りのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第5積分アンプの出力とを加算して-1を乗算した値を第2立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第6積分アンプの出力とを加算して-1を乗算した値を第2立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第7積分アンプの出力とを加算した値を第2立ち下りのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第8積分アンプの出力とを加算した値を第2立ち下りのゲート遅延指令値として出力するゲート遅延指令値演算部と、前記第1立ち上がりのゲート遅延指令値を前記第1ゲート指令値に付加する第3立ち上がり遅延付加器と、前記第2立ち上がりのゲート遅延指令値を前記第2ゲート指令値に付加する第4立ち上がり遅延付加器と、前記第1立ち下りのゲート遅延指令値を前記第1ゲート指令値に付加する第3立ち下り遅延付加器と、前記第2立ち下りのゲート遅延指令値を前記第2ゲート指令値に付加する第4立ち下り遅延付加器と、を第2～第N（N＝2以上の整数）インバータユニットにそれぞれ設けたことを特徴とする横流電流抑制制御装置。

【請求項2】

前記インバータユニット出力電流指令値の絶対値がしきい値以下のとき、前記第1～第8積分アンプの更新を停止させることを特徴とする請求項1記載の横流電流抑制制御装置。

【請求項3】

前記インバータユニット出力電流指令値は、全インバータユニットの出力電流検出値の合計値を前記インバータユニットの台数で除算した値とすることを特徴とする請求項1または2記載の横流電流抑制制御装置。

【請求項4】

前記インバータユニット出力電流指令値は、第1インバータユニットの出力電流検出値とすることを特徴とする請求項1または2記載の横流電流抑制制御装置。

【請求項5】

全てのインバータユニットにおいて、横流電流指令値＝0とすることを特徴とする請求項1～4のうち何れかに記載の横流電流抑制制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フライングキャパシタ（以下、F Cと称する）方式によるマルチレベルインバータのユニットを並列接続した電力変換回路に係り、各インバータユニットの電流責務均等化に関する。

【背景技術】

【0002】

特許文献1にはF C方式の3レベルインバータの例が開示されている。図13はこれを複数台並列に接続した電力変換回路の例である。（特許文献1には3相インバータの構成が示されている。それに対して図13では、代表の1相のみのスイッチングデバイスとフライングキャパシタからなる構成を示している。したがって、図13の実際の構成では特許文献1のように3相出力、または単相出力のインバータが並列接続されている。）

表1はF C型3レベルインバータのスイッチングパターンを示す。零電圧を出力するときは、スイッチングデバイスT N 1，T N 3をON、またはスイッチングデバイスT N 2，T N 4をONすることでF Cを導通させる。

【0003】

【表1】

出力電圧	TN1	TN2	TN3	TN4
+E	ON	ON	OFF	OFF
0	ON	OFF	ON	OFF
0	OFF	ON	OFF	ON
-E	OFF	OFF	ON	ON

【0004】

表1の出力電圧は、図13の $VDC = 2E$ 、 $VfC1 = VfC2 = VfC3 = E$ として、VDCの midpoint の電位を基準点とした電圧である。

【0005】

図13に示すように、このようなインバータユニットを複数台並列接続して電力変換回路の大容量化に対応する場合、インバータユニットに個体差があるとユニット間で出力電流に差が生じて横流電流が発生し、電流責務がばらついてしまう。その結果、特定のインバータユニットに発熱が集中し寿命が短くなり、場合によっては過電流や過熱でスイッチング素子に異常が生じる、といった問題が発生する。

【0006】

対策として各インバータユニットに横流抑制リアクトル L_u を接続する方法があるが、コストや重量、損失の増加などの新たな問題が生じる。この問題を解決するため、できる限り横流抑制リアクトル L_u を小さくし、制御により横流を抑制する手法が検討されている。

【0007】

特許文献2は、スイッチングデバイスのゲートタイミング（オンオフ信号のタイミング）を調整して横流を抑制する手法である。この手法は、キャリア頂点における横流電流のみを検出し零にするように動作するという特徴がある。この手法を正しく動作させるためには、以下の条件が必要となる。

（1）基本波の周波数はキャリア三角波の周波数に対して十分小さく、キャリア頂点が出

力電圧 1 パルスの中心にほぼ等しい。

(2) スイッチング素子導通期間中では、電流変化は特許文献 2 の図 3 に示すように傾き一定である。

【0008】

以上の条件を満たせば、キャリア頂点の横流電流は出力電流 1 パルスの横流電流平均値にほぼ等しくなり、キャリア頂点での横流電流を零にすれば出力電流 1 パルスの横流電流平均値も零にできる。

【0009】

特許文献 2 は、F C を搭載しない 2 レベル、3 レベルといったレベル数の低いインバータへの適用を想定し、さらにキャリア三角波の周波数が基本波よりも十分高い場合を想定している。また、スイッチング素子導通期間中に電流を変化させる最大の要因が、素子の電圧降下ずれであることを想定している。以上の想定条件ならば、特許文献 2 の手法を正しく動作させる条件を満たすため、問題なく適用できる。特許文献 2 では、電力変換回路の横流電流抑制制御装置として図 1 4 に示す回路を開示している。

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開 2 0 0 8 - 9 2 6 5 1 号公報

【特許文献 2】特許第 5 9 7 9 2 5 3

【特許文献 3】特許第 3 3 0 1 7 6 1

【特許文献 4】特願 2 0 1 6 - 1 5 1 6 8 7 号

【発明の概要】

【発明が解決しようとする課題】

【0011】

特許文献 2 の手法をそのまま F C 方式インバータに適用すると、横流電流が増加してしまうことがある。原因は、例えば、図 1 3 において零電圧を出力するためスイッチングデバイス T 1 1, T 1 3, T 2 1, T 2 3, T N 1, T N 3 を ON すると、各インバータユニットの F C が横流抑制リアクトル L u を介して並列接続となり、F C と横流抑制リアクトル L u の間で共振回路が形成され、横流電流に共振電流が重畳するためである。

【0012】

また、共振により特許文献 2 の手法が正しく動作するのに必要な条件である「スイッチング素子導通期間中の電流変化は傾き一定」が成立せず、特許文献 2 の手法が誤動作を起こしてしまうことも原因である。

【0013】

図 1 5 に誤動作の例を示す。ここでは、簡単化のためインバータユニットは 2 並列であり出力電流 I i n v 1, I i n v 2 は正、各スイッチングデバイスの特性は等しくスイッチングタイミングは同じで電圧降下も等しいと仮定している。

【0014】

電圧指令値 V r e f とキャリア三角波との最初の交点 1 以前では出力電流 I i n v 1 と出力電流 I i n v 2 は等しいため、交点 1 においてタイミング調整は行われず、スイッチングデバイス T 1 1, T 2 2 は同じタイミングでターン O F F する。そのため交点 1 直後の出力電流 I i n v 1 と出力電流 I i n v 2 は等しい。しかし、スイッチングデバイス T 1 1, T 2 1 が ON, スwitching デバイス T 1 3, T 2 3 の逆並列ダイオードが ON となり共振回路が形成され、例えば出力電流 I i n v 1, I i n v 2 は図 1 5 のような曲線を描いて変化する。

【0015】

キャリア頂点 2 では I i n v 1 > I i n v 2 であるため、特許文献 2 の手法は比例アンプによりスイッチングデバイス T 1 2 のターン ON を遅らせスイッチングデバイス T 2 2 のターン ON を進めることで、出力電流 I i n v 1 の減少と出力電流 I i n v 2 の増加を促す。しかし、電圧指令値 V r e f とキャリア三角波との交点 3 において共振により出力

10

20

30

40

50

電流 I_{inv1} と出力電流 I_{inv2} の大小関係が入れ替わり、比例アンプの補正の結果、逆に出力電流 I_{inv1} と出力電流 I_{inv2} の差（横流電流）が増加してしまう。

【0016】

その後、スイッチングデバイス T_{11} 、 T_{12} 、 T_{21} 、 T_{22} が ON となり、FC は切り離される。そのため交点 3 から交点 5 までの間は共振が発生しない。比例アンプ P はキャリア頂点 4 の電流を検出し、スイッチングデバイス T_{12} のターン OFF を遅らせスイッチングデバイス T_{22} のターン OFF を早めることで、交点 5 直後の横流電流を完全に抑制できる。

【0017】

しかし、交点 5 以降は共振が再び発生する。キャリア頂点 6 では出力電流 I_{inv1} と出力電流 I_{inv2} が等しいため、交点 7 におけるスイッチングでは比例アンプ P によるタイミング調整は行われず、積分アンプ I による調整だけが行われる。

10

【0018】

積分アンプ I はキャリア頂点 4 における横流電流を検出し、横流電流増加の原因をスイッチングデバイス T_{12} のターン ON タイミングが遅すぎ、スイッチングデバイス T_{22} のターン ON タイミングが早すぎるためと仮定に反した誤判断を起こし、交点 7 におけるスイッチングデバイス T_{12} のターン ON タイミングを早め、スイッチングデバイス T_{22} ターン ON タイミングを遅らせる。その結果、出力電流 I_{inv1} の増加と出力電流 I_{inv2} の減少が促され、横流電流はさらに大きくなってしまう。

【0019】

20

対策として、特許文献 4 に示すように、FC と横流抑制リアクトル間の共振周波数をキャリア周波数より十分低くし、電圧指令値を調整してスイッチングの間隔が長くないようにすれば、共振による横流電流の変化は小さくなり、特許文献 2 の手法を適用できる。

【0020】

しかし、共振周波数を下げるため FC の容量やリアクトルの増加が必要となり装置の重量や体積、コストが増加してしまう。また、キャリア周波数を高くするとスイッチング損失が増加し、効率の低下や冷却機構の増強による重量・コストの増加が問題となる。

【0021】

他の対策として、各インバータユニットの FC 電圧を揃え、共振の発生を抑えることも有効である。そのためには、FC の容量が等しければ FC 通過電流を等しくすればよく、横流電流を零に制御することで達成できる。しかし、製造誤差や経年変化、温度変化などにより FC 容量に差が生じると、横流電流を零に制御できたととしても FC 電圧に差が生じ、共振が発生してしまう。

30

【0022】

また、図 16 に示すように各インバータユニットの FC を導線で接続し、FC 電位を共通にすることも考えられる。この場合、一部のスイッチングデバイス (T_{11} と T_{21} 、 T_{14} と T_{24}) は並列接続になる。このとき、素子通過電流の過渡的な差を低減するために、各スイッチングデバイスの導線の長さとその形状を揃え、導線に寄生するインダクタンスをできる限り等しくしなければならない。

40

【0023】

また、インバータのレベル数増加に伴い回路構成が複雑化し、限られた容積で実現しなければならず、主回路の設計が非常に難しくなってしまう。さらに、定常的な通過電流の差を低減するためには、順方向電圧降下 $V_{ce(sat)}$ や逆方向電圧降下 V_f が等しくなるよう並列接続となるスイッチングデバイスの選定を行う必要が生じる。

【0024】

以上示したようなことから、フライングキャパシタを有する電力変換回路の横流電流抑制制御装置において、横流電流を抑制することが課題となる。

【課題を解決するための手段】

【0025】

50

本発明は、前記従来の問題に鑑み、案出されたもので、その一態様は、直流電圧源にインバータユニットを2つ以上並列接続した電力変換回路における横流電流を抑制する横流電流抑制制御装置であって、前記インバータユニットは、順次直列接続された第1～第4のスイッチングデバイスと、第1，第2スイッチングデバイスの共通接続点と第3，第4スイッチングデバイスの共通接続点との間に介挿されたフライングキャパシタと、を有し、前記横流電流抑制制御装置は、固定値の立ち上がりのゲート遅延指令値をPWM変調器とF C電圧制御器によって生成された前記第1，第4スイッチングデバイスをON/OFFする第1ゲート指令値に付加する第1立ち上がり遅延付加器と、固定値の立ち上がりのゲート遅延指令値をPWM変調器とF C電圧制御器によって生成された前記第2，第3スイッチングデバイスをON/OFFする第2ゲート指令値に付加する第2立ち上がり遅延付加器と、固定値の立ち下りのゲート遅延指令値を前記第1ゲート指令値に付加する第1立ち下り遅延付加器と、固定値の立ち下りのゲート遅延指令値を前記第2ゲート指令値に付加する第2立ち下り遅延付加器と、を第1インバータユニットに設け、インバータユニット出力電流指令値に横流電流指令値を加算した値から自らのインバータユニット出力電流検出値を減算した値を横流電流としてゲインを乗算する比例アンプと、前記横流電流を入力し前記第1ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第1積分アンプと、前記横流電流を入力し前記第1ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第2積分アンプと、前記横流電流を入力し前記第1ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第3積分アンプと、前記横流電流を入力し前記第1ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第4積分アンプと、前記横流電流を入力し前記第2ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第5積分アンプと、前記横流電流を入力し前記第2ゲート指令値が0から1に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第6積分アンプと、前記横流電流を入力し前記第2ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が正の時に動作する第7積分アンプと、前記横流電流を入力し前記第2ゲート指令値が1から0に変化した後、かつ、前記インバータユニット出力電流指令値の符号が負の時に動作する第8積分アンプと、を有し、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第1積分アンプの出力とを加算して-1を乗算した値を第1立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第2積分アンプの出力とを加算して-1を乗算した値を第1立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第3積分アンプの出力とを加算した値を第2立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第4積分アンプの出力とを加算した値を第2立ち上がりのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第5積分アンプの出力とを加算して-1を乗算した値を第1立ち下りのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第6積分アンプの出力とを加算して-1を乗算した値を第1立ち下りのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が正の時前記比例アンプの出力と前記第7積分アンプの出力とを加算した値を第2立ち下りのゲート遅延指令値とし、前記インバータユニット出力電流指令値の符号が負の時前記比例アンプの出力と前記第8積分アンプの出力とを加算した値を第2立ち下りのゲート遅延指令値として出力するゲート遅延指令値演算部と、前記第1立ち上がりのゲート遅延指令値を前記第1ゲート指令値に付加する第3立ち上がり遅延付加器と、前記第2立ち上がりのゲート遅延指令値を前記第2ゲート指令値に付加する第4立ち上がり遅延付加器と、前記第1立ち下りのゲート遅延指令値を前記第1ゲート指令値に付加する第3立ち下り遅延付加器と、前記第2立ち下りのゲート遅延指令値

10

20

30

40

50

を前記第2ゲート指令値に付加する第4立ち下がり遅延付加器と、を第2～第N（N＝2以上の整数）インバータユニットにそれぞれ設けたことを特徴とする。

【0026】

また、その一態様として、前記インバータユニット出力電流指令値の絶対値がしきい値以下のとき、前記第1～第8積分アンプの更新を停止させることを特徴とする。

【0027】

また、その一態様として、前記インバータユニット出力電流指令値は、全インバータユニットの出力電流検出値の合計値を前記インバータユニットの台数で除算した値とすることを特徴とする。

【0028】

また、その一態様として、前記インバータユニット出力電流指令値は、第1インバータユニットの出力電流検出値とすることを特徴とする。

【0029】

また、その一態様として、全てのインバータユニットにおいて、横流電流指令値＝0とすることを特徴とする。

【0030】

また、他の態様として、前記第1ゲート指令値と前記第2ゲート指令値が両方同じのとき1を出力する第1排他的論理和素子と、前記第1排他的論理和素子の出力信号を立ち下がりだけ所定時間遅らせる遅延付加器と、第1インバータユニットのフライングキャパシタの電圧検出信号と第2～第Nインバータユニットのフライングキャパシタの電圧検出信号との偏差を演算する減算器と、前記遅延付加器の出力が1ならば前記減算器の出力を出力し、前記遅延付加器の出力が0ならば0を出力する第1スイッチと、前記インバータユニット出力電流指令値の符号を検出する符号検出器と、前記第1インバータユニットのフライングキャパシタの電圧検出信号が直流電圧源の電圧の $1/2$ よりも大きければ1を出力する比較器と、前記符号検出器と前記比較器の出力が両方同じのとき1を出力する第2排他的論理和素子と、前記第2排他的論理和素子の出力が1ならば1を出力し、前記第2排他的論理和素子の出力が0ならば-1を出力する第2スイッチと、前記第1スイッチと前記第2スイッチの出力を乗算する第1乗算器と、前記第1乗算器の出力にフライングキャパシタの容量の逆数を乗算する第2乗算器と、前記第2乗算器の出力に零電圧出力のデューティ比の逆数を乗算する第3乗算器と、前記第3乗算器の出力に上下限值を設けるリミッタと、を備え、前記リミッタの出力を前記横流電流指令値とすることを特徴とする。

【0031】

また、他の態様として、前記インバータユニット出力電流指令値の符号を検出する符号検出器と、第1インバータユニットのフライングキャパシタの電圧検出信号が前記直流電圧源の電圧の $1/2$ よりも大きければ1を出力する比較器と、前記符号検出器と前記比較器の出力が両方同じのとき1を出力する排他的論理和素子と、前記排他的論理和素子の出力が1ならば1を出力し、前記排他的論理和素子の出力が0ならば-1を出力するスイッチと、前記第1インバータユニットの電圧検出信号と第2～第Nインバータユニットの電圧検出信号との偏差を演算する第1減算器と、前記第1減算器の1演算周期前の出力を記憶するバッファと、前記第1減算器の出力から前記バッファの出力を減算する第2減算器と、前記第2減算器の出力に前記スイッチの出力を乗算する第1乗算器と、前記第1乗算器の出力を積分する積分器と、前記積分器の出力に前記インバータユニット出力電流指令値を乗算する第2乗算器と、を備え、前記第2乗算器の出力を前記横流電流指令値とすることを特徴とする。

【0032】

また、他の態様として、前記インバータユニット出力電流指令値の符号を検出する符号検出器と、第1インバータユニットのフライングキャパシタの電圧検出信号が前記直流電圧源の電圧の $1/2$ よりも大きければ1を出力する比較器と、前記符号検出器と前記比較器の出力が両方同じのとき1を出力する第2排他的論理和素子と、前記第2排他的論理和素子の出力が1ならば1を出力し、前記第2排他的論理和素子の出力が0ならば-1を出力

10

20

30

40

50

力する第2スイッチと、前記第1インバータユニットの電圧検出信号と第2～第Nインバータユニットの電圧検出信号との偏差を演算する第1減算器と、前記第1減算器の1演算周期前の出力を記憶するバッファと、前記第1減算器の出力から前記バッファの出力を減算する第2減算器と、前記第2減算器の出力に前記第2スイッチの出力を乗算する第1乗算器と、前記第1乗算器の出力を積分する積分器と、前記積分器の出力に前記インバータユニット出力電流指令値を乗算する第2乗算器と、第1, 第4スイッチングデバイスをON/OFFするゲート指令値と第2, 第3スイッチングデバイスをON/OFFするゲート指令値が両方同じとき1を出力する第1排他的論理和素子と、前記第1排他的論理和素子の出力信号を立ち下がりだけ所定時間遅らせる遅延付加器と、前記遅延付加器の出力が1ならば前記第2乗算器の出力を出力し、前記遅延付加器の出力が0ならば0を出力する第1スイッチと、を備え、前記第1スイッチの出力を前記横流電流指令値とすることを特徴とする。

10

【0033】

また、他の態様として、前記インバータユニット出力電流指令値の符号を検出する符号検出器と、第1インバータユニットのフライングキャパシタの電圧検出信号が前記直流電圧源の電圧の1/2よりも大きければ1を出力する比較器と、前記符号検出器と前記比較器の出力が両方同じるとき1を出力する第2排他的論理和素子と、前記第2排他的論理和素子の出力が1ならば1を出力し、前記第2排他的論理和素子の出力が0ならば-1を出力する第2スイッチと、第1インバータユニットの電圧検出信号と第2～第Nインバータユニットの電圧検出信号との偏差を演算する第1減算器と、前記第1減算器の1演算周期前の出力を記憶するバッファと、前記第1減算器の出力から前記バッファの出力を減算する第2減算器と、前記第2減算器の出力に前記第2スイッチの出力を乗算する第1乗算器と、前記第1乗算器の出力を積分する積分器と、前記積分器の出力に前記インバータユニット出力電流指令値を乗算する第2乗算器と、第1, 第4スイッチングデバイスをON/OFFするゲート指令値と第2, 第3スイッチングデバイスをON/OFFするゲート指令値が両方同じるとき1を出力する第1排他的論理和素子と、前記第1排他的論理和素子の出力信号を立ち下がりだけ所定時間遅らせる遅延付加器と、前記遅延付加器の出力が1ならば前記第1減算器の出力を出力し、前記遅延付加器の出力が0ならば0を出力する第1スイッチと、前記第1スイッチの出力と前記第2スイッチの出力を乗算する第3乗算器と、前記第3乗算器の出力にフライングキャパシタの容量の逆数を乗算する第4乗算器と、前記第4乗算器の出力に零電圧出力のデューティ比の逆数を乗算する第5乗算器と、前記第5乗算器の出力に上下限值を設けるリミッタと、前記第2乗算器の出力と前記リミッタの出力とを加算する加算器と、を備え、前記加算器の出力を横流電流指令値とすることを特徴とする。

20

30

【発明の効果】

【0034】

本発明によれば、フライングキャパシタを有する電力変換回路の横流電流抑制制御装置において、横流電流を抑制することが可能となる。

【図面の簡単な説明】

【0035】

40

【図1】実施形態1における横流電流抑制制御装置を示すブロック図。

【図2】実施形態1におけるFC電圧制御器の構成を示すブロック図。

【図3】実施形態1における横流電流の抑制動作を示すタイムチャート。

【図4】実施形態2における横流電流指令値演算部を示すブロック図。

【図5】実施形態3における横流電流指令値演算部の一例を示すブロック図。

【図6】実施形態3における横流電流指令値演算部の他例を示すブロック図。

【図7】実施形態4における横流電流指令値演算部を示すブロック図。

【図8】実施形態1のインバータユニットをN台に拡張した場合のk台目の横流電流抑制制御装置を示すブロック図。

【図9】実施形態2のインバータユニットをN台に拡張した場合のk台目の横流電流指令

50

値演算部を示すブロック図。

【図10】実施形態3のインバータユニットをN台に拡張した場合のk台目のゲート遅延指令値演算部の一例を示すブロック図。

【図11】実施形態3のインバータユニットをN台に拡張した場合のk台目のゲート遅延指令値演算部の他例を示すブロック図。

【図12】実施形態4のインバータユニットをN台に拡張した場合のk台目のゲート遅延指令値演算部を示すブロック図。

【図13】実施形態1における電力変換回路を示す図。

【図14】従来における横流電流抑制制御装置を示すブロック図。

【図15】従来の横流電流抑制制御装置の動作の一例を示すタイムチャート。

【図16】従来の電力変換回路の他例を示す図。

【発明を実施するための形態】

【0036】

以下、本発明に係る横流電流抑制制御装置の実施形態1～4を図1～図13に基づいて詳述する。

【0037】

〔実施形態1〕

本実施形態1は、図13に示す電力変換回路の横流電流を抑制するものである。図13では直流電圧源VdcにインバータユニットがN台並列接続されているが、本実施形態1では、直流電圧源Vdcにインバータユニットが2台並列接続されているものとする。

【0038】

各インバータユニットは、直流電圧源Vdcに順次直列接続された第1～第4スイッチングデバイスと、第1，第2スイッチングデバイスの共通接続点と第3，第4スイッチングデバイスの共通接続点との間にFCが介挿されている。

【0039】

第2，第3スイッチングデバイスの共通接続点は横流抑制リアクトルLuの一端が接続されている。横流抑制リアクトルLuの他端側には、各インバータユニットの出力電流Iinv1，Iinv2を検出する電流検出器が設けられている。また、各インバータユニットの横流抑制リアクトルLuの他端側同士は接続されており、その接続点には横流抑制リアクトルLuと、インバータユニット出力電流の合計値Iinvを検出するための電流検出器が設けられている。

【0040】

図1に本実施形態1の横流電流抑制制御装置を示す。本実施形態1の横流電流抑制制御装置は、第2インバータユニットを制御対象とした1相あたりの構成である。

【0041】

PWM変調器1は、電圧指令値Vrefとキャリア三角波の振幅を比較することでゲート信号Gref1'，Gref2'を生成する。電圧指令値Vrefはフィードフォワードで与えられる他、図示しないインバータユニットの制御部で演算する電流制御や電圧制御の出力として与えられる場合もある。キャリア三角波は、図示しないインバータユニットの制御部から出力される。

【0042】

FC電圧制御器2は、得られたゲート信号Gref1'，Gref2'と第1インバータユニットのFCの電圧検出信号VFC1や第1インバータユニットの出力電流Iinv1を元に、FC電圧を制御可能なゲート指令値Gref1，Gref2に変換する。

【0043】

ゲート指令値Gref1は、1でスイッチングデバイスT11，T21をONしてスイッチングデバイスT14，T24をOFFすることを意味する。ゲート指令値Gref2は、1でスイッチングデバイスT12，T22をONしてスイッチングデバイスT13，T23をOFFすることを意味する。

【0044】

10

20

30

40

50

遅延指令値 $T D$ は固定値であり、第 1 インバータユニットに出力されるゲート指令値 $G r e f 1$ 、 $G r e f 2$ はこの遅延指令値 $T D$ で指定した値だけ遅延が付加される。通常、遅延指令値 $T D$ はスイッチングデバイスのデッドタイムの $1/10 \sim 1/4$ 程度の値を指定する。遅延付加器 $D e l a y U 1$ は、ゲート指令値 $G r e f 1$ の立ち上がりを遅延指令値 $T D$ だけ遅らせる。遅延付加器 $D e l a y D 1$ は、ゲート指令値 $G r e f 1$ の立ち下りを遅延指令値 $T D$ だけ遅らせる。遅延付加器 $D e l a y U 2$ は、ゲート指令値 $G r e f 2$ の立ち上がりを遅延指令値 $T D$ だけ遅らせる。遅延付加器 $D e l a y D 2$ は、ゲート指令値 $G r e f 2$ の立ち下りを遅延指令値 $T D$ だけ遅らせる。

【0045】

デッドタイム処理器 3 c、3 d は、遅延付加器 $D e l a y D 1$ 、 $D e l a y D 2$ の出力にデッドタイムを付加し、スイッチングデバイス $T 1 1$ 、 $T 1 2$ 、 $T 1 3$ 、 $T 1 4$ のゲート信号を出力する。

10

【0046】

ゲート指令値 $G r e f 1$ 、 $G r e f 2$ はゲート遅延指令値演算部 4 へ出力され、ゲート遅延指令値演算部 4 からは遅延指令値 $D r e f U 1$ 、 $D r e f U 2$ 、 $D r e f D 1$ 、 $D r e f D 2$ が出力される。

【0047】

遅延付加器 $D e l a y U 3$ は、ゲート指令値 $G r e f 1$ の立ち上がりを遅延指令値 $D r e f U 1$ だけ遅らせる。遅延付加器 $D e l a y D 3$ は、ゲート指令値 $G r e f 1$ の立ち下りを遅延指令値 $D r e f D 1$ だけ遅らせる。

20

【0048】

デッドタイム処理器 3 a は遅延付加器 $D e l a y D 3$ の出力にデッドタイムを付加し、スイッチングデバイス $T 2 1$ 、 $T 2 4$ のゲート信号を出力する。

【0049】

遅延付加器 $D e l a y U 4$ はゲート指令値 $G r e f 2$ の立ち上がりを遅延指令値 $D r e f U 2$ だけ遅らせる。遅延付加器 $D e l a y D 4$ は、ゲート指令値 $G r e f 2$ の立ち下りを遅延指令値 $D r e f D 2$ だけ遅らせる。

【0050】

デッドタイム処理器 3 b は、遅延付加器 $D e l a y D 4$ の出力にデッドタイムを付加し、スイッチングデバイス $T 2 2$ 、 $T 2 3$ のゲート信号を出力する

30

デッドタイム処理器 3 a ~ 3 d の出力するゲート信号は、対応するスイッチングデバイスに入力される。

【0051】

ゲート遅延指令値演算部 4 は、以下により構成される。

【0052】

インバータユニット出力電流指令値は、第 1 インバータユニットの出力電流 $I i n v 1$ の検出信号、または、各インバータユニット出力電流の合計値 $I i n v$ の検出信号をユニット並列台数 N で除算した信号 $I i n v / N$ である。

【0053】

絶対値換算器 $A B S$ は、インバータユニット出力電流指令値の絶対値を出力する。比較器 5 は、インバータユニット出力電流指令値の絶対値がしきい値 $I t h$ を超えているか否かを判定する。スイッチ $S W 9$ はインバータユニット出力電流指令値の絶対値がしきい値 $I t h$ を超えていたら閉じる。

40

【0054】

符号検出器 6 は、インバータユニット出力電流指令値の符号を検出し、プラスなら 1、マイナスなら 0 を出力する。符号検出器 6 の出力は、スイッチ $S W 1 1$ 、 $S W 1 2$ 、 $S W 3 1$ 、 $S W 3 2$ 、 $S W 5 1$ 、 $S W 5 2$ 、 $S W 7 1$ 、 $S W 7 2$ に入力される。

【0055】

また、符号検出器 6 の出力は、NOT 回路 7 a ~ 7 d で論理反転をした上でスイッチ $S W 2 1$ 、 $S W 2 2$ 、 $S W 4 1$ 、 $S W 4 2$ 、 $S W 6 1$ 、 $S W 6 2$ 、 $S W 8 1$ 、 $S W 8 2$ に入

50

力される。

【0056】

加算器8は、インバータユニット出力電流指令値と横流電流指令値の和を演算する。本実施形態1では、横流電流指令値は零固定である。減算器9は、加算器8の出力から制御対象ユニットである第2インバータユニットの出力電流 I_{inv2} の検出信号を減算し、偏差を出力する。ローパスフィルタLPFは、偏差から高周波成分のノイズを除去する。ローパスフィルタLPFの出力は、比例アンプPとスイッチSW9に入力される。

【0057】

比例アンプPではローパスフィルタLPFの出力を比例演算して出力する。

【0058】

以下、積分アンプI1、I2の構成を示す。スイッチSW9の出力は、スイッチSW11、SW21に入力される。スイッチSW11は、インバータユニット出力電流指令値の符号がプラスならば閉じる。スイッチSW21は、インバータユニット出力電流指令値の符号がマイナスならば閉じる。スイッチSW11の出力は、積分アンプI1に入力される。

【0059】

積分アンプI1の出力にはスイッチSW12が接続され、スイッチSW12はインバータユニット出力電流指令値の符号がプラスならば閉じる。スイッチSW21の出力は、積分アンプI2に入力される。積分アンプI2の出力にはスイッチSW22が接続され、SW22はユニット出力電流指令値の符号がマイナスならば閉じる。

【0060】

スイッチSW12、SW22の出力は、比例アンプPの出力とともに加算器10aに入力され加算される。加算器10aの出力は-1倍してゲート指令値Gref1の立ち上がり遅延指令値DrefU1となり、遅延付加器DelayU3に入力される。

【0061】

積分アンプI1、I2の動作タイミングについて示す。タイミングを決定する回路は、以下により構成される。

【0062】

バッファZ-1は、ゲート指令値Gref1について、1演算時間の遅延を発生させる。AND素子11aは、ゲート指令値Gref1と、ゲート指令値Gref1の1演算時間前の信号の論理否定と、の論理和を演算し、ゲート指令値Gref1が0から1に変化したときに1演算時間だけ1を出力する。

【0063】

遅延付加器12aは、AND素子11aの出力信号を遅らせる。遅延量は、通常はデッドタイム+TD～デッドタイム×2+TDを指定する。遅延指令値TDは固定値である。遅延量を（デッドタイム+TD～デッドタイム×2+TD）とした理由は後述する。遅延付加器12aの出力によって積分アンプI1、I2は動作する。

【0064】

以上より、積分アンプI1、I2はゲート指令値Gref1が0から1に変化してから遅延付加器で設定された時間（デッドタイム+TD～デッドタイム×2+TD）経過後に1回だけ動作する

積分アンプI3～I8についても同様の構成である。ただし、以下の点が異なる。

【0065】

（動作条件）

- ・積分アンプI1、I2はゲート指令値Gref1が0から1に変化した後に動作する。
- ・積分アンプI3、I4はゲート指令値Gref1が1から0に変化した後に動作する。
- ・積分アンプI5、I6はゲート指令値Gref2が0から1に変化した後に動作する。
- ・積分アンプI7、I8はゲート指令値Gref2が1から0に変化した後に動作する。

【0066】

(比例アンプP出力との加算後の扱い)

- ・積分アンプI 1, I 2の出力は比例アンプPの出力と加算した後、-1倍し遅延指令値D r e f U 1となる。
- ・積分アンプI 3, I 4の出力は比例アンプPの出力と加算し、そのまま遅延指令値D r e f D 1となる。
- ・積分アンプI 5, I 6の出力は比例アンプPの出力と加算した後、-1倍し遅延指令値D r e f U 2となる。
- ・積分アンプI 7, I 8の出力は比例アンプPの出力と加算し、そのまま遅延指令値D r e f D 2となる。

【0067】

10

FC電圧制御器2の例としては特許文献3があり、その一例を図2に示す。

【0068】

比較器c m p 1は、第1インバータユニットのFC電圧検出信号V F C 1がFC電圧指令値(直流電圧源の電圧の $1/2$)V d c / 2よりも大きいかなんかを判定する。比較器c m p 2は、出力電流I i n v 1がプラスであるかなんかを判定する。排他的論理和素子X O R 1は、比較器c m p 1, c m p 2のどちらか片方のみが1の時に1となる信号s e lを出力する。

【0069】

排他的論理和素子X O R 2は、前段のPWM変調器1から出力されたゲート信号G r e f 1', G r e f 2'どちらか片方が1の時に1を出力する。ホールド器H o l dは、ゲート信号G r e f 1', G r e f 2'の両方が1、または両方が0のときに信号s e lをそのまま出力し、ゲート信号G r e f 1', G r e f 2'どちらか片方だけが1の時に前回の出力を保持する。

20

【0070】

OR回路O R 1は、ゲート信号G r e f 1'とホールド器H o l dの論理和を出力する。AND回路A N D 1は、OR回路O R 1とゲート信号G r e f 2'の論理積を出力する。AND回路A N D 1の出力がゲート指令値G r e f 1である。

【0071】

OR回路O R 2は、ゲート信号G r e f 1'とホールド器H o l dの出力の否定の論理和を出力する。AND回路A N D 2は、OR回路O R 2とゲート信号G r e f 2'の論理積を出力する。AND回路A N D 2の出力がゲート指令値G r e f 2である。

30

【0072】

PWM変調器1は、電圧指令値V r e fとキャリア三角波との比較に基づいて、ゲート信号G r e f 1', G r e f 2'を出力する。

【0073】

(作用・動作の説明)

本実施形態1の基本的な動作は、図14に示す特許文献2の従来法のゲート遅延指令値演算部4の動作と同じである。すなわち、横流電流を検出、横流電流の大きさに応じてゲートタイミングを調整することで横流電流を抑制する。

【0074】

40

比例アンプPでスイッチング直前の横流電流を検出し次のスイッチングで横流電流が零になるようスイッチングタイミングを調整する。積分アンプI 1~I 8はスイッチング後の横流電流を検出しスイッチングデバイスの個体差を推定し、積分動作により個体差(立ち上がり時間、立ち下り時間の特性ばらつき)を学習してスイッチングタイミングを調整する。

【0075】

本実施形態1では、1相あたりスイッチングデバイス4個で構成されているFC型3レベルインバータへの適用を目的としている。そのため、特許文献2の実施形態9同様に1相あたりの制御回路では積分アンプI 1~I 8を8個使用する。

【0076】

50

次に、各アンプの動作について説明する。

【0077】

〔比例アンプPによるゲートタイミング調整〕

インバータユニット出力電流指令値と出力電流 I_{inv2} との偏差、すなわち横流電流をローパスフィルタLPFを介して比例アンプに入力し、ゲインをかけた値をゲート指令値の遅延指令値として出力する。横流電流が正の場合は、出力電流 I_{inv2} が指令値よりも小さい状態である。

【0078】

この時、立ち上がり遅延指令値 $DrefU1$ 、 $DrefU2$ は負の値になりゲート指令値の立ち上がりには進みの補正がかかり、立ち下がり遅延指令値 $DrefD1$ 、 $DrefD2$ は正の値になりゲート指令値の立ち下がりには遅れの補正がかかる。これによりインバータユニット2はプラスの電圧を出力する期間が増加するため、出力電流 I_{inv2} の増加を促す。逆に横流電流が負の場合は、出力電流 I_{inv2} の減少を促す。

【0079】

図14の従来法では、比例アンプPの前にキャリア頂点における横流電流を記憶するhold機能を配置し、比例アンプPの出力する遅延指令値はキャリア頂点の横流電流を基に求められている。しかし、本実施形態1のゲート指令値遅延制御部4にhold機能はない。

【0080】

このため、スイッチングが行われる瞬間において比例アンプPから出力される遅延指令値は、スイッチング直前の横流電流が反映された値となる。

【0081】

本実施形態1による比例アンプPの動作を図3に示す。交点3を例に挙げると、本実施形態1ではスイッチング直前の横流電流を基に遅延指令値が演算されるため、 $I_{inv1} < I_{inv2}$ (すなわち負の横流電流) を検出して、スイッチングデバイスT22のターンONは遅れ、出力電流 I_{inv1} の増加と出力電流 I_{inv2} の減少が促され、横流電流を小さくすることができる。一方、特許文献2の構成では前述や図15に示す通り横流電流を拡大させてしまう。

【0082】

〔積分アンプI1によるゲートタイミング調整〕

横流電流がローパスフィルタLPFを介して積分アンプI1に入力され、ゲインをかけ、積算した値をゲートの遅延指令値として出力する。前後のスイッチSW11、SW12は出力電流 I_{inv1} の符号が正の時に閉じるため、積分アンプI1は出力電流符号が正の時だけ積算を行い、指令値を出力する。

【0083】

積分アンプI1の動作タイミングはゲート指令値 $Gref1$ が立ち上がった後であり、出力する遅延指令値は $DrefU1$ となりゲート指令値 $Gref1$ の立ち上がりには反映される。ゲート指令値 $Gref1$ の立ち上がりの時はスイッチングデバイスT21がONに、スイッチングデバイスT24がOFFに変化する。電流符号が正の時、電流はスイッチングデバイスT24の逆並列ダイオードを通過するため、スイッチングデバイスT24がスイッチングしても電流経路は変わらない。積分アンプI1はスイッチングデバイスT21のターンONのタイミング調整を担当する。

【0084】

〔積分アンプI2によるゲートタイミング調整〕

積分アンプI2前後のスイッチSW21、SW22が閉じる条件が、積分アンプI1とは異なり出力電流 I_{inv1} の符号が負の場合である。このとき、電流はスイッチングデバイスT21の逆並列ダイオードを通過する。積分アンプI2はスイッチングデバイスT24のターンOFFのタイミング調整を担当する。

【0085】

〔積分アンプI3によるゲートタイミング調整〕

スイッチSW31, SW32の閉じる条件は、積分アンプI1（スイッチSW11, SW12）と同じである。しかし、動作タイミングはゲート指令値Gref1立ち下がりの後であり、出力する遅延指令値はDrefD1となりゲート指令値Gref1の立ち下がりにより反映される。そのため、積分アンプI3はスイッチングデバイスT21ターンOFFのタイミング調整を担当する。

【0086】

〔積分アンプI4によるゲートタイミング調整〕

同様に、積分アンプI4はスイッチングデバイスT24ターンONのタイミング調整を担当する。

【0087】

〔積分アンプI5～I8〕

各積分アンプの担当を以下に示す。

I5：T22ターンON

I6：T23ターンOFF

I7：T22ターンOFF

I8：T23ターンON

図14の従来法では、積分アンプの動作トリガとしてキャリア頂点信号を入力し積分アンプの動作タイミングをキャリア頂点としていた。しかし、本実施形態1ではゲート指令値Gref1, Gref2に変化があったことを検出し、遅延を加えて積分アンプの動作トリガとしているため積分の動作タイミングはゲート指令値Gref1, Gref2信号の変化直後となる。

【0088】

図3を例にすると、交点3直後では出力電流がプラスでスイッチングデバイスT12, T22がOFFからONに変化（つまり、ゲート指令値Gref2が0から1に変化）しているため、積分アンプI5が動作する。交点3直後では比例アンプPによるゲートタイミング調整の結果残ってしまった横流電流がある。

【0089】

横流電流が残る原因はスイッチングデバイスT12のターンONに比べてスイッチングデバイスT22のターンONが速すぎるためであるが、この横流電流を積分アンプI5が記憶する。そして、次にスイッチングデバイスT12, T22がターンONする交点7においてスイッチングデバイスT22のターンONを少し遅らせる指令を出力し、横流電流を小さくする。

【0090】

特許文献2ではスイッチング後しばらく待ってから横流電流を検出することで、検出した横流電流にスイッチングタイミングずれだけでなく電圧降下に起因する分も重畳させ、積分アンプにタイミングずれと電圧降下ずれ両方を学習させ、まとめて補償する。

【0091】

しかし、FCがあるとスイッチングしない期間の横流電流発生原因として共振が加わる。共振はスイッチング素子の特性ずれが原因ではなくFC電圧ずれが原因であり、スイッチングのたびにFC電圧ずれの大きさが変わるため、共振電流の流れ方もスイッチングのたびに異なり、積分アンプによる学習が誤動作してしまう。

【0092】

そこで、本実施形態1ではスイッチング直後の電流を検出し、補償対象をスイッチングタイミングずれに限定することで、検出信号に共振による横流電流が重畳するのを防ぎ、学習誤動作を抑制することができる。

【0093】

特許文献1で積分アンプが動作するタイミングをゲート信号の変化直後からある程度の遅延時間が経過した後とした理由について説明する。ゲートタイミングを進ませることは実現できないため、基準ユニットである第1インバータユニットのゲートタイミングを固定値TDだけ遅らせ、制御対象ユニットである第2インバータユニットの遅延をTDより

10

20

30

40

50

も小さくすることでゲートタイミングの進みとしている。

【0094】

このため実際のスイッチングは、ゲート指令値 G_{ref1} 、 G_{ref2} の変化よりもおよそ T_D 遅れることになるため、積分アンプの動作を固定値 T_D だけ遅らせる必要がある。また、デッドタイムが入ることを考えれば、実際のスイッチングはゲート指令値 G_{ref1} 、 G_{ref2} の変化よりもさらにデッドタイムだけ遅れる。このため、確実にスイッチングが完了した後の電流を積分アンプに入力するためには、ゲート指令値 G_{ref1} 、 G_{ref2} の変化から最低でも（デッドタイム + T_D ）だけ待つ必要がある。

【0095】

さらに、スイッチングノイズが電流検出信号に重畳することを考えると、ノイズが減衰するまで電流検出を追加で $2\mu s$ ～デッドタイム程度待つことで、ノイズの影響を抑えることができる。

【0096】

スイッチ SW_9 について説明する。スイッチ SW_9 は、出力電流の絶対値が小さいときには開放となり、積分アンプの更新が停止する。これは特許文献2の実施形態3と同じ動作である。出力電流の絶対値が小さいときに積分アンプの更新を停止する理由も以下のように同じである。

- ・電流検出器にオフセットが重畳し電流符号を正しく検出できない恐れがあり、制御回路の誤動作を防ぐため。
- ・出力電流の絶対値が小さければ発生する横流電流も限られ、制御しなくても熱責務への影響が小さくスイッチングデバイスが破壊される恐れがないため。

【0097】

FC電圧制御器2について説明する。FC型3レベルインバータは、NPC型やT型とは異なり、零電圧を出力するスイッチングパターンがスイッチングデバイス T_{11} 、 T_{13} をONするパターンとスイッチングデバイス T_{12} 、 T_{14} をONするパターンの2通りがあり、出力電流の符号に合わせてスイッチングパターンを選択することでFC電圧を制御できることが特許文献3のように知られている。

【0098】

例えば、FCを充電したい場合、出力電流がプラスであればスイッチングデバイス T_{11} 、 T_{13} をON、出力電流がマイナスであればスイッチングデバイス T_{12} 、 T_{14} をONすればよい。この制御を実現するブロックの例を図2に示す。このFC電圧制御器2では、比較器 $cmp1$ によりFC電圧検出信号 V_{FC1} と直流電圧源の電圧の $1/2$ である $V_{dc}/2$ を比較し、比較器 $cmp2$ によりインバータユニット出力電流指令値 I_{inv1} の符号を検出し、排他的論理和素子 $XOR1$ 回路により信号 sel を演算する。

【0099】

こうして得られた信号 sel は、1ならばスイッチングデバイス T_1 、 T_3 をON、0ならばスイッチングデバイス T_2 、 T_4 をONすべきであることを示している。後段のホールド器 $Hold$ は、スイッチング回数の増加を防ぐためゲート信号 $G_{ref1}' = 0$ 、 $G_{ref2}' = 1$ （または、 $G_{ref1}' = 1$ 、 $G_{ref2}' = 0$ ）で零電圧を出力中はOR回路 $OR1$ 、 $OR2$ に入力する信号 sel' が変化しないようにするためのものである。

【0100】

後は、OR回路 $OR1$ 、 $OR2$ 、AND回路 $AND1$ 、 $AND2$ によりゲート指令値 G_{ref1} 、 G_{ref2} を生成する。表2に電圧検出信号 V_{FC1} の大小およびインバータユニット出力電流指令値 I_{inv1} の符号と、得られるゲート指令値 G_{ref1} 、 G_{ref2} 、FC充放電の関係を示す。

【0101】

【表 2】

FC 電圧制御器による Gref1, Gref2 生成結果と FC 充放電の関係

出力電圧	+E	-E	0	0	0	0
VFC1-Vdc/2	*	*	+	+	-	-
Iinv1	*	*	+	-	+	-
sel	*	*	0	1	1	0
Gref1'	1	0	0	0	0	0
Gref2'	1	0	1	1	1	1
Gref1	1	0	0	1	1	0
Gref2	1	0	1	0	0	1
T1	ON	OFF	OFF	ON	ON	OFF
T2	ON	OFF	ON	OFF	OFF	ON
T3	OFF	ON	OFF	ON	ON	OFF
T4	OFF	ON	ON	OFF	OFF	ON
FC1	不変	不変	放電	放電	充電	充電

*: Don't care (どちらでもよい)

【0102】

本実施形態 1 の長所は、F C による共振電流が発生する条件でも制御により横流電流を拡大させることなく、正しく抑制できることである。さらに、スイッチングのたびに横流電流を確実に零にすることで、共振をリセットすることができる。

【0103】

本実施形態 1 には短所もある。積分アンプ I 1 ~ I 8 はスイッチングタイミングの差だけを補償し、電圧降下のずれの補償を行わないため、電圧降下ずれに起因する横流電流は増加してしまう。また、スイッチングが行われない期間の共振を抑制することはできないため、共振による横流電流増加も発生しうる。しかし、特許文献 2 の方法に比べれば共振電流の拡大を抑制できるため横流電流を小さくできる。

【0104】

その他、制御ブロックを構成する上で横流電流の抑制に有効な項目として、スイッチングパターンを全インバータユニットで共通としていることが挙げられる。ユニット並列構成では、それぞれのインバータユニットで零電圧出力時のスイッチングパターンを選択することにより、各ユニットの F C を個別に制御することができる。しかし、同時にスイッチングするスイッチングデバイスの組み合わせが増加してしまい横流電流抑制制御が難しくなってしまう。

【0105】

例えば、インバータユニットを 2 並列とし、現在スイッチングデバイス T 1 1, T 1 2, T 2 1, T 2 2 が ON、各ユニット 2 台は +V d c / 2 の電圧を出力している状態を考える。この状態で零電圧出力に切り替えるため、第 1 インバータユニットはスイッチングデバイス T 1 2 を OFF してスイッチングデバイス T 1 3 を ON する。異なるスイッチングパターンを許容すると、第 2 インバータユニットはスイッチングデバイス T 2 1 を OFF してスイッチングデバイス T 2 4 を ON して零電圧出力に切り替える場合が考えられる。

【0106】

このとき、スイッチングデバイス T 2 1 は、スイッチングデバイス T 1 1 ではなくスイッチングデバイス T 1 2 にタイミングを合わせる必要が生じ、スイッチングデバイス T 2 4 もスイッチングデバイス T 1 4 ではなくスイッチングデバイス T 1 3 にタイミングを合わせなければならない。

【0107】

これに対応するには、スイッチングデバイスT21のターンOFFを担当する積分アンプを、スイッチングデバイスT11基準の積分アンプとT12基準の積分アンプの2個を準備してスイッチングパターンに応じて切り替えなければならず、制御回路が複雑になってしまう。

【0108】

また、スイッチング後には第1インバータユニットのFCと第2インバータユニットのFCが横流抑制リアクトルを介して直列に接続された回路が、直流電圧源に並列に接続された構成になる。

【0109】

このとき、 $VFC1 + VFC2 \neq Vdc$ が成立すると共振が発生してしまう。スイッチングパターンが同じであれば、 $VFC1 = VFC2$ を実現できれば共振を抑制できる。しかし、異なるスイッチングパターンを許可すると、 $VFC1 + VFC2 = Vdc$ まで成立させる必要があり、実現が難しくなってしまう。

【0110】

以上の問題を回避するため、スイッチングパターンは全インバータユニットで共通とした。図1では、FC電圧制御器2には第1インバータユニットのFCの電圧検出信号VFC1の検出値のみを入力し、電圧検出信号VFC1だけが $Vdc/2$ になるようにスイッチングパターンを選択している。この制御回路では、電圧検出信号VFC2を制御することはできない。

【0111】

しかし、電圧検出信号VFC1と電圧検出信号VFC2が異なる場合は、零電圧出力時に共振電流が流れることで電圧検出信号VFC1と電圧検出信号VFC2の差は小さくなる。よって、電圧検出信号VFC2を制御しなくても電圧検出信号VFC2は $Vdc/2$ から大きくずれることはなく、インバータは問題なく運転を継続できる。

【0112】

また、スイッチングパターンを全インバータユニット共通とすることによりFC電圧の検出はインバータユニット1台だけでよくなるため、電圧検出器を削減できコスト低減につながる利点もある。

【0113】

以上示したように、本実施形態1によれば、スイッチング直後の横流電流を零にすることができる。また、FCと横流抑制リアクトルとの間で共振が発生する場合でも、特許文献2の手法とは異なり制御が誤動作せず、横流電流を小さくすることができる。また、FC電圧の検出はユニット1台だけでよいので、電圧検出器を削減しコストを低減することができる。

【0114】

〔実施形態2〕

図4に本実施形態2の横流電流指令値演算部を示す。

【0115】

ゲート指令値Gref1, Gref2は、図1（実施形態1）のFC電圧制御器2から入力する。排他的論理和素子XOR3は、ゲート指令値Gref1, Gref2が両方同じであるときに1を出力する。

【0116】

遅延付加器DelayD5は、排他的論理和素子XOR3の出力信号を、立ち下がりがだけ所定時間遅らせる。

【0117】

減算器13は、第1インバータユニットのFCの電圧検出信号VFC1から第2インバータユニットのFCの電圧検出信号VFC2を減算し、第1インバータユニットのFCの電圧検出信号VFC1と第2インバータユニットのFCの電圧検出信号VFC2との偏差を求める。遅延付加器DelayD5の信号はスイッチSWDに入力され、スイッチSW

10

20

30

40

50

Dは入力が1ならば第1インバータユニットのFCの電圧検出信号VFC1と第2インバータユニットのFCの電圧検出信号VFC2との偏差を出力し、入力が0ならば0を出力する

比較器comp1は、第1インバータユニットのFCの電圧検出信号VFC1が $V_{dc}/2$ を超えているか否かを検出する。符号検出器14は、インバータユニット出力電流指令値(I_{inv1} または I_{inv}/N)の符号が正ならば1を出力し、負ならば0を出力する。

【0118】

排他的論理和素子XOR4は、比較器comp1と符号検出器14の出力が両方同じ場合のみ1をFC制御信号として出力する。このFC制御信号は、第1インバータユニットのFCの電圧検出信号VFC1を $V_{dc}/2$ に近づけるために必要な零電圧出力時のスイッチングパターンを表している。

10

【0119】

FC制御信号は、1ならばスイッチングデバイスT11, T13をONし、0ならばスイッチングデバイスT12, T14をONすることを示している。スイッチSWEはFC制御信号を入力し、入力が1ならば1を出力し、入力が0ならば-1を出力する。乗算器15は、スイッチSWDの出力信号とスイッチSWEの出力信号との積を演算する。

【0120】

乗算器16は、乗算器15の出力と、FC容量CFCの逆数との積を演算する。ここでのFC容量CFCは、キャパシタのデータシート等に記載している定格値を用いる。乗算器17は、電圧指令値Vrefを入力して、零電圧出力のデューティ比($1 - |V_{ref}|$)を求め、この逆数と乗算器16の出力との積を演算する。デューティ比を求める際の除算は演算負荷が大きいため、近似して $1 + |V_{ref}|$ との積を求めてもよい。

20

【0121】

リミッタ18は、電圧指令値Vrefの絶対値が1に近いときに、乗算器出力が異常に大きくなるのを防ぐ。すなわち、リミッタ18は、乗算値17の出力の絶対値が所定値以下となるように、乗算値17の出力に上下限值を設けて、リミッタ18の出力とする。リミッタ18の出力は横流電流指令値となり、図1に示す実施形態1のゲート指令値遅延制御部4に入力される。

【0122】

本実施形態2は、実施形態1では零固定としていた横流電流指令値を変化させることで、実施形態1では実現できない機能であった第2インバータユニットのFCの電圧検出信号VFC2を制御し、第1インバータユニットのFCの電圧検出信号VFC1に合わせる機能を追加した。

30

【0123】

まず、第1インバータユニットのFCの電圧検出信号VFC1と第2インバータユニットのFCの電圧検出信号VFC2の偏差を演算する。次に、零電圧を出力しFCに電流が通流する期間だけ横流電流指令値を出力するよう、スイッチSWDにより切り替えを行う。FCには、ゲート指令値Gref1, Gref2のどちらか片方が1の場合のみ電流が流れ、このときFC電圧の制御ができる。

40

【0124】

そこで、ゲート指令値Gref1, Gref2の両方が0または1の時に横流電流指令値を発生させ、次のスイッチングで指令値通りの横流電流の発生を促す。次のスイッチングでは急峻で大きな電圧指令値の変動がない限り、必ずゲート指令値Gref1, Gref2のうち片方だけが切り替わり、FCに電流が流れるようになる。

【0125】

逆に、ゲート指令値Gref1, Gref2のどちらか片方が1ならば横流電流指令値を0に設定しておき、FCに電流が流れなくなり第2インバータユニットのFCの電圧検出信号VFC2を制御できなくなる次のスイッチングでは余計な横流電流を流さない。

【0126】

50

また、スイッチングパターンに応じてスイッチSWEで符号の切り替えを行う。例えば、 $V_{dc}/2 > V_{FC1} > V_{FC2}$ であり出力電流 I_{inv1} の符号が正、この状態で零電圧を出力する場合を考える。

【0127】

スイッチングデバイス T_{11} 、 T_{21} 、 T_{13} 、 T_{23} をONすると第1インバータユニットのFCの電圧検出信号 V_{FC1} は充電され $V_{dc}/2$ に近づけることができる。スイッチングデバイス T_{12} 、 T_{22} 、 T_{14} 、 T_{24} をONすると第1インバータユニットのFCの電圧検出信号 V_{FC1} は放電され、逆に $V_{dc}/2$ から離れてしまう。

【0128】

このように、スイッチングパターンで充電・放電が切り替わるため、横流電流指令値の符号を適切に切り替える必要がある。先ほどの例では、 $V_{dc}/2 > V_{FC1}$ なので次のスイッチングではFC電圧制御によりスイッチングデバイス T_{11} 、 T_{21} 、 T_{13} 、 T_{23} がONするパターンが必ず選択される。

【0129】

そこで、スイッチSWEを上により切り替え符号をそのままにして横流電流指令値を出力する。 $V_{FC1} > V_{FC2}$ なので横流電流指令値の符号が正となり、出力電流 I_{inv2} の増加が促され、第2インバータユニットのFCの電圧検出信号 V_{FC2} は第1インバータユニットのFCの電圧検出信号 V_{FC1} よりも充電量が大きくなり、第2インバータユニットのFCの電圧検出信号 V_{FC2} を第1インバータユニットのFCの電圧検出信号 V_{FC1} に近づけることができる。

【0130】

そして、符号を調整した後の偏差に $1/C_{FC}$ をかけ、第2インバータユニットのFCの電圧検出信号 V_{FC2} の調整に必要な電流を求める。その後、デューティ比 $(1 - |V_{ref}|)$ の逆数をかける。電圧指令値 V_{ref} が0であればキャリア1周期の間常に零電圧が出力され、発生させた横流電流はすべてFCを通過する。しかし、例えば $V_{ref} = 0.5$ ならばキャリア1周期の間零電圧が出力される期間は半分となるため、第2インバータユニットのFCの電圧検出信号 V_{FC2} を意図通りの電圧とするためには2倍の横流電流を流す必要がある。以上の調整を、零電圧出力のデューティ比の逆数をかけることで行うことができる。

【0131】

最後に、電圧指令値 V_{ref} が1や-1に近い値となったときに横流電流を流しすぎないように指令値をリミッタ18で制限して、ゲート指令値遅延制御部4に出力する。

【0132】

遅延付加器DelayD5について説明する。

【0133】

実施形態1の積分アンプI1～I8は、スイッチング後デッドタイム+TD程度経過してから動作している。積分アンプI1～I8が動作したタイミングで横流電流指令値が0に戻ると、意図的に発生させた横流電流を積分アンプI1～I8が補償してしまい、意図に反して横流電流が流れなくなってしまう。正常に動作させるためには、積分アンプI1～I8が動作したタイミングで横流電流指令値を保持する必要がある。

【0134】

以上を実現するため、遅延付加器DelayD5を設けている。遅延付加器DelayD5の遅延量は、デッドタイム+TDにさらに少し余裕を持たせた値、ノイズ減衰も考えるならばデッドタイム×2+TD程度を設定する必要がある。

【0135】

本実施形態2の効果として、何らかの一時的な外乱によりずれてしまったFC電圧を揃えることができ、共振電流の発生を抑制し横流電流を小さくすることができる。

【0136】

本実施形態2を実施形態1に組み合わせることで、共振の原因であるユニットごとのFC電圧のずれが、突発的な外乱により発生してしまった場合、横流電流を意図的に流すこ

10

20

30

40

50

とでFC電圧のずれを小さくする。そのため共振を抑えることができ、横流電流をより小さくすることができる。

【0137】

〔実施形態3〕

図5に本実施形態3のゲート指令値遅延制御部4に示す。実施形態2と同様の箇所については説明を省略する。

【0138】

スイッチSWEは実施形態2と同じ動作を行う。減算器13は、第1インバータユニットのFCの電圧検出信号VFC1から第2インバータユニットのFCの電圧検出信号VFC2を減算し、第1インバータユニットのFCの電圧検出信号VFC1と第2インバータ
10

【0139】

バッファZ-1は減算器13の出力する偏差を記憶する。減算器19は、減算器13の出力と、バッファZ-1に保存された例えばキャリア1周期前の偏差を減算し、キャリア1周期間の偏差の変動分を求める。

【0140】

乗算器20は、偏差の変動分と、スイッチSWEとの積を求める。積分アンプI9は、乗算器20の出力を入力し、積分演算を行う。乗算器21は積分アンプI9の出力と、インバータユニット出力電流指令値(Iinv1またはIinv/N)との積を演算する。乗算器21の出力は横流電流指令値となり、図4に示す実施形態1のゲート指令値遅延制
20

【0141】

本実施形態3も、実施形態1では零固定としていた横流電流指令値を変化させることで、第2インバータユニットのFCの電圧検出信号VFC2を制御する機能を追加したものである。しかし、実施形態2とは異なり、インバータユニットによるFCの容量ずれ(容量差)を推定し、ずれに応じた横流電流を発生させる。

【0142】

まず、第1インバータユニットのFCの電圧検出信号VFC1と第2インバータユニットのFCの電圧検出信号VFC2の偏差を演算する。次に、バッファZ-1と減算器19によりある一定区間内の変動分を検出する。横流電流抑制制御が正常に動作していれば、
30

【0143】

この電圧変動の差に対して、スイッチSWEを用いて符号を調整する。スイッチSWEの動作は実施形態2と全く同じである。符号を調整した後の電圧変動を積分アンプI9で増幅することにより容量ずれを推定し、得られた容量ずれにインバータ出力電流指令値(Iinv1またはIinv/N)をかけて横流電流指令値とする。

【0144】

本実施形態3の動作を説明する。例えば、 $V_{dc}/2 > V_{FC1}$ で出力電流が正の値、第2インバータユニットのFC容量が第1インバータユニットのFC容量よりも大きく、
40

【0145】

この場合、FCに電流が流れ込み充電が促されるが、第2インバータユニットのFCの電圧検出信号VFC2の増加が第1インバータユニットのFCの電圧検出信号VFC1よりも小さくなり電圧変動は正の値が出力され、スイッチSWEも正となり、正の値が積分アンプI9に入力される。

【0146】

これにより、積分アンプI9の出力値は徐々に大きくなり、横流電流指令値も少しずつ大きくなって出力電流Iinv2の増加が促される。そして、第1インバータユニットの
50

F Cの電圧検出信号V F C 1の変動分と第2インバータユニットのF Cの電圧検出信号V F C 2の変動分が等しくなったところで積分アンプI 9出力値の増加は停止する。

【0147】

本実施形態3には、スイッチングデバイスの電圧降下ずれにより発生する横流電流を低減する効果もある。例えば、 $V_{dc}/2 > V_{FC1}$ で出力電流が正の値、第1インバータユニットのF C容量と第2インバータユニットのF C容量は等しいが第2インバータユニットのスイッチングデバイスの電圧降下が第1インバータユニットよりも大きく電流が通過しにくい場合を考える。

【0148】

このとき、横流電流抑制制御が正常に動作しても第2インバータユニットの出力電流は第1インバータユニットより小さくなる。F Cは充電されるが、第2インバータユニットのF Cの電圧検出信号V F C 2よりも第1インバータユニットのF Cの電圧検出信号V F C 1の方が大きく増加し、変動分は正の値になる。スイッチS W Eも正のため、積分アンプI 9には正の値が入力し、横流電流指令値が少しずつ大きくなり、出力電流I i n v 2の増加が促される。F C容量が同じであるため、出力電流I i n v 1と出力電流I i n v 2が一致したところで積分アンプI 9出力値の増加が停止する。

10

【0149】

本実施形態3は、実施形態2とは異なり零電圧を出力する期間に限らず、常時横流電流を変化させている。これにより、スイッチングデバイスの電圧降下ずれにより発生する横流電流を低減する効果がある。

20

【0150】

例えば、電圧降下ずれの小さいスイッチングデバイスを全ユニットで 사용할 場合には、図6に示すように、実施形態2と同様に排他的論理和素子X O R 3，遅延付加器D 5，スイッチS W Dを追加することで零電圧を出力する期間だけ横流電流が流れるようにすることもできる。このとき、スイッチS W Dを追加する場所は積分アンプI 9よりも後段とする必要がある。

【0151】

具体的には、図6に示すように、排他的論理和素子X O R 3は、ゲート指令値G r e f 1，G r e f 2が両方同じであるとき1を出力する。遅延付加器D e l a y D 5は排他的論理和素子X O R 3の出力信号を立ち下がり時だけ所定時間遅らせる。スイッチS W Dは、遅延付加器D e l a y D 5の出力が1ならば乗算器21の出力を出力し、遅延付加器D e l a y D 5の出力が0ならば0を出力する。このスイッチS W Dの出力が横流電流指令値となる。

30

【0152】

実施形態3の効果として、F Cの容量の差や、スイッチングデバイスの電圧降下のずれといった定常的な外乱に対して、F C電圧のずれを零にすることができ、共振を抑制し横流電流を小さくすることができる。しかし、実施形態2のような一時的な外乱によりずれてしまったF C電圧を揃える機能はない。

【0153】

本実施形態3を実施形態1に組み合わせることで、各インバータユニットのF C電圧の変動分の差を検出し、差が零になるように横流電流を意図的に発生させる。そのため、F C容量のずれやスイッチングデバイスの電圧降下のずれといった定常的な外乱によって発生するF C電圧のずれを零にすることができ、横流電流を小さくすることができる。横流電流の調整にはしばらく時間がかかるが、ある程度の電流が流れる条件ならば自動的に調整を行うことができ、F C容量やスイッチングデバイスの電圧降下の温度変化や経年変化にも追従することができる。

40

【0154】

[実施形態4]

図7に本実施形態4の横流電流抑制制御部を示す。本実施形態4は、単純に実施形態2と実施形態3の横流電流指令値を足し合わせ、新たな横流電流指令値としたものである。

50

【0155】

実施形態2では、一時的な外乱によりずれてしまったFC電圧を揃えることができる反面、定常的な外乱に対してはFC電圧のずれを小さくすることはできるが零にすることはできず、共振が発生してしまう。一方、実施形態3は逆で定常的な外乱を補償できるが一時的な外乱が発生すると横流電流が増加してしまう。

【0156】

そこで、実施形態2と実施形態3の横流電流指令値を足し合わせることで、両方の外乱に対応し横流電流をより小さくすることができる。

【0157】

実施形態2, 3, 4は、FCの容量ずれに比例した横流電流を意図的に流すため、当然ながら共振成分以外の横流電流は増加する。しかし、FCと横流抑制リアクトルとの間で生じる共振電流を抑制できるため、特許文献2の手法をそのまま適用する場合や実施形態1に比べると横流電流を小さく抑えることができる。

【0158】

本実施形態4を実施形態1に組み合わせることで、突発的な外乱と定常的な外乱両方によって発生するFC電圧のずれを零にすることができるため、横流電流をより小さくすることができる。

【0159】

具体的には、図7に示すように、排他的論理和素子XOR3は、ゲート指令値Gref1, Gref2が両方同じであるときに1を出力する。遅延付加器DelayD5は、排他的論理和素子XOR3の出力信号を、立ち下がり時だけ所定時間遅らせる。

【0160】

減算器13は、第1インバータユニットのFCの電圧検出信号VFC1から第2インバータユニットのFCの電圧検出信号VFC2を減算し、第1インバータユニットのFCの電圧検出信号VFC1と第2インバータユニットのFCの電圧検出信号VFC2との偏差を求める。遅延付加器DelayD5の信号はスイッチSWDに入力され、入力が1ならば第1インバータユニットのFCの電圧検出信号VFC1と第2インバータユニットのFCの電圧検出信号VFC2との偏差を出力し、入力が0ならば0を出力する。

比較器comp1は、第1インバータユニットのFCの電圧検出信号VFC1がVdc/2を超えているか否かを検出する。符号検出器14は、インバータユニット出力電流指令値(Iinv1またはIinv/N)の符号が正ならば1を出力し、負ならば0を出力する。

【0161】

排他的論理和素子XOR4は、比較器comp1と符号検出器14の出力が両方同じ場合のみ1をFC制御信号として出力する。スイッチSWEはFC制御信号を入力し、入力が1ならば1を出力し、入力が0ならば-1を出力する。乗算器15は、スイッチSWDの出力信号とスイッチSWEの出力信号との積を演算する。

【0162】

乗算器16は、乗算器15の出力と、FC容量CFCの逆数との積を演算する。乗算器17は、電圧指令値Vrefを入力して、零電圧出力のデューティ比(1-|Vref|)を求め、この逆数と乗算器16の出力との積を演算する。デューティ比を求める際の除算は演算負荷が大きいため、近似して1+|Vref|との積を求めてもよい。

【0163】

リミッタ18は、電圧指令値Vrefの絶対値が1に近いときに、乗算器出力が異常に大きくなるのを防ぐ。

【0164】

バッファZ-1は減算器13の出力する偏差を記憶する。減算器19は、減算器13の出力と、バッファZ-1に保存された例えばキャリア1周期前の偏差を減算し、キャリア1周期間の偏差の変動分を求める。

【0165】

乗算器 20 は、偏差の変動分と、スイッチ SWE との積を求める。積分アンプ I9 は、乗算器 20 の出力を入力し、積分演算を行う。乗算器 21 は積分アンプ I9 の出力と、インバータユニット出力電流指令値 (I_{inv1} または I_{inv}/N) との積を演算する。

【0166】

加算器 22 は、リミッタ 18 と乗算器 21 の出力を加算する。加算器 22 の出力は横流電流指令値となる。

【0167】

以上の実施形態はインバータユニット 2 並列を例に説明した。しかし、3 台以上の任意のインバータユニット台数に拡張することができる。例として、実施形態 1 を N 台以上のインバータユニット並列に拡張した際の k 台目のインバータユニットの制御ブロックを図 8 に示す。ゲート指令値 G_{ref1} , G_{ref2} は図 1 と同様、FC 電圧制御器から出力されるものである。

10

【0168】

これにインバータユニット出力電流指令値 (I_{inv1} または I_{inv}/N) と自身の出力電流 I_{invk} とを比較し図 1 と同じ構成の PI アンプに入力し、遅延指令値を求めゲート指令値 G_{ref1} , G_{ref2} に遅延とデッドタイムを付加したゲート信号 T_{k1} , T_{k2} , T_{k3} , T_{k4} を k 台目のインバータユニットに入力する。横流電流指令値 k は零である。

【0169】

図 9～図 12 は、実施形態 2～4 を N 台のインバータユニット並列に拡張した際の k 台目のインバータユニットのゲート指令値遅延制御部 4 である。基準となる FC の電圧 V_{FC1} と自身の FC 電圧 V_{FCk} とを比較し、得られた偏差は図 7 と全く同じ演算を行う。このようにして得られた結果は横流電流指令値 k となり、図 8 に入力される。

20

【0170】

以上の構成により、3 台以上のインバータユニット並列構成においても FC と横流抑制リアクトルによる共振電流を低減し、横流電流を小さくすることができる。

【0171】

ただし、実施形態 2～4 では、FC 電圧の検出器は全インバータユニットで必要となる。以上の手法は、特許文献 4 と組み合わせ横流電流をさらに小さくすることも可能である。

30

【符号の説明】

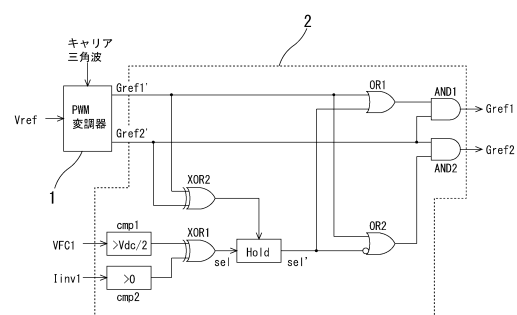
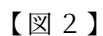
【0172】

- 1 … PWM 変調器
- 2 … FC 電圧制御器
- 3 a～3 d … デッドタイム処理器
- 4 … ゲート遅延指令値演算部
- 5 … 比較器
- 6 … 符号検出器
- 7 a～7 d … NOT 回路
- 8 … 加算器
- 9 … 減算器
- 10 … 加算器
- 11 a～11 d … AND 素子
- 12 a～12 d … 遅延付加器
- 13 … 減算器
- 14 … 符号検出器
- 15 … 乗算器
- 16 … 乗算器
- 17 … 乗算器
- 18 … リミッタ

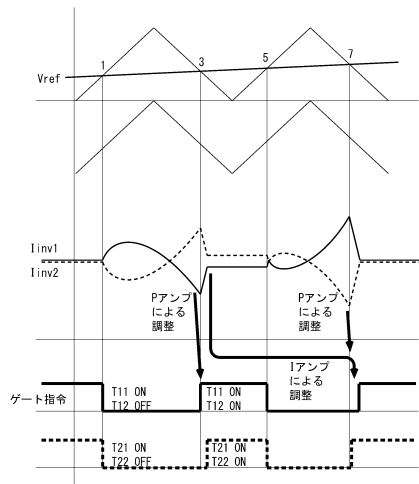
40

50

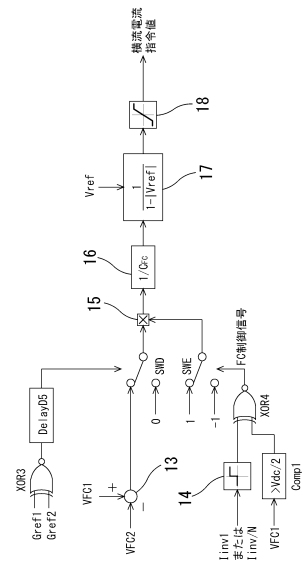
- 【図 1】



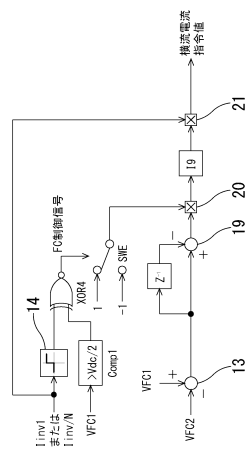
【図 3】



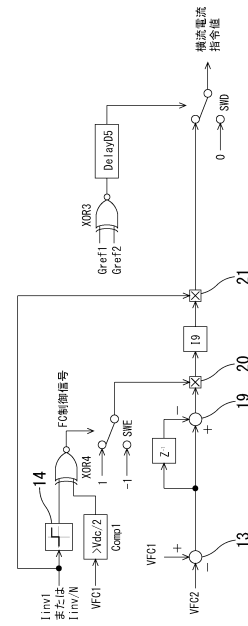
【図 4】



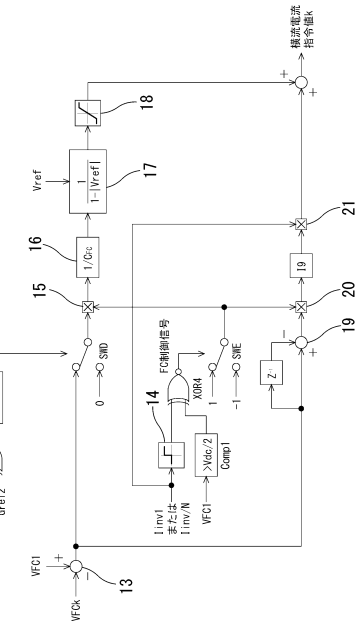
【図 5】



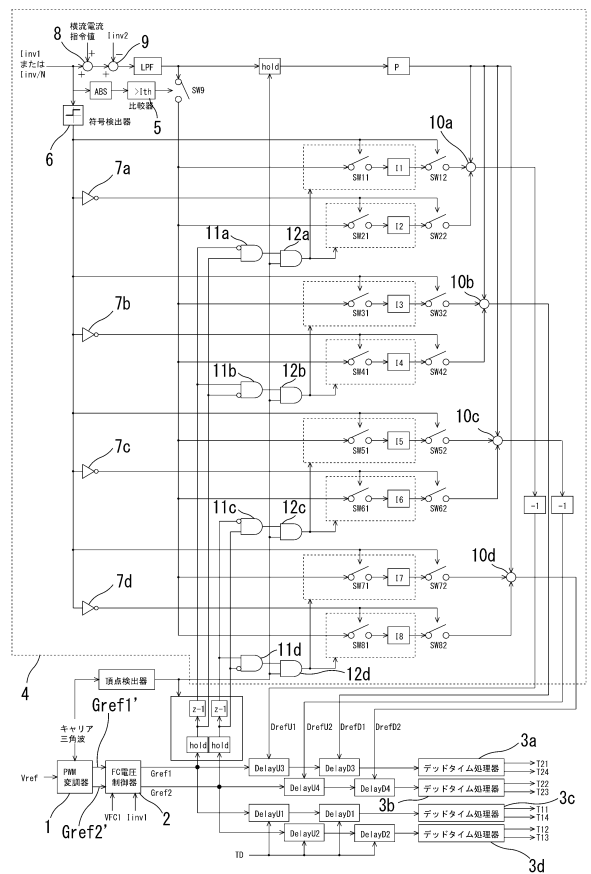
【図 6】



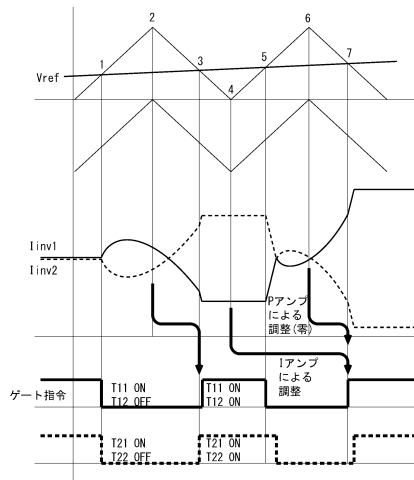
【図 1 2】



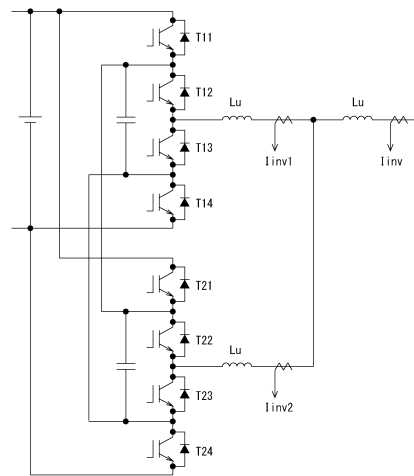
【图 14】



【図 15】



【図 16】



フロントページの続き

- (56)参考文献 国際公開第2014/123199 (WO, A1)
特開2013-240252 (JP, A)
特開2008-092651 (JP, A)
米国特許出願公開第2005/0047182 (US, A1)
中国実用新案第2901688 (CN, Y)

- (58)調査した分野(Int.Cl., DB名)
H02M 7/42-7/98