

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5408954号
(P5408954)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int.Cl.

H01L 27/146 (2006.01)
H04N 5/374 (2011.01)

F 1

H01L 27/14
H04N 5/335 740

請求項の数 10 (全 25 頁)

(21) 出願番号 特願2008-269183 (P2008-269183)
 (22) 出願日 平成20年10月17日 (2008.10.17)
 (65) 公開番号 特開2010-98193 (P2010-98193A)
 (43) 公開日 平成22年4月30日 (2010.4.30)
 審査請求日 平成23年9月13日 (2011.9.13)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】撮像装置、及び撮像システム

(57) 【特許請求の範囲】

【請求項 1】

少なくとも、水平方向に隣接する2つの光電変換部と垂直方向に隣接する2つの光電変換部とを含む複数の光電変換部と、電荷を電圧に変換する電荷電圧変換部と、前記複数の光電変換部で発生した電荷を前記電荷電圧変換部へ転送する複数の転送トランジスタと、前記電荷電圧変換部の電圧に応じた信号を出力する増幅トランジスタと、前記電荷電圧変換部をリセットするリセットトランジスタとをそれぞれ含む複数の画素ユニットが水平方向及び垂直方向に配列された画素ユニット配列を含む撮像領域を有する半導体基板と、

前記複数の画素ユニットのそれぞれにおける前記複数の光電変換部のそれぞれに対する開口領域を規定する多層配線構造と、

を備え、

前記多層配線構造は、

前記複数の光電変換部のそれぞれに対する開口領域の水平方向の輪郭辺を規定するよう、前記半導体基板の上方に配された第1の配線層と、

前記複数の光電変換部のそれぞれに対する開口領域の垂直方向の輪郭辺を規定するよう、前記第1の配線層の上方に配された第2の配線層と、を含み、

前記第2の配線層は、

前記増幅トランジスタから出力された信号を伝達するように垂直方向に延びた複数の垂直信号線と、

前記増幅トランジスタ又は前記リセットトランジスタへ電源電圧を供給するように垂直

10

20

方向に延びた複数の垂直電源線と、を含み、

前記垂直信号線は、前記画素ユニットにおいて水平方向に隣接する前記光電変換部の間の領域の上方を垂直方向に延び、前記垂直電源線は、水平方向に隣接する前記画素ユニットの間の領域の上方を垂直方向に延びていて、

前記垂直電源線は、前記垂直電源線に対して水平方向の第1の側に隣接する前記画素ユニットにおける前記リセットトランジスタへ電源電圧を供給するとともに、前記垂直電源線に対して水平方向の第2の側に隣接する前記画素ユニットにおける前記増幅トランジスタへ電源電圧を供給する

ことを特徴とする撮像装置。

【請求項2】

10

前記第2の配線層は、前記撮像領域における最上の配線層である
ことを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記半導体基板は、

前記撮像領域の周辺に位置し、前記画素ユニット配列から信号を読み出す読み出し部が配される周辺領域をさらに有し、

前記読み出し部は、

前記リセットトランジスタにより前記電荷電圧変換部がリセットされた状態で前記増幅トランジスタにより出力され前記垂直信号線を介して伝達されたノイズレベルをそれぞれ保持する2つのノイズレベル保持容量と、

20

前記光電変換部で発生した電荷が前記転送トランジスタにより前記電荷電圧変換部へ転送された状態で前記増幅トランジスタにより出力され前記垂直信号線を介して伝達された輝度レベルをそれぞれ保持する2つの輝度レベル保持容量と、を含む
ことを特徴とする請求項1又は2に記載の撮像装置。

【請求項4】

前記複数の画素ユニットのそれぞれは、前記画素ユニットを選択状態又は非選択状態にする選択トランジスタをさらに含み、

前記増幅トランジスタと前記リセットトランジスタと前記選択トランジスタとのチャンネル長の方向は、水平方向に沿っている

ことを特徴とする請求項1から3のいずれか1項に記載の撮像装置。

30

【請求項5】

前記第1の配線層は、

前記転送トランジスタのゲートへ制御信号を供給するように、水平方向に延びた転送制御線を含み、

前記転送制御線は、水平方向に隣接する2つ以上の前記画素ユニットに対して共通に設けられている

ことを特徴とする請求項1から4のいずれか1項に記載の撮像装置。

【請求項6】

前記複数の画素ユニットのそれぞれは、前記複数の光電変換部に対応した複数のカラーフィルタをさらに含み、

40

前記複数のカラーフィルタの配列は、ベイヤー配列を形成している

ことを特徴とする請求項1から5のいずれか1項に記載の撮像装置。

【請求項7】

前記垂直電源線の水平方向における一方の側面が、隣接する前記画素ユニットの一方における前記光電変換部に対する前記開口領域の前記輪郭辺を規定し、前記垂直電源線の水平方向における他方の側面が、当該隣接する前記画素ユニットの他方における前記光電変換部に対する前記開口領域の前記輪郭辺を規定するように、前記垂直電源線が配置されている、

ことを特徴とする請求項1から6のいずれか1項に記載の撮像装置。

【請求項8】

50

前記垂直信号線の水平方向における一方の側面が、隣接する前記光電変換部の一方に対する前記開口領域の前記輪郭辺を規定し、前記垂直信号線の水平方向における他方の側面が、当該隣接する前記光電変換部の他方に対する前記開口領域の前記輪郭辺を規定するように、前記垂直信号線が配置されている。

ことを特徴とする請求項 1 から 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記増幅トランジスタおよび前記リセットトランジスタは、水平方向に沿って並ぶよう
に配置されている。

ことを特徴とする請求項 1 から 7 のいずれか 1 項に記載の撮像装置。

【請求項 10】

10

請求項 1 から 9 のいずれか 1 項に記載の撮像装置と、

前記撮像装置の撮像面へ像を形成する光学系と、

前記撮像装置から出力された信号を処理して画像データを生成する信号処理部と、
を備えたことを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置、及び撮像システムに関する。

【背景技術】

【0002】

20

MOSトランジスタを利用した撮像装置であるCMOSセンサでは、特許文献1に示されるように、複数の画素が2次元的に配列されている。各画素では、特許文献1の図2に示すように、フォトダイオードの光電変換部1で光電変換により生成された電荷がフローティングディフェュージョン部(FD部)21へ転送されることにより、FD部21の電位が変化する。各画素は、そのFD部21の電位の変化をソースフォロワアンプMOSトランジスタ5により増幅して垂直出力線へ信号として出力する。

【0003】

特許文献2には、特許文献2の図1に示すように、4つのPD部2, 3, 6, 7が1つのFD部10及び1つの画素アンプトランジスタ24を共有するため、1光電変換セル(91, 92)当たりのラインの数を削減できることが記載されている。

30

【特許文献1】特開平09-046596号公報

【特許文献2】特開2005-167958号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、CMOSセンサの各画素を縮小化する際に問題となるのが、フォトダイオードの開口領域を規定する配線による光の回折である。

【0005】

フォトダイオードの開口領域を規定する配線は、例えば、数百nmから数μm程度の透明な層間絶縁膜を介してフォトダイオードより上方に位置している。この場合、画素ピッチが2μm以下になり、開口領域の幅が入射する波長の2~3倍以下になると、所定の画素に入射した光は、開口領域を規定する配線で回折された後、その一部が隣の画素のフォトダイオードまで届いてしまう。これにより、光学的混色が発生する。

40

【0006】

本発明の目的は、開口領域を規定する配線による回折に起因した光学的混色を低減することにある。

【課題を解決するための手段】

【0007】

本発明の1つの側面は、少なくとも、水平方向に隣接する2つの光電変換部と垂直方向に隣接する2つの光電変換部とを含む複数の光電変換部と、電荷を電圧に変換する電荷電

50

圧変換部と、前記複数の光電変換部で発生した電荷を前記電荷電圧変換部へ転送する複数の転送トランジスタと、前記電荷電圧変換部の電圧に応じた信号を出力する増幅トランジスタと、前記電荷電圧変換部をリセットするリセットトランジスタとをそれぞれ含む複数の画素ユニットが水平方向及び垂直方向に配列された画素ユニット配列を含む撮像領域を有する半導体基板と、前記複数の画素ユニットのそれぞれにおける前記複数の光電変換部のそれぞれに対する開口領域を規定する多層配線構造と、を備え、前記多層配線構造は、前記複数の光電変換部のそれぞれに対する開口領域の水平方向の輪郭辺を規定するよう、前記半導体基板の上方に配された第1の配線層と、前記複数の光電変換部のそれぞれに対する開口領域の垂直方向の輪郭辺を規定するよう、前記第1の配線層の上方に配された第2の配線層と、を含み、前記第2の配線層は、前記増幅トランジスタから出力された信号を伝達するよう垂直方向に伸びた複数の垂直信号線と、前記増幅トランジスタ又は前記リセットトランジスタへ電源電圧を供給するよう垂直方向に伸びた複数の垂直電源線と、を含み、前記垂直信号線は、前記画素ユニットにおいて水平方向に隣接する前記光電変換部の間の領域の上方を垂直方向に伸び、前記垂直電源線は、水平方向に隣接する前記画素ユニットの間の領域の上方を垂直方向に伸びていて、前記垂直電源線は、前記垂直電源線に対して水平方向の第1の側に隣接する前記画素ユニットにおける前記リセットトランジスタへ電源電圧を供給するとともに、前記垂直電源線に対して水平方向の第2の側に隣接する前記画素ユニットにおける前記増幅トランジスタへ電源電圧を供給する。

【0008】

本発明の第2側面に係る撮像システムは、本発明の第1側面に係る撮像装置と、前記撮像装置の撮像面へ像を形成する光学系と、前記撮像装置から出力された信号を処理して画像データを生成する信号処理部とを備えたことを特徴とする。

【発明の効果】

【0009】

本発明によれば、開口領域を規定する配線による回折に起因した光学的混色を低減することができる。

【発明を実施するための最良の形態】

【0010】

まず、本発明の課題を詳細に説明する。

【0011】

上述のように、CMOSセンサの各画素を縮小化する際に問題となるのが、フォトダイオードの開口領域を規定する配線による光の回折である。

【0012】

フォトダイオードの開口領域を規定する配線は、例えば、数百nmから数μm程度の透明な層間絶縁膜を介してフォトダイオードより上方に位置している。この場合、画素ピッチが2μm以下になり、開口領域の幅が入射する波長の2~3倍以下になると、所定の画素に入射した光は、開口領域を規定する配線で回折された後、その一部が隣の画素のフォトダイオードまで届いてしまう。これにより、光学的混色が発生する。

【0013】

ここで、本発明者は、この回折による光の広がりが、回折を生じさせる配線から離れるにしたがい大きくなることに着目し、フォトダイオードから遠い配線による回折が問題になることを見出した。例えば、撮像領域の配線層を、フォトダイオードに近い第1層配線と、フォトダイオードから遠い第2層配線のみで形成したとする。この場合、本発明者は、フォトダイオードから遠い第2層配線におけるラインの本数を減らし、開口領域の幅を広げることにより、開口領域を規定する配線による回折拡がりが小さくなり、フォトダイオードに光を集められるのではないかと考えた。

【0014】

また、本発明者は次のような課題も見出した。すなわち、画素ピッチの小さいCMOSセンサでは、オンチップマイクロレンズの回折限界により、光をフォトダイオード上に集めきれないことがある。例えば、フォトダイオードの受光面の法線方向から透視した場合

10

20

30

40

50

にフォトダイオードの受光面上に配線が張り出していると、フォトダイオードへ向けて入射した配線による光のけられが大きくなるので、フォトダイオードの感度が小さくなる可能性がある。

【0015】

さらに、本発明者は次のような課題も見出した。各画素においてフォトダイオードの上方にベイヤー配列に従ったカラーフィルタを設けた場合、隣接した同色の画素の間で感度差が起こることがある。この感度差を補正をすることは困難であり、この感度差があると再生した画像が隣接する画素間で輝度ムラを含むものとなり再現性の悪いものとなってしまう。

【0016】

例えば、特許文献2の図1のように画素(PD部)を配置すると、単板式カラーCMOSエリアセンサの場合、隣接する同色の画素の間で感度差が生じる。なぜなら、カラーフィルタの配列がベイヤー配列に従っている場合、特許文献2の図1における同じ列にあるPD部5とPD部7との上方には通常同じ色(例えば赤)のカラーフィルタが配置される。すなわち、PD部5とPD部7とには同じ色の光が入射するが、PD部5とPD部7とではレイアウトが同じにならない。つまり、PD部5で発生した信号が入力される画素アンプトランジスタ23と、PD部7で発生した信号が入力される画素アンプトランジスタ24とは、それぞれ違う出力信号(VO)線38、39に接続されている。このため、PD部に対する配線のレイアウトが同色の隣接する画素(PD部)間で異なることになるので、それらの画素から出力される信号における感度差を招いてしまう。このレイアウトの違いによる感度差は、特許文献2の図17に示す撮像領域201における周辺部で大きくなるため、撮像領域で撮像された画像の再現性を悪くするという問題を発生させる。

10

【0017】

次に、本発明の第1実施形態に係る撮像装置100の回路構成を、図1及び図8を用いて説明する。図1及び図8は、本発明の第1実施形態に係る撮像装置100の回路構成を示す図である。

【0018】

撮像装置100は、画素ユニット配列10、駆動部20、及び読み出し部30を備える。

【0019】

画素ユニット配列10は、後述の半導体基板SBにおける撮像領域IAに配される。駆動部20及び読み出し部30は、半導体基板SBにおける周辺領域PAに配される。周辺領域PAは、撮像領域IAの周辺に位置する領域である。

30

【0020】

画素ユニット配列10では、複数の画素ユニットPU11～PU33が水平方向及び垂直方向に配列されている。図1には、3行×3列の画素ユニットPU11～PU33で構成された画素ユニット配列10が例示されている。各画素ユニットPU11～PU33は、複数の画素が部分的に共通化された構成をしている。図1には、4画素が部分的に共通化された画素ユニットPU11～PU33を例示している。すなわち、図1には、6行×6列の36画素の撮像領域を表しているが、実際の撮像領域には、数百万以上の画素が配される。

40

【0021】

駆動部20は、画素ユニット配列10を駆動する。駆動部20は、垂直走査回路107を含む。垂直走査回路107は、画素ユニット配列10を垂直方向に走査することにより、画素ユニット配列10における所定の画素行を選択し、選択された画素行の各画素を駆動する。

【0022】

読み出し部30は、画素ユニット配列10における駆動部20により選択された画素行から信号を読み出す。読み出し部30は、ラインメモリLM、水平走査回路124、及び出力アンプ123を含む。ラインメモリLMは、選択された画素行から信号を読み出しき

50

時的に保持する。水平走査回路 124 は、ラインメモリにより保持された画素行における各列の信号を順次に選択して出力アンプ 123 へ転送する。出力アンプ 123 は、転送された各列の信号から画像信号を生成して出力する。

【0023】

ここで、ラインメモリ LM は、主として、2つのノイズレベル保持容量 CTNA、CTNB と2つの輝度レベル保持容量 CTS A、CTS B とを、垂直信号線ごとに含む(図8 参照)。各ノイズレベル保持容量 CTNA、CTNB は、後述のノイズレベルの信号を保持する。各輝度レベル保持容量 CTS A、CTS B は、後述の輝度レベルの信号を保持する。

【0024】

次に、画素ユニット配列 10 の回路構成を説明する。以下では、画素ユニット PU12 の構成を例示的に説明するが、他の画素ユニット PU11 ~ PU33 の構成も、画素ユニット PU12 の構成と同様である。

【0025】

画素ユニット PU12 は、複数の光電変換部 PD1-1 ~ PD1-4、電荷電圧変換部 FD1、複数の転送トランジスタ M1-1 ~ M1-4、増幅トランジスタ M1-6、及びリセットトランジスタ M1-7 を含む。画素ユニット PU12 では、4つの光電変換部 PD1-1 ~ PD1-4 と4つの転送トランジスタ M1-1 ~ M1-4 とに対して電荷電圧変換部 FD1、リセットトランジスタ M1-7、増幅トランジスタ M1-6 及び選択トランジスタ M1-5 が共通化されている。

【0026】

各光電変換部 PD1-1 ~ PD1-4 は、光に応じた電荷を発生させて蓄積する。光電変換部 PD1-1 ~ PD1-4 は、例えば、フォトダイオードである。

【0027】

複数の転送トランジスタ M1-1 ~ M1-4 は、複数の光電変換部 PD1-1 ~ PD1-4 で発生した電荷を電荷電圧変換部 FD1 へ転送する。すなわち、転送トランジスタ M1-1 は、垂直走査回路 107 から転送制御線 TX¹1_3 経由でアクティブな制御信号がゲートに供給された際にオンすることにより、光電変換部 PD1-1 で発生した電荷を電荷電圧変換部 FD1 へ転送する。転送トランジスタ M1-2 は、垂直走査回路 107 から転送制御線 TX¹2_4 経由でアクティブな制御信号がゲートに供給された際にオンすることにより、光電変換部 PD1-2 で発生した電荷を電荷電圧変換部 FD1 へ転送する。転送トランジスタ M1-3 は、垂直走査回路 107 から転送制御線 TX²1_3 経由でアクティブな制御信号がゲートに供給された際にオンすることにより、光電変換部 PD1-3 で発生した電荷を電荷電圧変換部 FD1 へ転送する。転送トランジスタ M1-4 は、垂直走査回路 107 から転送制御線 TX²2_4 経由でアクティブな制御信号がゲートに供給された際にオンすることにより、光電変換部 PD1-4 で発生した電荷を電荷電圧変換部 FD1 へ転送する。

【0028】

電荷電圧変換部 FD1 は、転送された電荷を電圧に変換する。電荷電圧変換部 FD1 は、例えば、フローティングディフュージョンである。

【0029】

リセットトランジスタ M1-7 は、電荷電圧変換部 FD1 をリセットする。すなわち、リセットトランジスタ M1-7 は、垂直走査回路 107 からリセット制御線 RES1 経由でアクティブな制御信号がゲートに供給された際にオンする。これにより、リセットトランジスタ M1-7 は、垂直電源線 102-3 からドレインに供給された電源電圧 Vdd に応じた電位に電荷電圧変換部 FD1 をリセットする。

【0030】

増幅トランジスタ M1-6 は、電荷電圧変換部 FD1 の電圧に応じた信号を出力する。増幅トランジスタ M1-6 は、垂直電源線 102-2 からドレインに供給された電源電圧 Vdd に応じて垂直信号線 103-2 に接続された負荷電流源 111 とともにソースフォ

10

20

30

40

50

ロワ動作を行う。これにより、増幅トランジスタM1 - 6は、電荷電圧変換部FD1の電圧に応じた信号を垂直信号線103 - 2へ出力する。増幅トランジスタM1 - 6は、リセットトランジスタM1 - 7により電荷電圧変換部FD1がリセットされた状態で、電荷電圧変換部FD1の電圧に応じたノイズレベルの信号を垂直信号線103 - 2へ出力する。増幅トランジスタM1 - 6は、光電変換部PD1 - 1 ~ PD1 - 4で発生した電荷が転送トランジスタM1 - 1 ~ M1 - 4により電荷電圧変換部FD1へ転送された状態で、電荷電圧変換部FD1の電圧に応じた輝度レベルの信号を垂直信号線103 - 2へ出力する。

【0031】

選択トランジスタM1 - 5は、画素ユニットPU12を選択状態／非選択状態にする。すなわち、選択トランジスタM1 - 5は、垂直走査回路107から選択制御線SEL1経由でアクティブな制御信号が供給された際にオンすることにより、画素ユニットPU12を選択状態／非選択状態にする。

【0032】

次に、撮像装置100の断面構成の概略を、図3を用いて説明する。

【0033】

撮像装置100は、半導体基板SB及び多層配線構造MWSを備える。半導体基板SBは、撮像領域IAと周辺領域PAとを有する。多層配線構造MWSは、第1の絶縁層IL1、第1の配線層ML1、第2の絶縁層IL2、第2の配線層ML2、及び第3の絶縁層IL3を含む。

【0034】

第1の絶縁層IL1は、半導体基板SBの上に配されている。第1の絶縁層IL1は、半導体基板SBと第1の配線層ML1とを絶縁する。

【0035】

第1の配線層ML1は、複数の光電変換部のそれぞれに対する開口領域の水平方向の輪郭辺を規定するように、第1の絶縁層IL1の上すなわち半導体基板SBの上方に配されている。第1の配線層ML1は、例えば、光電変換部PD1 - 2に対する開口領域OAの水平方向の輪郭辺OAS1, OAS2を規定する(図5参照)。第1の配線層ML1は、例えば、アルミニウムを主成分とする金属又は金属間化合物で形成されている。

【0036】

第2の絶縁層IL2は、第1の配線層ML1を覆うように第1の配線層ML1の上に配されている。第2の絶縁層IL2は、第1の配線層ML1と第2の配線層ML2とを絶縁する。

【0037】

第2の配線層ML2は、複数の光電変換部のそれぞれに対する開口領域の垂直方向の輪郭辺を規定するように、第2の絶縁層IL2の上すなわち第1の配線層ML1の上方に配されている。第2の配線層ML2は、例えば、光電変換部PD1 - 2に対する開口領域OAの垂直方向の輪郭辺OAS3, OAS4を規定する(図5参照)。第2の配線層ML2は、撮像領域IAにおける最上の配線層である。第2の配線層ML2は、例えば、アルミニウムを主成分とする金属又は金属間化合物で形成されている。

【0038】

第3の絶縁層IL3は、第2の配線層ML2を覆うように第2の配線層ML2の上に配されている。第3の絶縁層IL3は、第2の配線層ML2と上層(層内レンズ、平坦化層など)とを絶縁する。

【0039】

次に、画素ユニット配列10と駆動部20との間を水平方向に延びた各ライン(線)について、図1を用いて説明する。

【0040】

TX¹1_3、TX¹2_4、TX²1_3、TX²2_4、TX³1_3、TX³2_4、TX⁴1_3、TX⁴2_4は転送制御線である。RES1、RES2、RES3はリセット制御線である。SEL1、SEL2、SEL3は選択制御線である。これらの

10

20

30

40

50

ラインは、第1の配線層ML1(図3参照)として形成されている。

【0041】

各転送制御線TX¹1_3～TX⁴2_4は、垂直方向に隣接する画素ユニットの間を延びてあり、垂直方向に隣接する転送トランジスタのゲートに対して共通の制御信号を供給するように構成されている。また、各転送制御線TX¹1_3～TX⁴2_4は、水平方向に隣接する画素ユニットにおける対応した転送トランジスタのゲートに対して共通の制御信号を供給するように構成されている。

【0042】

各リセット制御線RES1～RES3は、垂直方向に隣接する画素ユニットの間を延びてあり、垂直方向に隣接するリセットトランジスタのゲートに対して共通の制御信号を供給するように構成されている。また、各リセット制御線RES1～RES3は、水平方向に隣接する画素ユニットにおける対応したリセットトランジスタのゲートに対して共通の制御信号を供給するように構成されている。

【0043】

各選択制御線SEL1～SEL3は、垂直方向に隣接する画素ユニットの間を延びてあり、垂直方向に隣接する選択トランジスタのゲートに対して共通の制御信号を供給するように構成されている。また、各選択制御線RES1～RES3は、水平方向に隣接する画素ユニットにおける対応した選択トランジスタのゲートに対して共通の制御信号を供給するように構成されている。

【0044】

このように、第1の配線層ML1におけるラインが共通化されているので、第1の配線層ML1におけるラインの数が低減されている。

【0045】

次に、画素ユニット配列10と読み出し部30との間を垂直方向に延びた各ライン(線)について、図1を用いて説明する。

【0046】

102-1, 102-2, 102-3は垂直電源線である。103-1, 103-2, 103-3は垂直信号線である。垂直電源線102-1～102-3と垂直信号線103-1～103-3とは、水平方向へ交互に繰り返し配列されている。これらのラインは、第2の配線層ML2(図3参照)として形成されている。

【0047】

各垂直電源線102-1～102-3は、画素ユニットの増幅トランジスタ又はリセットトランジスタへ電源を供給するように、水平方向に隣接する2つの画素ユニットの間を垂直方向に延びている。各垂直電源線102-1～102-3は、第1の側(図1における左側)の画素ユニットにおけるリセットトランジスタへ電源電圧を供給し、第2の側(図1における右側)の画素ユニットにおける増幅トランジスタへ電源電圧を供給する。すなわち、各垂直電源線102-1～102-3は、第1の側に配されたリセットトランジスタと第2の側に配された増幅トランジスタとに対して共通の電源電圧を供給するように構成されている。これにより、画素ユニットでは、水平方向の第1の側に隣接する画素ユニットとの間を延びた第1の垂直電源線から増幅トランジスタへ電源電圧が供給される。また、画素ユニットでは、水平方向の第2の側に隣接する画素ユニットとの間を延びた第2の垂直電源線からリセットトランジスタへ電源電圧が供給される。

【0048】

各垂直信号線103-1～103-3は、画素ユニットの増幅トランジスタから出力された信号を伝達するように、画素ユニットにおける複数の光電変換部の間を垂直方向に延びている。各垂直信号線103-1～103-3は、画素ユニットにおける複数の光電変換部に対して共通の信号線となっているとともに、画素ユニット配列における垂直方向に並んだ画素ユニットに対して共通の信号線となっている。

【0049】

このように、第2の配線層ML2におけるラインが共通化されるとともに均等に(等間

10

20

30

40

50

隔に)配されているので、第2の配線層ML2におけるラインの数が低減されている。すなわち、多層配線構造MWSでは、撮像領域IAにおける最上の配線層(図3参照)である第2の配線層ML2におけるラインの数が低減されている。これにより、光電変換部の開口領域(例えば、図5に示す開口領域OA)の幅を広く確保することができるので、開口領域を規定する配線による光の回折を抑制することができる。これにより、開口領域を規定する配線による回折に起因した光学的混色を低減することができる。

【0050】

次に、画素ユニットPU12及びその周辺のレイアウト構成を、図2を用いて説明する。図2は、画素ユニットPU12及びその周辺において第2の配線層ML2、スルーホール115、第1の配線層ML1(図3参照)を取り去って見た場合の平面図である。

10

【0051】

図2において、149-1、149-2、149-3はシェアードコンタクトである。150-1、150-2は多結晶シリコン領域である。116-1、116-2、116-3、116-4、116-5はコンタクトである。144-1はアクティブ領域とフィールド酸化領域の境界である。142-1、142-2、142-3はフィールド酸化領域である。145-1、145-2、145-3、145-4はアクティブ領域である。

【0052】

アクティブ領域145-1は、それぞれ、光電変換部PD1-1～PD1-4が形成された領域である。アクティブ領域145-2は、MOSトランジスタ(例えば、選択トランジスタM1-5、増幅トランジスタM1-6、リセットトランジスタM1-7)が形成された領域である。アクティブ領域145-3は、電荷電圧変換部FD1が形成された領域である。電荷電圧変換部FD1は、不純物を含む半導体領域として形成されている。フィールド酸化領域142は、アクティブ領域145の素子分離を行うように配されている。例えば、アクティブ領域とフィールド酸化領域との境界144-1の左側には、光電変換部PD1-2を含むアクティブ領域145-1がある。境界144-1の右側にはフィールド酸化領域142-1がある。

20

【0053】

次に、画素ユニットPU12及びその周辺の断面構成を、図3を用いて説明する。図3は、図2の平面図におけるB-B'線で切った断面図である。

30

【0054】

図3において、118の網掛けパターンはp型領域、119の網掛けパターンはn型領域を表す。また、143-1、143-2はソース領域、147、148は共通ドレイン領域、113-7、113-8、113-9は第1の配線層におけるパターン、115-1、115-2、115-3はスルーホールである。他の符号は、図1及び図2と同様である。

【0055】

コンタクト116-3は、第1の配線層におけるパターン113-7と、リセットトランジスタM0-7(図1参照)及び選択トランジスタM1-5の共通ドレイン領域147とを電気的に接続している。

40

【0056】

コンタクト116-4は、第1の配線層におけるパターン113-8と、増幅トランジスタM1-6のソース領域143-1とを電気的に接続している。

【0057】

コンタクト116-5は、第1の配線層におけるパターン113-9と、リセットトランジスタM1-7及び選択トランジスタM4-5の共通ドレイン領域147とを電気的に接続している。

【0058】

スルーホール115-1は、第1の配線層におけるパターン113-7と第2の配線層におけるラインからなる垂直電源線102-2とを電気的に接続している。スルーホール115-2は、第1の配線層におけるパターン113-8と第2の配線層におけるライン

50

からなる垂直信号線 103-2 を電気的に接続している。スルーホール 115-3 は、第1の配線層におけるパターン 113-9 と第2の配線層におけるラインからなる垂直電源線 102-3 を電気的に接続している。

【0059】

すなわち、図2及び図3に示すように、増幅トランジスタとリセットトランジスタと選択トランジスタとのチャンネル長の方向は、垂直信号線と垂直電源線とが伸びた方向に交差する方向、すなわち水平方向に沿っている。このように配置した結果、電源電圧 Vdd が、共通ドレイン領域 147 と 148 とへ、それぞれ別の垂直電源線 102 と 102-3 から供給される。この電源電圧 Vdd は、1~5V が望ましく、さらに望ましくは、2.5~3.3V である。

10

【0060】

以上のように配置することによって、増幅トランジスタ M1-6 のソース領域 143-1 が、垂直電源線 102-2 と垂直電源線 102-3 とのちょうど中間付近の下に配される。このため、図3の断面図で示されるように、コンタクト 116-4、第1の配線層におけるパターン 113-8、スルーホール 115-2 介してソース領域 143-1 に接続される第2の配線層における垂直信号線 103 を、画素境界 137-2 上に配置できる。これにより、画素の1列につき垂直方向の配線が1本になるようにレイアウトすることができ、第2の配線層における垂直電源線と垂直信号線とを等間隔となるようにレイアウトすることができる。このことは、後で詳述するが光の回折が起こってしまう縮小化画素では、大きな効果をもたらす。

20

【0061】

図3の断面図で示すとおり、シェアードコンタクト 149-2 は、リセットトランジスタ M1-7 のソース領域 143-2 と多結晶シリコン領域 150-2 とを電気的に接続している。図2の平面図で示されるように、多結晶シリコン領域 150-2 は、多結晶シリコン領域からなる増幅トランジスタ M1-6 のゲート電極に多結晶シリコン配線で電気的に接続されている。

【0062】

シェアードコンタクト 149-1 は、多結晶シリコン領域 150-2 と電荷電圧変換部 FD1 とを電気的に接続している。

30

【0063】

多結晶シリコン領域 150-1 は、転送トランジスタ M1-3 のゲート電極になっており、コンタクト 116-2 を介して第1の配線層におけるライン 113-5（図2及び図4参照）と接続されている。

【0064】

本実施形態において、電気的に接続された電荷電圧変換部（フローティングディフュージョン）はひとつの電荷電圧変換部とみなす。つまり、図2において、アクティブ領域 145-3 とアクティブ領域 145-4 とは、シェアードコンタクト 149-3、多結晶シリコン領域 142-3、シェアードコンタクト 149-1 によって接続されているので、1つの電荷電圧変換部 FD1 とみなす。

40

【0065】

図4は、図2の平面図に対して、スルーホール 115 及び第1の配線層 ML1 をさらに配置した場合の平面図である。

【0066】

図4において、転送制御線 TX¹1_3、TX¹2_4、TX²1_3、TX²2_4 は、それぞれ、第1の配線層 ML1 におけるライン 113-1、113-2、113-5、113-6 から構成される。

【0067】

選択制御線 SEL1、リセット制御線 RES1 は、それぞれ、第1の配線層 ML1 におけるライン 113-3、113-4 から構成される。

【0068】

50

スルーホール 115-1、115-2、115-3 の下部には、第 1 の配線層 M L 1 における島状のパターン 113-7、113-8、113-9 がある。

【0069】

次に、画素ユニットにおける電荷の転送を、光電変換部 P D 1 - 3 に注目して説明する。

【0070】

光電変換部 P D 1 - 3 における蓄積される電荷の数は、光電変換部 P D 1 - 3 の受光面が照射された光量に応じて増える。転送トランジスタ M 1 - 3 は、転送制御線 T X² 1 - 3 を介してアクティブな制御信号（パルス）がゲートに入力されたとき、オンする。これにより、光電変換部 P D 1 - 3 で蓄積された電荷が、電荷電圧変換部 F D 1 に完全転送される。電荷電圧変換部 F D 1 は、寄生容量を有しているので、光電変換部 P D 1 - 3 から転送された電荷の数に応じて、その電位が変化する。10

【0071】

図 5 は、図 4 の平面図に対して、第 2 の配線層 M L 2 をさらに配置した場合の平面図である。

【0072】

図 5において、垂直電源線 102-2、垂直信号線 103-2、垂直電源線 102-3 は、第 2 の配線層 M L 2 におけるラインである。

【0073】

垂直電源線 102-2 は、光電変換部 P D 1 - 1、P D 1 - 3、P D 2 - 1 の左側に配置される。垂直電源線 102-3 は、光電変換部 P D 1 - 2、P D 1 - 4、P D 2 - 2 の右側に垂直方向に配置される。また、垂直信号線 103-2 は、光電変換部 P D 1 - 1、P D 1 - 3、P D 2 - 1 の右側で、光電変換部 P D 1 - 2、P D 1 - 4、P D 2 - 2 の左側、つまり両者の間に配置される。20

【0074】

本実施形態では、撮像装置は、例えば単板式のカラー CMOS エリアセンサであるため、カラーフィルタを第 2 の配線層におけるラインの上層に配置している。このカラーフィルタについて説明する。

【0075】

図 6 は、図 5 の平面図に対してカラーフィルタを被せた場合の平面図である。30

【0076】

図 6において、132 は、ブルー（B）の光を選択的に透過するカラーフィルタカラーフィルタである。133 は、レッド（R）の光を選択的に透過するカラーフィルタである。134、135 は、グリーン（G_r, G_b）の光を選択的に透過するカラーフィルタである。

【0077】

図 6 の示されるように、カラーフィルタの配置は、ベイヤー配列を形成している。このベイヤー配列は、カラー画像の分解能を高める上で役立っており、ほとんどの単板型エリアセンサで採用されている。ここで、グリーンカラーフィルタ 134 が配された画素は、水平方向にブルー（B）の画素が隣接しているという意味で G_b 画素と呼ばれ、グリーンカラーフィルタ 135 が配された画素は、水平方向にレッド（R）の画素が隣接しているという意味で G_r 画素と呼ぶ。40

【0078】

ここで、図 1 の等価回路図と、図 2、図 4、図 5 で示した撮像領域の平面図で示したように、本実施形態の画素の繰り返し周期は、2 行 2 列の 4 画素周期である。図 6 のようにベイヤー配列も 2 行 2 列の 4 画素周期であるため、本実施形態の画素はベイヤー配列に適している。画素ユニット配列における各画素ユニットは、複数の光電変換部に対応した複数のカラーフィルタをさらに含んでいる。各カラーフィルタは、光電変換部に所定の色（波長）の光が入射するように、その所定の色（波長）の光を選択的に透過する。

【0079】

具体的には、ブルーカラーフィルタ 132 が配された画素は、撮像領域全体にわたり、画素ユニット内における相対的な位置が同じになる、すなわち同じレイアウトになる。レッドカラーフィルタ 133 が配された画素は、撮像領域全体にわたり必ず同じレイアウトである。また、G_b 画素も撮像領域全体にわたり必ず同じレイアウトであり、G_r 画素も撮像領域全体にわたり必ず同じレイアウトである。このため、隣接する同色の画素間で感度差を招くことを抑制できる。

【0080】

本実施形態では、光学的混色を、隣接画素間の光の混じり合いと定義している。本実施形態をモノクロのエリアセンサ、三板式などのエリアセンサに適用しても、隣接する画素間の光の混じり合いを防ぐことができるので、センサの実質解像度を高めるという効果がある。10

【0081】

図 7 は、図 5 の平面図の A A' 線で切った場合の断面図である。

【0082】

図 7において、129 はシリコン基板と層間絶縁膜の境界、137 は、画素境界、138 は、オンチップマイクロレンズ、139 は、光束、140 は、平坦化樹脂層、141 は層内レンズを表す。他の符号は、図 1 から図 6 と同様である。

【0083】

光電変換部 P D 1 - 2 の上部の右側には、第 2 の配線層 M L 2 におけるラインとして垂直電源線 102 - 3 の 1 本のみのが配されている。光電変換部 P D 1 - 2 の上部の左側には、第 2 の配線層 M L 2 におけるラインとして垂直信号線 103 - 2 の 1 本のみが配されている。このため、撮像装置全体では、画素 1 列あたり 1 本の第 2 の配線層におけるラインが配されているということになる。この結果、従来の画素 1 列あたり 1.5 本以上の第 2 の配線層 M L 2 におけるラインの構造に比べて、回折による光束 139 の拡がり抑えられ、光学的混色が小さくなる。20

【0084】

また、第 1 実施形態により、光電変換部の受光面の法線方向から透視した場合に、第 2 の配線層 M L 2 におけるライン 102 - 2、103 - 2、102 - 3 の光電変換部の受光面上への張り出しが、従来に比べて小さくなる。このため、オンチップマイクロレンズ 138 や層内レンズ 141 の回折限界により集め切れなかった光のけられが低減できる。この結果、感度も高まる。30

【0085】

図 3 及び図 7 の断面図や図 5 の平面図に示すように、光電変換部 P D 1 - 2 の列の右側の垂直電源線 102 - 3 と、左側の垂直信号線 103 - 2 は、画素境界 137 に配置される。また、図 5 の平面図に示すように光電変換部 P D 1 - 1 の列の左側の垂直電源線 102 - 2 は画素境界に配置される。この構成により、光電変換部 P D 1 - 1 の列と P D 1 - 2 の列とのバランスをとることができ、両画素のフォトダイオードへの入射光量を等しくすることが容易である。

【0086】

また、第 1 実施形態では、図 3 及び図 7 の断面図で示すように、撮像領域 I A の配線層は、ライン 113 を含む第 1 の配線層 M L 1 と、垂直電源線 102 - 2、102 - 3、垂直信号線 103 - 2 を含む第 2 の配線層 M L 2 との 2 層のみである。つまり、撮像領域 I A 内の配線層は、第 1 の配線層 M L 1 と第 2 の配線層 M L 2 とのみである。この構造は、縮小画素の光の回折を低減することに適している。40

【0087】

第 1 実施形態における撮像装置の駆動方法について、周辺領域を示す等価回路図である図 8 と垂直走査回路と撮像領域の等価回路図である図 1 で説明する。

【0088】

図 8 に示す読み出し部 30 において、111 は負荷電流源、121 は輝度レベル用水平信号線、122 はノイズレベル用水平信号線、123 は出力アンプ、124 は水平走査回路50

、125は外部信号端子を表す。151、152、153、154は信号サンプリング線を表し、PTN_A、PTS_A、PTN_B、PTS_Bは、それぞれ信号サンプリング線の電圧パルスを表す。

【0089】

また、M11～M14はサンプリングトランジスタ、M15～M18は水平出力トランジスタである。また、CTNA、CTNBはノイズレベル保持容量、CTS_A、CTS_Bは輝度レベル保持容量である。155～160は、水平走査回路124の出力線である。

【0090】

図9のタイミングチャートでタイミングについて説明する。図9は、第1実施形態における撮像装置の駆動方法を示すタイミングチャートである。以下では、垂直走査回路107から画素ユニット配列10又は読み出し部30へ供給される制御信号について説明する。
10

【0091】

まずタイミングt1で、Res1とRes2と(図1参照)をアクティブにする。これにより、第1行の画素ユニットPU11～PU13及び第2行の画素ユニットPU21～PU23において、リセットトランジスタがオンし、電荷電圧変換部が電源電位Vddに同時にリセットされる。

【0092】

つぎにタイミングt2で、パルスSEL1とPTN_Aとをアクティブにする。これにより、第1行の画素ユニットPU11～PU13が選択状態になるとともにノイズレベルの信号を垂直信号線103-1～103-3へ出力する。サンプリングトランジスタM11がオンするので、垂直信号線103-1～103-3へ出力された各列のノイズレベルの信号は、各列のノイズレベル保持容量CTNAに書き込まれる。
20

【0093】

つぎにタイミングt3で、SEL2とPTN_Bとをアクティブにする。これにより、第2行の画素ユニットPU21～PU23が選択状態になるとともにノイズレベルの信号を垂直信号線103-1～103-3へ出力する。サンプリングトランジスタM13がオンするので、垂直信号線103-1～103-3へ出力された各列のノイズレベルの信号は、各列のノイズレベル保持容量CTNBに書き込まれる。

【0094】

つぎにタイミングt4で、TX²1_3をアクティブにする。光照射による光電変換部PD1-3に蓄積された電荷が電荷電圧変換部FD1に転送される。同時に、光照射による光電変換部PD2-1に蓄積された電荷が電荷電圧変換部FD2に転送される。
30

【0095】

つぎに、タイミングt5で、SEL1とPTS_Aとをアクティブにする。これにより、第1行の画素ユニットPU11～PU13が選択状態になるとともに輝度レベルの信号を垂直信号線103-1～103-3へ出力する。サンプリングトランジスタM12がオンするので、垂直信号線103-1～103-3へ出力された各列の輝度レベルの信号は、各列の輝度レベル保持容量CTS_Aに書き込まれる。

【0096】

つぎに、タイミングt6で、SEL2とPTN_Bとをアクティブにする。これにより、第2行の画素ユニットPU21～PU23が選択状態になるとともに輝度レベルの信号を垂直信号線103-1～103-3へ出力する。サンプリングトランジスタM14がオンするので、垂直信号線103-1～103-3へ出力された各列の輝度レベルの信号は、各列の輝度レベル保持容量CTS_Bに書き込まれる。
40

【0097】

つぎに、タイミングt7以降で、水平走査回路124がその出力線155～160に左から順に出力パルスを送り、水平出力トランジスタM15～M18が順次オンする。ただし、M15とM16とがオンするタイミングは同時であり、M17とM18とがオンするタイミングも同時である。
50

【0098】

M15 及び M16 がオンするタイミングではノイズレベル保持容量 C T N A に書き込まれたノイズレベル及び輝度レベル保持容量 C T S A に書き込まれた輝度レベルがそれぞれノイズレベル用水平信号線 122 及び輝度レベル用水平信号線 121 へ出力される。

【0099】

M17 及び M18 がオンするタイミングではノイズレベル保持容量 C T N B に書き込まれたノイズレベル及び輝度レベル保持容量 C T S B に書き込まれた輝度レベルがそれぞれノイズレベル用水平信号線 122 及び輝度レベル用水平信号線 121 へ出力される。

【0100】

出力アンプ 123 は、輝度レベル用水平信号線 121 から入った輝度レベルから、ノイズレベル用水平信号線 122 からのノイズレベルを引き算し、画像信号を生成して外部信号端子 125 から出力する。 10

【0101】

このようにして、光電変換部 P D 1 - 3 を含む行と P D 2 - 1 を含む行とにおける半分の画素の走査が終わる。つまり、4 画素共有の 1 画素ユニット P U 12 における左半分の光電変換部（画素）の走査が終わる。

【0102】

タイミング t8 ~ タイミング t10 における動作は、タイミング t1 ~ t3 における動作と同様である。

【0103】

タイミング t11 で、T X² 2_4 をアクティブにする。光照射による光電変換部 P D 1 - 4 に蓄積された電荷が電荷電圧変換部 F D 1 に転送される。同時に、光照射による光電変換部 P D 2 - 2 に蓄積された電荷が電荷電圧変換部 F D 2 に転送される。 20

【0104】

タイミング t12 ~ t14 における動作は、タイミング t5 ~ t7 における動作と同様である。

【0105】

このようにして、光電変換部 P D 1 - 3 を含む行と P D 2 - 1 を含む行とにおける残り半分の画素の走査が終わる。つまり、4 画素共有の 1 画素ユニット P U 12 における右半分の光電変換部（画素）の走査が終わる。 30

【0106】

つぎに図 10 のタイミングチャートに移り、図 9 のタイミングチャートと同様の方法で光電変換部 P D 2 - 3、P D 3 - 1、P D 2 - 4、P D 3 - 1 の輝度レベルが外部に読み出される。図 10 のタイミング t15 ~ 28 における動作は、図 9 のタイミング t1 ~ 14 における動作と同様である。

【0107】

以降は、同様の走査により全画素の画像信号が外部に出力される。

【0108】

本実施形態において、垂直電源線 102 - 2、102 - 3 を介して垂直方向から電源電圧を供給しているのは、垂直信号線 103 との間隔を確保してクロストークの影響を低減するためである。これにより、垂直電源線 102 - 2、102 - 3 の電圧降下を防ぐことができる。 40

【0109】

本実施形態では、図 8 で示されるように、1 本の垂直信号線 103 - 2 に 2 つのノイズレベル保持容量 C T N A、C T N B と、2 つの輝度レベル保持容量 C T S A、C T S B とが、サンプリングトランジスタ M11 ~ M14 を介して接続されている。つまり、少なくとも 2 つのリセットレベル保持容量と 2 つの輝度レベル保持容量とが、垂直信号線 1 本にごとに配置される。

【0110】

本実施形態によれば、第 2 の配線層におけるラインにより形成される開口領域の幅を広 50

く確保することができるので、光の回折による光学的混色を低減できる。色再現性が高く鮮明な画質を有した画像が得られるような画像信号を生成することができる。

【0111】

また、オンチップマイクロレンズの回折限界により光電変換部の受光面に集めきれなかった光が配線でけられることを低減できるため、光電変換部の感度を高めることができる。

【0112】

さらに、撮像領域の繰り返し周期が2行2列の4画素周期であるために隣接する同色の画素間における感度差を抑制できる。

【0113】

なお、以上では、撮像装置における各トランジスタがnチャンネルMOSトランジスタであるとして説明したが、撮像装置における各トランジスタは、pチャンネルMOSトランジスタになっても良い。ただし、この場合、撮像領域に与える各パルスの正負が逆転する。

【0114】

次に、本発明の撮像装置を適用した撮像システムの一例を図11に示す。

【0115】

撮像システム90は、図11に示すように、主として、光学系、撮像装置100及び信号処理部を備える。光学系は、主として、シャッター91、レンズ92及び絞り93を備える。撮像装置100は、撮像装置100を含む。信号処理部は、主として、撮像信号処理回路95、A/D変換器96、画像信号処理部97、メモリ部87、外部I/F部89、タイミング発生部98、全体制御・演算部99、記録媒体88及び記録媒体制御I/F部94を備える。なお、信号処理部は、記録媒体88を備えなくても良い。

【0116】

シャッター91は、光路上においてレンズ92の手前に設けられ、露出を制御する。

【0117】

レンズ92は、入射した光を屈折させて、撮像装置100の撮像装置100の撮像面に被写体の像を形成する。

【0118】

絞り93は、光路上においてレンズ92と撮像装置100との間に設けられ、レンズ92を通過後に撮像装置100へ導かれる光の量を調節する。

【0119】

撮像装置100は、撮像面(撮像領域、画素ユニット配列)に形成された被写体の像を画像信号に変換する。撮像装置100は、その画像信号を画素ユニット配列から読み出して出力する。

【0120】

撮像信号処理回路95は、撮像装置100に接続されており、撮像装置100から出力された画像信号を処理する。

【0121】

A/D変換器96は、撮像信号処理回路95に接続されており、撮像信号処理回路95から出力された処理後の画像信号(アナログ信号)を画像信号(デジタル信号)へ変換する。

【0122】

画像信号処理部97は、A/D変換器96に接続されており、A/D変換器96から出力された画像信号(デジタル信号)に各種の補正等の演算処理を行い、画像データを生成する。この画像データは、メモリ部87、外部I/F部89、全体制御・演算部99及び記録媒体制御I/F部94などへ供給される。

【0123】

メモリ部87は、画像信号処理部97に接続されており、画像信号処理部97から出力された画像データを記憶する。

【0124】

外部I/F部89は、画像信号処理部97に接続されている。これにより、画像信号処理部97から出力された画像データを、外部I/F部89を介して外部の機器（パソコン等）へ転送する。

【0125】

タイミング発生部98は、撮像装置100、撮像信号処理回路95、A/D変換器96及び画像信号処理部97に接続されている。これにより、撮像装置100、撮像信号処理回路95、A/D変換器96及び画像信号処理部97へタイミング信号を供給する。そして、撮像装置100、撮像信号処理回路95、A/D変換器96及び画像信号処理部97がタイミング信号に同期して動作する。

10

【0126】

全体制御・演算部99は、タイミング発生部98、画像信号処理部97及び記録媒体制御I/F部94に接続されており、タイミング発生部98、画像信号処理部97及び記録媒体制御I/F部94を全体的に制御する。

【0127】

記録媒体88は、記録媒体制御I/F部94に取り外し可能に接続されている。これにより、画像信号処理部97から出力された画像データを、記録媒体制御I/F部94を介して記録媒体88へ記録する。

20

【0128】

以上の構成により、撮像装置100において良好な画像信号が得られれば、良好な画像（画像データ）を得ることができる。

【0129】

次に、本発明の第2実施形態に係る撮像装置200を、図12～図14を用いて説明する。図12は、本発明の第2実施形態における画素ユニットP.U.1.2及びその周辺において第2の配線層M.L.2、スルーホール115、第1の配線層M.L.1（図3参照）を取り去って見た場合の平面図である。図13は、図12の平面図に対して、スルーホール115及び第1の配線層M.L.1をさらに配置した場合の平面図である。図14は、図13の平面図に対して、第2の配線層M.L.2をさらに配置した場合の平面図である。以下では、第1実施形態と異なる部分を中心に説明する。

30

【0130】

共通ドレイン領域147は、シェアードコンタクト149-3、多結晶シリコン領域150-3、コンタクト116-6、第1の配線層におけるライン113-10、スルーホール115-4を介して第2の配線層における垂直電源線102-2に接続される。

【0131】

共通ドレイン領域148は、シェアードコンタクト149-5、多結晶シリコン領域150-5、コンタクト116-6、第1の配線層におけるライン113-12、スルーホール115-6を介して第2の配線層における垂直電源線102-3に接続される。

【0132】

増幅トランジスタM1-6のソース領域143-1は、シェアードコンタクト149-4、コンタクト116-8、第1の配線層におけるライン113-11、スルーホール115-5を介して、第2の配線層における垂直信号線103-2に接続される。

40

【0133】

シェアードコンタクト149-4を延ばすことにより、リセット制御線R.E.S.1の下側で、増幅トランジスタM1-6のソース領域143-1と垂直信号線103-2とを接続している。また、シェアードコンタクト149-3と多結晶シリコン領域150-3とにより、選択制御線S.E.L.1の上側で、共通ドレイン領域147と垂直電源線102-2とを接続している。これにより、第1の実施形態（図4参照）に比較して、図13に示されるように、選択制御線S.E.L.1とリセット制御線R.E.S.1とを直線状に配置することができる。

【0134】

50

このため、第1実施形態より、開口形状の対称性を向上できるとともに、開口率を向上できる。これにより、撮像装置の感度を向上でき、撮像装置の入射光におけるF値依存性を小さくでき、画素周辺部における光量低下を防ぐことができる。

【0135】

次に、本発明の第3実施形態に係る撮像装置300を、図15～図18を用いて説明する。図15は、本発明の第3実施形態に係る撮像装置300の回路構成を示す図である。図16は、画素ユニットPU12及びその周辺において第2の配線層ML2、スルーホール115、第1の配線層ML1(図3参照)を取り去って見た場合の平面図である。図17は、図16の平面図に対して、スルーホール115及び第1の配線層ML1をさらに配置した場合の平面図である。図18は、図17の平面図に対して、第2の配線層ML2をさらに配置した場合の平面図である。以下では、第1実施形態と異なる部分を中心に説明する。
10

【0136】

図15～図18で示すように、増幅トランジスタM1-6、M2-6のドレインが、選択トランジスタM1-5、M2-5を介さず、直接、垂直電源線102-2に接続されている。その代わり、増幅トランジスタM1-6、M2-6のソースが、それぞれ選択トランジスタM1-5、M2-5を介して、垂直信号線103-2に接続されている。

【0137】

第1実施形態(図2参照)に比べて、図16に示されるように、選択トランジスタM1-5と増幅トランジスタM1-6との左右の相対的な位置関係すなわちレイアウトが入れ替わっている。この結果、多結晶シリコン領域150-2からなる配線と選択トランジスタM1-5との間の間隔が狭くなる。この間隔が狭くなると、光電変換部PD1-3の受光面の面積が、他の光電変換部PD1-1、PD1-2、PD1-4の受光面の面積に比べて小さくなることがある。単板式のカラーイメージセンサの画素ピッチが2μm以下のようないくつかの画素の場合、RGB(レッド、グリーン、ブルー)の光のうち最も回折が小さいのは、他に比べて波長の短いブルーである。よって、ベイヤー配列に従ったカラーフィルタを配置する場合、図6の配置を、光電変換部PD1-3にブルーカラーフィルタ132が割り当てられるようにシフトさせることが望ましい。このように、割り当てることにより、異なる色の画素間における感度差を低減できる。
20

【0138】

このような回路を構成することによって、増幅トランジスタM1-6のドレインへ供給される電源電圧が、選択トランジスタM1-5による電圧降下の影響を受けることを低減できる。このため、増幅トランジスタM1-6のドレイン電圧を電源電圧と同じにすることができるため、選択トランジスタM1-5のばらつきの影響を受け難い。
30

【0139】

次に、本発明の第4実施形態に係る撮像装置400を、図19を用いて説明する。図19は、本発明の第4実施形態における画素ユニットPU12及びその周辺において第2の配線層ML2、スルーホール115、第1の配線層ML1(図3参照)を取り去って見た場合の平面図である。以下では、第1実施形態と異なる部分を中心に説明する。

【0140】

146は、ボロンなどのp型不純物を含むp型の半導体領域である。光電変換部PD1-3から見て左側の光電変換部PD0-4と下側の光電変換部PD2-1との素子分離を、フィールド酸化領域142では無く、p型の半導体領域146で行っている。
40

【0141】

このように、光電変換部(n型の半導体領域)の素子分離をp型の半導体領域146で行っているため、素子分離幅を小さくすることができ、光電変換部の受光面自体を大きくすることができる。これにより、撮像装置の感度を向上でき、撮像装置の入射光におけるF値依存性を小さくでき、画素周辺部における光量低下を防ぐことができる。

【0142】

次に、本発明の第5実施形態に係る撮像装置500を、図20を用いて説明する。図2
50

0は、本発明の第5実施形態に係る撮像装置500の回路構成を示す図である。以下では、第1実施形態と異なる部分を中心に説明する。

【0143】

図20において、121、221、321、421は輝度レベル用水平信号線である。122、222、322、422はノイズレベル用水平信号線である。123、223、323、423は出力アンプである。125、225、325、425は、外部信号端子である。M15～M22は水平出力トランジスタである。

【0144】

水平走査回路124は、出力パルス毎に、8つの水平出力トランジスタM15～M22を同時にオンにする。例えば、水平走査回路の出力線155に出力パルスを入れたときM15～M22の水平出力トランジスタが同時にオンする。10

【0145】

この結果、4つの輝度レベルの信号と4つのノイズレベルの信号とが同時に4つの出力アンプ123、223、323、423へ転送される。そして、出力アンプ123、223、323、423は、4つの輝度レベルの信号から4つのノイズレベルの信号を引き算し、4つの画像信号を外部信号端子125、225、325、425から同時に出力する。このような多チャンネル出力は、全画素の画像信号を出力する際ににおけるフレームレートを高める上で有利である。

【0146】

なお、第4実施形態におけるp型の半導体領域146の素子分離は、第2実施形態又は第3実施形態に適用しても良い。20

【0147】

また、第5実施形態の駆動方法を第2実施形態～第4実施形態に適用しても良い。

【0148】

また、多層配線構造における各配線層（第1の配線層、第2の配線層）は、ダマシンプロセスを用いて、配線の微細化に有利な銅を主成分とする金属又は金属間化合物により形成されていても良い。

【図面の簡単な説明】

【0149】

【図1】本発明の第1実施形態に係る撮像装置100の回路構成を示す図。30

【図2】画素ユニットPU12及びその周辺において第2の配線層ML2、スルーホール115、第1の配線層ML1（図3参照）を取り去って見た場合の平面図。

【図3】図2の平面図におけるB-B'線で切った断面図。

【図4】図2の平面図に対して、スルーホール115及び第1の配線層ML1をさらに配置した場合の平面図。

【図5】図4の平面図に対して、第2の配線層ML2をさらに配置した場合の平面図。

【図6】図5の平面図に対してカラーフィルタを被せた場合の平面図。

【図7】図5の平面図のA-A'線で切った場合の断面図。

【図8】本発明の第1実施形態に係る撮像装置100の回路構成を示す図。

【図9】第1実施形態における撮像装置の駆動方法を示すタイミングチャート。40

【図10】第1実施形態における撮像装置の駆動方法を示すタイミングチャート。

【図11】第1実施形態に係る撮像装置を適用した撮像システムの構成図。

【図12】本発明の第2実施形態における画素ユニットPU12及びその周辺において第2の配線層ML2、スルーホール115、第1の配線層ML1（図3参照）を取り去って見た場合の平面図。

【図13】図12の平面図に対して、スルーホール115及び第1の配線層ML1をさらに配置した場合の平面図。

【図14】図13の平面図に対して、第2の配線層ML2をさらに配置した場合の平面図。

【図15】本発明の第3実施形態に係る撮像装置300の回路構成を示す図。50

【図16】画素ユニットPU12及びその周辺において第2の配線層ML2、スルーホール115、第1の配線層ML1(図3参照)を取り去って見た場合の平面図。

【図17】図16の平面図に対して、スルーホール115及び第1の配線層ML1をさらに配置した場合の平面図。

【図18】図17の平面図に対して、第2の配線層ML2をさらに配置した場合の平面図。

【図19】本発明の第4実施形態における画素ユニットPU12及びその周辺において第2の配線層ML2、スルーホール115、第1の配線層ML1(図3参照)を取り去って見た場合の平面図。

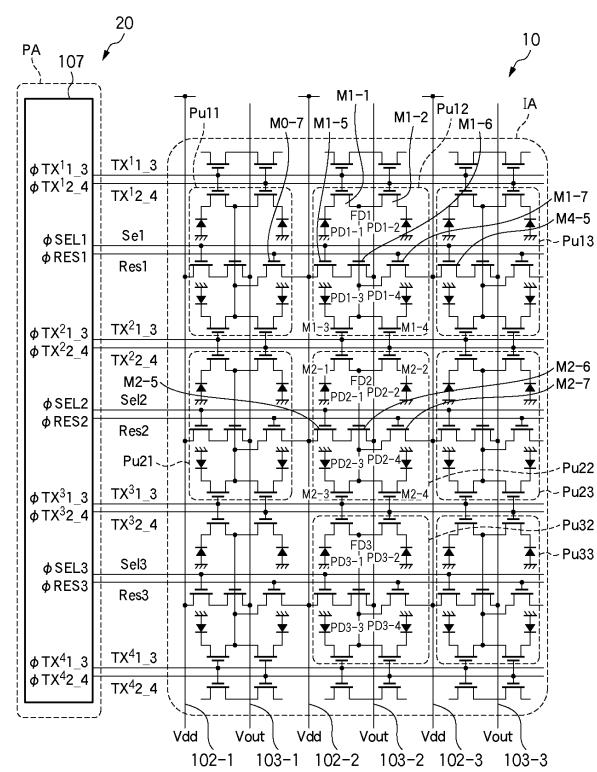
【図20】本発明の第5実施形態に係る撮像装置500の回路構成を示す図。 10

【符号の説明】

【0150】

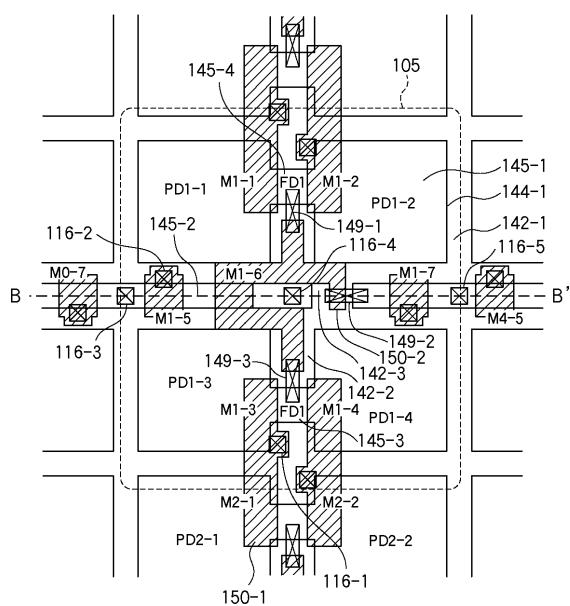
100、200、300、400、500 撮像装置

【図1】

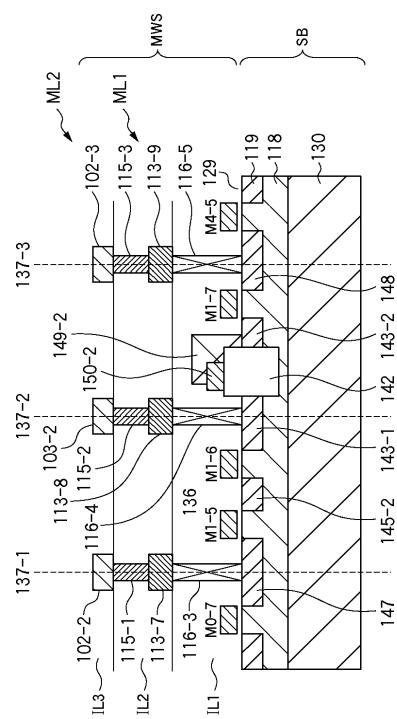


100

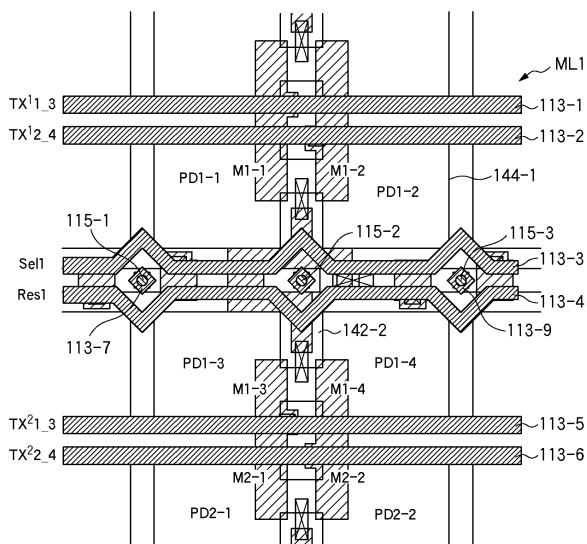
【図2】



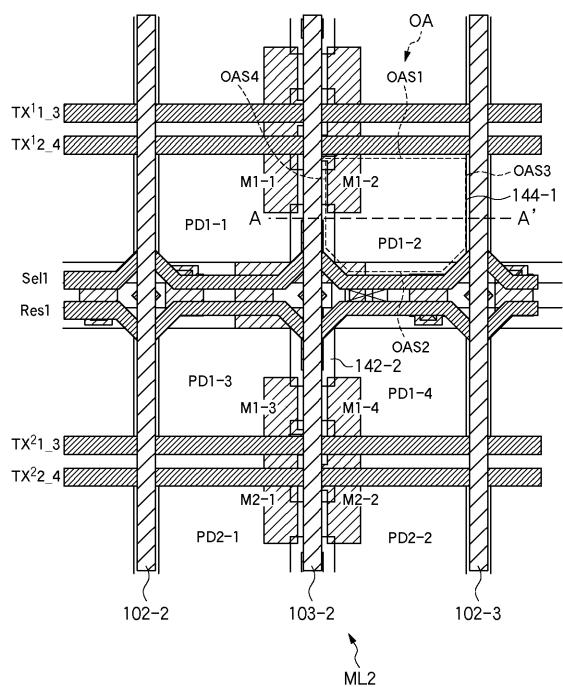
【図3】



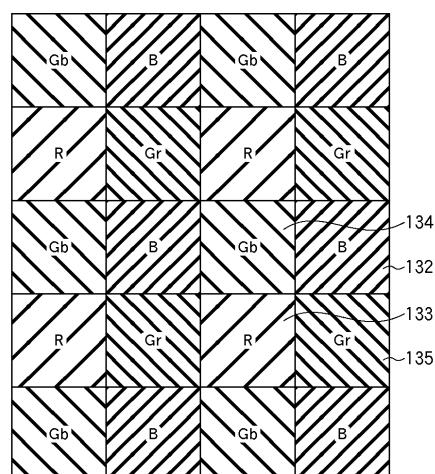
【 図 4 】



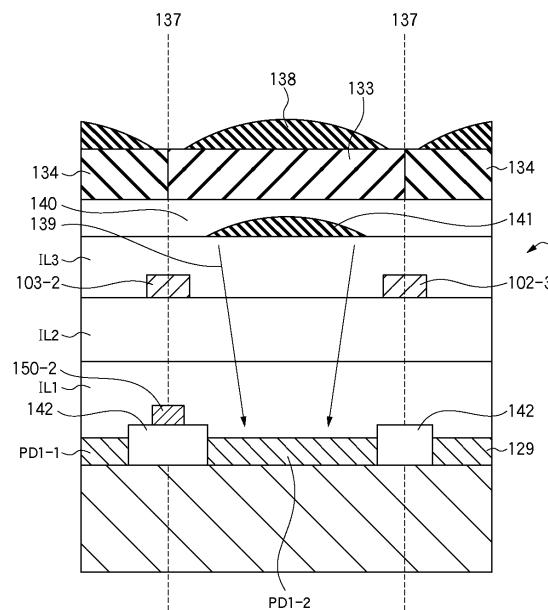
【 図 5 】



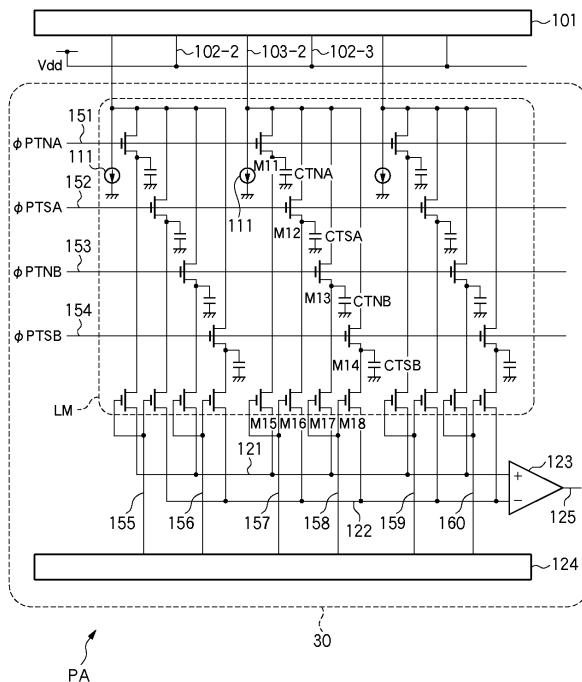
【 义 6 】



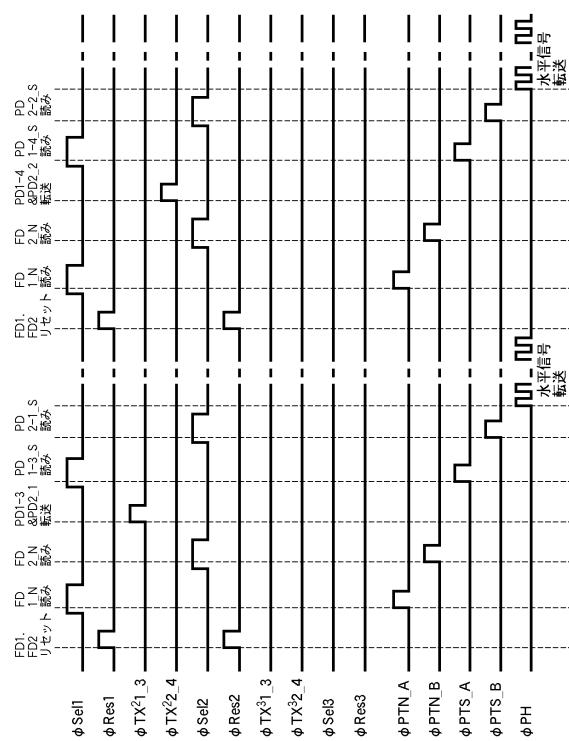
【 叁 7 】



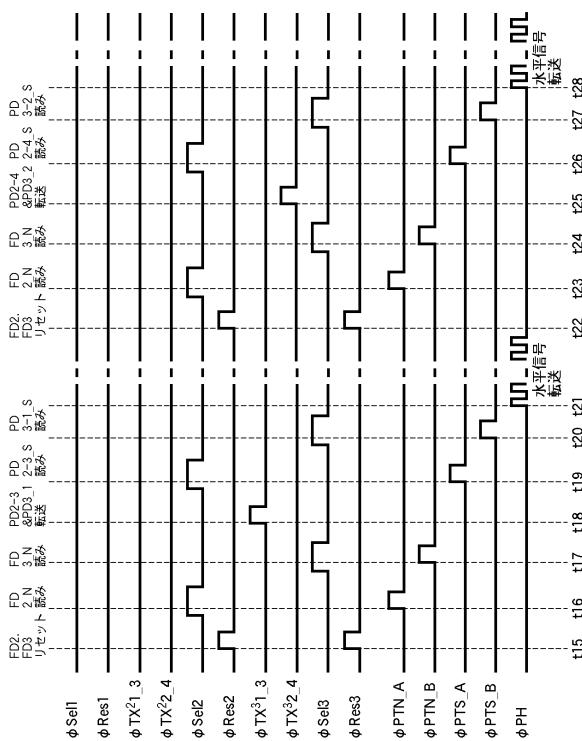
【 四 8 】



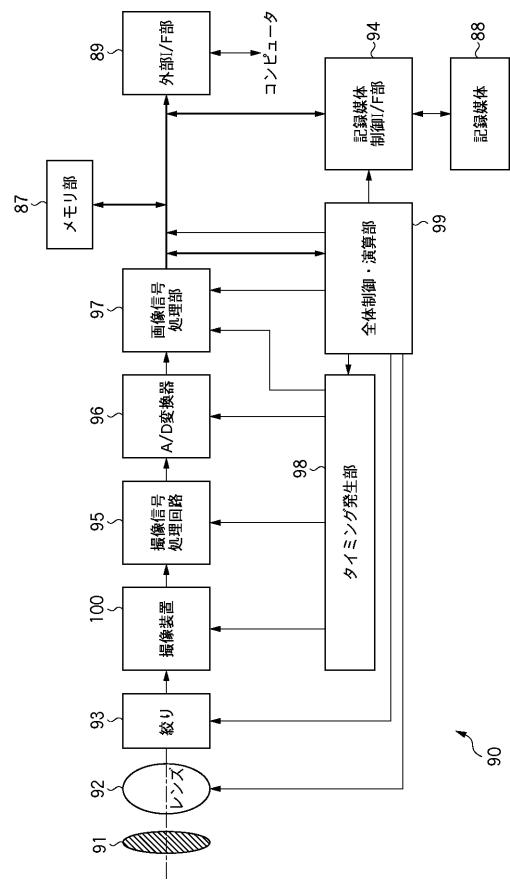
【 义 9 】



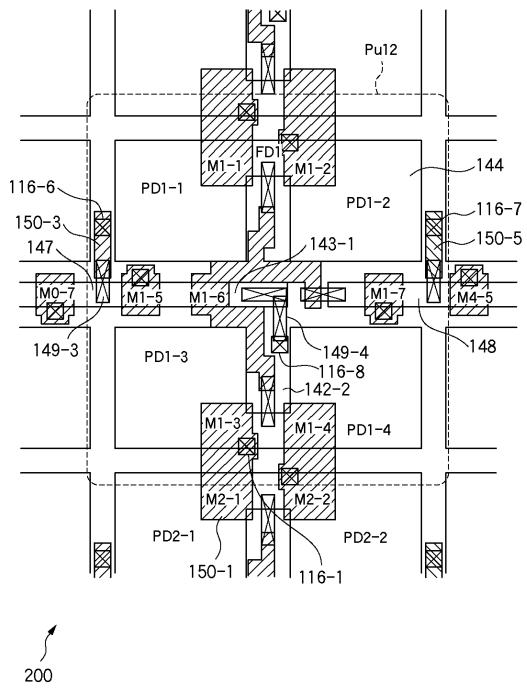
【 図 1 0 】



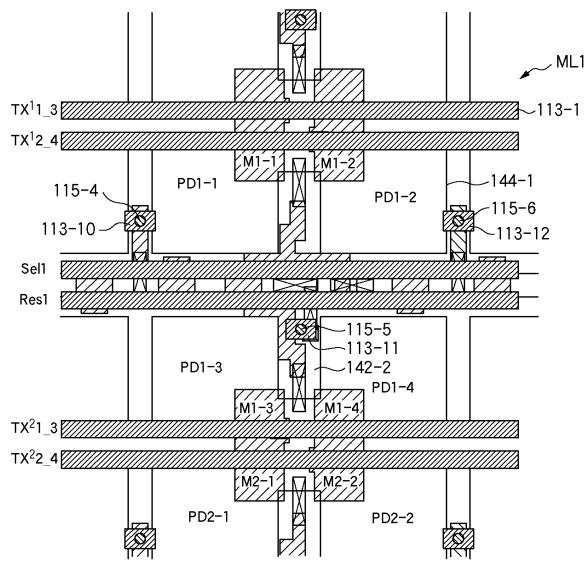
【図11】



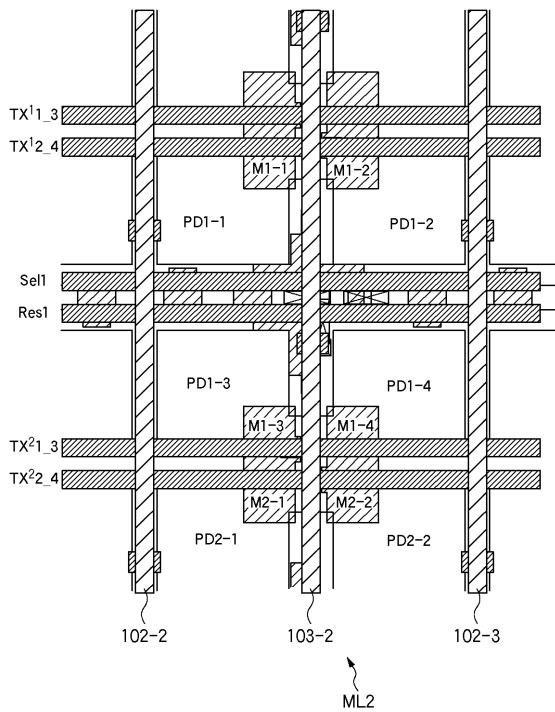
【図12】



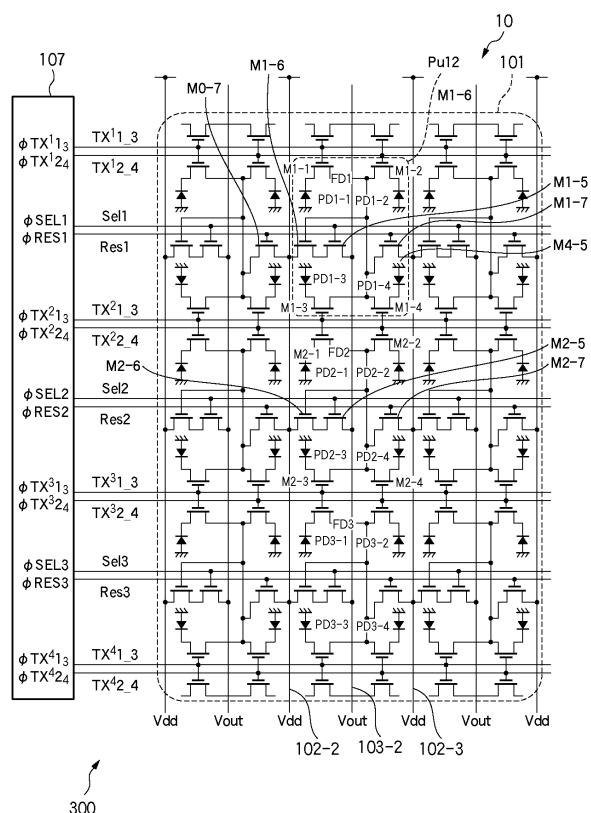
【図13】



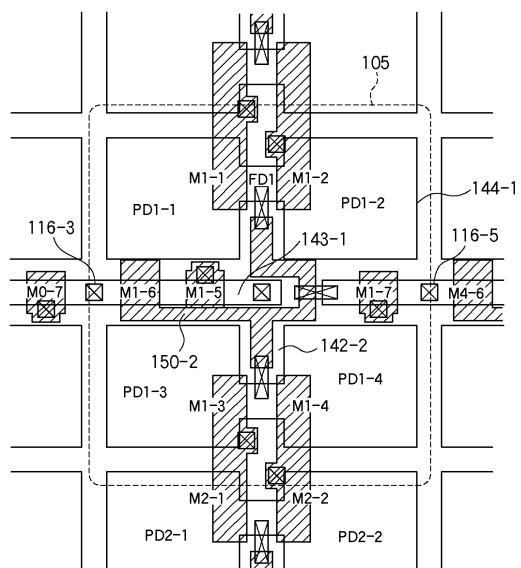
【図14】



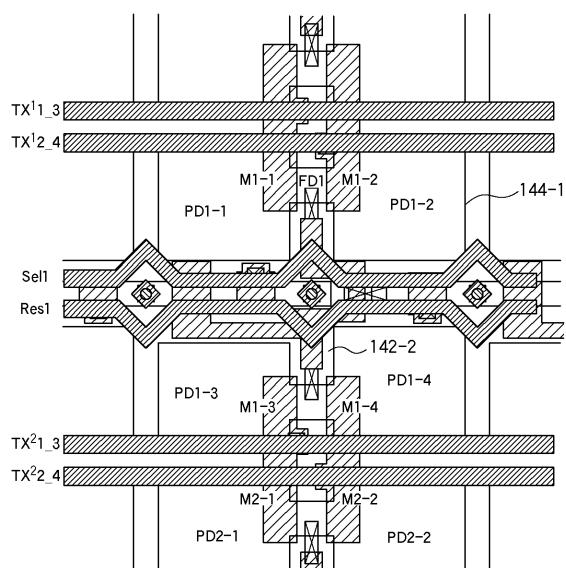
【図15】



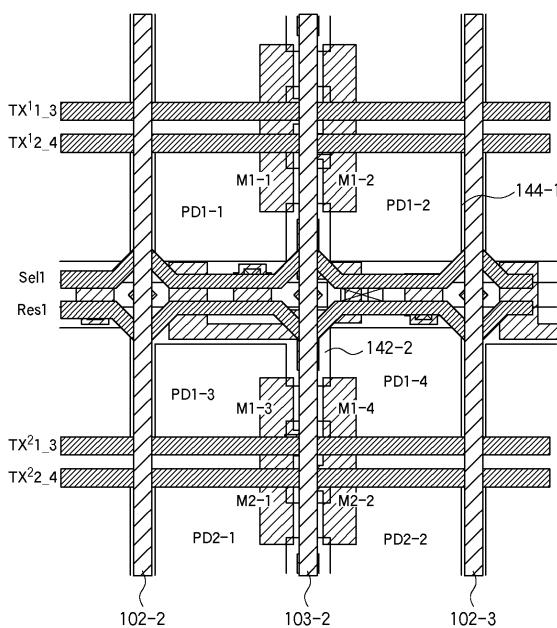
【 図 1 6 】



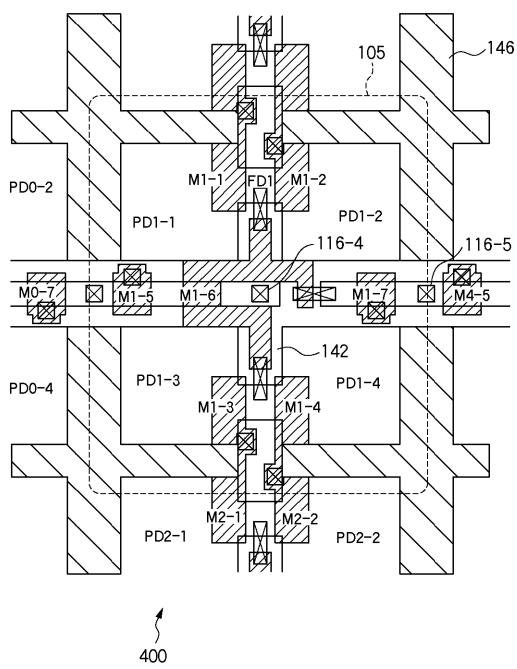
【図17】



【 四 1 8 】

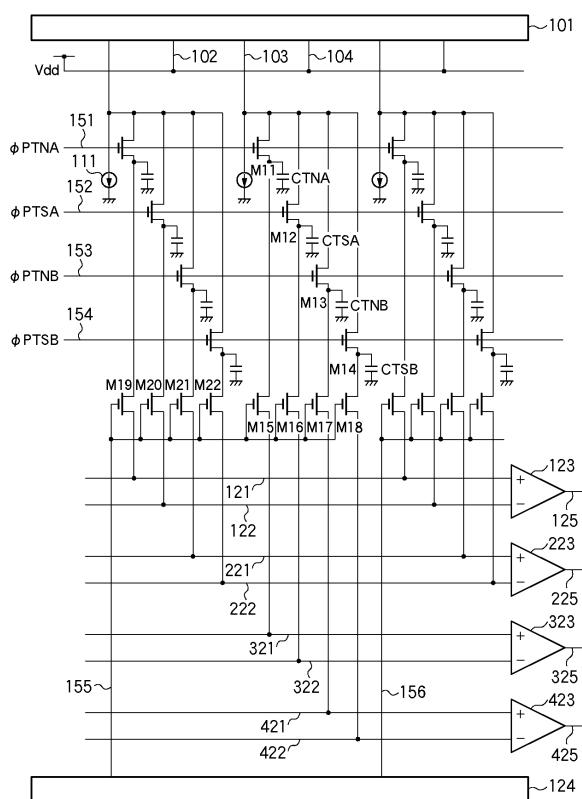


【図19】



400

【図20】



500

フロントページの続き

(72)発明者 岩根 正晃

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 今井 聖和

(56)参考文献 特開2000-078474 (JP, A)

特開2000-078475 (JP, A)

特開2007-142776 (JP, A)

国際公開第2008/115331 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H04N 5/374