

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4351071号
(P4351071)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int.Cl.	F I
GO 6 F 13/10 (2006.01)	GO 6 F 13/10 3 4 0 B
GO 6 F 13/12 (2006.01)	GO 6 F 13/12 3 3 0 A

請求項の数 12 (全 9 頁)

(21) 出願番号	特願2003-582653 (P2003-582653)	(73) 特許権者	591016172
(86) (22) 出願日	平成15年2月28日(2003.2.28)		アドバンスト・マイクロ・ディバイシズ・
(65) 公表番号	特表2006-508413 (P2006-508413A)		インコーポレイテッド
(43) 公表日	平成18年3月9日(2006.3.9)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2003/006258		CES INCORPORATED
(87) 国際公開番号	W02003/085535		アメリカ合衆国、94088-3453
(87) 国際公開日	平成15年10月16日(2003.10.16)		カリフォルニア州、サニibel、ピィ・
審査請求日	平成18年2月27日(2006.2.27)		オウ・ボックス・3453、ワン・エイ・
(31) 優先権主張番号	102 14 700.0		エム・ディ・プレイス、メイル・ストップ
(32) 優先日	平成14年4月3日(2002.4.3)		・68 (番地なし)
(33) 優先権主張国	ドイツ(DE)	(74) 代理人	100099324
(31) 優先権主張番号	10/259,710		弁理士 鈴木 正剛
(32) 優先日	平成14年9月27日(2002.9.27)	(74) 代理人	100111615
(33) 優先権主張国	米国(US)		弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 ATA/SATA複合コントローラ

(57) 【特許請求の範囲】

【請求項 1】

記憶装置に対する、および/または記憶装置からのデータ転送を制御する制御装置であって、

ATA (Advanced Technology Attachment) 準拠の平行記憶装置に対する、および/またはそれからのデータ転送を制御する第1制御ユニットと、

SATA (シリアルATA) 準拠のシリアル記憶装置に対する、および/またはそれからのデータ転送を制御する第2制御ユニットと、

前記平行記憶装置および前記シリアル記憶装置を特定する特定データを記憶するポートマップレジスタと、

前記特定データによって示される前記平行記憶装置および前記シリアル記憶装置に対する接続を確立するポート切り替えユニットとを備え、

前記平行記憶装置および前記シリアル記憶装置に対する、および/またはそれからのデータ転送を並行して実行する能力を持つ、制御装置。

【請求項 2】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項1記載の制御装置。

【請求項 3】

前記第1制御ユニットは1つの平行ポートに接続された2つのATA記憶装置に対する、および/またはそれからのデータ転送を制御するように構成され、前記平行ポ

10

20

ートにおいて一方の記憶装置はマスタとなり、他方の記憶装置はスレーブとなり、

前記ポートマップレジスタは、どちらの記憶装置がマスタなのか、またはスレーブなのかを特定するマスタ/スレーブ特定データを記憶するように接続されている、請求項1記載の制御装置。

【請求項 4】

前記第 1 制御ユニットは 2 つの平行 A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成され、前記第 2 制御ユニットは 2 つの S A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成されてお

り、
S A T A 記憶装置とのデータ転送のみを可能にするために、前記第 1 制御ユニットの動作を停止することができる、請求項1記載の制御装置。

10

【請求項 5】

前記第 1 制御ユニットは 2 つの平行 A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成され、前記第 2 制御ユニットは 2 つの S A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成されてお

り、
平行 A T A 記憶装置とのデータ転送のみを可能にするために、前記第 2 制御ユニットの動作を停止することができる、請求項1記載の制御装置。

【請求項 6】

S A T A 記憶装置が前記制御装置に接続されているかどうかを判定するように構成された、請求項 1 記載の制御装置。

20

【請求項 7】

前記判定された S A T A 記憶装置上の情報をホストソフトウェアに提供するように構成された、請求項6記載の制御装置。

【請求項 8】

記憶装置に対する、および / または記憶装置からのデータ転送を制御する制御装置の制御方法であって、

前記制御装置に接続された A T A (Advanced Technology Attachment) 準拠の平行記憶装置に対する、および / またはそれからのデータ転送を実行するステップと、

前記制御装置に接続された S A T A (シリアル A T A) 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送を実行するステップと、

30

前記平行記憶装置および前記シリアル記憶装置を特定する特定データを、前記制御装置のポートマップレジスタに記憶するステップと、

前記特定データによって示される前記平行記憶装置および前記シリアル記憶装置に対する接続を確立するために前記制御装置のポートを切り替えるステップとを含み、

前記 A T A 準拠の平行記憶装置に対する、および / またはそれからのデータ転送と、S A T A 準拠のシリアル記憶装置に対する、および / またはそれからのデータ転送とは並行して行われる方法。

【請求項 9】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項8記載の方法。

40

【請求項 10】

1 つの平行ポートに接続された 2 つの平行 A T A 記憶装置に対する、および / またはそれからのデータ転送を制御するように構成され、前記平行ポートにおいて一方の記憶装置はマスタとなり、他方の記憶装置はスレーブとなり、

前記ポートマップレジスタは、どちらの記憶装置がマスタなのか、またはスレーブなのかを特定するマスタ/スレーブ特定データを記憶する、請求項8記載の方法。

【請求項 11】

S A T A 記憶装置が前記制御装置に接続されているかどうかを判定するステップをさらに含む、請求項8記載の方法。

50

【請求項 1 2】

前記判定された S A T A 記憶装置上の情報をホストソフトウェアに提供するステップをさらに含む、請求項 1 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般的に記憶装置への、および / または記憶装置からのデータ転送に関し、特に A T A (Advanced Technology Attachment) および S A T A (シリアル A T A) コントローラに関する。

【背景技術】

10

【0002】

コンピュータシステムにおいては、ハードディスクおよび C D または D V D、テープドライブ、大容量リムーバブルデバイス、z i p ドライブおよび C D R W ドライブのようなその他のドライブは、それらのデバイスへの、およびそれらのデバイスからのデータ転送を実行するための物理的および論理的な要件を定義するインターフェイスを介して、コンピュータに接続される記憶装置 (記憶デバイス) である。現代のコンピュータシステムで使用されているもっとも一般的なインターフェイスの一つは、I D E (Integrated Drive Electronics) として一般的によく知られているものである。この I D E ドライブインターフェイス (より正確には A T (Advanced Technology) A t t a c h m e n t (ATA) インターフェイスと呼ばれる) の開発は 1 9 8 6 年に始まり、1 9 8 8 年ごろに標準化されている。ディスクドライブを P C (Personal Computer) アーキテクチャに「取り付け」するための方法を提供するこの規格はさらに開発が続けられ、最近では A T A / A T A P I , E I D E , A T A - 2 , F a s t A T A , U l t r a A T A , U l t r a D M A , A T A - 4 およびその他の様々な多数の規格が作られている。これらの規格はすべて、パラレル記憶装置を接続するための記憶 (ストレージ) インターフェイスを定義するものであって、以下では A T A 準拠のものと呼ぶ。

20

【0003】

パラレル A T A インターコネクタは、他との比較における単純さ、高性能、低コストのために、デスクトップおよびモバイルコンピュータにおける支配的な内部記憶装置用相互接続であったが、A T A 準拠のインターフェイスは性能を向上させ続ける能力に限界をもたらす多くの制限を持つ。そのような制限としては、5 ボルトの信号要件、ピン数の多さなどがある。パラレル A T A インターフェイスのこれらのおよび他の特徴は、そのようなインターフェイスが、過去には実現していた速度倍増をさらに何回か実現するように拡張できないことの原因となっており、したがってこのインターフェイスはその性能限界に近づいている。

30

【0004】

この理由から、および次の 1 0 年において拡張可能な性能を提供するために、次世代の A T A 規格として、シリアル A T A (S A T A) が開発されている。S A T A はパラレル A T A 物理ストレージインターフェイスに対する革新的な代替技術であって、現在の A T A と 1 0 0 % ソフトウェア互換性を持つように設計されているが、ずっと少ないピン数を持ち、より薄く、より柔軟性に富んだケーブルを実現している。ソフトウェア互換性が保たれているので、現在のドライバおよびオペレーティングを変更する必要がない。さらに、ピン数が少なくなるために、マザーボードおよびそのチップセットならびにその他の集積シリコン部品の設計に恩恵をもたらす。

40

【0005】

上述のように、S A T A のインターフェイスの主要な特徴の一つは、パラレル A T A コントローラとのソフトウェア互換性である。このことは、標準の A T A とシリアル A T A (S A T A) との接続性をそれぞれ示す図 1 および図 2 を比較することによってよりよく理解することができる。

【0006】

50

最初に図 1 を参照する。図 1 は A T A 準拠の平行記憶デバイスが、当該デバイスへの、および当該デバイスからのデータ転送を可能にするためにコンピュータシステムにどのように接続されるかを示す。このコンピュータシステムは当該コンピュータで走っている主ソフトウェアであるオペレーティングシステム 1 1 5 を含む。ユーザーに対して情報を提供し、入力を受け取るユーザーインターフェイスを一般的に有する、複数のアプリケーションプログラム 1 0 0 , 1 0 5 , 1 1 0 をさらに含んでいてもよい。もちろん、ユーザーインターフェイスを持たないアプリケーションプログラムも存在しうる。さらに、拡張ソフトウェアコンポーネントである、またはオペレーティングシステム 1 1 5 の一部であるドライバソフトウェア 1 2 0 も一般に提供され、特に A T A 準拠のハードウェアと相互に作用するように実行される。

10

【 0 0 0 7 】

このハードウェアは、平行ポート 1 3 0 を介してデバイス 1 3 5 , 1 4 0 とデータ信号を交換する A T A アダプタ 1 2 5 を含む。この A T A アダプタ 1 2 5 は A T A コントローラとも呼ばれ、しばしば平行ポート 1 3 0 と一緒にされている。

【 0 0 0 8 】

図 2 は、S A T A インターフェイスを持つコンピュータシステムの対応する部分を描いたものである。アプリケーションプログラム 1 0 0 , 1 0 5 , 1 1 0、オペレーティングシステム 1 1 5、ドライバ 1 2 0 は変更の必要がない。ハードウェア側では、S A T A アダプタ 2 0 0 が設けられ、シリアルデバイス 2 2 0 , 2 2 5 と信号を交換するために一以上のシリアルポート 2 1 0 , 2 1 5 に接続されている。つまり、S A T A が利用可能なコンピュータシステムは、デバイスおよびポートがシリアル化され、適切な S A T A 準拠アダプタ 2 0 0 が設けられているという点で図 1 のシステムとは異なっている。このアダプタのさらに詳細について焦点を合わせると、この S A T A アダプタ 2 0 0 は、データ信号の平行・シリアルおよびシリアル・平行変換を実行する平行/シリアルコンバータ 2 0 5 を備える A T A アダプタ 1 2 5 を含むものとして理解されることがわかる。

20

【 0 0 0 9 】

オペレーティングシステム 1 1 5 においても、ドライバソフトウェア 1 2 0 においても S A T A 規格に対する特別な対応は必要ないので、図 2 のインターフェイスは図 1 の技術とソフトウェア互換である。従って、S A T A は柵ばた式の解決方法 (drop-in solution) なのであって、手持ちのソフトウェアはなんらの修正もなしに新しいアーキテクチャで動く。この特徴および上述の他の特長が与えられ、さらに S A T A 準拠のコントローラおよびデバイスは従来のユニットとほぼ同じコストになることを勘定に入れると、S A T A はいずれ平行 A T A インターフェイスを完全に置き換えることが期待される。業界における S A T A の受け入れは段階的な移行経過をたどり、いずれかの時点で平行およびシリアル A T A の両方の能力が利用可能になる。

30

【 0 0 1 0 】

この技術はソフトウェア互換であり、かつオペレーティングシステム透過性を持つにもかかわらず、S A T A の電気回路およびコネクタは従来の A T A インターフェイスのそれらとは異なっている。この理由から、コンピュータシステムにおけるハードディスクおよび他の記憶デバイスの前方および後方互換性を促進するためにアダプタが提供される。例えば、S A T A 対 A T A ブリッジがハードディスクおよび記憶システムにおいて使用可能であり、A T A 対 S A T A ブリッジがマザーボード、アドインカード、ドライブテスト装置において使用可能である。しかしながら、そのような従来の解決方法は多くの追加ハードウェア部品を必要とし、製造コストの増加につながる。

40

【 発明の開示 】

【 発明の概要 】

【 0 0 1 1 】

本発明の一実施形態は、記憶装置に対する、および/または記憶装置からのデータ転送を制御する制御装置である。この制御装置は、A T A 準拠の平行記憶装置 (デバイス) との間のデータ転送を制御する第 1 制御ユニットを備える。さらに、この制御装置は S

50

A T A 準拠のシリアル記憶装置（デバイス）との間のデータ転送を制御する第 2 制御ユニットを備える。この制御装置はパラレルデバイスおよびシリアルデバイスとの間のデータ転送を同時に実行する能力を持つ。

別の実施形態において、前記第 1 制御ユニットは、2 つのパラレル A T A 記憶装置との間のデータ転送を制御するように構成されており、前記第 2 制御ユニットは、2 つの S A T A 記憶装置との間のデータ転送を制御するように構成されている。

別の実施形態において、前記制御装置は前記第 1 制御ユニットを動作停止（ディスエーブル）にして、S A T A 記憶装置との間のデータ転送のみを可能に（イネーブルに）することができる。

別の実施形態において、前記制御装置は前記第 2 制御ユニットを動作停止（ディスエーブル）にして、パラレル A T A 記憶装置との間のデータ転送のみを可能に（イネーブルに）することができる。

10

別の実施形態において、本装置は、S A T A 記憶装置が前記制御装置に接続されているかどうかを決定するように構成される。

別の実施形態において、本装置は、前記決定された S A T A 記憶装置に関する情報をホストコンピュータに提供するように構成されている。

別の実施形態において、前記第 2 制御ユニットはパラレルデータをシリアルデータに、および / またはシリアルデータをパラレルデータに変換して S A T A 記憶装置との間のデータ転送を可能にすることができる。

別の実施形態において、本装置は集積回路チップである。

20

【 0 0 1 2 】

本発明の他の実施形態は、記憶装置に対する、および / または記憶装置からのデータ転送を制御する制御装置の制御方法である。本方法は、制御装置に接続された A T A 準拠のパラレル記憶装置との間のデータ転送を実行するステップを含む。本方法は、制御装置に接続された S A T A 準拠シリアル記憶装置との間のデータ転送を実行するステップをさらに含む。A T A 準拠のパラレル記憶装置との間のデータ転送および S A T A 準拠シリアル記憶装置との間のデータ転送は並行して行われる。

別の実施形態において、2 つの S A T A 記憶装置との間のデータ転送はマスタ / スレーブエミュレーションモードで実行され、一方の S A T A 記憶装置はホストコンピュータに対してマスタとして表示され、他方の S A T A 記憶装置はスレーブとして表示され、両方がホストバスアドレスの同じセットにおいてアクセス可能である。

30

別の実施形態において、制御装置の一つのパラレルポートに接続された 2 つのパラレル A T A 記憶装置との間のデータ転送は、パラレルポートにおいて一方の装置がマスタとなり、他方の装置がスレーブとなるように制御される。

別の実施形態において、2 つの A T A 準拠パラレル記憶装置との間のデータ転送が制御され、2 つの S A T A 準拠シリアル記憶装置との間のデータ転送が制御される。

別の実施形態において、本方法は、S A T A 記憶装置が前記制御装置に接続されているかどうかを決定するステップをさらに含む。

別の実施形態において、本方法は、前記決定された S A T A 記憶装置に関する情報をホストコンピュータに提供するステップをさらに含む。

40

別の実施形態において、前記 S A T A 準拠シリアル記憶装置との間でデータ転送を実行するステップは、パラレルデータをシリアルデータに、および / またはシリアルデータをパラレルデータに変換するステップを含む。

【 0 0 1 3 】

添付の図面は、本発明の本質を説明する目的において、本明細書に組み合わされ、その一部を構成する。これらの図面は、本発明がいかに製造され、および使用されるかを示す例示され、説明される実施形態のみに本発明を限定するものと解釈するべきではない。別の特徴および利点は、添付の図面に示され、後述の本発明の詳細な説明において明らかになるであろう。

【 発明を実施するための最良の形態 】

50

【 0 0 1 4 】

本発明の例示としての実施形態を以下図面を参照して説明する。類似の要素および構造は、同様の参照番号で示される。

【 0 0 1 5 】

図面、特に図 3 を参照する。図 3 は、一実施形態に従った A T A コントローラのハードウェア要素を示す。このコントローラはターゲットインターフェイスユニット 3 0 5 およびソースインターフェイスユニット 3 1 0 を含む。両方のインターフェイスはホストインターフェイス 3 0 0 に接続され、ソフトウェアドライバ 1 2 0 による要求（リクエスト）およびデータを交換する。ドライバ 1 2 0 はターゲットインターフェイスユニット 3 0 5 を用いて、設定の目的でコントローラにアクセスすることができる。一方、ソースインターフェイス 3 1 0 を用いて、記憶装置との間でデータの読み出しまたは書き込みを行うためにデータアクセスを実行することができる。

10

【 0 0 1 6 】

さらに、マスタ制御ユニット 3 2 5 とスレーブ制御ユニット 3 3 0 のどちらが、ターゲットインターフェイス 3 0 5 とソースインターフェイス 3 1 0 のどちらかへのアクセスを許可されるのか、またはその逆を制御するバスマスタエンジン 3 2 0 が設けられる。マスタ制御ユニット 3 2 5 およびスレーブ制御ユニット 3 3 0 は、2 つの平行デバイス（一方がマスタで他方がスレーブ）を接続できる平行ポートを制御する従来の A T A コントローラ 1 2 5 に似た形態で構成することが可能である。

20

【 0 0 1 7 】

さらに、デバイスに対するコマンドを配送し、デバイスからのステータスを報知（ポスト）するのに用いられるインターフェイスレジスタを含むシャドウレジスタブロック 3 1 5 が設けられる。このシャドウレジスタブロック 3 1 5 の名前の由来は、標準 A T A エミュレーションを実行するために、従来のデバイスレジスタの内容を保護する（shadow）レジスタセットを含んでいることにある。本実施形態では、このコントローラは S A T A 規格に定められたマスタ/スレーブエミュレーションモードで動作する。つまり、2 つの分離したシリアルポート 2 1 0 , 2 1 5 における 2 つのシリアルデバイスが、ホストバスアドレスの同じセットにおいてマスタおよびスレーブとしてアクセスされるようにホストソフトウェアに対して示される。

30

【 0 0 1 8 】

この機能を実現するために、平行およびシリアルポート 1 3 0 , 2 1 0 , 2 1 5 の間を切り替えるのに使用できるポート割り当てユニット 3 3 5 が設けられる。このポート割り当てユニット 3 3 5 はさらに平行ポート 1 3 0 に接続されたマスタおよびスレーブ装置を正しい制御ユニット 3 2 5 , 3 3 0 に接続する。さらに、上述したように本実施形態のコントローラはマスタ/スレーブエミュレーションモードで動作するので、シリアルポート 2 1 0 , 2 1 5 に接続されたシリアル装置はマスタ制御ユニット 3 2 5 またはスレーブ制御ユニット 3 3 0 のいずれかに接続される。ポート割り当てユニット 3 3 5 によって実行される他の機能は平行/シリアルコンバータ 2 0 5 の機能である。つまり、それは平行・シリアルデータ信号変換またはその逆を実行する。

40

【 0 0 1 9 】

図 3 からわかるように、ポート割り当てユニット 3 3 5 はポートマップレジスタ 3 4 0 からさらに入力を受信する。実際にはレジスタセットであるポートマップレジスタ 3 4 0 は平行およびシリアルポート 1 3 0 , 2 1 0 , 2 1 5 のどれがアクティブになっているのかを示す、ポート特定データを記憶する。一般的には、どのポートもアクティブではない状態を含め、ポートをいくつでもアクティブにできるし、平行およびシリアルポートのすべてをアクティブにできる、ことに注意してもらいたい。

【 0 0 2 0 】

別の実施形態では、ポートマップレジスタ 3 4 0 およびポート割り当てユニット 3 3 5 は、図 3 の A T A コントローラが次の設定中のいずれかで動作できるようにする。第 1 設定では、0 , 1 または 2 つの平行 A T A デバイスを駆動できる。他の設定では、0 ,

50

1または2つのシリアルATAデバイスを駆動できる。最後に、3番目の設定では、1つのパラレルおよび1つのシリアルデバイスを駆動できる。

【0021】

使用されるポートを定義しているポート特定データ、または設定を記憶するポートマップレジスタ340はターゲットインターフェイス305に接続されており、それによってドライバ120は再設定を行うためにレジスタに対してアクセスできることに注意してもらいたい。つまり、この実施形態をシリアルポートによる既存のパラレルATAコントローラにまで拡張して、それによってコスト対効果の高い、ソフトウェアによって設定可能な複合シリアル/パラレルATAコントローラを実装するために相当数のパラレルATAコントローラハードウェアを再利用することが可能になる。

10

【0022】

コントローラ全体を従来のATAコントローラとして動作するように再設定することも可能であるし、また従来のSATAコントローラとして動作するように再設定することも可能である。つまり、本コントローラが従来のATAコントローラのように振る舞うモードと、それが従来のSATAコントローラのように振る舞うモードとの間での切り替えを可能にするように、ソフトウェアによる再設定が可能である。さらに、本実施形態に従ったコントローラはパラレルデバイスおよびシリアルデバイスに並行してデータ転送を実行するように構成することができる。つまり、本実施形態のコントローラは、ソフトウェアによる再構成を実行するだけでどのような接続モードにも設定することができる、カメレオンのような装置である。

20

【0023】

さらに、前記モードの一つにおいて、パラレルデバイスとシリアルデバイスとを同時に動作させることもできる。パラレル記憶装置およびシリアル記憶装置への、および/またはそれらからの並行データ転送は、従来のATAインターフェイス制御回路によって生成される従来のATA制御信号を扱うことを可能にし、追加のペイロードバッファを加えるようにSATAトランスポート層状態機械を拡張することで実現できることに注意してもらいたい。

【0024】

上述のように、ポートマップレジスタ340は、ソフトウェア100, 105, 110, 115, 120による構成の設定および再設定を可能にする。これには、パラレルデバイスまたはシリアルデバイスに対する、マスタデバイスまたはシリアルデバイスもしくはその両方の設定も含まれる。さらに、SATA規格で定義されているように、本コントローラはSATAポートステータスおよびエラーレジスタに対するリード・ライトプロセスを許可するために必要なレジスタを備えていてもよい。

30

【0025】

図4は、図3の実施形態に従ったATAコントローラを動作させるプロセスを示すフローチャートである。ステップ400では、ソフトウェアにより、シリアルATA装置が接続されているかどうかを、例えばSATAポートステータスレジスタを読み出すことでチェックする。次に、ステップ405で、このソフトウェアはポートマップレジスタ340を設定する。ステップ400および405は、コントローラの初期化の際に実行可能であることに注意してほしい。

40

【0026】

ドライバ120からの働きかけに応答して、または記憶装置の一つからの要求に応答して、ステップ410において、ポート割り当てユニット335は、適切なポート130, 210, 215を切り替えるためのポート切り替えユニットとして動作する。もしすでに正しいポートがアクティブになっている場合は、このステップは省略可能である。記憶装置へのアクセスが可能になると、ステップ415でデータ転送が実行される。

【産業上の利用可能性】

【0027】

本発明は、パーソナルコンピュータなどの大量生産品におけるデータ通信を飛躍的に拡

50

張することが可能である。

【図面の簡単な説明】

【0028】

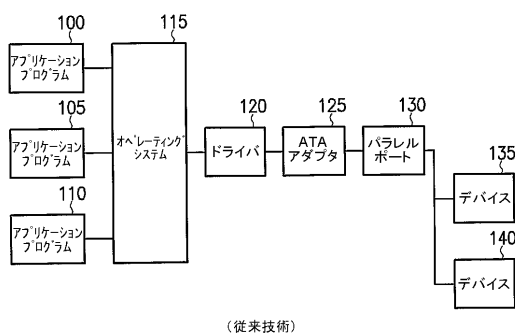
【図1】ATA準拠の記憶装置に接続された従来のコンピュータシステムの図。

【図2】SATA準拠の記憶装置に接続された従来のコンピュータシステムの図。

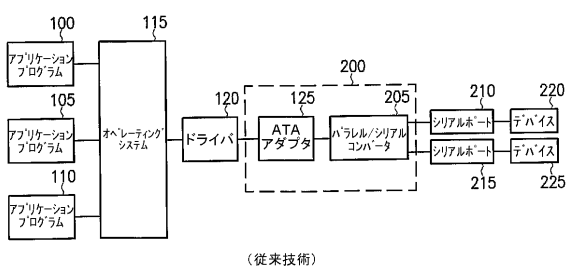
【図3】一実施形態に従ったATAコントローラの構成要素を示す図。

【図4】図3のATAコントローラの動作プロセスを示すフローチャート。

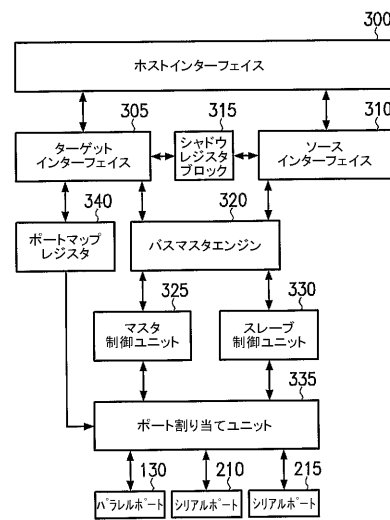
【図1】



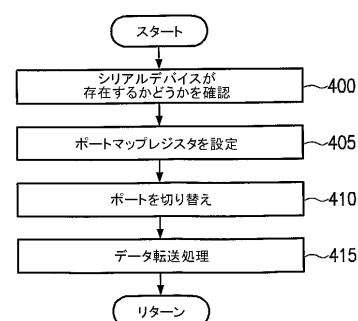
【図2】



【図3】



【図4】



フロントページの続き

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 ヘンリー ドレッシエル

ドイツ、01127 ドレスデン、ブラウンシュバイゲル シュトラッセ 2

(72)発明者 フランク パース

ドイツ、01445 ラーデボイル、ニッツァシュトラッセ 63アー

審査官 横山 佳弘

(56)参考文献 特開平04-346123(JP,A)

特開2001-014258(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/10

G06F 13/12

G06F 13/14

G06F 3/06