

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4351071号  
(P4351071)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int.Cl.

F 1

G06F 13/10 (2006.01)  
G06F 13/12 (2006.01)G06F 13/10 340B  
G06F 13/12 330A

請求項の数 12 (全 9 頁)

(21) 出願番号 特願2003-582653 (P2003-582653)  
 (86) (22) 出願日 平成15年2月28日 (2003.2.28)  
 (65) 公表番号 特表2006-508413 (P2006-508413A)  
 (43) 公表日 平成18年3月9日 (2006.3.9)  
 (86) 國際出願番号 PCT/US2003/006258  
 (87) 國際公開番号 WO2003/085535  
 (87) 國際公開日 平成15年10月16日 (2003.10.16)  
 審査請求日 平成18年2月27日 (2006.2.27)  
 (31) 優先権主張番号 102 14 700.0  
 (32) 優先日 平成14年4月3日 (2002.4.3)  
 (33) 優先権主張国 ドイツ(DE)  
 (31) 優先権主張番号 10/259,710  
 (32) 優先日 平成14年9月27日 (2002.9.27)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 591016172  
 アドバンスト・マイクロ・ディバイシズ・  
 インコーポレイテッド  
 ADVANCED MICRO DEVICES INCORPORATED  
 アメリカ合衆国、94088-3453  
 カリフォルニア州、サンディベール、ビィ・  
 オウ・ボックス・3453、ワン・エイ・  
 エム・ディ・ブレイス、メイル・ストップ  
 ・68 (番地なし)  
 (74) 代理人 100098324  
 弁理士 鈴木 正剛  
 (74) 代理人 100111615  
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 ATA/SATA複合コントローラ

## (57) 【特許請求の範囲】

## 【請求項 1】

記憶装置に対する、および／または記憶装置からのデータ転送を制御する制御装置であつて、

ATA (Advanced Technology Attachment) 準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送を制御する第1制御ユニットと、

SATA (シリアル ATA) 準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送を制御する第2制御ユニットと、

前記パラレル記憶装置および前記シリアル記憶装置を特定する特定データを記憶するポートマップレジスタと、

前記特定データによって示される前記パラレル記憶装置および前記シリアル記憶装置に対する接続を確立するポート切り替えユニットとを備え、

前記パラレル記憶装置および前記シリアル記憶装置に対する、および／またはそれからのデータ転送を並行して実行する能力を持つ、制御装置。

## 【請求項 2】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項1記載の制御装置。

## 【請求項 3】

前記第1制御ユニットは1つのパラレルポートに接続された2つのATA記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記パラレルポ

ートにおいて一方の記憶装置はマスタとなり、他方の記憶装置はスレーブとなり、前記ポートマップレジスタは、どちらの記憶装置がマスタなのか、またはスレーブなのかを特定するマスタ／スレーブ特定データを記憶するように接続されている、請求項1記載の制御装置。

【請求項4】

前記第1制御ユニットは2つのパラレルA T A記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記第2制御ユニットは2つのS A T A記憶装置に対する、および／またはそれからのデータ転送を制御するように構成されており、

S A T A記憶装置とのデータ転送のみを可能にするために、前記第1制御ユニットの動作を停止することができる、請求項1記載の制御装置。 10

【請求項5】

前記第1制御ユニットは2つのパラレルA T A記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記第2制御ユニットは2つのS A T A記憶装置に対する、および／またはそれからのデータ転送を制御するように構成されており、

パラレルA T A記憶装置とのデータ転送のみを可能にするために、前記第2制御ユニットの動作を停止することができる、請求項1記載の制御装置。

【請求項6】

S A T A記憶装置が前記制御装置に接続されているかどうかを判定するように構成された、請求項1記載の制御装置。 20

【請求項7】

前記判定されたS A T A記憶装置上の情報をホストソフトウェアに提供するように構成された、請求項6記載の制御装置。

【請求項8】

記憶装置に対する、および／または記憶装置からのデータ転送を制御する制御装置の制御方法であって、

前記制御装置に接続されたA T A(Advanced Technology Attachment)準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送を実行するステップと、

前記制御装置に接続されたS A T A(シリアルA T A)準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送を実行するステップと、 30

前記パラレル記憶装置および前記シリアル記憶装置を特定する特定データを、前記制御装置のポートマップレジスタに記憶するステップと、

前記特定データによって示される前記パラレル記憶装置および前記シリアル記憶装置に対する接続を確立するために前記制御装置のポートを切り替えるステップとを含み、

前記A T A準拠のパラレル記憶装置に対する、および／またはそれからのデータ転送と、S A T A準拠のシリアル記憶装置に対する、および／またはそれからのデータ転送とは並行して行われる方法。

【請求項9】

前記ポートマップレジスタはソフトウェアによって書き換え可能である、請求項8記載の方法。 40

【請求項10】

1つのパラレルポートに接続された2つのパラレルA T A記憶装置に対する、および／またはそれからのデータ転送を制御するように構成され、前記パラレルポートにおいて一方の記憶装置はマスタとなり、他方の記憶装置はスレーブとなり、

前記ポートマップレジスタは、どちらの記憶装置がマスタなのか、またはスレーブなのかを特定するマスタ／スレーブ特定データを記憶する、請求項8記載の方法。

【請求項11】

S A T A記憶装置が前記制御装置に接続されているかどうかを判定するステップをさらに含む、請求項8記載の方法。 50

**【請求項 12】**

前記判定された S A T A 記憶装置上の情報をホストソフトウェアに提供するステップをさらに含む、請求項 11 記載の方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は一般的に記憶装置への、および / または記憶装置からのデータ転送に関し、特に A T A ( Advanced Technology Attachment ) および S A T A ( シリアル A T A ) コントローラに関する。

**【背景技術】****【0002】**

コンピュータシステムにおいては、ハードディスクおよび C D または D V D 、テープデバイス、大容量リムーバブルデバイス、 z i p ドライブおよび C D R W ドライブのようなその他のドライブは、それらのデバイスへの、およびそれらのデバイスからのデータ転送を実行するための物理的および論理的な要件を定義するインターフェイスを介して、コンピュータに接続される記憶装置（記憶デバイス）である。現代のコンピュータシステムで使用されているもっとも一般的なインターフェイスの一つは、 I D E ( Integrated Drive Electronics ) として一般的によく知られているものである。この I D E ドライブインターフェイス（より正確には A T ( Advanced Technology ) A t t a c h m e n t ( ATA ) インターフェイスと呼ばれる）の開発は 1986 年に始まり、 1988 年ごろに標準化されている。ディスクドライブを P C ( Personal Computer ) アーキテクチャに「取り付け」するための方法を提供するこの規格はさらに開発が続けられ、最近では A T A / A T A P I , E I D E , A T A - 2 , F a s t A T A , U l t r a A T A , U l t r a D M A , A T A - 4 およびその他の様々な多数の規格が作られている。これらの規格はすべて、パラレル記憶装置を接続するための記憶（ストレージ）インターフェイスを定義するものであって、以下では A T A 準拠のものと呼ぶ。

**【0003】**

パラレル A T A インターコネクトは、他との比較における単純さ、高性能、低コストのために、デスクトップおよびモバイルコンピュータにおける支配的な内部記憶装置用相互接続であったが、 A T A 準拠のインターフェイスは性能を向上させ続ける能力に限界をもたらす多くの制限を持つ。そのような制限としては、 5 ボルトの信号要件、ピン数の多さなどがある。パラレル A T A インターフェイスのこれらのおよび他の特徴は、そのようなインターフェイスが、過去には実現していた速度倍増をさらに何回か実現するように拡張できないことの原因となっており、したがってこのインターフェイスはその性能限界に近づいている。

**【0004】**

この理由から、および次の 10 年において拡張可能な性能を提供するために、次世代の A T A 規格として、シリアル A T A ( S A T A ) が開発されている。 S A T A はパラレル A T A 物理ストレージインターフェイスに対する革新的な代替技術であって、現在の A T A と 100 % ソフトウェア互換性を持つように設計されているが、ずっと少ないピン数を持ち、より薄く、より柔軟性に富んだケーブルを実現している。ソフトウェア互換性が保たれているので、現在のドライバおよびオペレーティングを変更する必要がない。さらに、ピン数が少なくなるために、マザーボードおよびそのチップセットならびにその他の集積シリコン部品の設計に恩恵をもたらす。

**【0005】**

上述のように、 S A T A のインターフェイスの主要な特徴の一つは、パラレル A T A コントローラとのソフトウェア互換性である。このことは、標準の A T A とシリアル A T A ( S A T A ) との接続性をそれぞれ示す図 1 および図 2 を比較することによってよりよく理解することができる。

**【0006】**

10

20

30

40

50

最初に図1を参照する。図1はATA準拠のパラレル記憶デバイスへの、および当該デバイスからのデータ転送を可能にするためにコンピュータシステムにどのように接続されるかを示す。このコンピュータシステムは当該コンピュータで走っている主ソフトウェアであるオペレーティングシステム115を含む。ユーザーに対して情報を提供し、入力を受け取るユーザーインターフェイスを一般的に有する、複数のアプリケーションプログラム100, 105, 110をさらに含んでいてもよい。もちろん、ユーザーインターフェイスを持たないアプリケーションプログラムも存在しうる。さらに、拡張ソフトウェアコンポーネントである、またはオペレーティングシステム115の一部であるドライバソフトウェア120も一般に提供され、特にATA準拠のハードウェアと相互に作用するように実行される。

10

#### 【0007】

このハードウェアは、パラレルポート130を介してデバイス135, 140とデータ信号を交換するATAアダプタ125を含む。このATAアダプタ125はATAコントローラとも呼ばれ、しばしばパラレルポート130と一緒にされている。

#### 【0008】

図2は、SATAインターフェイスを持つコンピュータシステムの対応する部分を描いたものである。アプリケーションプログラム100, 105, 110、オペレーティングシステム115、ドライバ120は変更の必要がない。ハードウェア側では、SATAアダプタ200が設けられ、シリアルデバイス220, 225と信号を交換するために一以上のシリアルポート210, 215に接続されている。つまり、SATAが利用可能なコンピュータシステムは、デバイスおよびポートがシリアル化され、適切なSATA準拠アダプタ200が設けられているという点で図1のシステムとは異なっている。このアダプタのさらに詳細について焦点を合わせると、このSATAアダプタ200は、データ信号のパラレル・シリアルおよびシリアル・パラレル変換を実行するパラレル/シリアルコンバータ205を備えるATAアダプタ125を含むものとして理解されることがわかる。

20

#### 【0009】

オペレーティングシステム115においても、ドライバソフトウェア120においてもSATA規格に対する特別な対応は必要ないので、図2のインターフェイスは図1の技術とソフトウェア互換である。従って、SATAは棚ぼた式の解決方法(drop-in solution)なのであって、手持ちのソフトウェアはなんらの修正もなしに新しいアーキテクチャで動く。この特徴および上述の他の特長が与えられ、さらにSATA準拠のコントローラおよびデバイスは従来のユニットとほぼ同じコストになることを勘定に入れると、SATAはいずれパラレルATAインターフェイスを完全に置き換えることが期待される。業界におけるSATAの受け入れは段階的な移行経過をたどり、いずれかの時点でパラレルおよびシリアルATAの両方の能力が利用可能になる。

30

#### 【0010】

この技術はソフトウェア互換であり、かつオペレーティングシステム透過性を持つにもかかわらず、SATAの電気回路およびコネクタは従来のATAインターフェイスのそれらとは異なっている。この理由から、コンピュータシステムにおけるハードディスクおよび他の記憶デバイスの前方および後方互換性を促進するためにアダプタが提供される。例えば、SATA対ATAブリッジがハードディスクおよび記憶システムにおいて使用可能であり、ATA対SATAブリッジがマザーボード、アドインカード、ドライブテスト装置において使用可能である。しかしながら、そのような従来の解決方法は多くの追加ハードウェア部品を必要とし、製造コストの増加につながる。

40

#### 【発明の開示】

#### 【発明の概要】

#### 【0011】

本発明の一実施形態は、記憶装置に対する、および/または記憶装置からのデータ転送を制御する制御装置である。この制御装置は、ATA準拠のパラレル記憶装置(デバイス)との間のデータ転送を制御する第1制御ユニットを備える。さらに、この制御装置はS

50

A T A 準拠のシリアル記憶装置（デバイス）との間のデータ転送を制御する第2制御ユニットを備える。この制御装置はパラレルデバイスおよびシリアルデバイスとの間のデータ転送を同時に実行する能力を持つ。

別の実施形態において、前記第1制御ユニットは、2つのパラレルA T A記憶装置との間のデータ転送を制御するように構成されており、前記第2制御ユニットは、2つのS A T A記憶装置との間のデータ転送を制御するように構成されている。

別の実施形態において、前記制御装置は前記第1制御ユニットを動作停止（ディスエーブル）にして、S A T A記憶装置との間のデータ転送のみを可能に（イネーブルに）することができる。

別の実施形態において、前記制御装置は前記第2制御ユニットを動作停止（ディスエーブル）にして、パラレルA T A記憶装置との間のデータ転送のみを可能に（イネーブルに）することができる。10

別の実施形態において、本装置は、S A T A記憶装置が前記制御装置に接続されているかどうかを決定するように構成される。

別の実施形態において、本装置は、前記決定されたS A T A記憶装置に関する情報をホストコンピュータに提供するように構成されている。

別の実施形態において、前記第2制御ユニットはパラレルデータをシリアルデータに、および／またはシリアルデータをパラレルデータに変換してS A T A記憶装置との間のデータ転送を可能にすることができる。

別の実施形態において、本装置は集積回路チップである。20

#### 【0012】

本発明の他の実施形態は、記憶装置に対する、および／または記憶装置からのデータ転送を制御する制御装置の制御方法である。本方法は、制御装置に接続されたA T A 準拠のパラレル記憶装置との間のデータ転送を実行するステップを含む。本方法は、制御装置に接続されたS A T A 準拠シリアル記憶装置との間のデータ転送を実行するステップをさらに含む。A T A 準拠のパラレル記憶装置との間のデータ転送およびS A T A 準拠シリアル記憶装置との間のデータ転送は並行して行われる。

別の実施形態において、2つのS A T A記憶装置との間のデータ転送はマスタ／スレーブエミュレーションモードで実行され、一方のS A T A記憶装置はホストコンピュータに対してマスタとして表示され、他方のS A T A記憶装置はスレーブとして表示され、両方がホストバスアドレスの同じセットにおいてアクセス可能である。30

別の実施形態において、制御装置の一つのパラレルポートに接続された2つのパラレルA T A記憶装置との間のデータ転送は、パラレルポートにおいて一方の装置がマスタとなり、他方の装置がスレーブとなるように制御される。

別の実施形態において、2つのA T A 準拠パラレル記憶装置との間のデータ転送が制御され、2つのS A T A 準拠シリアル記憶装置との間のデータ転送が制御される。

別の実施形態において、本方法は、S A T A記憶装置が前記制御装置に接続されているかどうかを決定するステップをさらに含む。

別の実施形態において、本方法は、前記決定されたS A T A記憶装置に関する情報をホストコンピュータに提供するステップをさらに含む。40

別の実施形態において、前記S A T A 準拠シリアル記憶装置との間でデータ転送を実行するステップは、パラレルデータをシリアルデータに、および／またはシリアルデータをパラレルデータに変換するステップを含む。

#### 【0013】

添付の図面は、本発明の本質を説明する目的において、本明細書に組み合わされ、その一部を構成する。これらの図面は、本発明がいかに製造され、および使用されるかを示す例示され、説明される実施形態のみに本発明を限定するものと解釈するべきではない。別の特徴および利点は、添付の図面に示され、後述の本発明の詳細な説明において明らかになるであろう。

#### 【発明を実施するための最良の形態】

**【0014】**

本発明の例示としての実施形態を以下図面を参照して説明する。類似の要素および構造は、同様の参考番号で示される。

**【0015】**

図面、特に図3を参照する。図3は、一実施形態に従ったATAコントローラのハードウェア要素を示す。このコントローラはターゲットインターフェイスユニット305およびソースインターフェイスユニット310を含む。両方のインターフェイスはホストインターフェイス300に接続され、ソフトウェアドライバ120による要求（リクエスト）およびデータを交換する。ドライバ120はターゲットインターフェイスユニット305を用いて、設定の目的でコントローラにアクセスすることができる。一方、ソースインターフェイス310を用いて、記憶装置との間でデータの読み出しありまたは書き込みを行うためにデータアクセスを実行することができる。10

**【0016】**

さらに、マスタ制御ユニット325とスレーブ制御ユニット330のどちらが、ターゲットインターフェイス305とソースインターフェイス310のどちらかへのアクセスを許可されるのか、またはその逆を制御するバスマスターインジン320が設けられる。マスタ制御ユニット325およびスレーブ制御ユニット330は、2つのパラレルデバイス（一方がマスタで他方がスレーブ）を接続できるパラレルポートを制御する従来のATAコントローラ125に似た形態で構成することが可能である。20

**【0017】**

さらに、デバイスに対するコマンドを配達し、デバイスからのステータスを報知（ポスト）するのに用いられるインターフェイスレジスタを含むシャドウレジスタブロック315が設けられる。このシャドウレジスタブロック315の名前の由来は、標準ATAエミュレーションを実行するために、従来のデバイスレジスタの内容を保護する（shadow）レジスタセットを含んでいることにある。本実施形態では、このコントローラはSATA規格に定められたマスタ／スレーブエミュレーションモードで動作する。つまり、2つの分離したシリアルポート210, 215における2つのシリアルデバイスが、ホストバスアドレスの同じセットにおいてマスタおよびスレーブとしてアクセスされるようにホストソフトウェアに対して示される。30

**【0018】**

この機能を実現するために、パラレルおよびシリアルポート130, 210, 215の間に切り替えるのに使用できるポート割り当てユニット335が設けられる。このポート割り当てユニット335はさらにパラレルポート130に接続されたマスタおよびスレーブ装置を正しい制御ユニット325, 330に接続する。さらに、上述したように本実施形態のコントローラはマスタ／スレーブエミュレーションモードで動作するので、シリアルポート210, 215に接続されたシリアル装置はマスタ制御ユニット325またはスレーブ制御ユニット330のいずれかに接続される。ポート割り当てユニット335によって実行される他の機能はパラレル／シリアルコンバータ205の機能である。つまり、それはパラレル・シリアルデータ信号変換またはその逆を実行する。40

**【0019】**

図3からわかるように、ポート割り当てユニット335はポートマップレジスタ340からさらに入力を受信する。実際にはレジスタセットであるポートマップレジスタ340はパラレルおよびシリアルポート130, 210, 215のどれがアクティブになっているのかを示す、ポート特定データを記憶する。一般的には、どのポートもアクティブではない状態を含め、ポートをいくつでもアクティブにできるし、パラレルおよびシリアルポートのすべてをアクティブにできる、ことに注意してもらいたい。50

**【0020】**

別の実施形態では、ポートマップレジスタ340およびポート割り当てユニット335は、図3のATAコントローラが次の設定中のいずれかで動作できるようにする。第1設定では、0, 1または2つのパラレルATAデバイスを駆動できる。他の設定では、0,

1または2つのシリアルA T Aデバイスを駆動できる。最後に、3番目の設定では、1つのパラレルおよび1つのシリアルデバイスを駆動できる。

#### 【0021】

使用されるポートを定義しているポート特定データ、または設定を記憶するポートマップレジスタ340はターゲットインターフェイス305に接続されており、それによってドライバ120は再設定を行うためにレジスタに対してアクセスできることに注意してもらいたい。つまり、この実施形態をシリアルポートによる既存のパラレルA T Aコントローラにまで拡張して、それによってコスト対効果の高い、ソフトウェアによって設定可能な複合シリアル／パラレルA T Aコントローラを実装するために相当数のパラレルA T Aコントローラハードウェアを再利用することが可能になる。

10

#### 【0022】

コントローラ全体を従来のA T Aコントローラとして動作するように再設定することも可能であるし、また従来のS A T Aコントローラとして動作するように再設定することも可能である。つまり、本コントローラが従来のA T Aコントローラのように振る舞うモードと、それが従来のS A T Aコントローラのように振る舞うモードとの間での切り替えを可能にするように、ソフトウェアによる再設定が可能である。さらに、本実施形態に従ったコントローラはパラレルデバイスおよびシリアルデバイスに並行してデータ転送を実行するように構成することができる。つまり、本実施形態のコントローラは、ソフトウェアによる再構成を実行するだけでどのような接続モードにも設定することができる、カメレオンのような装置である。

20

#### 【0023】

さらに、前記モードの一つにおいて、パラレルデバイスとシリアルデバイスとを同時に動作させることもできる。パラレル記憶装置およびシリアル記憶装置への、および／またはそれらからの並行データ転送は、従来のA T Aインターフェイス制御回路によって生成される従来のA T A制御信号を扱うことを可能にし、追加のペイロードバッファを加えるようにS A T Aトランスポート層状態機械を拡張することで実現できることに注意してもらいたい。

#### 【0024】

上述のように、ポートマップレジスタ340は、ソフトウェア100, 105, 110, 115, 120による構成の設定および再設定を可能にする。これには、パラレルデバイスまたはシリアルデバイスに対する、マスタデバイスまたはシリアルデバイスもしくはその両方の設定も含まれる。さらに、S A T A規格で定義されているように、本コントローラはS A T Aポートステータスおよびエラーレジスタに対するリード・ライトプロセスを許可するために必要なレジスタを備えていてもよい。

30

#### 【0025】

図4は、図3の実施形態に従ったA T Aコントローラを動作させるプロセスを示すフローチャートである。ステップ400では、ソフトウェアにより、シリアルA T A装置が接続されているかどうかを、例えばS A T Aポートステータスレジスタを読み出すことでチェックする。次に、ステップ405で、このソフトウェアはポートマップレジスタ340を設定する。ステップ400および405は、コントローラの初期化の際に実行可能であることに注意してほしい。

40

#### 【0026】

ドライバ120からの働きかけに応答して、または記憶装置の一つからの要求に応答して、ステップ410において、ポート割り当てユニット335は、適切なポート130, 210, 215を切り替えるためのポート切り替えユニットとして動作する。もしすでに正しいポートがアクティブになっている場合は、このステップは省略可能である。記憶装置へのアクセスが可能になると、ステップ415でデータ転送が実行される。

#### 【産業上の利用可能性】

#### 【0027】

本発明は、パーソナルコンピュータなどの大量生産品におけるデータ通信を飛躍的に拡

50

張することが可能である。

**【図面の簡単な説明】**

**【0028】**

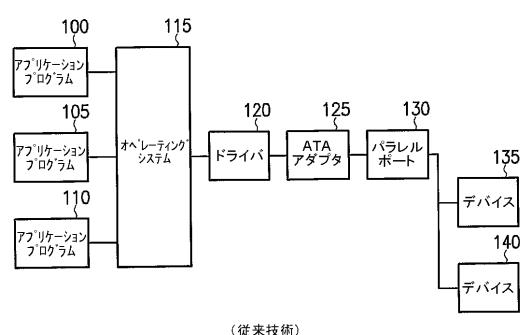
【図1】ATA準拠の記憶装置に接続された従来のコンピュータシステムの図。

【図2】SATA準拠の記憶装置に接続された従来のコンピュータシステムの図。

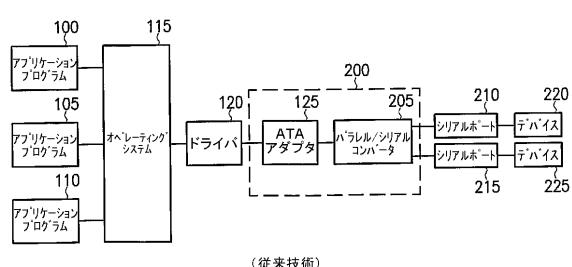
【図3】一実施形態に従ったATAコントローラの構成要素を示す図。

【図4】図3のATAコントローラの動作プロセスを示すフローチャート。

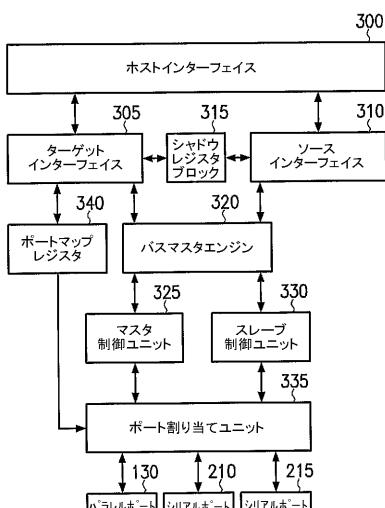
**【図1】**



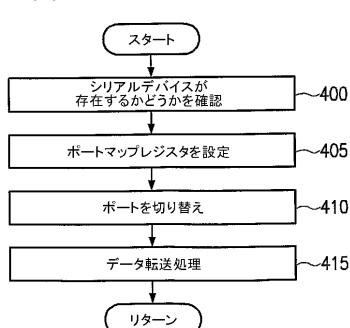
**【図2】**



**【図3】**



**【図4】**



---

フロントページの続き

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 ヘンリー ドレッセル

ドイツ、01127 ドレスデン、ブラウンシュバイゲル シュトラッセ 2

(72)発明者 フランク パース

ドイツ、01445 ラーデボイル、ニッツアシュトラッセ 63 アー

審査官 横山 佳弘

(56)参考文献 特開平04-346123(JP,A)

特開2001-014258(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/10

G06F 13/12

G06F 13/14

G06F 3/06