

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3799115号
(P3799115)

(45) 発行日 平成18年7月19日(2006.7.19)

(24) 登録日 平成18年4月28日(2006.4.28)

(51) Int. Cl. F I
G06F 3/00 (2006.01)
 G06F 3/00 Y
 G06F 3/00 H

請求項の数 12 (全 12 頁)

(21) 出願番号	特願平9-19377	(73) 特許権者	000001007
(22) 出願日	平成9年1月31日(1997.1.31)		キヤノン株式会社
(65) 公開番号	特開平10-222266		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成10年8月21日(1998.8.21)	(74) 代理人	100076428
審査請求日	平成16年1月21日(2004.1.21)		弁理士 大塚 康德
		(74) 代理人	100093908
			弁理士 松本 研一
		(72) 発明者	鈴木 範之
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		(72) 発明者	植村 寛
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 信号出力回路およびパラレルインターフェース回路およびプリンタ装置

(57) 【特許請求の範囲】

【請求項1】

3ステートバッファと、

前記3ステートバッファの出力端に接続されたプルアップ抵抗と、

前記3ステートバッファへの入力信号がローレベルである場合、前記3ステートバッファに対して前記出力イネーブル信号を出力し、前記3ステートバッファへの入力信号がローレベルからハイレベルに遷移する場合、所定の期間、前記3ステートバッファに対して前記出力イネーブル信号を出力し、前記所定の期間の経過後は、前記3ステートバッファに対して前記出力イネーブル信号を出力しない出力制御回路とを有し、

前記出力イネーブル信号が出力される場合には、前記3ステートバッファは前記3ステートバッファへの入力信号に基づいて出力信号を出力し、前記出力イネーブル信号が出力されていない場合には、前記3ステートバッファの出力は高インピーダンスになることを特徴とする信号出力回路。

【請求項2】

前記出力イネーブル信号が出力される場合、前記3ステートバッファはトータムポール駆動することを特徴とする請求項1記載の信号出力回路。

【請求項3】

前記所定の期間はクロック信号の1周期の期間であることを特徴とする請求項1或いは2記載の信号出力回路。

【請求項4】

10

20

前記出力制御回路は、前記 3 ステートバッファへの入力信号がローレベルである場合には、前記ステートバッファに対して出力イネーブル信号を出力し、前記 3 ステートバッファへの入力信号がローレベルからハイレベルに遷移する場合には、前記 3 ステートバッファの出力がハイレベルに至るまでの期間と前記所定の期間とのいずれか短い方の期間、前記 3 ステートバッファに対して前記出力イネーブル信号を出力することを特徴とする請求項 1 或いは 2 記載の信号出力回路。

【請求項 5】

3 ステートバッファと、

前記 3 ステートバッファへ入力される信号がローレベルである場合、ローレベルの信号を出力するように前記 3 ステートバッファを制御し、前記 3 ステートバッファへ入力される信号がローレベルからハイレベルになる場合、所定の期間、ハイレベルの信号を出力するように前記 3 ステートバッファを制御し、前記所定の期間の経過後、前記 3 ステートバッファの出力が高インピーダンスになるように前記 3 ステートバッファを制御する出力制御回路とを有することを特徴とする信号出力回路。

10

【請求項 6】

前記 3 ステートバッファは、ローレベルの信号またはハイレベルの信号を出力する場合、トータムポール駆動することを特徴とする請求項 5 に記載の信号出力回路。

【請求項 7】

前記所定の期間は、前記出力制御回路に入力されるクロック信号の 1 周期の期間であることを特徴とする請求項 5 或いは 6 記載の信号出力回路。

20

【請求項 8】

前記所定の期間は、前記 3 ステートバッファの出力がローレベルからハイレベルに到達するまでの期間であることを特徴とする請求項 5 或いは 6 記載の信号出力回路。

【請求項 9】

前記出力制御回路は、前記 3 ステートバッファへ入力される信号がローレベルからハイレベルになる場合、前記 3 ステートバッファの出力がハイレベルに至るまでの期間と前記所定の期間とのいずれか短い方の期間、ハイレベルの信号を出力するように前記 3 ステートバッファを制御することを特徴とする請求項 5 乃至 7 のいずれかに記載の信号出力回路。

【請求項 10】

30

3 ステートバッファと、

前記 3 ステートバッファの出力端に接続されたプルアップ抵抗と、

前記 3 ステートバッファへの入力信号がローレベルである場合、前記 3 ステートバッファに対して前記出力イネーブル信号を出力し、前記 3 ステートバッファへの入力信号がローレベルからハイレベルに遷移する場合、所定の期間、前記 3 ステートバッファに対して前記出力イネーブル信号を出力し、前記所定の期間の経過後は、前記 3 ステートバッファに対して前記出力イネーブル信号を出力しない出力制御回路とを有する信号出力回路と、印刷データを印刷出力する印刷手段とを備えることを特徴とするプリンタ装置。

【請求項 11】

第 1 の 3 ステートバッファと、

40

前記第 1 の 3 ステートバッファの出力端に接続されたプルアップ抵抗と、

前記第 1 の 3 ステートバッファに対して出力イネーブル信号を出力する出力制御回路と

前記第 1 の 3 ステートバッファの出力信号と共有される信号線から入力信号が入力される第 2 の 3 ステートバッファとを更に備え、

前記出力制御回路は、前記第 2 の 3 ステートバッファに対して出力イネーブル信号が出力されていない間は、前記第 1 の 3 ステートバッファへの入力信号がローレベルの場合には、前記第 1 の 3 ステートバッファに対して前記出力イネーブル信号を出力し、前記第 1 の 3 ステートバッファへの入力信号がローレベルからハイレベルへ遷移する場合には、所定の期間、前記第 1 の 3 ステートバッファに対して前記出力イネーブル信号を出力し、前

50

記第2の3ステートバッファに対して前記出力イネーブル信号が出力されている間は、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力せず、

前記第1の3ステートバッファは、前記出力イネーブル信号が出力されている期間は入力信号に基づいて出力信号を出力し、前記出力イネーブル信号が出力されていない期間は前記第1の3ステートバッファの出力が高インピーダンスであることを特徴とする信号出力回路。

【請求項12】

第1の3ステートバッファと、

前記第1の3ステートバッファの出力端に接続されたプルアップ抵抗と、

前記第1の3ステートバッファに対して出力イネーブル信号を出力する出力制御回路と

10

、
前記第1の3ステートバッファの出力信号と共有される信号線から入力信号が入力される第2の3ステートバッファとを更に備え、

前記出力制御回路は、前記第2の3ステートバッファに対して出力イネーブル信号が出力されていない間は、前記第1の3ステートバッファへの入力信号がローレベルの場合には、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力し、前記第1の3ステートバッファへの入力信号がローレベルからハイレベルに遷移する場合には、前記第3ステートバッファの出力信号がハイレベルに至るまでの期間または所定の期間、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力し、前記第2の3ステートバッファに対して前記出力イネーブル信号が出力されている間は、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力せず、

20

前記第1の3ステートバッファは、前記出力イネーブル信号が出力されている期間は入力信号に基づいて出力信号を出力し、前記出力イネーブル信号が出力されていない期間は前記第1の3ステートバッファの出力が高インピーダンスであることを特徴とする信号出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路や装置間のインターフェース（I/F）、特にプリンタ装置などの周辺装置で広く用いられるパラレルI/Fに好適な信号出力回路及びパラレルI/F回路及びそれを
用いたプリンタ装置に関するものである。

30

【0002】

【従来の技術】

パーソナルコンピュータ等のホスト装置とプリンタ等の周辺装置間でデータを伝送するのに、セントロニクス社仕様のパラレルI/F（以下、セントロニクスI/Fと呼ぶ）が広く用いられているのは周知の通りである。セントロニクスI/Fの信号出力回路には、オープンコレクタ回路が用いられている。

【0003】

ところで、上記セントロニクスI/Fはホスト装置から周辺装置への単方向のデータ通信しか規定していないため、IEEEにおいて上記セントロニクスI/Fと上位互換の、双方向パラレルI/F標準が規定された（IEEE Std 1284-1994:Standard Signaling Method for a Bi-directional Parallel Peripheral Interface for Personal Computer. 以下、IEEE1284と呼ぶ。）

40

IEEE1284で定める通信モードのうち、ECPモードは最高約2Mバイト/秒の通信速度まで対応している。このため信号出力回路は、従来のオープンコレクタ回路では速度的に十分ではなく、トータムポール回路にする必要がある。

【0004】

【発明が解決しようとする課題】

ところが、信号出力回路をトータムポール回路にすると、オープンコレクタ回路にはなかった以下の如き問題が発生する。

50

【0005】

1) 出力信号を誤ってグラウンド（接地）や他の信号出力と長時間短絡させたままでは、信号出力回路の素子を劣化ないしは損傷させてしまう。

【0006】

このような状況は、使用者が接続ケーブルを設置する場合に、コネクタの端子部に誤って硬貨などの金属片などを近付けてしまった時などに発生する恐れがある。接続ケーブルの設置時に、装置の電源を切っておけば、上記のような事故は防げるが、電源を切ったつもりが実は切り忘れていたということは、ままありうることである。また、接続ケーブルの経年劣化により、ケーブル内部で出力信号どうしが短絡してしまう故障も十分考えられる。

10

【0007】

2) ECPモードでは、データ信号は双方向の信号である。このためデータ信号をホスト装置、周辺装置の双方で出力状態にしたままでは、信号出力回路の素子を劣化ないしは損傷させてしまう。

【0008】

このような状況は、装置内のCPUが暴走してしまうなどで、データ信号の方向制御が不能になってしまった時に発生する恐れがある。

【0009】

本発明は、信号出力回路にトータムポール回路を用いたパラレルI/F回路の改良に関するものであり、その目的は出力信号を誤ってグラウンドや他の出力信号と短絡させてしまったり、装置内のCPUの暴走などによりホスト装置、周辺装置の双方で出力状態となってしまう場合でも、信号出力回路の素子の劣化ないしは損傷の危険性をより少なくすることにある。

20

【0010】

【課題を解決するための手段】

上記目的を達成するために、本発明は、3ステートバッファと、

前記3ステートバッファの出力端に接続されたプルアップ抵抗と、

前記3ステートバッファへの入力信号がローレベルである場合、前記3ステートバッファに対して前記出力イネーブル信号を出力し、前記3ステートバッファへの入力信号がローレベルからハイレベルに遷移する場合、所定の期間、前記3ステートバッファに対して前記出力イネーブル信号を出力し、前記所定の期間の経過後は、前記3ステートバッファに対して前記出力イネーブル信号を出力しない出力制御回路とを有し、

30

前記出力イネーブル信号が出力される場合には、前記3ステートバッファは前記3ステートバッファへの入力信号に基づいて出力信号を出力し、前記出力イネーブル信号が出力されていない場合には、前記3ステートバッファの出力は高インピーダンスになることを特徴とする信号出力回路にある。

あるいは、本発明は、3ステートバッファと、

前記3ステートバッファへ入力される信号がローレベルである場合、ローレベルの信号を出力するように前記3ステートバッファを制御し、前記3ステートバッファへ入力される信号がローレベルからハイレベルになる場合、所定の期間、ハイレベルの信号を出力するように前記3ステートバッファを制御し、前記所定の期間の経過後、前記3ステートバッファの出力が高インピーダンスになるように前記3ステートバッファを制御する出力制御回路とを有することを特徴とする信号出力回路にある。

40

あるいは、本発明は、3ステートバッファと、

前記3ステートバッファの出力端に接続されたプルアップ抵抗と、

前記3ステートバッファへの入力信号がローレベルである場合、前記3ステートバッファに対して前記出力イネーブル信号を出力し、前記3ステートバッファへの入力信号がローレベルからハイレベルに遷移する場合、所定の期間、前記3ステートバッファに対して前記出力イネーブル信号を出力し、前記所定の期間の経過後は、前記3ステートバッファに対して前記出力イネーブル信号を出力しない出力制御回路とを有する信号出力回路と、

50

印刷データを印刷出力する印刷手段とを備えることを特徴とするプリンタ装置にある。

【0011】

あるいは、本発明は、第1の3ステートバッファと、

前記第1の3ステートバッファの出力端に接続されたプルアップ抵抗と、

前記第1の3ステートバッファに対して出力イネーブル信号を出力する出力制御回路と

、
前記第1の3ステートバッファの出力信号と共有される信号線から入力信号が入力される第2の3ステートバッファとを更に備え、

前記出力制御回路は、前記第2の3ステートバッファに対して出力イネーブル信号が出力されていない間は、前記第1の3ステートバッファへの入力信号がローレベルの場合には、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力し、前記第1の3ステートバッファへの入力信号がローレベルからハイレベルへ遷移する場合には、所定の期間、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力し、前記第2の3ステートバッファに対して前記出力イネーブル信号が出力されている間は、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力せず、

前記第1の3ステートバッファは、前記出力イネーブル信号が出力されている期間は入力信号に基づいて出力信号を出力し、前記出力イネーブル信号が出力されていない期間は前記第1の3ステートバッファの出力が高インピーダンスであることを特徴とする信号出力回路にある。

あるいは、第1の3ステートバッファと、

前記第1の3ステートバッファの出力端に接続されたプルアップ抵抗と、

前記第1の3ステートバッファに対して出力イネーブル信号を出力する出力制御回路と

、
前記3ステートバッファの出力信号と共有される信号線から入力信号が入力される第2の3ステートバッファとを更に備え、

前記出力制御回路は、前記第2の3ステートバッファに対して出力イネーブル信号が出力されていない間は、前記第1の3ステートバッファへの入力信号がローレベルの場合には、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力し、前記第1の3ステートバッファへの入力信号がローレベルからハイレベルに遷移する場合には、前記3ステートバッファの出力信号がハイレベルに至るまでの期間または所定の期間、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力し、前記第2の3ステートバッファに対して前記出力イネーブル信号が出力されている間は、前記第1の3ステートバッファに対して前記出力イネーブル信号を出力せず、

前記第1の3ステートバッファは、前記出力イネーブル信号が出力されている期間は入力信号に基づいて出力信号を出力し、前記出力イネーブル信号が出力されていない期間は前記第1の3ステートバッファの出力が高インピーダンスであることを特徴とする信号出力回路にある。

【0012】

【発明の実施の形態】

（第1の実施の形態）

以下に本発明の実施例につき説明する。図8は、本発明に係るパラレルインターフェース回路を有するプリンタ装置とホストコンピュータとを接続した構成の例である。プリンタ802は、ホストコンピュータ801とIEEE1284パラレルインターフェースにより接続され、ホストコンピュータとデータを交換する。プリンタ802は、CPU8022により制御され、パラレルI/F回路8021を介して、必要に応じて出力信号を出力し、データの送受信を行う。また、受信した印刷データをエンジン8024から印刷出力する。

【0013】

図1(a)は、プリンタ装置802からの各出力信号に関する、パラレルI/F回路8021を構成するIEEE1284I/Fの信号出力回路の回路構成である。より具体的に

10

20

30

40

50

は、nAck, Busy, pError, Select, nFaultの各信号の信号出力回路である。なお、これら信号名はコンパチブルモード時のものである。本実施形態においては、混乱を避けるため、信号名は通信モードによらず、常にコンパチブルモード時の呼称を用いることとする。

【0014】

当該回路への入力信号はフリップフロップ11によりクロック信号に同期してラッチされ、3ステートバッファ10を介して、最終的な出力信号として出力される。3ステートバッファ10の出力端は、抵抗12により5Vにプルアップされている。出力制御回路20の出力は3ステートバッファ10の出力イネーブル入力に接続している。3ステートバッファ10は出力制御回路20の出力がローの時のみ動作し、それ以外は出力が高インピーダンスとなる。

10

【0015】

図1(b)はデータ信号(Data1~Data8)の信号出力(入力)回路の回路構成である。10', 11', 12', 20'は、それぞれ3ステートバッファ、フリップフロップ、抵抗、出力制御回路で、図1(a)の3ステートバッファ10, フリップフロップ11, 抵抗12, 出力制御回路20と同様のものである。データ信号は双方向であるから、さらに入力用の3ステートバッファ13が備えられている。すなわち3ステートバッファ10'と13とにより双方向バッファが形成されている。当該双方向バッファの方向制御は方向制御信号により行う。方向制御信号がローの時は3ステートバッファ13が、ハイの時は3ステートバッファ10'がそれぞれ動作する。

20

【0016】

3ステートバッファ10'の出力イネーブル入力には、上記方向制御信号が直接接続されるわけではなく、NOT素子14と負論理AND素子15を経由する。負論理AND素子のもう一方の入力には、出力制御回路20'の出力が接続されている。以上の構成により、3ステートバッファ10'は、方向制御信号がハイ(=出力方向)で、かつ出力制御回路の出力がローの時のみ動作するようになっている。

【0017】

図2に出力制御回路20, 20'の詳細な回路構成を示す。図中、フリップフロップ32は、図1で説明したクロック信号で本回路への入力信号をラッチする。NAND素子33は、上記入力信号とフリップフロップ32のQX出力(反転出力)とが入力されている。以上の回路32, 33により、NAND素子33の出力は、図3(a)に示すように、上記入力信号の立ち上がり後、クロック信号の1周期の期間だけローを出力する。

30

【0018】

NAND素子33の出力は、さらに負論理OR素子34で、上記入力信号と負論理の論理和が取られる。従って、出力制御回路20, 20'の出力信号は、図3(b)に示すように、上記入力信号がローの時はローで、ローからハイに遷移した時に、クロック信号の1周期の期間だけローになる。この図3(b)に示された、出力制御回路20, 20'からの出力信号がローの期間が、3ステートバッファ10, 10'がトータムボール駆動される期間となる。出力信号がハイの期間は、3ステートバッファ10, 10'は高インピーダンス状態となる。

40

【0019】

以上の回路の最終的な出力信号を図4に示す。図3のところで説明したように、3ステートバッファ10, 10'がトータムボール駆動されるのは、3ステートバッファ10, 10'への入力信号がローの時、および入力信号がローからハイへと立ち上がった後のクロック信号1周期の期間だけであり、それ以外は3ステートバッファ10, 10'の出力は高インピーダンスである。3ステートバッファ10, 10'の出力が高インピーダンス時はプルアップ抵抗12, 12'により出力レベルが5Vに保持される。

【0020】

ここで、クロック信号の周期について考察する。3ステートバッファ10, 10'の出力が十分にハイレベルに到達した後、3ステートバッファ10, 10'の出力を高インピー

50

ダンスにしても、出力信号のレベルはプルアップ抵抗12, 12'によってハイレベルに保持される。そのため、図4中のクロック信号の1周期の期間は、3ステートバッファ10, 10'の出力がローレベルからハイレベルに到達するまでの期間であればよい。この期間は、IEEE1284 I/Fの場合は概ね数10n秒～200n秒程度であることがわかった。従ってクロック信号の周期は約30n秒～200n秒(33MHz～5MHz)程度とする。

【0021】

以上の回路構成によれば、信号出力回路の最終バッファ素子(前記3ステートバッファ10, 10')がトータムポール駆動により動作するのは、出力がローの時およびローからハイへの遷移時の約30n秒～200n秒だけである。つまり、最終バッファがハイレベルの信号を出力するのは、上記わずか約30n秒～200n秒の期間だけである。

10

【0022】

従って、出力信号がグラウンドや他の出力信号と短絡していたり、データ信号を、ホスト装置とプリンタ装置の双方で出力状態にしていたとしても、最終バッファ素子から電流が流れるのは上記約30n秒～200n秒の期間だけであり、素子に与えるダメージは実用上問題のないレベルとなる。

【0023】

なお、入力信号がローレベルの場合には特に出力期間は限定されないが、ローレベルどうしや、ローレベルとグラウンドの短絡は、もともと電流がほとんど流れないので実用上問題ない。

20

【0024】

以上説明してきたとおり、本実施例によれば、出力信号がグラウンドや他の出力信号と短絡したり、データ信号をホスト装置、周辺装置の双方で出力状態にしてしまうなどの障害発生時であっても、素子の劣化や損傷の危険性を大幅に低減することができる。

(第2の実施形態)

第1の実施形態でも述べたように、3ステートバッファをトータムポール駆動する期間は概ね約30n秒～200n秒程度であるが、この期間は使用する素子や接続ケーブルの特性、また相手方装置の信号入力回路の回路構成等によって、若干増減する。従って、どのような環境下においても正常に動作させようとする、マージンを考慮して長め、すなわち200n秒程度以上に設定せざるを得ない。しかしながら、必要十分な期間以上にトータムポール駆動を行うと、出力信号のオーバーシュートが発生しやすくなる。オーバーシュートの発生は、装置の発生ノイズの増加やI/Fのデータ伝送の誤りなどの原因ともなるため、その度合いによっては別途何らかの対策が必要となる場合もありうる。

30

【0025】

この点に鑑み、本実施例ではトータムポール駆動期間を動的に必要な十分な期間になるように工夫した。

【0026】

図5は本実施例におけるIEEE1284 I/Fの信号出力回路の回路構成である。第1実施例の場合と同様に、図5(a)はnAck、Busy、PError、Select、nFaultの各信号の信号出力回路、図5(b)はデータ(Data1～Data8)の信号出力(入力)回路の回路構成である。

40

【0027】

図1に示した回路と異なっているのは、出力制御回路20, 20'が出力制御回路40, 40'になっている点である。出力制御回路40, 40'には入力信号として、3ステートバッファ10, 10'の出力信号が加わっている。

【0028】

図6に出力制御回路40, 40'の詳細な回路構成を示す。図中、フリップフロップ32, NAND素子33, 負論理OR素子34は図2で説明したものと同一である。負論理AND素子35は、NAND素子33の出力を3ステートバッファ10, 10'の出力でゲートをかける。従って、出力制御回路40, 40'は、本回路への入力信号がローの時と

50

、ローからハイに遷移する時に、クロック信号の1周期の期間、または3ステートバッファ10, 10'の出力がハイに到達するまでの期間の、何れか短い方の期間だけローを出力する。ここで、クロック信号の1周期を、マージンも考慮した長めの期間になるように選択しておけば、通常3ステートバッファ10, 10'の出力がハイに到達するまでの期間の方が短くなる。

【0029】

以上の回路の最終的な出力信号のタイミングを図7に示す。図からもわかるように、3ステートバッファ10, 10'がトータムポール駆動されるのは、3ステートバッファ10, 10'への入力信号がローの時、および入力信号のローからハイへの立ち上がり後、3ステートバッファ10, 10'の出力がハイレベルに到達するまでの期間だけである。それ以外は3ステートバッファ10, 10'の出力は高インピーダンスとなり、プルアップ抵抗12, 12'により出力レベルが5Vに保持される。なお、3ステートバッファ10, 10'の出力がハイレベルに到達するとは、より正確に言えば、3ステートバッファ10, 10'の出力レベルが、負論理AND素子35のハイレベル／ローレベルの閾値を越えることである。

10

【0030】

万一、3ステートバッファ10, 10'の出力信号がグラウンド等と短絡していても出力がハイレベルに到達しなかった場合でも、入力信号のローからハイへの立ち上がり後、クロック信号の1周期分の期間後には、出力信号のレベルの如何に関わらずトータムポール駆動は停止される。

20

【0031】

以上説明してきたように本実施例によれば、出力信号がグラウンドや他の出力信号と短絡したり、データ信号をホスト装置、周辺装置の双方で出力状態にしてしまうなどの障害発生時であっても、素子の劣化や損傷の危険性を大幅に低減することができる。それに加えて、通常動作はトータムポール駆動期間が自動的に必要十分に調節されるため、オーバーシュートの発生を未然に防止することが可能となる。

【0032】

なお、第1、第2実施例ともIEEE1284I/Fを備えたプリンタ装置を例に説明を行ったが、本発明をパーソナルコンピュータ等のホスト装置側に応用することももちろん可能である。望ましくは、周辺装置、ホスト装置の双方で本発明を実施することである。また、IEEE1284I/Fに限らず、他のI/Fに本発明を応用しても、優れた効果を発揮する。

30

【0033】

【発明の効果】

以上説明してきたように、本発明によれば、出力信号を誤ってグラウンドや他の出力信号と短絡させてしまったり、装置内のCPUが暴走してしまった場合でも、信号出力回路の素子の劣化ないしは損傷の危険性を著しく減少させることが可能となる。このことは取りも直さず、上記障害が発生した場合における装置本体の故障の可能性を低減させたことに他ならない。

【0034】

また、通常動作はトータムポール駆動期間が自動的に必要十分に調節されるため、オーバーシュートの発生を未然に防止することが可能となる。

40

【0035】

【図面の簡単な説明】

【図1】本発明を実施したIEEE1284I/Fの信号出力回路の回路構成図である。

【図2】出力制御回路の回路構成図である。

【図3】出力制御回路の内部信号のタイミング図である。

【図4】信号出力回路の出力信号のタイミング図である。

【図5】第2実施例における信号出力回路の回路構成図である。

【図6】第2実施例における出力制御回路の回路構成図である。

50

【図 7】 第 2 実施例における信号出力回路の出力信号のタイミング図である。

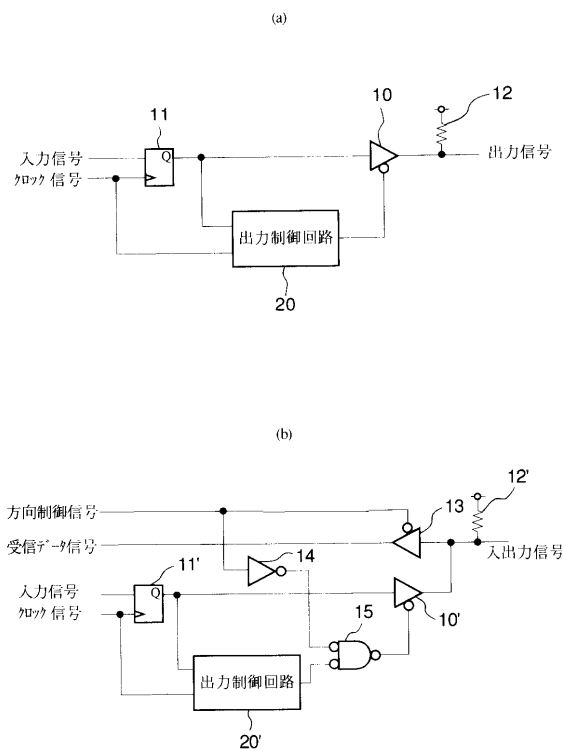
【図 8】 I E E 1 2 8 4 インターフェースにより接続されたホストコンピュータとプリンタの構成を示す図である。

【符号の説明】

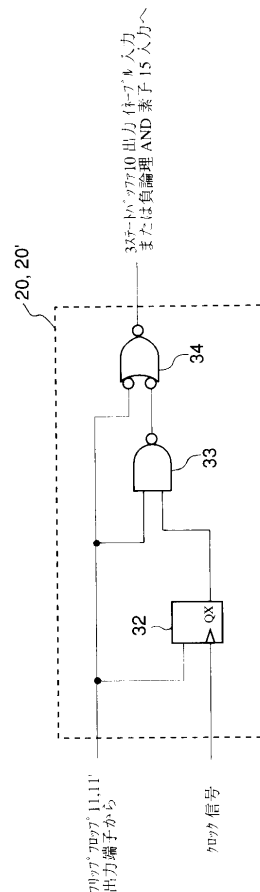
- 1 0, 1 0' 3 ステートバッファ
- 1 1, 1 1' フリップフロップ
- 1 2, 1 2' プルアップ抵抗
- 1 3 3 ステートバッファ
- 1 4 NOT 素子
- 1 5 負論理 AND 素子
- 2 0, 2 0' 出力制御回路
- 3 2 フリップフロップ
- 3 3 NAND 素子
- 3 4 負論理 OR 素子
- 3 5 負論理 AND 素子
- 4 0, 4 0' 出力制御回路

10

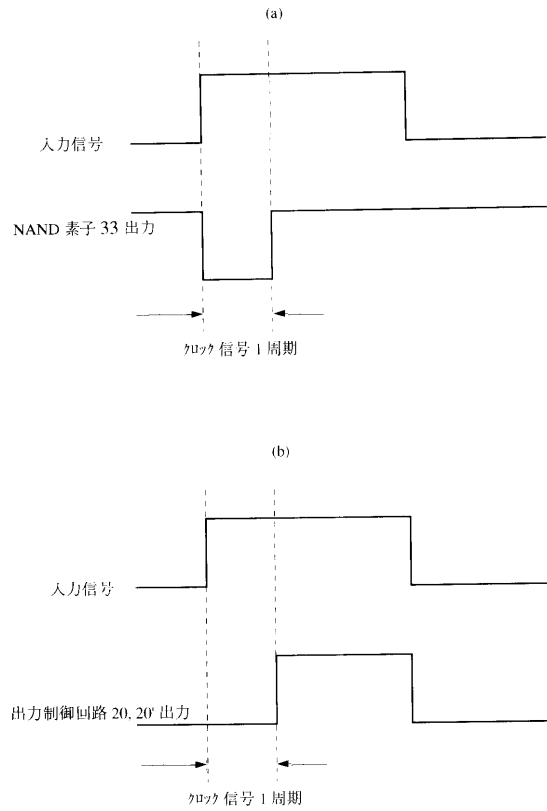
【図 1】



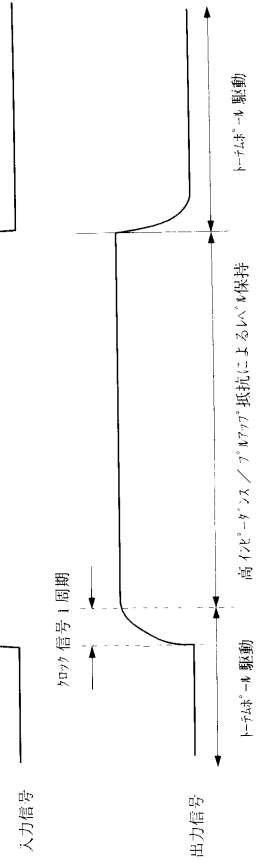
【図 2】



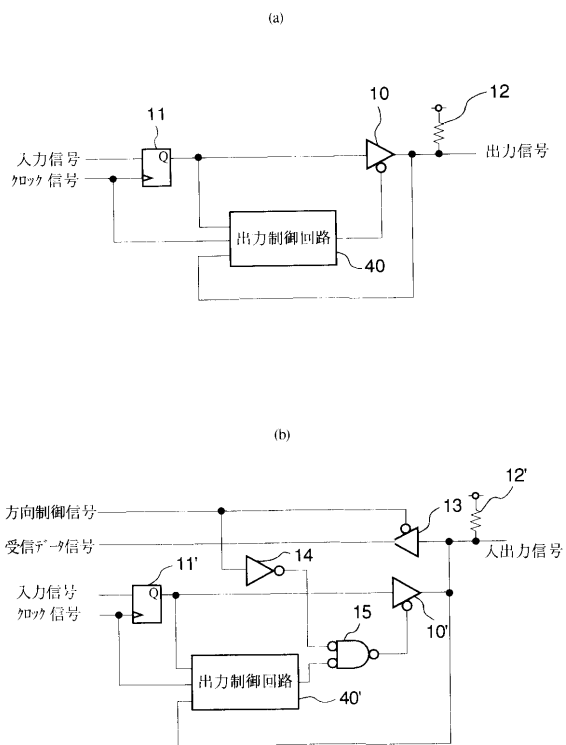
【図 3】



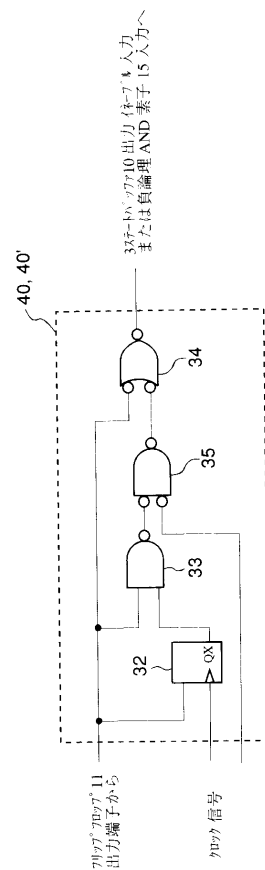
【図 4】



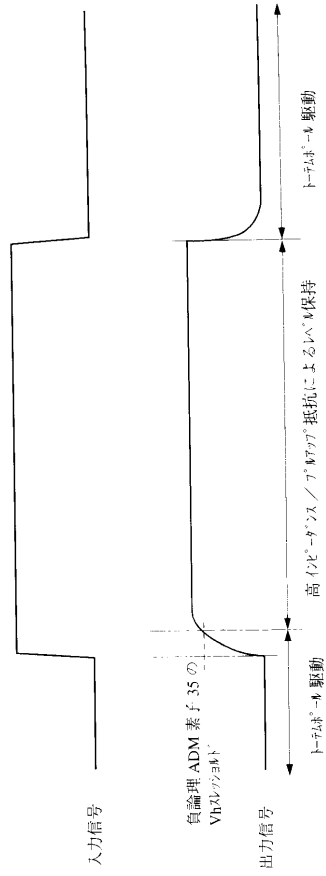
【図 5】



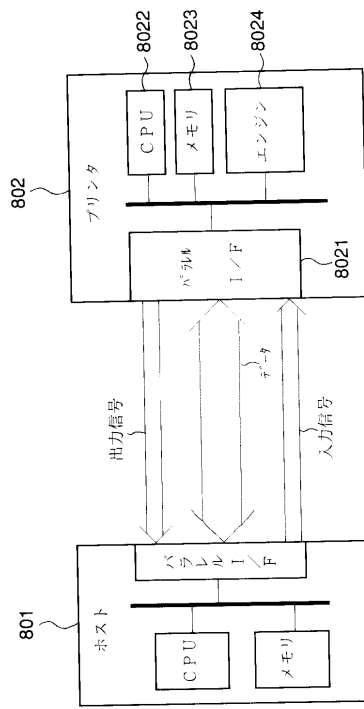
【図 6】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 田中 壮平
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 塚田 伸幸
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 綿谷 雅文
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 中田 剛史

- (56)参考文献 特開平08-328705 (JP, A)
特開平03-205917 (JP, A)
特開平01-198824 (JP, A)
特開平07-114435 (JP, A)
特開平05-224785 (JP, A)
特開平05-315915 (JP, A)
特開平07-321633 (JP, A)
特開平05-266674 (JP, A)
特開平05-211430 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06F 3/00
H03K 19/0175