



POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

260872
(11) (B1)

(51) Int. Cl.⁴
H 03 K 19/00

(22) Přihlášeno 20 12 85
(21) (PV 9566-85)

(40) Zveřejněno 15 06 88

(45) Vydáno 15 05 89

(75)

Autor vynálezu KRISTEN JIŘÍ, PRAHA

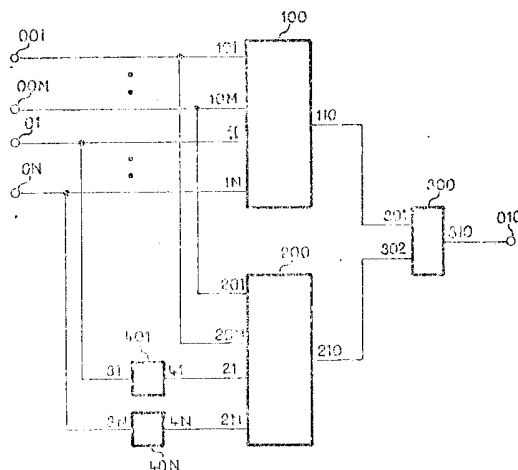
(54) Zapojení pro potlačení statického hazardu na výstupu multiplexoru

1

Podstata zapojení spočívá v tom, že první datová svorka je spojena s prvním datovým vstupem prvního multiplexoru a paralelně je spojena s m-tým vstupem druhého multiplexoru, až m-tá vstupní datová svorka je spojena s m-tým datovým vstupem prvního multiplexoru a paralelně je spojena s prvním datovým vstupem druhého multiplexoru, zatímco první vstupní adresová svorka je propojena na první adresový vstup prvního multiplexoru a nadto je propojena na vstup první negace, jejíž výstup je spojen s prvním adresovým vstupem druhého multiplexoru, až n-tá vstupní adresová svorka je propojena na n-tý adresový vstup prvního multiplexoru a nadto je propojena na vstup n-té negace, jejíž výstup je spojen s n-tým adresovým vstupem druhého multiplexoru, jehož datový výstup je propojen na druhý vstup logického členu, zatímco datový výstup prvního multiplexoru je spojen s prvním vstupem logického členu, jehož výstup je propojen na výstupní datovou svorku.

Využití zapojení je vhodné tam, kde je potřeba užít skutečnou pracovní rychlost multiplexoru, tedy především v různých asynchronních zapojeních obvodů.

2



Obr. 1

Vynález se týká zapojení pro potlačení statického hazardu na výstupu multiplexoru, které zabraňuje, aby až na výstup zapojení procházel statický hazard vznikající ve struktuře multiplexoru při změně proměnné přiváděné na adresový vstup.

Dosud užívaná zapojení elementující statický hazard na výstupu multiplexoru jsou koncipována podle místa použití. Je-li užito multiplexoru v obvodech se synchronizačním signálem, potom je pro připojení následujícího dynamického vstupu k výstupu multiplexoru nutno užít synchronizátor většinou v podobě registru. Je-li užito multiplexoru v obvodech s asynchronním charakterem, je statický hazard na výstupu odstraňován stejnosměrnou filtrací poruchových impulsů, například blokováním výstupu přípojným kondenzátorem. V obou případech je prodloužena doba průchodu signálu. V případě synchronizace výstupního signálu je strobování přípustné až v zaručené vybavovací době, tedy s časovou rezervou proti vlastní době průchodu signálu multiplexorem. Při užití filtrace poruchových impulsů je prodloužena odezva obvodu a nadto jsou zpomaleny hrany výstupního signálu.

Tyto nedostatky odstraňuje zapojení pro potlačení statického hazardu na výstupu multiplexoru podle vynálezu, které využívá vlastností struktury multiplexoru. Statický hazard v multiplexoru vzniká časovým posunem signálů adresovací proměnné na invertorech vstupních zesilovačů a jejich sloučením na logických členech určujících vybraný vstup. K hazardu dojde za předpokladu kriticky rozložených vstupních dat jen při jedné ze signálových změn adresovací proměnné, ale při inverzní změně k hazardu nedochází. V řetězci invertorů dojde díky časovému zpoždění na invertoru k zániku výběrové kombinace, ale nová kombinace vznikne až za dobu průchodu signálu invertorem. Naproti tomu při inverzní signálové změně vzniká nová výběrová kombinace o dobu průchodu invertorem dříve před zánikem původní kombinace.

Podstata zapojení pro potlačení statického hazardu na výstupu multiplexoru sestaveného ze dvou multiplexorů s n adresovými vstupy a s m datovými vstupy, kde m je n -tá mocnina dvou a dále sestaveného z n negací a z jednoho dvojevstupového logického členu spočívá v tom, že první datová svorka je spojena s prvním datovým vstupem prvního multiplexoru a paralelně je spojena s m -tým datovým vstupem druhého multiplexoru až m -tá vstupní datová svorka je spojena s m -tým datovým vstupem prvního multiplexoru a paralelně je spojena s prvním datovým vstupem druhého multiplexoru, zatímco první vstupní adresová svorka je propojena na první adresový vstup prvního multiplexoru a nadto je propojena na vstup první negace, jejíž výstup je spo-

jen s prvním adresovým vstupem druhého multiplexoru, až n -tá vstupní adresová svorka je propojena na n -tý adresový vstup prvního multiplexoru a nadto je propojena na vstup n -té negace, jejíž výstup je spojen s n -tým adresovým vstupem druhého multiplexoru, jehož datový výstup je propojen na druhý vstup logického členu, zatímco datový výstup prvního multiplexoru je spojen s prvním vstupem logického členu, jehož výstup je propojen na výstupní datovou svorku.

Zapojení podle vynálezu má tyto výhody:

Podle zapojení multiplexoru dojde ke statickému hazardu pouze v jednom případě. Toho využívá zapojení podle vynálezu, které přivádí na adresové vstupy jednoho multiplexoru adresovací signály v přímé formě a na druhý multiplexor v komplementární formě. Potom dochází-li při signálové změně v jednom multiplexoru ke statickému hazardu, v druhém k němu nedochází. Výstupy z obou multiplexorů je nutno sloučit tak, aby výstup z multiplexoru bez hazardu nedovolil průchod poruchového impulsu na výstup zapojení. To znamená, že je-li na výstupu multiplexorů statický hazard v úrovni logické nuly, je k sloučení užít logický součin a pro statický hazard vykazovaný v úrovni logické jedničky je užito logického součtu. Vstupní datové signály jsou přiváděny na komplementárně adresovém multiplexoru i na komplementární datové vstupy. Takto zapojené multiplexory pracují bez statického hazardu na výstupu zapojení při skutečné pracovní rychlosti dané zpožděním multiplexoru a logického členu užitého ke sloučení rekonvergentní datové cesty. Zapojení pro potlačení statického hazardu na výstupu multiplexoru lze užít i bez znalosti vnitřní struktury realizace multiplexoru jen při znalosti vykazovaného typu statického hazardu na výstupu.

Na obrázku 1 je uvedeno zapojení pro potlačení statického hazardu na výstupu multiplexoru podle předmětu vynálezu. Na obrázku 2 je uvedeno zapojení pro potlačení statického hazardu na výstupu multiplexoru s multiplexory, které vykazují na užitých výstupech statický hazard v úrovni logické jedničky. Na obrázku 3 je uvedeno příkladné zapojení pro potlačení statického hazardu na výstupu multiplexoru vykazujícího statický hazard v úrovni logické nuly na užitém výstupu.

Zapojení pro potlačení statického hazardu na výstupu multiplexoru uvedené na obrázku 1, sestává z prvního a druhého multiplexoru 100 a 200 a n adresovými vstupy a s m datovými vstupy, kde m je n -tá mocnina dvou a dále sestává z první až n -té negace 401 až 40N a jednoho dvojevstupového logického členu 300. Vyznačuje se tím, že první vstupní datová svorka 001 je spojena s prvním datovým vstupem 101 prvního multiplexoru 100 a současně je spojena

s m-tým datovým vstupem 20M druhého multiplexoru. Souběžně jsou propojovány i následující vstupní datové svorky na datové vstupy multiplexoru tak, že u prvního multiplexoru 100 jsou zapojovány datové vstupy směrem od prvního vstupu a u druhého multiplexoru jsou zapojovány datové vstupy směrem od m-tého vstupu. Tak propojování pokračuje, až m-tá vstupní datová svorka 00M je spojena s m-tým vstupem 10M prvního multiplexoru 100 a současně je spojena s prvním datovým vstupem 201 druhého multiplexoru 200. První vstupní adresová svorka 01 je propojena na první adresový vstup 11 prvního multiplexoru 100 a nadto je propojena na vstup 31 první negace 401, jejíž výstup 41 je spojen s prvním vstupním adresovým vstupem 21 druhého multiplexoru 200. Tak postupně pokračuje propojování, až konečně n-tá vstupní adresová svorka 0N je propojena na n-tý adresový vstup 1N prvního multiplexoru 100 a nadto je propojena na vstup 3N n-té negace 40N, jejíž výstup 4N je spojen s n-tým adresovým vstupem 2N druhého multiplexoru 200. Datový výstup 110 prvního multiplexoru 100 je propojen na první vstup 301 logického členu 300, zatímco datový výstup 210 druhého multiplexoru 200 je spojen s druhým vstupem 302 logického členu 300, jehož výstup 310 je propojen na výstupní datovou svorku 010. Vlastní funkce zapojení pro potlačení statických hazardů na výstupu multiplexoru spočívá v zablokování poruchového impulsu v logickém členu 300 pomocí signálu z rekonvergující větve, v níž statický hazard nevznikl. Uvažujeme přiváděné signály na vstupní datové svorky 001 až 00M vesměs v logických úrovních kritických daným multiplexorům 100 a 200 pro vznik statického hazardu. Dále uvažujeme libovolnou adresovou kombinaci přiváděnou na vstupní adresové svorky 01 až 0N. Z vnitřní struktury multiplexorů 100 a 200 lze určit, zda na výstupech 110 a 210 bude docházet ke statickým hazardům v úrovni logické nuly nebo jedničky. Odtud je určen logický člen 300, který realizuje takovou logickou operaci, aby průchod jednoho správného signálu v logické úrovni vykazující statický hazard už podmínil na výstupu 310 správnou úroveň. Dojde-li ke změně logické úrovně signálu přiváděného na libovolnou vstupní, třeba první adresovou svorku 01, potom je na první adresový vstup 11 prvního multiplexoru 100 přivedena přímá změna, ale na první adresový vstup 21 druhého multiplexoru 200 je přivedena inverzní změna. To způsobí, že multiplexory přepnou ke svým výstupům signály z nově naadresovaných datových vstupů, ale tak, že zatímco v jednom multiplexoru dojde k přerušení připojení datových vstupů k výstupu, v druhém multiplexoru se připojení datových vstupů k výstupu časově překryje. Za uvažovaného předpokladu vesměs přiváděných kritických dat na přepínané datové vstupy,

dojde v jednom z multiplexorů ke statickému hazardu. Druhý multiplexor však poskytuje na svém výstupu signál bez poruchového impulsu způsobeného statickým hazardem a ten je logickým členem 300 přiveden na výstupní datovou svorku 010.

Zapojení pro potlačení statického hazardu na výstupu multiplexoru, který vykazuje statický hazard v úrovni logické jedničky, je uvedené na obrázku 2. Zapojení sestává z prvního a druhého multiplexoru 100 a 200 s m datovými vstupy a s n adresovými vstupy, kde m je n-tá mocnina dvou. Užití multiplexory 100 a 200 vykazují na výstupu statický hazard v logické úrovni jedničky. Dále je zapojení sestaveno s ohledem na typ statického hazardu z jednoho dvojevstupového logického součtu 300 a konečně z n invertorů 401 až 40N. Zapojení se vyznačuje tím, že první vstupní datová svorka 001 je spojena s prvním datovým vstupem 101 prvního multiplexoru 100 a současně je spojena s n-tým datovým vstupem 20M druhého multiplexoru 200. Obdobně jsou propojeny i následující vstupní datové svorky až m-tá 00M je spojena s m-tým datovým vstupem 10M prvního multiplexoru 100 a současně je spojena s prvním datovým vstupem 201 druhého multiplexoru 200. Zároveň první vstupní adresová svorka 01 je propojena na první adresový vstup 11 prvního multiplexoru 100 a nadto je propojena na vstup 31 první negace 401, jejíž výstup 41 je spojen s prvním adresovým vstupem 21 druhého multiplexoru 200. Souběžně jsou propojovány i další vstupní adresové svorky až n-tá 0N je propojena na n-tý adresový vstup 1N prvního multiplexoru 100 a nadto je propojena na vstup 3N n-té negace 40N, jejíž výstup 4N je spojen s n-tým adresovým vstupem 2N druhého multiplexoru 200. Datový výstup 110 prvního multiplexoru 100 je propojen na první vstup 301 logického součtu 300, zatímco datový výstup 210 druhého multiplexoru 200 je spojen s druhým vstupem 302 logického součtu 300, jehož výstup 310 je propojen na výstupní datovou svorku 010. Nadto je vstupní strobovací svorka 1000 spojena s výběrovým vstupem 1100 prvního multiplexoru 100 a současně je spojena s výběrovým vstupem 1200 druhého multiplexoru 200. Vlastní funkce zapojení spočívá v zablokování poruchového impulsu v logickém součtu 300 pomocí signálu z rekonvergující datové větve, v níž statický hazard nevznikl. Logická úroveň signálů přiváděných na datové vstupy je kritická pro vznik statického hazardu podle vnitřní struktury multiplexoru. Je-li struktura multiplexoru řešena jako celkový součet jednotlivých součinových výběrových výrazů, jak je to obvyklé u obvodů sestavovaných technologií TTL, potom jsou kritické vstupní datové signály s úrovní logické jedničky a navíc přímý výstup vykazuje statický hazard v úrovni logické jedničky.

Naopak, je-li struktura multiplexoru řešena jako celkový součet jednotlivých součtových výběrových výrazů často realizované technologií ECL, potom jsou kritické vstupní datové signály s úrovní logické nuly a aby byl vykazován statický hazard v úrovni logické jedničky je nutné užít negovaný výstup. Zapojení podle vynálezu řeší shodně oba případy včetně zamezení vlivu na směr změny adresovacích signálů a omezuje se jen na znalost logické úrovně, v níž vzniká statický hazard. Při změně logické úrovně signálu přiváděného na libovolnou vstupní, třeba první adresovou svorku 01, je na první adresový vstup 11 prvního multiplexoru 100 přivedena přímá změna, ale na první adresový vstup 21 druhého multiplexoru 200 je přivedena inverzní změna. Tím dojde v jednom multiplexoru k časovému přerušování aktivace výběrových výrazů, za to v druhém multiplexoru dojde k časovému překrytí aktivace výběrových výrazů. Jsou-li multiplexory řešeny strukturou celkového součtu výběrových součinů, dojde k statickému hazardu při časovém přerušování aktivace, naopak jsou-li multiplexory řešeny strukturou celkového součinu výběrových součtů, dojde ke statickému hazardu při časovém překrytí. Výsledkem obou mechanismů je vznik statického hazardu pouze v jednom z multiplexorů a tedy signál z výstupu opačného multiplexoru v úrovni logické jedničky bez poruchového impulsu přejde přes logický součet 300 na výstupní datovou svorku 010.

Příkladné zapojení pro potlačení statického hazardu na výstupu multiplexoru, který vykazuje statický hazard v úrovni logické nuly je uvedené na obrázku 3. Zapojení je sestaveno z prvního a druhého multiplexoru 100 a 200, vykazujícími na negovaných výstupech statický hazard v logické úrovni nula. Takové chování vykazují multiplexory z TTL stavebnice, kupříkladu uvažované typy MH74151. Dále zapojení tvoří jeden dvojnásobný logický součin 340 a první až třetí invertor 401, 402 a 403, jejichž počet odpovídá počtu vstupních adresovacích svorek. Zapojení se vyznačuje tím, že vstupní datové svorky jsou souběžně propojovány na oba multiplexory tak, že u prvního vedou na datové vstupy směrem od datového vstupu vybraného nejnižší adresou a u druhého vedou na datové vstupy směrem od datového vstupu vybraného nejvyšší adresou. Takže první vstupní datová svorka 001 je spojena s prvním datovým vstupem 101 prvního multiplexoru a současně je spojena s osmým datovým vstupem 208 druhého multiplexoru 200. Souběžně jsou propojovány i následující vstupní datové svorky, až osmá vstupní datová svorka 008 je spojena s osmým datovým vstupem 108 prvního multiplexoru 100 a současně je spojena s prvním datovým vstupem 201 druhého multiplexoru 200. Současně první vstupní adresová svorka 01 je propojena na první adre-

sový vstup 11 prvního multiplexoru 100 a nadto je propojena na vstup 31 prvního invertoru 401, jehož výstup 41 je spojen s prvním adresovým vstupem 21 druhého multiplexoru 200. Souběžně jsou propojovány i další vstupní adresové svorky až třetí vstupní adresová svorka 03 je propojena na třetí adresový vstup 13 prvního multiplexoru 100 a nadto je propojena na vstup 33 třetího invertoru 402, jehož výstup 43 je spojen se třetím adresovým vstupem 23 druhého multiplexoru 200. Datový výstup 120 prvního multiplexoru 100 je propojen na první vstup 311 logického součinu 340, zatímco datový výstup 220 druhého multiplexoru 200 je spojen s druhým vstupem 312 logického součinu 340, jehož výstup 320 je propojen na výstupní datovou svorku 020. Současně je vstupní strobovací svorka 1000 spojena s výběrovým vstupem 1100 prvního multiplexoru 100 a současně je spojena s výběrovým vstupem 1200 druhého multiplexoru 200. Funkce zapojení spočívá v zablokování průchodu poruchového impulsu v logickém součinu 340 pomocí signálu z rekonvergující datové větve, v níž statický hazard nevznikl. Logická úroveň signálů přiváděných na datové vstupy je kritická pro vznik statických hazardů podle vnitřní struktury multiplexoru. Je-li struktura multiplexoru řešena jako celkový součet jednotlivých součtových výběrových výrazů obvykle realizovaná technologií ECL, jsou kritické vstupní datové signály v úrovni logické nuly a na přímém výstupu se projevuje statický hazard v úrovni logické nuly. Naopak, je-li struktura multiplexoru řešena jako výsledný součet jednotlivých součtových výběrových výrazů, jak bývá časté u obvodů sestavovaných TTL technologií, potom jsou pro vznik statického hazardu kritické vstupní datové signály v úrovni logické jedničky a aby byl vykazován statický hazard v úrovni logické nuly je nutno užít negovaný výstup jak naznačuje i příkladné zapojení pro obvod MH74151. Zapojení podle vynálezu řeší shodně oba případy včetně zamezení vlivu na směr změny adresovacích signálů a omezuje se jen na znalost logické úrovně, při níž statický hazard vzniká. Změna logické úrovně signálu přiváděného na libovolnou vstupní, třeba první adresovou svorku 01 je na první adresový vstup 11 prvního multiplexoru 100 přivedena přímá změna, ale na první adresový vstup 21 druhého multiplexoru 200 je přivedena inverzní změna. Tím dojde v jednom multiplexoru k časovému přerušování aktivace výběrových výrazů, zato v druhém multiplexoru dojde k časovému překrytí aktivace výběrových výrazů. Jsou-li multiplexory řešeny strukturou celkového součtu výběrových součinů, dojde ke statickému hazardu při časovém přerušování aktivace, naopak jsou-li multiplexory řešeny strukturou celkového součinu výběrových součtů,

dojde ke statickému hazardu při časovém překrytí. Výsledkem obou mechanismů je vždy ale vznik statického hazardu pouze v jednom z multiplexorů a tedy signál z výstupu opačného multiplexoru v úrovni logické nuly bez poruchového impulsu projde přes logický součin 340 na výstupní datovou svorku 020.

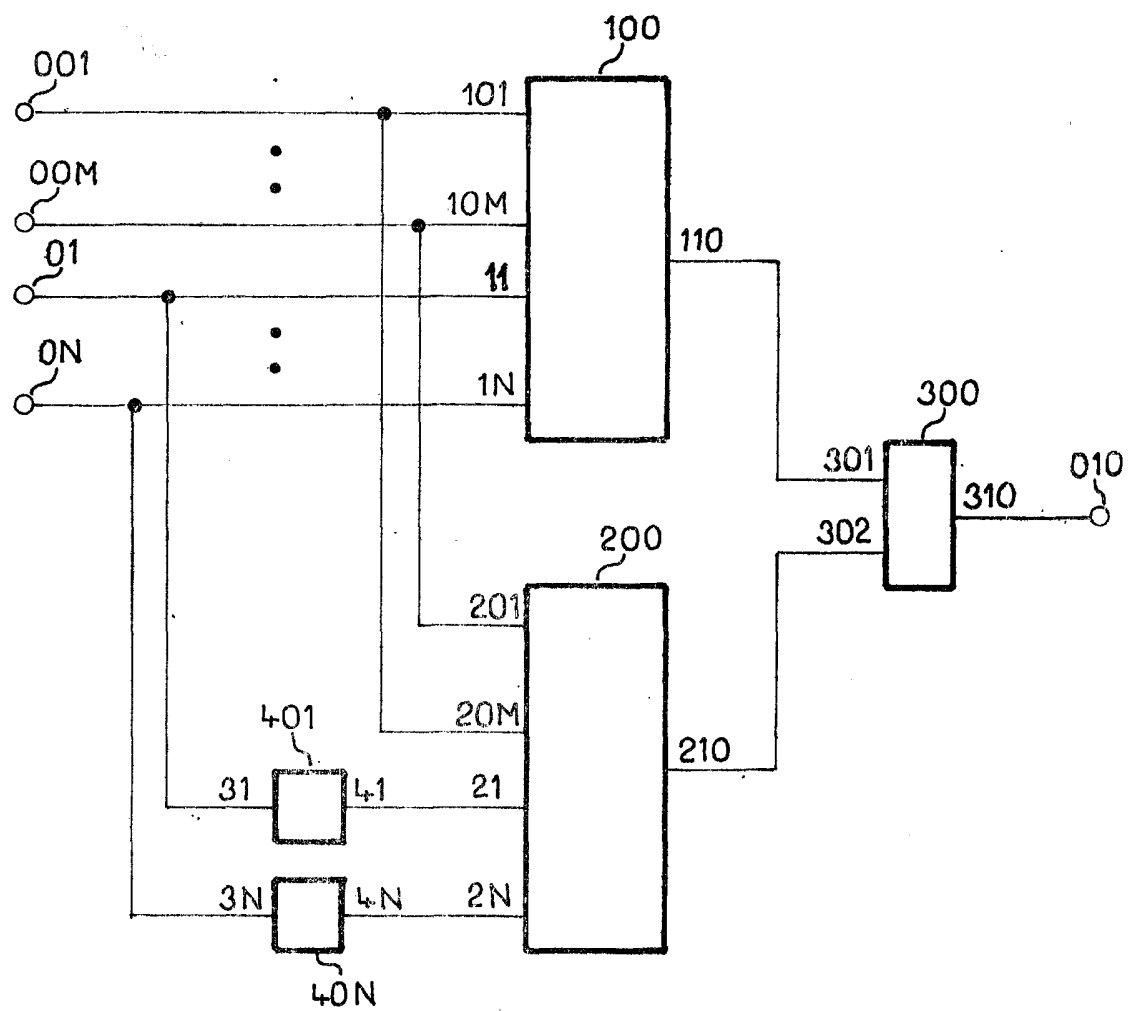
Krom již dříve uvedené výhody, že není potřeba znát vnitřní strukturu zabezpečovacích multiplexorů, ale jen vykazovaný typ statického hazardu na jejich výstupech, u-

možňuje popsané zapojení pro potlačení statických hazardů na výstupech multiplexorů i snadnou testovatelnost rekonvergentních datových větví rozpojením paralelních multiplexorů pomocí zvlášť ovládaných výběrových vstupů. Užití zapojení pro potlačení statických hazardů na výstupu multiplexora je vhodné tam, kde je potřeba užít skutečnou pracovní rychlost multiplexoru, tedy především v různých asynchronních zapojeních obvodů.

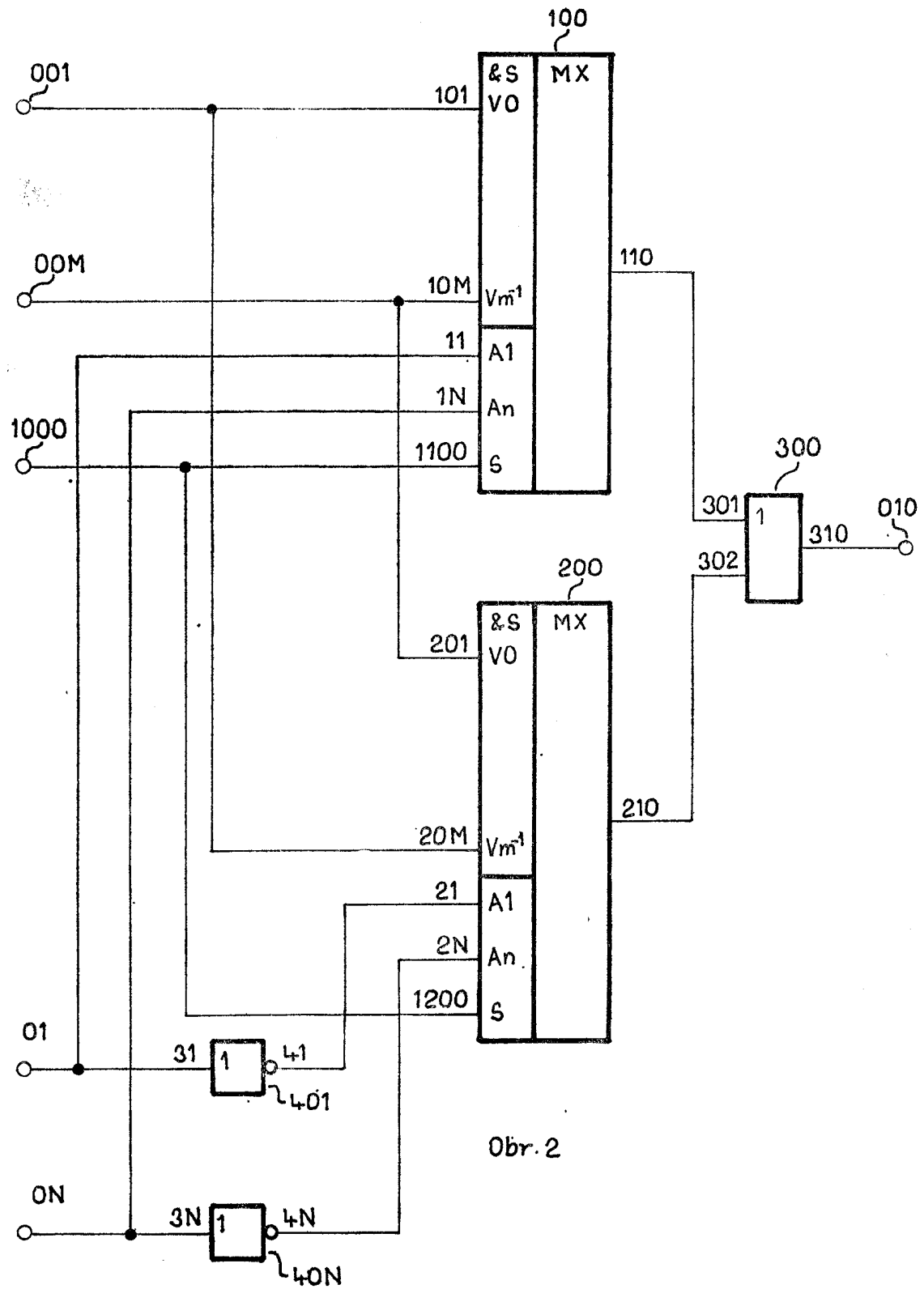
PŘEDMĚT VYNÁLEZU

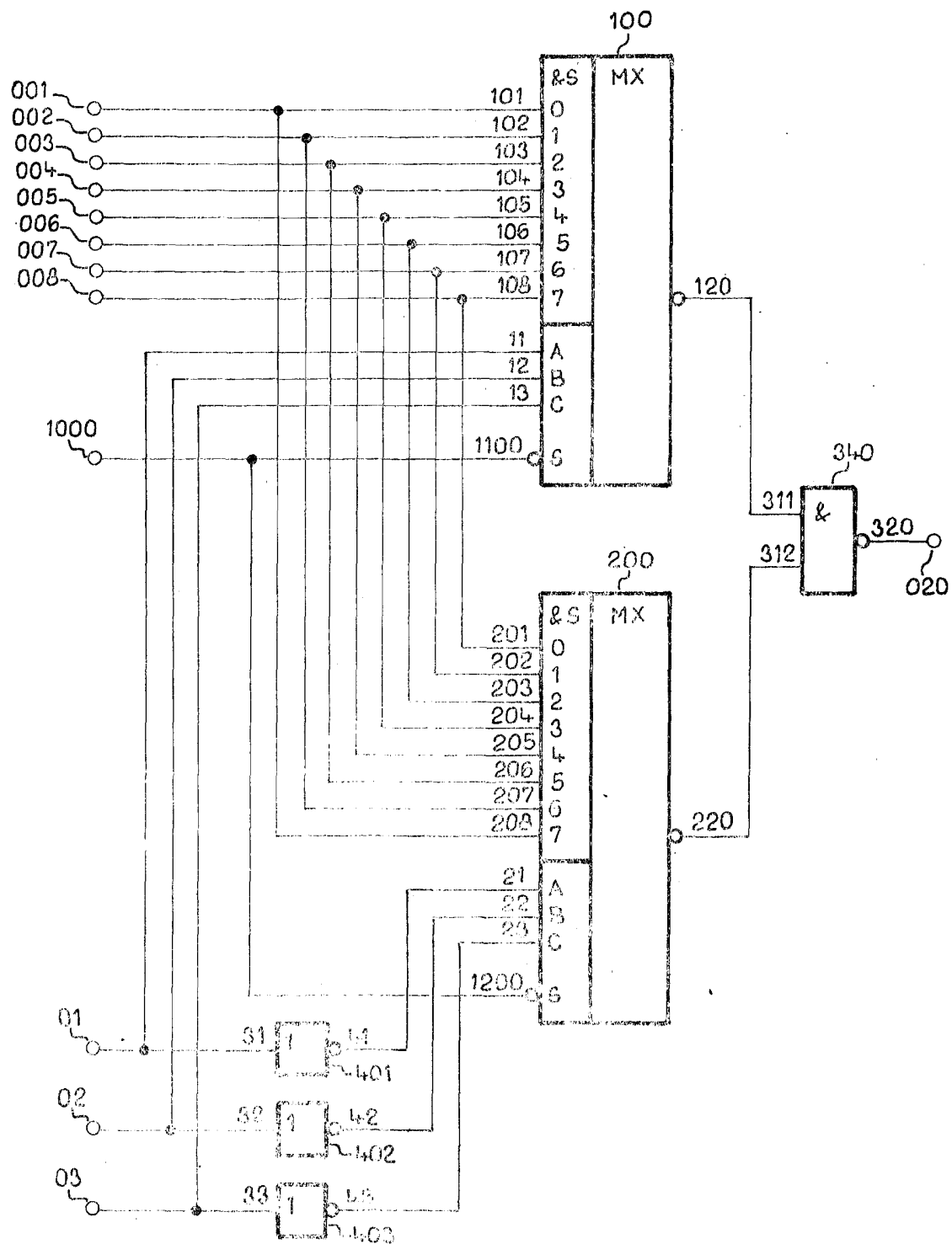
Zapojení pro potlačení statického hazardu na výstupu multiplexoru, vytvořené ze dvou multiplexorů s n adresovými vstupy a s m datovými vstupy, kde m je n -tá mocnina dvou a dále sestavené z n negací a z jednoho dvojevstupového logického členu, vyznačené tím, že první datová svorka (001) je spojena s prvním datovým vstupem (101) prvního multiplexoru (100) a paralelně je spojena s m -tým datovým vstupem (20M) druhého multiplexoru (200), až m -tá vstupní datová svorka (00M) je spojena s m -tým datovým vstupem (10M) prvního multiplexoru (100) a paralelně je spojena s prvním datovým vstupem (201) druhého multiplexoru (200), zatímco první vstupní adresová svorka (01) je propojena na první adresový

vstup (11) prvního multiplexoru (100) a nadto je propojena na vstup (31) první negace (401), jejíž výstup (41) je spojen s prvním adresovým vstupem (21) druhého multiplexoru (200), až n -tá vstupní adresová svorka (0N) je propojena na n -tý adresový vstup (1N) prvního multiplexoru (100) a nadto je propojena na vstup (3N) n -té negace (40N), jejíž výstup (4N) je spojen s n -tým adresovým vstupem (2N) druhého multiplexoru (200), jehož datový výstup (210) je propojen na druhý vstup (302) logického členu (300), zatímco datový výstup (110) prvního multiplexoru (100) je spojen s prvním vstupem (301) logického členu (300), jehož výstup (310) je propojen na výstupní datovou svorku (010).



Obr. 1





Obr. 3