



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년04월09일
(11) 등록번호 10-1133767
(24) 등록일자 2012년03월29일

(51) 국제특허분류(Int. Cl.)
H05B 33/22 (2006.01) *H05B 33/10* (2006.01)

(21) 출원번호 10-2005-0019616
(22) 출원일자 2005년03월09일
 심사청구일자 2010년03월09일
(65) 공개번호 10-2006-0098982
(43) 공개일자 2006년09월19일
(56) 선행기술조사문헌
 JP1999065487 A
 KR1020030029615 A*
 US20040119399 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
김보성
서울특별시 서초구 청두곶길 4, 3층 (방배동)
이용욱
경기도 광주시 오포읍 마루들길 226, 쌍용아파트
201동 103호

홍문표
경기도 성남시 분당구 내정로 94 청구아파트 10

(74) 대리인 傀儡아들한테

전체 청구항 수 : 총 20 항

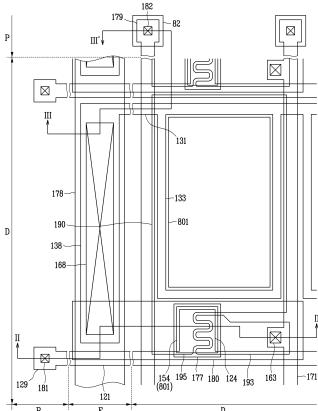
심사관 : 추장희

(54) 발명의 명칭 유기 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명은, 기판, 상기 기판 위에 형성되어 있는 복수의 데이터선, 상기 데이터선과 연결되어 있는 소스 전극 및 상기 소스 전극과 마주하는 드레인 전극을 포함하는 화소 전극, 상기 소스 전극 및 상기 드레인 전극과 연결되어 있는 유기 반도체, 상기 유기 반도체 위에 형성되어 있는 게이트 절연막 및 상기 게이트 절연막 위에 형성되어 있는 게이트 전극을 포함하는 게이트선을 포함하는 유기 박막 트랜지스터 표시판 및 그 제조 방법을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

기판,

상기 기판 위에 형성되어 있는 복수의 데이터선,

상기 데이터선과 연결되어 있는 소스 전극 및 상기 소스 전극과 마주하는 드레인 전극을 포함하는 화소 전극,

상기 소스 전극 및 상기 드레인 전극 위에 위치하며 상기 소스 전극 및 상기 드레인 전극을 드러내는 개구부를 가지는 격벽,

상기 개구부 안에 위치하는 유기 반도체,

상기 유기 반도체 위에 형성되어 있는 게이트 절연막, 및

상기 게이트 절연막 위에 형성되어 있는 게이트 전극을 포함하는 유기 박막 트랜지스터 표시판.

청구항 2

제1항에서, 상기 유기 반도체는 상기 격벽에 의해 둘러싸여 있는 유기 박막 트랜지스터 표시판.

청구항 3

제1항에서, 상기 유기 반도체 및 상기 게이트 절연막은 상기 격벽에 의해 둘러싸여 있는 유기 박막 트랜지스터 표시판.

청구항 4

제2항 또는 제3항에서, 상기 격벽은 유기 절연 물질로 이루어져 있는 유기 박막 트랜지스터 표시판.

청구항 5

제1항에서, 상기 유기 반도체는 폴리티닐렌비닐렌(polythienylenevinylene), 올리고티오펜(oligothiophene), 폴리-3-헥실ти오펜(poly 3-hexylthiophene) 및 용해성 펜타센(soluble pentacene)에서 선택된 어느 하나로 이루어지는 유기 박막 트랜지스터 표시판.

청구항 6

제1항에서, 상기 게이트 절연막은 불소계 탄화수소 화합물, 폴리비닐알코올(poly vinyl alcohol) 및 폴리아미드(poly imide)에서 선택된 어느 하나로 이루어지는 유기 박막 트랜지스터 표시판.

청구항 7

제1항에서, 상기 데이터선과 상기 화소 전극 사이에 절연막을 더 포함하는 유기 박막 트랜지스터 표시판.

청구항 8

제7항에서, 상기 절연막은 질화규소(SiNx)로 이루어지는 제1 절연막 및 유기 물질로 이루어지는 제2 절연막을 포함하는 유기 박막 트랜지스터 표시판.

청구항 9

제1항에서, 상기 유기 반도체의 하부에 도전성 물질로 이루어진 광차단막을 더 포함하는 유기 박막 트랜지스터 표시판.

청구항 10

제1항에서, 상기 게이트 전극 위에 보호막을 더 포함하는 유기 박막 트랜지스터 표시판.

청구항 11

제1항에서, 상기 데이터선과 동일층에 형성되어 있는 유지 전극선 연결부 및 상기 유지 전극선 연결부와 연결되어 있으며 상기 게이트 전극과 동일층에 형성되어 있는 유지 전극선을 더 포함하는 유기 박막 트랜지스터 표시판.

청구항 12

기판 위에 복수의 데이터선을 형성하는 단계,

상기 데이터선 위에 접촉구를 포함하는 절연막을 형성하는 단계,

상기 절연막 위에 상기 접촉구를 통하여 상기 데이터선과 연결되는 소스 전극 및 상기 소스 전극과 마주하는 드레인 전극을 포함하는 화소 전극을 형성하는 단계,

상기 소스 전극 및 상기 화소 전극 위에 개구부를 가진 격벽을 형성하는 단계,

상기 개구부에 유기 반도체를 형성하는 단계,

상기 유기 반도체 위에 게이트 절연막을 형성하는 단계, 및

상기 게이트 절연막 및 상기 격벽 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 13

제12항에서, 상기 유기 반도체를 형성하는 단계는 잉크젯 방법으로 수행하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 14

제12항에서, 상기 유기 반도체를 형성하는 단계는 상기 개구부에 유기 반도체 용액을 적하하는 단계 및 상기 유기 반도체 용액에서 용매를 제거하는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 15

제12항에서, 상기 유기 반도체를 형성하는 단계 및 상기 게이트 절연막을 형성하는 단계는 잉크젯 방법으로 연속적으로 수행하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 16

제12항에서, 상기 소스 전극 및 화소 전극을 형성하는 단계는 ITO를 상온에서 형성하는 단계 및 상기 ITO를 사전 식각하는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 17

제16항에서, 상기 ITO를 사전 식각하는 단계는 염기성 성분을 포함하는 식각액으로 식각하는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 18

제12항에서, 상기 절연막을 형성하는 단계는 질화규소(SiNx)로 이루어진 제1 절연막을 형성하는 단계 및 유기 물질로 이루어지는 제2 절연막을 순차적으로 형성하는 단계를 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 19

제12항에서, 상기 게이트선을 형성하는 단계 후에 보호막을 형성하는 단계를 더 포함하는 유기 박막 트랜지스터 표시판의 제조 방법.

청구항 20

제19항에서, 상기 보호막은 스판 코팅 방법으로 형성하는 유기 박막 트랜지스터 표시판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0005] 본 발명은 유기 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.
- [0006] 차세대 표시 장치의 구동 소자로서 유기 박막 트랜지스터에 대한 연구가 활발히 이루어지고 있다.
- [0007] 유기 박막 트랜지스터(Organic Thin Film Transistor, O-TFT)는 박막 트랜지스터를 이루는 반도체를 기존의 규소(Si)와 같은 무기 물질 대신 유기 물질로 바꾸어 형성한 것으로, 저온에서 스판 코팅 또는 진공 증착과 같은 단일 공정으로 제작 가능하기 때문에 공정상 이점이 크고 섬유(fiber) 또는 필름(film)과 같은 형태로 제작 가능하기 때문에 가요성 표시 장치(flexible display)의 핵심 소자로 주목받고 있다.
- [0008] 이러한 유기 박막 트랜지스터가 매트릭스(matrix) 형태로 배열되어 있는 유기 박막 트랜지스터 표시판은 기존의 박막 트랜지스터 표시판과 비교하여 구조 및 제조 방법에 있어서 많은 차이가 있다.
- [0009] 특히, 공정 중 유기 반도체에 미치는 영향을 최소화하고 유기 박막 트랜지스터의 특성을 개선시킬 수 있는 새로운 방안이 요구되고 있다.

발명이 이루고자 하는 기술적 과제

- [0010] 따라서, 본 발명은, 유기 반도체에 미치는 영향을 최소화하는 동시에 유기 박막 트랜지스터의 특성을 개선시킬 수 있는 유기 박막 트랜지스터 표시판 및 그 제조 방법을 제공한다.

발명의 구성 및 작용

- [0011] 본 발명에 따른 박막 트랜지스터 표시판은, 기판, 상기 기판 위에 형성되어 있는 복수의 데이터선, 상기 데이터선과 연결되어 있는 소스 전극 및 상기 소스 전극과 마주하는 드레인 전극을 포함하는 화소 전극, 상기 소스 전극 및 상기 드레인 전극과 연결되어 있는 유기 반도체, 상기 유기 반도체 위에 형성되어 있는 게이트 절연막 및 상기 게이트 절연막 위에 형성되어 있는 게이트 전극을 포함하는 게이트선을 포함한다.
- [0012] 또한, 본 발명에 따른 박막 트랜지스터 표시판의 제조 방법은, 기판 위에 복수의 데이터선을 형성하는 단계, 상기 데이터선 위에 접촉구를 포함하는 절연막을 형성하는 단계, 상기 절연막 위에 상기 접촉구를 통하여 상기 데이터선과 연결되는 소스 전극 및 상기 소스 전극과 마주하는 드레인 전극을 포함하는 화소 전극을 형성하는 단계, 상기 소스 전극 및 상기 화소 전극 위에 개구부를 가진 격벽을 형성하는 단계, 상기 개구부에 유기 반도체를 형성하는 단계, 상기 유기 반도체 위에 게이트 절연막을 형성하는 단계 및 상기 게이트 절연막 및 상기 격벽 위에 게이트 전극을 포함하는 게이트선을 형성하는 단계를 포함한다.
- [0013] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0014] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0015] 먼저, 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 구조에 대하여 도 1 내지 도 3을 참조하여 상세하게 설명한다.
- [0016] 도 1은 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2 및 도 3은 도 1의 유기 박막 트랜지스터 표시판을 II-II' 선 및 III-III' 선에 따라 절단한 단면도이다.

- [0017] 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판은 복수의 화소가 배치되어 있으며 화상이 표시되는 표시 영역(D), 구동 접적 회로 등과 같이 외부 장치를 연결하기 위한 패드 등이 배치되어 있는 패드 영역(P) 및 유지 전극선 연결부 또는 정전기 방지 회로 등의 보조 신호선들이 배치되어 있는 보조 영역(E)을 포함한다.
- [0018] 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판은 유리 또는 플라스틱 소재로 이루어진 투명 절연 기판(110) 위에 복수의 데이터선(data line)(171), 광차단막(177) 및 유지 전극선 연결부(178)가 형성되어 있다.
- [0019] 데이터선(171)은 표시 영역(D)에서 주로 세로 방향으로 뻗어 데이터 전압(data voltage)을 전달하며, 데이터선(171)의 한쪽 끝 부분(179)은 패드 영역(P)에 배치되어 있으며 외부 회로 또는 다른 층과의 연결을 위하여 폭이 확장되어 있다.
- [0020] 유지 전극선 연결부(178)는 보조 영역(E)에 배치되어 있으며, 세로 방향으로 뻗어 공통 전압(common voltage) 등의 신호를 전달한다.
- [0021] 또한, 데이터선(171) 및 유지 전극선 연결부(178)와 동일층에 유기 반도체(154)의 하부 위치에 광차단막(177)이 형성되어 있다. 광차단막(177)은 유기 반도체(154)에서 광에 의한 누설 전류(photoleakage current)가 급격히 증가하는 것을 방지하는 역할을 한다.
- [0022] 데이터선(171), 유지 전극선 연결부(178) 및 광차단막(177)은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예컨대 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al) 또는 이들의 합금으로 이루어진 도전막으로 이루어질 수 있다. 또한, 물리적 성질이 다른 둘 이상의 도전막을 포함할 수 있으며, 이 경우 하나의 도전막은 저저항의 도전 물질로 이루어지며, 다른 도전막은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적 및 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 또는 크롬(Cr) 등의 도전 물질로 이루어진 것이 바람직하다.
- [0023] 데이터선(171), 광차단막(177) 및 유지 전극선 연결부(178)의 측면은 각각 경사져 있으며 그 경사각은 기판(110)의 표면에 대하여 약 30 내지 80°이다.
- [0024] 데이터선(171), 광차단막(177) 및 유지 전극선 연결부(178) 위에는 질화규소(SiN_x) 또는 산화규소(SiO_2) 따위의 무기 절연 물질로 이루어진 하부 충간 절연막(160)과 내구성이 우수한 폴리아크릴(polyacryl), 폴리이미드(polyimide) 및/또는 벤조사이클로부틴(benzocyclobutene, C_{10}H_8) 등을 포함하는 유기 절연 물질로 이루어진 상부 충간 절연막(165)이 순차적으로 형성되어 있다. 또는, 경우에 따라, 하부 충간 절연막(160) 및 상부 충간 절연막(165) 중 어느 하나를 생략할 수도 있다.
- [0025] 하부 충간 절연막(160) 및 상부 충간 절연막(165)에는 데이터선(171)을 노출시키는 접촉구(163), 유지 전극선 연결부(178)를 노출시키는 복수의 접촉구(168) 및 데이터선(171)의 끝부분(179)을 노출시키는 복수의 접촉구가 형성되어 있다.
- [0026] 상부 충간 절연막(165) 위에는, 표시 영역(D)에 배치되어 있는 복수의 소스 전극(source electrode)(193) 및 복수의 화소 전극(pixel electrode)(190)과, 패드 영역(P)에 배치되어 있으며 데이터선의 끝부분(179)과 연결되어 있는 접촉 보조 부재(contact assistant)(82)가 형성되어 있다.
- [0027] 소스 전극(193), 화소 전극(190) 및 접촉 보조 부재(82)는 IZO 또는 ITO 등과 같은 투명한 도전 물질 또는 반사 도가 높은 도전 물질로 이루어질 수 있다.
- [0028] 화소 전극(190) 중 게이트 전극(124)의 상부에 위치하는 일부는 드레인 전극(195)을 이루며, 데이터 신호를 인가받는다.
- [0029] 소스 전극(193)은 게이트 전극(124)을 중심으로 드레인 전극(195)과 마주하며, 접촉구(163)를 통하여 데이터선(171)과 연결되어 있다.
- [0030] 소스 전극(193)과 드레인 전극(195)은 서로 평행하게 마주하는 경계선을 가지는데, 단위 면적에서 길이를 극대화하기 위해 굴곡되어 있다.
- [0031] 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있으나, 중첩되지 않을 수도 있다.
- [0032] 접촉 보조 부재(82)는 접촉구(182)를 통하여 데이터선(171)의 끝 부분(179)과 연결되어 있다. 접촉 보조 부재(82)는 데이터선(171)의 끝 부분(179)과 구동 접적 회로와 같은 외부 장치와의 접착성을 보완하고 이들을 보호

하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

[0033] 소스 전극(193) 및 화소 전극(190)이 형성되어 있는 상부 층간 절연막(165)에는 감광성 유기 물질로 이루어져 있는 격벽(801)이 형성되어 있다.

[0034] 격벽(801)에는 투과 영역을 노출시키는 개구부 및 유기 반도체(154)를 노출시키는 개구부가 형성되어 있다.

[0035] 격벽(801)은 폴리아크릴(poly acryl) 또는 폴리이미드(poly imide)와 같은 감광성 유기 절연 물질로 이루어지며, 유기 반도체(154)를 충분히 둘러싸는 두께, 예컨대 1 내지 $3\mu\text{m}$ 의 두께로 형성되어 있다. 격벽(801)은 잉크젯 방법으로 형성되는 유기 반도체(154)가 형성될 영역을 구획한다.

[0036] 격벽(801)의 개구부에는 유기 반도체(154)가 형성되어 있다. 유기 반도체(154)는 폴리티닐렌비닐렌(polythienylenevinylene), 올리고티오펜(oligothiophene), 폴리-3-헥실ти오펜(poly 3-hexylthiophene) 또는 용해성 펜타센(soluble pentacene)과 같이 용액 형태로 제조될 수 있는 유기 반도체 화합물로 이루어진다. 유기 반도체(154)는 격벽(801)으로 둘러싸여 있으며, 예컨대 약 500 내지 2000Å의 두께로 형성되어 있다. 유기 반도체(154) 하부에는 광에 의한 누설 전류를 감소시키기 위하여 광차단막(177)이 위치되어 있다.

[0037] 유기 반도체(154) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 유기 반도체(154)와 함께 격벽(801)에 둘러싸여 있다. 게이트 절연막(140)은 불소계 탄화수소 화합물, 폴리비닐알코올(poly vinyl alcohol) 또는 폴리이미드(poly imide)와 같이 유기 절연 물질로 이루어지며, 유기 반도체(154)와 연속하여 잉크젯 방법을 이용하여 형성된다. 게이트 절연막(140)은 게이트 전극(124)과 하부층을 절연하는 한편, 이후 공정에서 유기 반도체(154)에 미치는 영향을 최소화하여 유기 박막 트랜지스터 특성이 불량해지는 것을 방지한다.

[0038] 상기와 같이, 격벽(801) 내에 유기 반도체(154) 및 게이트 절연막(140)이 연속 적층됨으로써 유기 박막 트랜지스터의 계면 특성을 극대화시킬 수 있고, 유기 반도체(154)의 전면이 격벽(801) 및 게이트 절연막(140)에 의해 완전히 둘러싸여 있기 때문에 이후 공정에 의한 유기 반도체(154)의 영향을 최소화할 수 있다.

[0039] 격벽(801) 및 게이트 절연막(140) 위에는 게이트 신호를 전달하는 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(131)이 형성되어 있다.

[0040] 게이트선(121)은 표시 영역(D)에 배치되어 주로 세로 방향으로 뻗은 데이터선(171)과 교차하고 있으며, 각 게이트선(121)의 일부는 위 또는 아래로 돌출되어 복수의 게이트 전극(gate electrode)(124)을 이룬다. 이 경우, 게이트선(121)의 한쪽 끝 부분(129)은 패드 영역(P)에 배치되어 있으며 외부 회로 또는 다른 층과의 연결을 위하여 폭이 확장되어 있다.

[0041] 유지 전극선(131) 각각은 표시 영역(D)에 배치되어 주로 가로 방향으로 형성되어 있으며, 게이트선(121)과 데이터선(171)으로 둘러싸인 영역의 가장자리에 배치되어 있는 유지 전극(133)을 포함한다. 또한, 각각의 유지 전극선(131)은, 보조 영역(E)에 배치되어 있으며 외부 회로 또는 다른 층과의 연결을 위하여 폭이 확장되어 있는 유지 전극선(131)의 끝 부분(138)을 가진다. 유지 전극선(131)의 끝 부분(138)은 층간 절연막(160, 165)의 접촉구(168)를 통하여 하나의 유지 전극선 연결부(178)에 공통으로 연결되어 있다.

[0042] 게이트선(121) 및 유지 전극선(131)은 신호의 저연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예컨대 금(Au), 은(Ag), 알루미늄(Al) 또는 이들의 합금 등으로 이루어진 도전막을 포함할 수 있다. 또한, 물리적 성질이 다른 둘 이상의 도전막을 포함할 수 있는데, 이 경우 하나의 도전막은 저저항의 도전 물질로 이루어지며, 다른 도전막은 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적 및 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금] 또는 크롬(Cr) 등의 도전 물질로 이루어질 수 있다.

[0043] 게이트 전극(124)은 소스 전극(193), 드레인 전극(195) 및 유기 반도체(154)와 중첩되어 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(193)과 드레인 전극(195) 사이의 유기 반도체(154)에 형성된다.

[0044] 게이트선(121) 및 유지 전극선(131)의 측면은 각각 경사져 있으며 그 경사각은 기판(110)의 표면에 대하여 약 30 내지 80° 이다.

[0045] 게이트선(121) 및 유지 전극선(131)을 포함한 전면에는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기 물질 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질, 또는 질화규소(SiNx) 또는 산화규소(SiO₂) 등으로 이루어진

보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 섬 모양으로 이루어져 소스 전극(193), 드레인 전극(195), 게이트 전극(124) 및 유기 반도체(154)가 위치하는 부분을 덮으며, 경우에 따라 보조 영역(E)까지 형성될 수도 있다.

[0046] 이하에서는, 도 1 내지 도 3에 도시한 상기 유기 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에 대하여, 도 4 내지 도 15b를 참조하여 상세하게 설명한다.

[0047] 도 4, 도 6, 도 8, 도 10, 도 12 및 도 14는 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 제조 방법을 순차적으로 보여주는 배치도이고, 도 5a, 도 5b, 도 7a, 도 7b, 도 9a, 도 9b, 도 11a, 도 11b, 도 13a, 도 13b, 도 15a 및 도 15b는 각각 도 4의 Va-Va'선, 도 4의 Vb-Vb'선, 도 6의 VIIa-VIIa'선, 도 6의 VIIb-VIIb'선, 도 8의 IXa-IXa'선, 도 8의 IXb-IXb'선, 도 10의 XIa-XIa'선, 도 10의 XIb-XIb'선, 도 12의 XIIIa-XIIIa'선, 도 12의 XIIIb-XIIIb'선, 도 14의 XVa-XVa'선 및 도 XVb-XVb'선을 따라 자른 단면도이다.

[0048] 먼저, 도 4 내지 도 5b에서 보는 바와 같이, 유리 또는 플라스틱 소재로 이루어진 절연 기판(110) 위에 스퍼터링(sputtering)으로 금속층을 형성한다.

[0049] 여기서 금속층은 낮은 저저항(resistivity)의 금속, 예컨대 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al) 또는 이들의 합금으로 이루어진 도전체로 이루어질 수 있으며, 저저항 특성 및 접착성(adhesion) 등을 고려하여 다층으로 형성할 수도 있다.

[0050] 그 다음, 상기 금속층을 사진 식각하여, 데이터선(171), 유지 전극선 연결부(178) 및 광차단막(177)을 형성한다.

[0051] 이어서, 도 6 내지 도 7b에서 보는 바와 같이, 데이터선(171), 유지 전극선 연결부(178) 및 광차단막(177)을 포함한 기판 전면에 질화규소(SiNx) 따위의 무기 물질로 이루어진 하부 층간 절연막(160)과 감광성 유기 물질로 이루어진 상부 층간 절연막(165)을 순차적으로 형성한다.

[0052] 여기서, 하부 층간 절연막(160)은 약 250 내지 400°C의 온도에서 화학 기상 증착(chemical vapor deposition, CVD) 방법으로 형성하고, 상부 절연막(165)은 폴리아크릴(polyacryl), 폴리이미드(polyimide) 및/또는 벤조사이클로부틴(benzocyclobutene, C₁₀H₈) 등의 유기 절연 물질을 용액 상태로 스판 코팅하여 형성한다.

[0053] 또한, 경우에 따라 하부 층간 절연막(160) 및 상부 층간 절연막(165) 중 어느 하나를 생략할 수도 있다.

[0054] 그 다음, 감광성 유기 물질로 이루어진 상부 층간 절연막(165)을 노광하여 데이터선(171), 데이터선의 끝부분(179) 및 유지 전극선 연결부(178)를 각각 노출시키는 접촉구를 형성한 후, 상부 층간 절연막(165)을 마스크로 하여 하부 층간 절연막(160)을 건식 식각(dry etching)한다.

[0055] 이어서, 도 8 내지 도 9b에서 보는 바와 같이, 상부 층간 절연막(165) 위에 비정질 ITO와 같은 도전체를 형성한 후 패터닝하여 화소 전극(193), 드레인 전극(195)을 포함하는 화소 전극(190) 및 접촉 보조 부재(82)를 형성한다.

[0056] 먼저 게이트 절연막(140)의 전면에 ITO를 스퍼터링(sputtering)한다. 이 때, 스퍼터링은 상온(room temperature)에서 수행하여 비정질 ITO막을 형성한다. 그 다음, 상기 비정질 ITO막을 아민(NH₂)성분이 함유되어 있는 약염기성 식각액을 이용하여 패터닝하여 화소 전극(193), 드레인 전극(195)을 포함하는 화소 전극(190) 및 접촉 보조 부재(82)를 형성한다. 이와 같이 비정질 ITO로 형성하는 경우 약염기성 식각액으로 용이하게 식각할 수 있기 때문에, 다른 도전체 또는 결정질 ITO와 같이 강산 식각액을 필요로 하지 않다. 강산(strong acid) 식각액을 이용하여 패터닝하는 경우, 식각액이 하기 층간 절연막(165)과 접촉하여 불량을 유발할 수 있을 뿐만 아니라, 층간 절연막(165)에 발생한 크랙(crack)으로 침투하여 하부 도전층을 침식시킬 수 있다.

[0057] 그 다음, 상기 비정질 ITO를 그대로 이용할 수도 있고, 비정질 ITO를 결정화하여 결정질 ITO로 형성할 수도 있다.

[0058] 또한, 상기에서는 ITO에 대해서만 설명하였지만, IZO와 같은 다른 투명 전극 또는 금(Au), 알루미늄(Al)과 같은 반사성 전극으로 형성할 수도 있다.

[0059] 이 때, 화소 전극(190) 중 일부분은 드레인 전극(195)을 이루며, 게이트 전극(124)을 중심으로 드레인 전극(195)과 마주하는 위치에 소스 전극(193)을 형성한다. 또한, 소스 전극(193)과 드레인 전극(195)은 서로 평행하게 마주하는 경계선을 가지는데, 단위 면적에서 길이를 극대화하기 위해 굴곡되도록 형성한다.

- [0060] 또한, 소스 전극(193)은 접촉구(163)를 통하여 데이터선(171)과 연결되어 데이터 신호를 인가받는다.
- [0061] 그 다음, 도 10 내지 도 11b에서 보는 바와 같이, 소스 전극(193) 및 화소 전극(190)을 포함한 표시 영역(D)의 전면에 감광성 유기 절연 물질로 이루어진 격벽(803)을 형성한다. 격벽(803)은 약 1 내지 3 μ m의 두께로 스판 코팅 방법으로 형성한다.
- [0062] 이어서, 격벽(803) 위에 소정 패턴이 형성되어 있는 마스크를 이용하여 노광하여 투과 영역을 노출시키는 제1 개구부 및 광차단막(177)에 대응하는 영역을 노출시키는 제2 개구부를 형성한다. 제2 개구부는 소스 전극(193)의 일부 및 드레인 전극(195)의 일부를 노출시킨다.
- [0063] 그 다음, 도 12 내지 도 13b에서 보는 바와 같이, 제2 개구부에 폴리티닐렌비닐렌(polythienylenevinylene), 올리고티오펜(oligothiophene), 폴리-3-헥실ти오펜(poly 3-hexylthiophene) 또는 용해성 펜타센(soluble pentacene)과 같은 유기 반도체 용액을 잉크젯 방법으로 형성한다. 유기 반도체(154)는 격벽(801)으로 충분히 둘러싸이는 두께로 형성하며, 예컨대 500 내지 2000Å의 두께로 형성한다.
- [0064] 이어서, 유기 반도체 용액을 약 50 내지 150°C에서 열처리하여 용매를 제거함으로써 유기 반도체(154)가 형성된다.
- [0065] 그 다음, 유기 반도체(154) 위에 연속적으로 유기 물질을 형성한다. 유기 물질은 용액 형태로 제조하여 잉크젯 방법으로 적하한다. 유기 물질은, 예컨대 불소계 탄화수소 화합물, 폴리비닐알코올(poly vinyl alcohol) 또는 폴리아이미드(poly imide)과 같은 절연 물질로 형성한다. 이어서, 약 100 내지 250°C에서 열처리하여 용매를 제거 함으로써 게이트 절연막(140)이 형성된다.
- [0066] 상기와 같이, 격벽(801) 내에 유기 반도체(154) 및 게이트 절연막(140)이 연속 적층됨으로써 유기 박막 트랜지스터의 계면 특성을 극대화시킬 수 있고, 유기 반도체(154)의 전면이 격벽(801) 및 게이트 절연막(140)에 의해 완전히 둘러싸여 있기 때문에 이후 공정에 의한 유기 반도체(154)의 영향을 최소화할 수 있다.
- [0067] 그 다음, 도 14 내지 도 15b에서 보는 바와 같이, 격벽(801) 및 게이트 절연막(140) 위에 금속층을 형성한다. 상기 금속층은, 예컨대 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al) 또는 이들의 합금으로 이루어진 도전체로 이루어질 수 있으며, 저저항 특성 및 접착성(adhesion) 등을 고려하여 다층으로 형성할 수도 있다.
- [0068] 그 다음, 상기 금속층을 사진 식각하여, 게이트 전극(124) 및 게이트선의 끝부분(129)을 포함하는 게이트선(121), 유지 전극(133) 및 유지 전극선의 끝부분(138)을 포함하는 유지 전극선(131)을 형성한다. 이 경우, 유지 전극선의 끝부분(138)은 접촉구(168)를 통하여 유지 전극선 연결부(178)와 접촉되도록 형성한다.
- [0069] 이어서, 도 1 내지 도 3에서 보는 바와 같이, 유기 반도체(154) 및 화소 전극(190)을 포함한 표시 영역(D) 및 보조 영역(E) 전면에 감광성 유기 물질로 이루어진 보호막(180)을 형성한다. 보호막(180)은 스판 코팅 방법으로 형성한다.
- [0070] 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

- [0071] 상기와 같이, 유기 반도체 및 게이트 절연막을 연속하여 잉크젯 방법으로 형성함으로써 박막 트랜지스터의 채널에서 계면 특성을 극대화하는 동시에 유기 반도체 특성 저하를 방지할 수 있으며, 유기 반도체 하부에 별도의 광차단막을 형성함으로써 유기 반도체의 광누설전류의 발생을 최소화할 수 있다.

도면의 간단한 설명

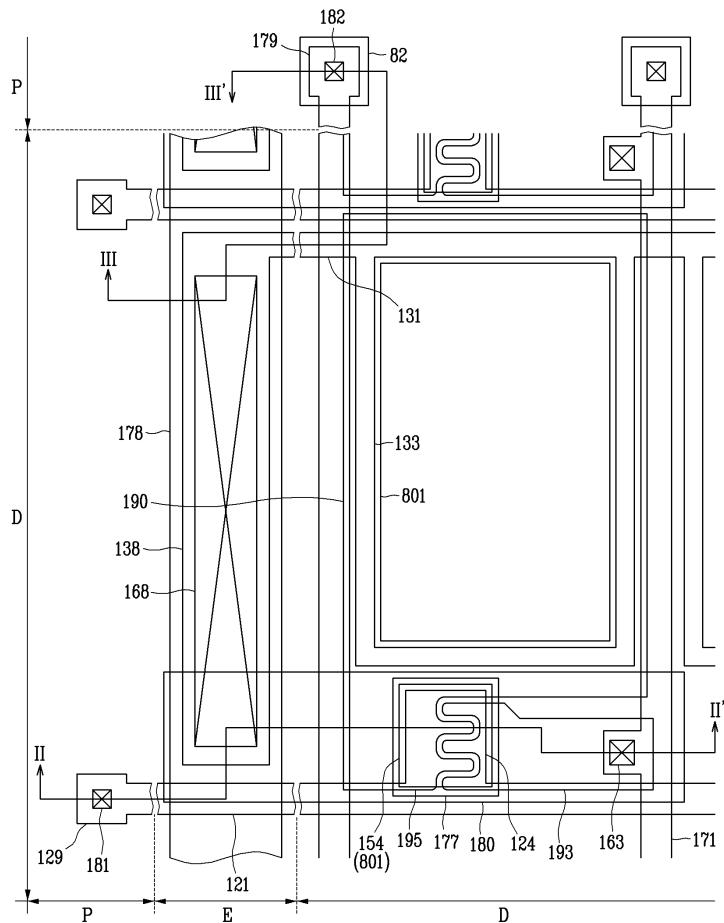
- [0001] 도 1은 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
- [0002] 도 2 및 도 3은 도 1의 유기 박막 트랜지스터 표시판을 II-II' 선 및 III-III' 선에 따라 절단한 단면도이고,
- [0003] 도 4, 도 6, 도 8, 도 10, 도 12 및 도 14는 본 발명의 한 실시예에 따른 유기 박막 트랜지스터 표시판의 제조 방법을 순차적으로 보여주는 배치도이고,

[0004]

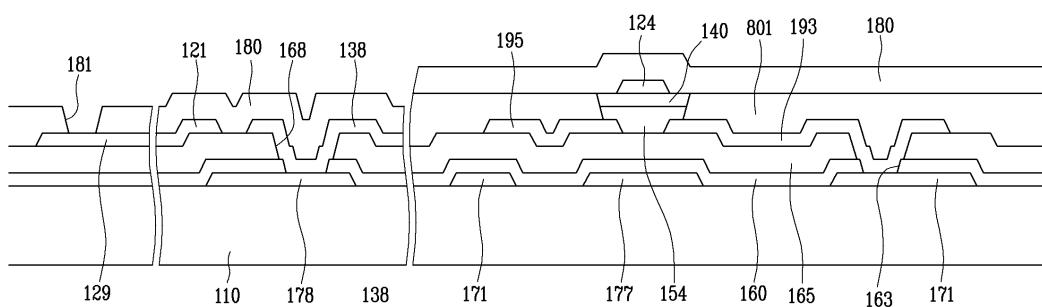
도 5a, 도 5b, 도 7a, 도 7b, 도 9a, 도 9b, 도 11a, 도 11b, 도 13a, 도 13b, 도 15a 및 도 15b는 각각 도 4의 Va-Va'선, 도 4의 Vb-Vb'선, 도 6의 VIIa-VIIa'선, 도 6의 VIIb-VIIb'선, 도 8의 IXa-IXa'선, 도 8의 IXb-IXb'선, 도 10의 XIa-XIa'선, 도 10의 XIb-XIb'선, 도 12의 XIIIa-XIIIa'선, 도 12의 XIIIb-XIIIb'선, 도 14의 XVa-XVa'선 및 도 XVb-XVb'선을 따라 자른 단면도이다.

도면

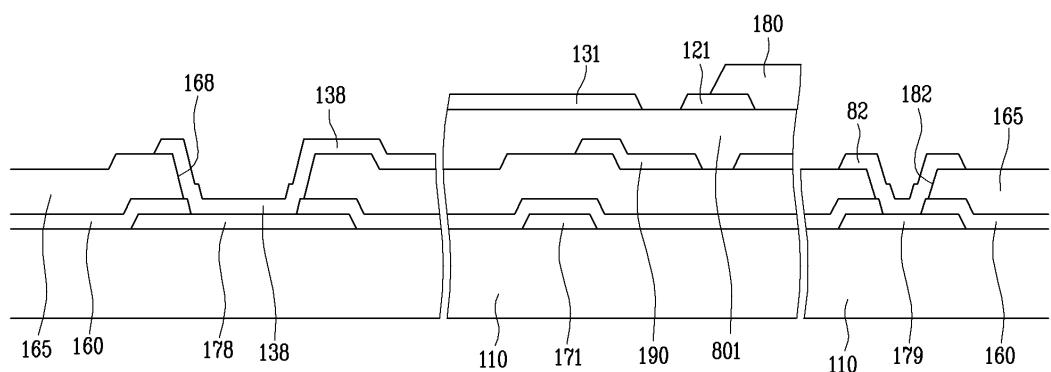
도면1



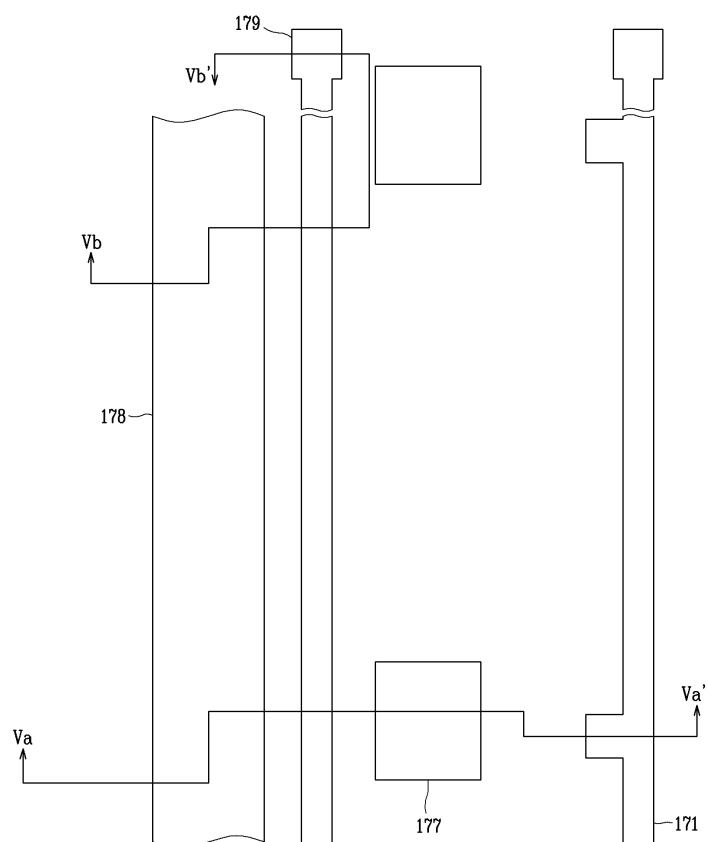
도면2



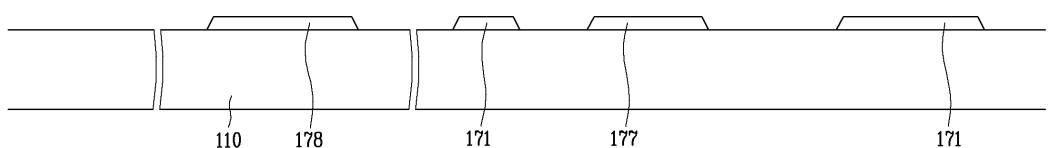
도면3



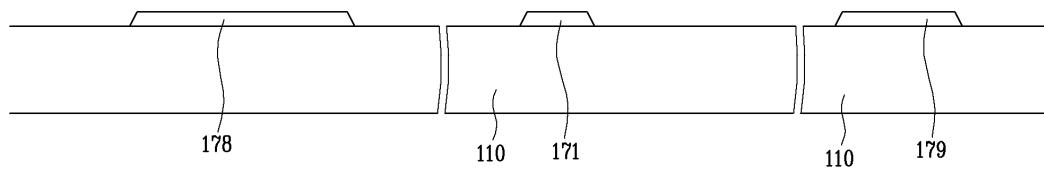
도면4



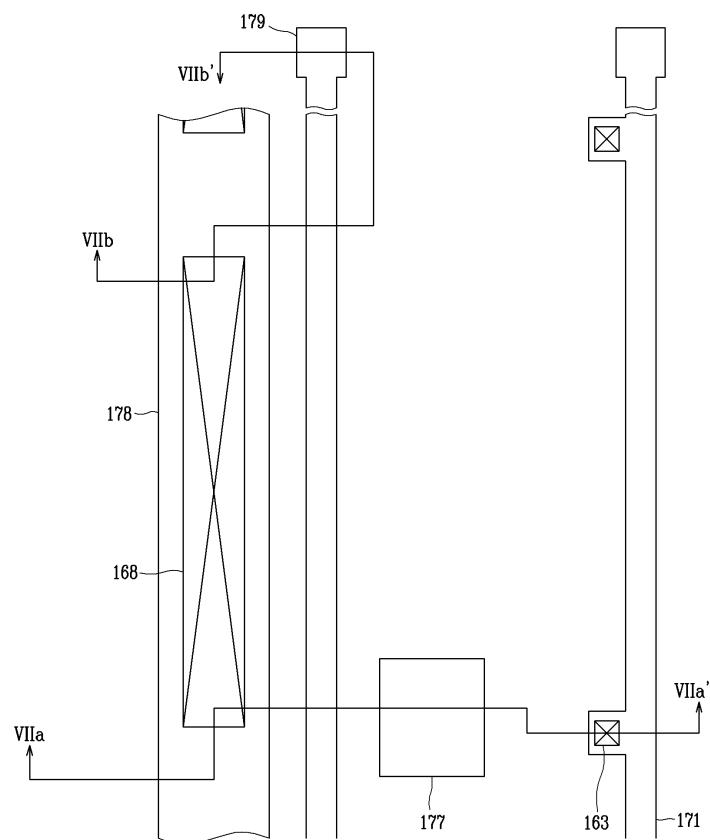
도면5a



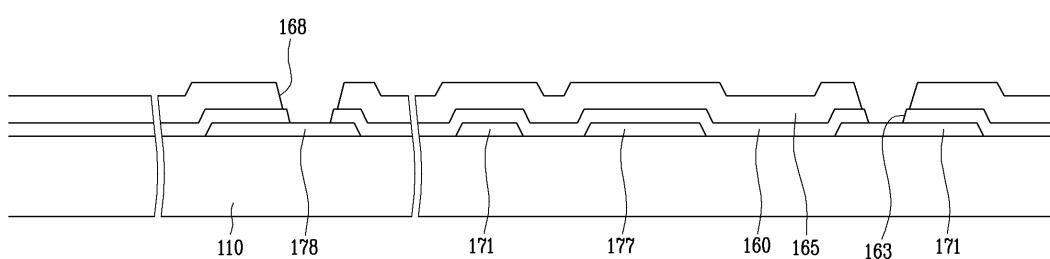
도면5b



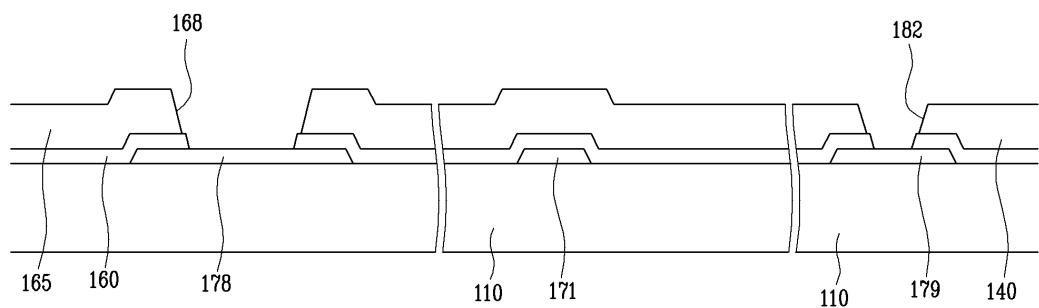
도면6



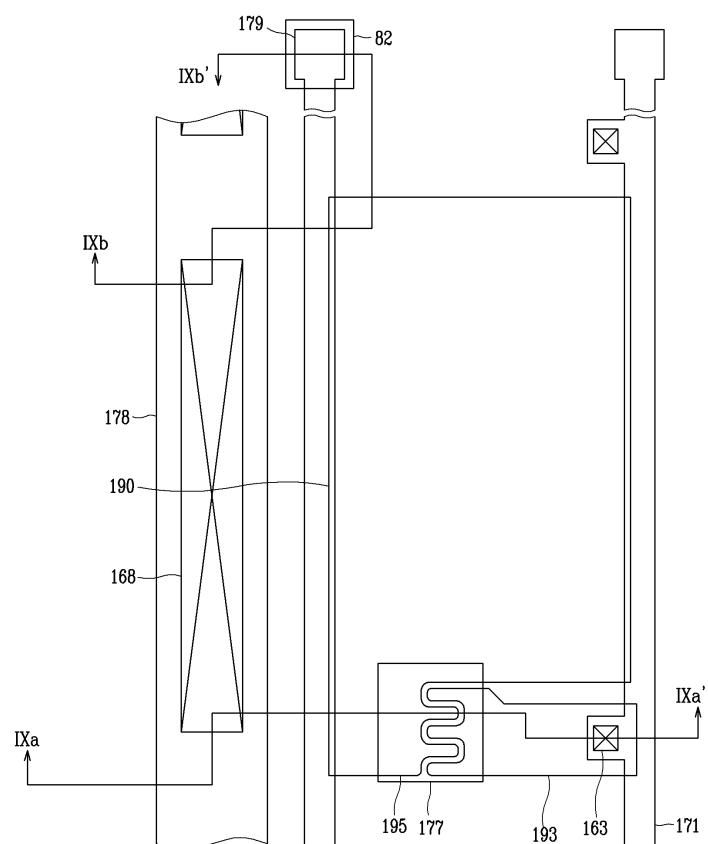
도면7a



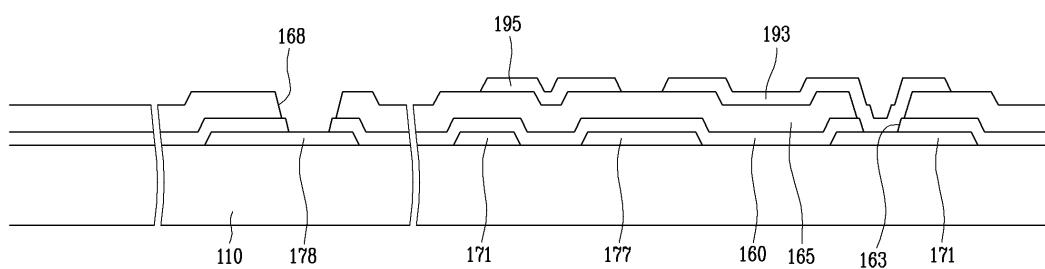
도면7b



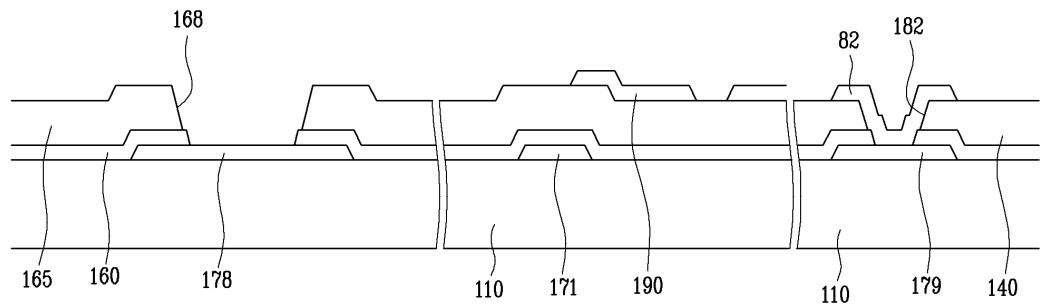
도면8



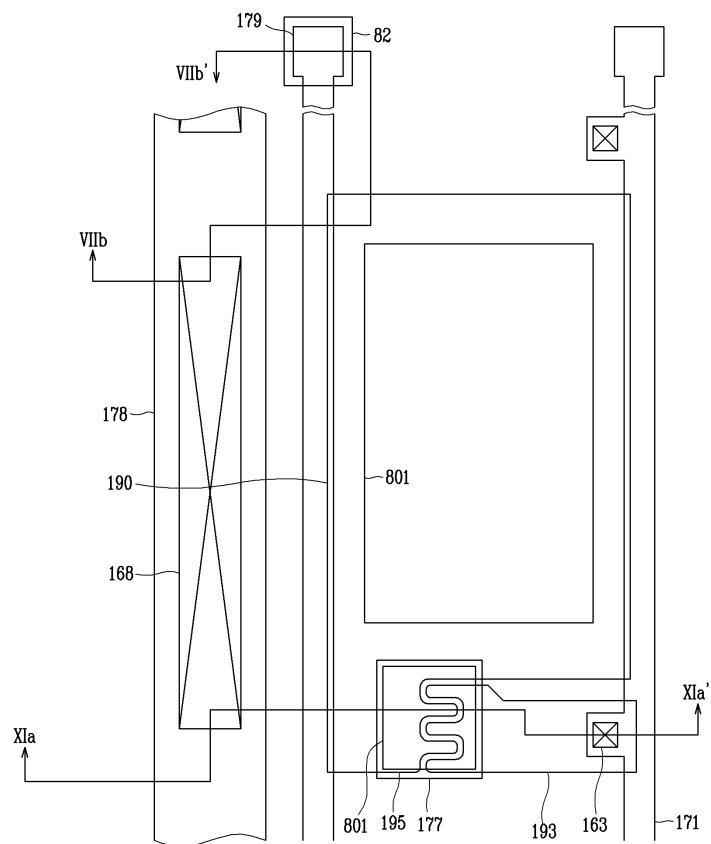
도면9a



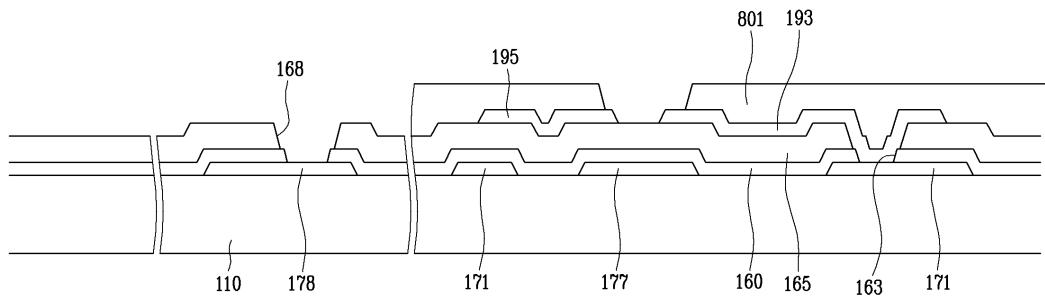
도면9b



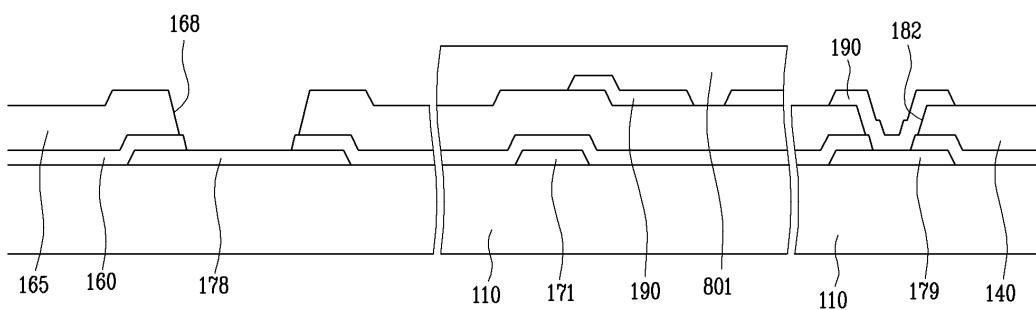
도면10



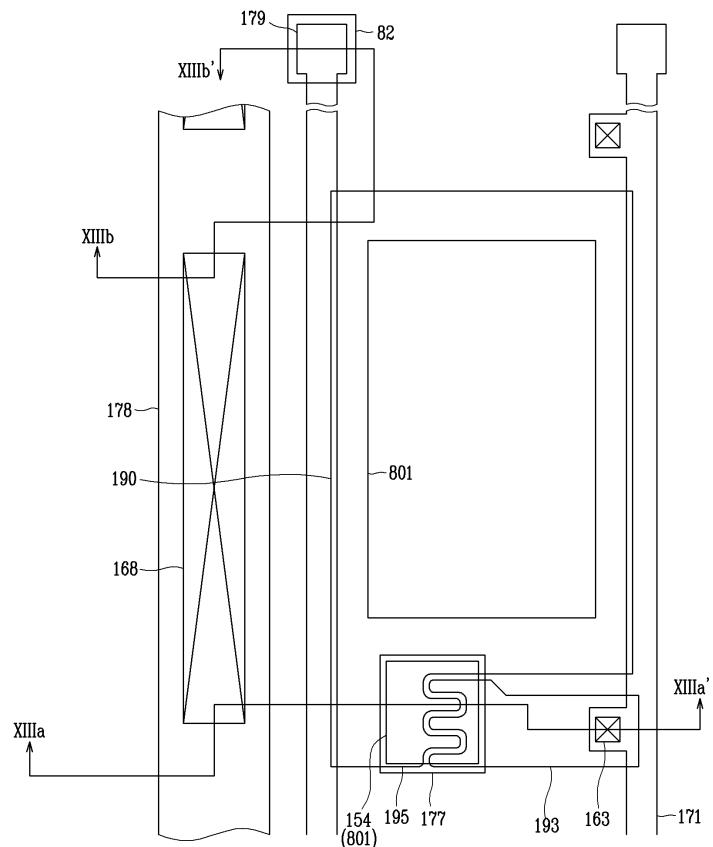
도면11a



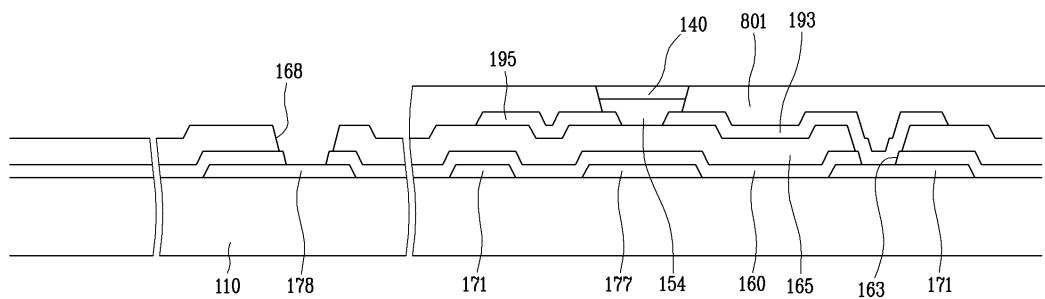
도면11b



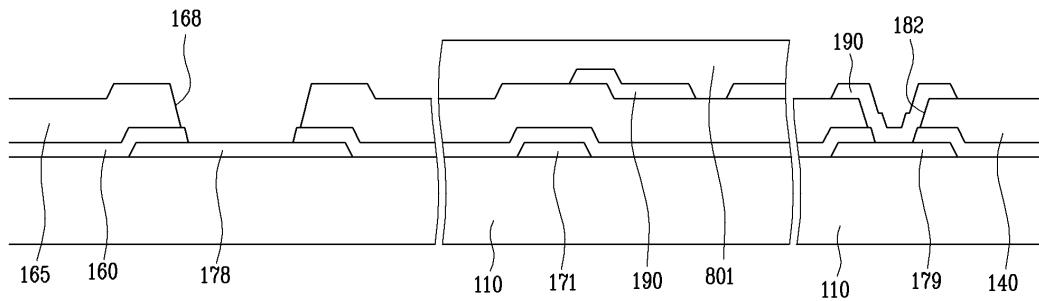
도면12



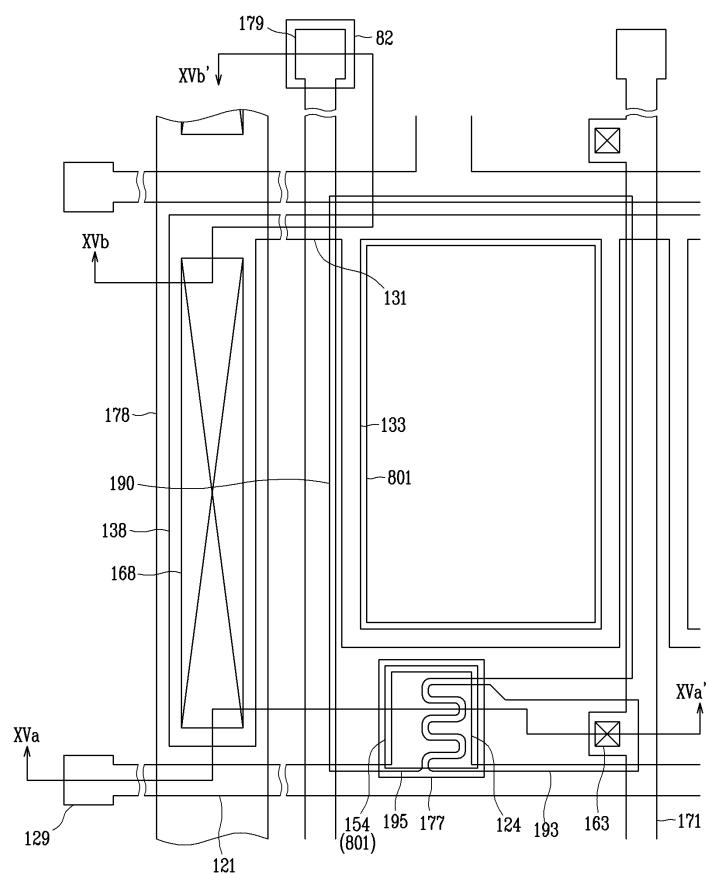
도면13a



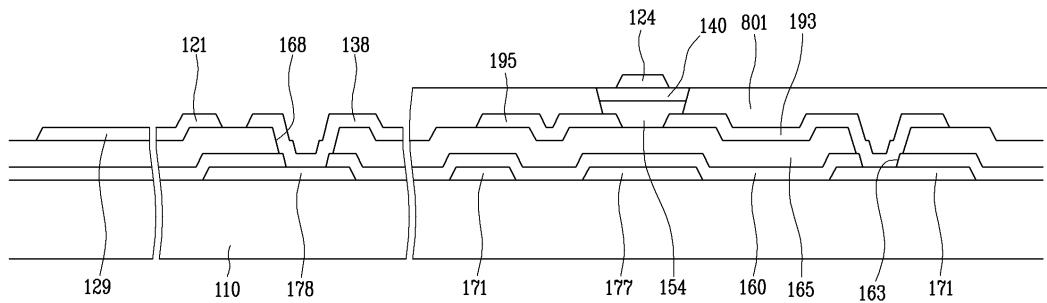
도면13b



도면14



도면15a



도면15b

