(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01S 3/134

(45) 공고일자 2001년09월17일
(11) 등록번호 10-0287985
(24) 등록일자 2001년02월01일

(21) 출원번호 10-1995-0701904
(22) 출원일자 1995년05월12일
번역문 제출일자 1995년05월12일
(86) 국제출원번호 PCT/JP1994/01601
(86) 국제출원출원일자 1994년09월28일

(65) 공개번호 특1995-0704839
(43) 공개일자 1995년11월20일

(87) 국제공개번호 WO 1995/10131
(87) 국제공개일자 1995년04월13일

(81) 지정국 국내특허 : 대한민국, 미국,

(30) 우선권주장 249483 1993년10월05일 일본(JP)

(73) 특허권자
가부시키가이샤 고마쓰 세이사쿠쇼
안자키 사토루
일본 도쿄도 미나도구 아가사카 2-3-6

(72) 발명자
아마다요시호
일본국가나가와254히라쯔까시만다1200
와카바야시오사무
일본국가나가와254히라쯔까시만다1200
이토노리토시
일본국가나가와254히라쯔까시만다1200

(74) 대리인
유동일
이영규

심사관 : 박준영

(54) 레이저장치의출력제어장치

요약

본 발명의 반도체 제조방법은 반도체 기판 상에 하부전극, 유전체막 및, 상부 전극으로 구성된 용량부와, 상기 하부전극의 표면과 하부 전극에 인접된 절연막의 표면위에 형성된 실리콘막을 구비한다. 어닐링은 상기 길리콘막을 질화하기 위하여 질소 또는 암모니아를 포함하는 대기에서 수행된다. 질화 실리콘막은 LP-CVD 법에 의하여 형성된다.

대표도
도 5

명세서

[발명의 명칭]

반도체장치 제조방법

[도면의 간단한 설명]

도1a내지 도1e는 종래기술 1의 제조단계를 도시하는 담년도.

도2a내지 도2e는 종래기술 2의 제조단계를 도시하는 단면도.

도3은 질화 실리콘막의 성장 시간과 성장 막두께의 관계를 도시하는 그래프

도4는 종래기술의 문제점을 도시하는 그래프.

도5a 내지 도5e는 본 발명의 제1실시예에 따른 제조방법의 단계를 도

도6은 본 발명으; 제1실시예에 의해 얻어진 반도체 장치의 파손 전압분포와, 종래기술에 의하여 얻어진 반도체 장치의 파손 전압분포를 비교하여 ㄷ시하는 그래프

도7은 본 발명의 제2 실시예에 따른 제조방법의 가스 시퀀스를 개략적으로 도시하는 그래프.

도 8은 본 발명의 제조방법에 이용될 수 있는 제조장치의 일례로서, 수직형 저압 기상성장 장치의 개략적인 구성을 도시하는 단면도.

도 9는 본 발명의 제조방법에 이용될수 있는 제조장치의 다른 예로서 단일웨이퍼 처리형 다중챔버장치에 개략적인 구성을 도시하는 단면도.

*도면의 주요부분에 대한 부호의 설명

1 : 실리콘 기판 2 : 산화 실리콘막

3 : 하부전극 4 : 비 정질 실리콘막

5 : 질화 실리콘막 7 : 산화 실리콘막

20 : 반도체 웨이퍼 24 : 내부 튜트

31 : 제1가스 도입포트 44 : 이동 챔버

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은 반도체 장치의 제조방법에 관한 것으로, 특히 용량부(capacitorbortion)를 가진 반도체 장치의 제조방법에 관한 것이다.

DRAM 등의 반도체 장치에서는, 구성요소로서 용량을 가진 반도체 장치의 집적화는 날로 높아지고 있다.

고집적화를 위해서는 개선과 회로소자에 패턴을 미세화하는 것이 필요하다. 그러나. 이러한 미세화에 의해 신호에 대응하는 축적 전하량이 감소되면,ㄷ 선등의 방사선에 의한 메모리의 오작동 (소프트에서)이 발생된다. 이러한 오작동 문제를 해결하기 위하여 용량의 우전체막의 두께를 얇게 하여, 메모리 셀의 용량값을 증가시키는 방법이 이용되고 있다.

우선 일본 특개평 2-16763호의 공보 (이하 , 종래기술 1로 칭함)에 기재되어 있는 반도체 장치의 제조방법에서는, 하부전극의 폴리실리콘막 표면을 질화하여 표면에 존재하는 사연 산화막을 질화 실리콘막으로 전환하여, 저압기상생업[이하 ,LP-CVD(low-pressure chemical vapor deposition)이라 칭함]으로 질화 실리콘막의 성장이 억제될 수 있고, 높은 용량값이 얻어질 수 있는 방법이 제안되어 있다 도 1A내지 도1E는 상기 종래기술 1의 반도체 장치의 제조방법의 공정단면을 도시하는 단면도이다, 도 1A 에 도시된 바와 같이 산화 실리콘막(2)이 실리콘 기판(1)위에 형성되고, 그 위에 하부전극인 폴리실리콘막(9)이 형성된다. 다음에 이은 주입법이나 확산법으로 인과 같은 불순물으 ㄴ폴리실리콘막 중에 도입한다, 그후에 상기 장치를 실온에서 방치하여 두면, 도 1B에 도시된 바와 같이 폴리실리콘막(9)의 표면에 자연산화막(10)이 형성된다.

다음으로 도 1C에 도시된 바와 같이 빠른 열질화(heat thermal nitridation ; 이하 , RTN으로 칭함)법에 의하여 폴리실리콘막(9)의 표면위에 형성된 자연 산화막(10)이 질화 실리콘막(11)으로 전환된다.

그후에, 도 1D에 도시된 바와 같이, 질화 실리콘막(11)위에는 LP-CVD 법으로 질화 실리콘막(12)이 침착된다. 또한 상기 질화 실리콘막(12)의 표면은 산화 실리콘막(13)을 형성하기 위하여 산화된다. 질화 실리콘막(11), 질화 실리콘막(12)및 산화 실리콘막(13)에 의하여 용량의 유전체막이 형성한다, 도 1E에 도시된 바와 같이, 산화 실리콘막(10)이 상부 전화 실리콘막(14)이 형성한다.

또한 일본 특개평 5-190769호 공보(이하, 종래기술 2로 칭함)에 기재되어 있는 반도체 장치의 제조방법에는 하부 전극의폴리실리콘막이 비정질 실리콘막을 형성한다 질소원자를 이온 주입한 다음, RTN법을 이용하여 질화실리콘막을 형성하기 위하여 비정질 실리콘막을 질화 한다. 그래서 고품질의 박막으로 유정체막이 실현된다.

도2A 내지 도 2E는 종래기술 추레 반도체장치에 제조방법에 공정단면의 도시하는 단면도이다, 도 2A에 도시된 바와 같이, 실리콘 기판(1)위에 산화 실리콘막을 형성하고 그 위에폴리실리콘막을 증착한다. 다음 상기 폴리실리콘막을 이온 주입법이나 확산법으로 인과 같은 불순물로 도프하여 하부전극(3)의 형상으로 패터닝한다, 그리고 도 2B에 도시된 바와 같이 LP-CVD 법으로 폴리실리콘막 표면에 비정질 실리콘막(4)을 형성한다.

다음으로, 도 2C에 도시된 바와 같이 , 질소 원자를 비정질 실리콘막내로 주입한다, 그리고 도 2D에 도세인 바와 같이 RTN 법으로 비정질 실리콘막을 질화하여 질화 실리콘막위에 질소 산화막(15)을 형성하기 위하여 산화시킨다, 또한 도 2E에 도시된 바와 같이 유전체 막인 질소산화막(15)위에 폴리실리콘막을 형성한다, 인과 같은 불순물을 확산하여, 폴리실리콘막을 상부전극(8)의 형상으로 패터닝한다.

상술된 종래기술은 각각 다음과 같은 문제점이 있다.

우선, 종래기술 1의 경우는 ,RTN 법으로 하부전극인 폴리실리콘막 위에 질화 실리콘막이 형성하지만 상기 하부 전극에 인접된 층간막이 산화 실리콜계의 절연막상에는 완전한 실리콘막이 형성되지 않는다.

이 때문에 ,도 1A 내지 도 1E 에 있어서, LP-CVD 법으로 질화 실리콘막(12)을 형성할때 하부전극(9)의 표면위에 RTN법으로 형성된 질화 실리콘막(11)위와, 이부전극에 인접된 산화 실리콘계의 절연막위에서는 성형초기 단계의 성장속도가 변하게 된다. 하부전극 표면과 층간 절연막 위에서 질화 실리콘막(12)에 두배가 서로 다르게 되므로 누전 전류가 쉽게 흐르게 되는 문제점이 있다.

도 3에는 질화 실리콘막위와 산화 실리콘막의 층간막 위에서 질화 실리콘막의 성장시간과 성장 막두께의 관계를 도시한다, 중간막 상에서 성장이 지연되므로 동일한 성장시간 동안에 약 2.5㎚ 의 막두께 차이가 발생한다

그 결과, 도 4에 도시된 바와 같이, 하부전극(3)위의 질화 실리콘막의 두께는 충간막인 산화 실리콘막(2)의 두께와 다르므로 내압불량이나 누설 전류 즉 도 4에서 , 하부전극(3)은 도 1A 내지 도 1E에 도시된 폴리실리콘막(9)으로 구성되고, 상부전극(8)은 도 1E에 도시된 폴리실리콘막(14)으로 구성된다. 중간막 또는 필드 절연막으로 작용하는 산화

실리콘막(2)의 표면은 패턴화된 하부 전극(3)에 인접하여 존재한다, 또한 도 4의 유전체막(16) 즉, 용량의 용량 절연막(16)은 도 1D 및 도 1E의 질화 실리콘막(11), 질화 실리콘막(12)및 산화 실리콘막(13)으로 구성된다. 상기 대부분의 유전체막(16)은 CVD 법에 의해 형성된 질화 실리콘 막(12)로 구성된다. 즉, 유전체막(16)의 막두께는 질화 실리콘막(12)의 두께를 기초로 하여 우세적으로 결정된다.

상기 자연 산화막(10)은 하부 전극의 표면위에 형성되고, 즉 상기 폴리실리콘막(9)은 자연 산화막(10)이 매우 얇기 때문에, 도 1C에 도시된 RTN 방법에 의하여, 질화 실리콘막(11)으로 전환될 수 있다. 그러나, 어떠한 질화 실리콘막도 층간막 또는 필드 절연막으로서 필요한 막두께를 가지는 산화 실리콘막(2)위에 형성되지 않는다. 보다 상세하게는 산화 실리콘막(2)의 표면이 질화될지라도, 생성된 막은 보다 많은 산소를 포함하므로 산화 실리콘으로서의 강한 속성을 가진다,

따라서, 도 1C에 도시된 공정에서, 질화 실리콘막(12)이 LP-CVD 법에 의하여 형성되는 경우, 성장막 두께는 도 3에 도시된 바와 같이 변하게 된다. 도 4에 도시된 바와 같이, 하부전극(3)의 표면 (상면 및 측면)위에 형성된 유전체막(16)은 두껍게 되고, 산화 실리콘막(2)위에 형성된 유전체막(16)은 얇게 된다. 이러한 이유로 인하여, 잘록하게 된 부분(17)이 하부전극(3)의 하단부에서 질화 실리콘막(12)으로 형성되고 즉, 잘록하게 된 부분(17)이 유전체막(16) 형성된다.

이러한 상태에서, 누설 전류가 상기 잘록하게된 부분(17)은 통하여 상부한극(8)과, 하부전극(3)의 사이로 쉽게 흐르게 되고, 이러한 부분에서 내압불량이 쉽게 발생한다.

이러한 문제점은 상기 유전체막(16)이 얇게되어야만 되는 즉, 질화 실리콘막(12)이 얇게되어야만 되는 용량부에서 발생된다. 상기 설계가 얇은 질화 실리콘막(12)을 허용한다면, 사용정압의 문제점이 없는 충분한 두께는 막두께가 기상성장의 지연으로 인하여 변하게 될지라도 어떠한 부분에서도 보장될 수 있다.

내압불량이나 누설전류를 방지하기 위해서는, 질화 실리콘막은 두꺼워야만 한다. 상기 질화 실리콘막의 두께는 7㎚이하로 될 수 없다. 유전체막의 두께는 산화 실리콘막으로 전환되는 두께로써 5㎚이하로 될 수 없다. 그러므로, 높은 용량값을 가진 용량부를 얻는 것이 곤란하게 될 수 있다.

한편, 종래기술 2 의 경우에는, 상기 유전체막은 비정질 실리콘막으로 질소원자를 주입하여 RTN법으로 형성된 질화 실리콘막만으로 구성된다. 상기 유정체막은 완전한 절연막으로 작용할 수 없다. 이러한 이유때문에 상부전극과 하부전극은 쉽게 단락되고, 고품질의 유전체막이 형성될 수 없게 된다.

또한 절연성을 향상시키기 위하여 비정질 실리콘막을 두껍게 하여 질화 ㅓ실리콘막을 두껍게 할지라도, 상기 두꺼운 비정질 실리콘막이 쉽게 질화 되지 않기 때문에 불완전한 절연성을 가진 유전체막만이 형성된다. 그러므로, 누설전류는 상부전극과 하부전극 사이에 쉽게 흐르게 된다.

이상과 같이 종래기술에서는 용량 절연막의 유전체막으로써 작용하는 유전체막은 얇게 제조될 수 없으며, 장치의 미세화에 대응 할 수 없게 된다.

[발명이 이루고자 하는 기술적 과제]

본 발명은 상술의 종래기술에서의 문제점을 감안하여 이루어진 것으로, 그 목적은 내압불량 등의 단점을 억제함으로써 유전체막의 박막화가 달성되고 그래서 높은 용량값을 가진 미세화된 패턴으로 얻어질 수 있는 신뢰성있는 반도체 장치의 제조 방법을 제공하는 것이다.

상기 목적을 달성하기 위해서 , 본 발명의 제 1양태에 의하면, 반도체 기판위에 하부전극과 유전체막과 상부전극으로

구성된 용량부를 가진 반도체 장치의 제조방법에 있어서,상기 하부전극의 표면위 및 하부전극에 인접된 절연막의 표면위에 실리콘막을 형성하는 단계와; 상기 실리콘막을 질화하기위하여 질소 또는 암모니아를 포함하는 분위기중에서 어닐링을 수행하는 단계와, 기상 성장법(LP-CVD)으로 질화 실리콘막을 형성하는 단계를 포함하는 반도체 장치의 제조방법이 제공되낟. 제 1 양태에 있어서, 상기 실리콘막을 형성하는 단계와, 실리콘막을 질화하는 단계 및 ,LP-CVD 법으로 질화 실리콘막을 형성하는 단계는 하나의 제조장치, 예를 들면 수직형 LP-CVD 장치 또는 단일 웨이퍼 처리형태의 다중챔버장치에서, 웨이퍼를 외부대기에 노출시키지 않고 수행된다.상기 실리콘막은 실란가스, 디실란 가스 및 디클로로실란 가스중 하나를 사용하여 형성될 수 있다.

본 발명의 제2양태에 의하면, 반도체 기판위에 하부전극과 유전체막과 상부전극으로 구성된 용량부를 가진 반도체 장치의 제조방법에 있어서, 상기 하부전극과 유전체막과 상부전극으로 구성된 용량부를 가진 반도체 장치의 제조방법에 있어서, 상기 하부전극의 표면위와 하부전극에 인접된 절연막의 표면위에 실리콘을 포함하는 가스분자를 흡착시키는 단계와, 질소 또는 암모니아을 포함하는 분위기 중에서, 상기 실리콘을 포함하는 흡착된 가스 분자를 질화하기 위하여 어닐링을 수행하는 단계와, 기상성장법으로 질화 실리콘막을 형성하는 단계를 포함하는 가스분자늘 실란가스, 디실란 가스, 및 디클로로실란 사그중의 하나이다, 상기 실리콘 포함하는 가스분자를 흡착하는 단계와, 상기 흡착된가스분자를 질화하는 단계 및 기상성장법으로 질화 실리콘막을 형성하는 단계는 동일한 하나의 제조장치내,예를 들면 수직형 LP-CVD 장치 또는 단일 웨이퍼 처리형의 다중챔버 장치내에서 외부대기에 조출시키지 않고 수행된다.

상기 각 형태를 가진 본 발명에 따라, 하부 전극 표면 및 절연막 위에 실리콘막을 형성하여 상기 실리콘막을 질화하기 위하여 질소 또는 암모니아를 포함하는 분위기중에서 어닐링을 행하는 단계와, 기상성장법으로 질화 실리콘막을 형성함으로써, 동일한 두께를 가진 용량 절연막이 하부전극위와 층간막인 산화 실리콘박위에 형성된다. 상기 구조에서, 내압 분포나 누설 전류특성이 양호하게 되고, 용량 절연막은 산화 실리콘막으로 전환되는 두께인 4mm만큼 얇게 형성될 수 있다.

또한, 상기 실리콘막을 질화하여 질화 실리콘막으로 하여 그위에 질화 실리콘막을 성장시키므로 실리콘막을 얇게 박막화될 수 있다. 그러므로, 실리콘막은 질화 실리콘막으로 완벽하게 전환될 수 있다. 그러나, 상기 종래기술 2에서 나타나는 어떠한 단락도 상부 및 하부 전극 사이에 발생되지 않고, 상기 유전체막이 얇게 제조될 수 있다.

또한, 하부 전극 표면과 절연막 위에 실리콘막을 형성하는 단계와, 실리콘막을 질화하기 위하여 질소 또는 암모니아를 포함하는 분위기중에서 어닐링을 수행하는 단계 및 기상성장방법으로 질화 실리콘막을 형성하는 단계가 하나의 장치에서 수행되므로, 상기 용량 절연막은 외부대기의 흡착등의 영향을 받지 않고 안정되게 형성될 수 있다.

본 발명의 상술된 다른 목적, 특징 및 장점은 후술하는 상세한 설명 및 첨부도면을 참고로 하여 당업자는 보다 명백하게 이해될수 것이다.

지금부터, 본 발명의 양호한 실시예를 첨부도면을 참고로 설면한다.

도 5A 내지 도 5E는 본발명의 제 1 실시예에 따른 제조방법의 단계에 대응하는 반도체 장치를 개략적으로 도시하는 단면도이다.

먼저, 도 5A 내지 도 5E를 참조하여, 본 발명의 제 1 실시예에 대해 설명한다.

도 5A에 도시된 바와같이, 산화 실리콘막(2)을 실리콘 기판(1)위에 형성하고, 접촉구멍을 통상의 포토리소그라피 및 건식에칭 기술을 이용하여 산화 실리콘막(2)에 형성한다. 그 후 , 폴리실리콘막을 SiH_4 가스를 이용하는 LP-CVD 법으로 200내지 800mm외 두계로 성막한다. 이온 주입법이나 열확산법으로 폴리실리콘막중에 인과 같은 불순물을 도프한다. 통상의 포토리소그라피 및 건식애칭 기술을 이용하여 상기 폴리실리콘막을 하부전극(3)의 형상으로 패터닝한다.

다음으로, 도 5B에 도시한 바와같이, SiH_2Cl_2 가스를 이용하여, 비정질 실리콘막(4)을 0.5 내지 2nm의 도께로 전체 표면 위에 형성한다. 상기 비정질 실리콘막(4)을 형성하는 조건은 다음과 같다; SiH_2Cl_2 가스를 흐름비는 100sccm, 압력은 0.2 내지 1torr, 성장온도는 500내지 700℃ 이다.

다음으로, 도 5C에 도시한 바와같이, NH_3 가스 또는 N_2 가스 분위기에서, 500내지 900℃로 어닐링 처리하여 비정질 실리콘막(4)을 질화하여 질화 실리콘막(5)를 형성한다.

다음, 도 5D에 도시한 바와같이 SiH_2Cl_2 가스 및 NH_3 가스를 이용하여, 질화 실리콘막(6)을 통상의 LP-CVD 법으로 5내지 10nm의 두께를 형성한다. 계속하여, 질화 실리콘막은 질화 실리콘막(6)의 표면위에 산화 실리콘막(7)을 형성하기 위하여 산화성 분위기에서 어닐됨으로써, 질화 실리콘막(5), 질화 실리콘막(6) 및 산화 실리콘막(7)으로 구성된 용량 절연막의 유전체막을 형성한다.

도 5E에 도시한 바와같이, 통상의 LP-CVD 법으로 폴리실리콘막을 100내지 300nm 의 두께로 성막한다. 그리고 , 상기 폴리실리콘막에 이온 주입법이나 열확산법으로 인과 같은 불순물을 도프하여, 통상의 포토리소그라피 및 건식에칭 기술을 이용하여 상부 전극(8)의 형상으로 패터닝한다.

비정질 실리콘막(4)을 질화 실리콘막(5)으로 변경하여, 질화 실리콘막(6)을 LP-CVD 법으로 질화실리콘막(5)위에 형성하는 것으로, 종래기술과는 다르게, 질화 실리콘막위와 산화 실리콘막위에서 성장막 두께차가 없게된다. 동일한 두께를 가진 실리콘막(6)은 폴리실리콘막으로 구성된 하부전극(3)위와 층간막의 산화 실리콘막(2)위에서도 성장될 수 있다. 따라서 도 4를 참조로 설명하는 종래기술의 단점은 발생하지 않는다.

도 6은 본 발명과 종래기술 1의 산화 실리콘막으로 저환되는 두께가 4nm인 용량 절연막의 내압분포를 도시하는 그래프이다.

본 발명의 제 1 실시예에 따른 제조방법을 이용함으로써, 종래에 보였던 저전계(low electric field)및 중전계(intermediate electric field)에서의 파단이 없게되고, 양호한 내압분포가 얻어진다. 이결과으로 보터, 질화 실리콘막((6)을 5nm만큼 또는 산화 실리콘막으로 전환되는 두께인 4nm으로 제조할 수 있다.

또한, 상술된 종래기술 2와 비교하여도, 본 발명의 용량 절연막은 LP-CVD법으로 질화 실리콘막을 형성하기때문에, 고품질로 용량 절연막이 된다. 그러므로 양호한 내압분포와 누설 전류 늑성을 가진 막이 얻어진다.

본 발명에서는, 비정질 실리콘막이 질화 실리콘막(6)의 성장시의 지연을 방지하기 위한 것이고, 필요한 막 두께는 비정질 실리콘막의 박막으로 충분하다.

살기 비정질 실리콘막은 연속적인 열 질화로 질화 실리콘막으로 충분히 전환된다. 완전한 절연막이 얻어지기 때문에, 상부 및 하부 전극 사이에 어떠한 단락도 발생하지 않는다.

다음, 도 7을 참고로 하여 본 발명의 제 2 실시예를 설명한다. 도 7는 LP-CVD 법으로 비정질 실리콘막 형성 단계로부터 질화 실리콘막을 형성하는 단계 까지를 동일 장치에서 행한 경우의 가스 시퀀스를 도시한다.

상기 제 2 실시예의 경우, 이용하는 장치는 예를들면 통상의 종형 LP-CVD 장치에서 양호하다, 다른 나머지 공정은 상술된 제 1 실시예와 동일하다.

상기 제 1 단계(횡축의 0분으로부터 10분 사이)에서, SiH_2Cl_2 가스는 0.5 내지 2nm의 두께를 가진 비정질 실리콘막을 형성하기 위하여 약 10분 동안에 약 200 sccm으로 공급된다. 이때에 비정질 실리콘막은 하부전극용의 폴리실리콘막 표면 및 층간 절연막용의 산화 실리콘막 표면에 형성된다. 산화 실리콘막 표면위의 비정질 실리콘막은 폴리실리콘막의 표면위보다 더 얇게되어도, 본 발명에서는 문제가 없다.

다음으로, 제 2 단계(횡축의 15분으로부터 45분 사이)에서, SiH_2Cl_2 가스의 공급은 정지된다. 상기 비정질 실리콘막을 질화 실리콘막으로 질화하기 위하여 NH_3 가스는 약 30분 동안에 약 500 sccm으로 흐르게 된다.

그리고, NH_3 가스의 공급은 정지되고, 챔버는 일시적으로 진공으로 된다.

제 3 단계(횡축의 50분으로부터 60분 사이)에서, 기상성장법에 의하여 약 5nm의 두께를 가진 질화 실리콘막을 형성하기 위하여, SiH_2Cl_2 가스와 NH_3 가스는 각각 약 100 sccmr 과 약 400 sccm, 약 10분 동안 흐르게 된다. 이때 온도는 500내지 700℃ 이고, 압력은 0.2 내지 1 torr 가 좋다.

이상과 같이, 비정질 실리콘막 형성공정, 질하공정 및 질화 실리콘막 성장공정은 웨이퍼를 외부대기에 노출시키지 않고 하나의 장치에서 수행할 때, 외부대기의 흡착등의 영향을 받지않고 안정되게 수행될수 있다.

특히, 상기 웨이퍼가 비정질 실리콘막 형성 공정과 질화 공정 사이에서 대기에 노출될때, 질화의 정도는 상기 수분 등으로 인하여 변화된다.

또한, 상기 웨이퍼가 기상정장법에 의하여 질화 실리콘막을 형성하기 전에 외부대기에 노출될때, 상기 질화 실리콘막의 성장은 흡착된 수분 등으로 인하여 지연된다.

상기 제 2 실시예에서는, 제조공정이 동일한 하나의 장치 챔버에서 수행된다. 그러나, 비정질 실리콘 형성공정, 질화공정 및 질화 실리콘막 성장공정은 각각 다른 챔버에서 수행될 수 있고, 상기 웨이퍼는 진공 또는 질소 분위기에서 챔버 사이를 이송할 수 있다.

동일 챔버로 행하는 제조장치는 예를들면 도 8에 도시된 종형 LP-CVD 장치 이며, 각각의 챔버에서 행하는 제조 장치는 예를들면 도 9에 도시된 바와같은 형태의 단일 웨이퍼 처리형의 다중챔버장치로 수행될 수 있다.

도 8 에서는, 로(21)와 외부튜브(23) 사이에 히터(22)가 장착된다. 상기 외부튜브(23)는 배기관(28)을 통과하여 펌프(27)에 의해 소정의 진공도로 진공흡인된다. 소정의 간격으로정렬된 다수의 반도체 웨이퍼(20)는 보트용 엘러베이터 (boat elevator:26)상의 보트(25)에서 수평으로 유지된다. 상기 반도체 웨이퍼는 외부튜브(23)내의 내부튜브(24)의 내측에 장착된다.

제 1 가스도입 포트(31)로 부터는 밸브(도시생략)를 통과하여 SiH_2Cl_2 가스가 도입될 수 있다. 제 2 가스 도입포트(32)로 부터는 밸브(도시생략)를 통과하여 NH_3 가스가 도입될 수 있다. 제 3 가스 도입포트(33)로 부터는 밸브(도시생략)를 통하여 N_2 가스가 도입될 수 있다.

본 발명의 실시예가 종형 LP-CVD 장치를 사용하여 반도체 웨이퍼(20)에 적용되는 경우, 우선 SiH_2Cl_2 가스만이 실리콘막을 형성하기 위하여 공급된다. 그 다음, 상기 실리콘막을 열적으로 질화하기 위하여, NH_3 가스 또는 N_2 가스 분위기 에서 어닐링 처리된다. 그후, 온도를 내려서 질화 실리콘막을 형성하기 위하여 SiH_2Cl_2 가스와 NH_3 가스가 공급된다.

상기 반도체 웨이퍼는 일련의 공정 동안에 내부 튜브(24)의 보트(25)에 장착유지되고, 외부대기에는 결코 노출되지 않는다. 또한, 제 1 가스 도입포트(31)로 부터 SiH_2Cl_2 가스를 대신하여 SiH_4 가스가 공급될 수 있다.

한편, 도 9를 참조하면, 밸브(51)를 통과하여 상호 잠금 챔버(41)로 운반된 반도체 웨이퍼는 밸브(52)를 통과하여 이동 챔버(42)로 공급되며, 그다음 실리콘막을 형성하기 위하여 밸브(53)을 통과하여 실리콘막 성장 챔버(43)로 공급된다. 그 다음. 반도체 웨이퍼는 밸브(53)를 통과하여 이동 팸버(42)로 복귀하며, 실리콘막을 질화하기 위하여 밸브(54)를 통과하여 질화챔버(44)로 공급된다. 상기 반도체 웨이퍼는 밸브(54)를 통과하여 이동 챔버(42)로 복귀되어, 기상성장에 의하여 실리콘을 형성하기 위하여 밸브(55)를 통과하여 질화 실리콘막 성장챔버(45)로 공급된다. 그 다음, 상기 반도체 웨이퍼는 밸르(55)를 통과하여, 이동 챔버(42)로 복귀하며, 밸브(52)를 통과하여 상호잠금(41)로 복귀하여, 그 다음 밸브(51)를 통과하여 상호 룩크 챔버(41)로부터 반출된다.

상기 단일 웨이퍼 처리식의 다중챔버 장치의 경우, 실리콘막의 형성, 실리콘막의 질화, 기상 성장에 의한 질화 실리콘막의 성장은 각각 독립된 챔버(43, 43, 45)에서 수행된다. 상호록크 챔버(41) 및 이동 챔버(44)를 포하하는 챔버 사이에서 반도체 웨이퍼는 일련의 공정즉, 실리콘막의 형성, 실리콘막의 질화 및 지화 실리콘막의 형성이 완료될 때까지 결코 외부대기에 노출되지 않는다.

상기 제 1 및 제 2 실시예에서, 온도와 압력은 비정질 실리콘막, 형성공정, 질화 공정 및 실리콘막 형성공정에서 자유롭게 변할 수 있다.특히, 질화공정에서는 고온과 수 torr 내지 수십 torr의 고압에서 용이하게 처리한다. 그러므로, 필요시 상기 조건이 설정될 수 있다.

상기 제 1 및 제 2 실시예에서, 비정질 실리콘막이 형성된다. 그러나, 비정질 실리콘막 대신에, 폴리실리콘막, 또는 비정질 실리콘막과 폴리살리콘의 혼합물로 구성된 막이 형성될 수 있다. 상기 실리콘막이 결정상태는 사용된 장치에 의존하면서 선택될 수 있다.

또한, 제 1및 제 2 실시예에서는 SiH_2Cl_2 가스가 사용된다. 그러나, SiH_2Cl_2 가스 대신에, SiH_4 가스 또는 Si_2H_6 가스가 사용될 수 있다. 또한, 실리콘막 형성공정과 질화 실리콘막 형성공정에 사용되는 가스는 각각 SiH_4 가스와 SiH_2Cl_2 로대체될 수 있다.

또한 상기 설명은 비정질 실리콘막 등의 실리콘막을 형성하는 경우이다.그러나, 실리콘막을 형성하는 대신에, SiH_2Cl_2 가스와 같은 가스가 하부 전극용의 폴리실리콘막 표면 및 절연 층간 절연막용의 산화 실리콘막 표면에 흡착될 수 있는, 즉 수분등이 표면에 흡착될 수 있으며, 질화는 상기 상태에서 수행될 수 있다.상기 공정은 실리콘막과 같은 실리콘막의 형성보다 더 낮은 온도에서 수행될 수 있다.

상기 공정은 조건으로서는, 예를들면 온도는 400 내지 500℃ 이며, 압력은 0.2 내지 1torr 가 될 수 있다. 실리콘을 함유하는 가스는 SiH_2Cl_2 또는 SiH_4 가스가 약 100내지 300 sccm에서 흐르게 함으로써 하부 전극으로 사용되는 폴리실리콘막(3)의 표면과, 층간 절연막으로 사용되는 산화 실리콘막(2)의 표면위에 흡수 될 수 있다. 그 다음, 제 1 및 제 2 실시예와 윶한 형태로, 질화 실리콘막(5)은 NH_3 가스 또는 N_2 가스의 분위기에서 700℃ 내지 900℃에서 실리콘가스가 흡수된 폴리실리콘 및 산화 실리콘막에 어닐링을 적용시킴으로써 형성된다.

이때, 온도를 상승시킴으로써, 폴리실리콘막(3)과 산화 실리콘막(2)의 표면에 흡수된 가스를 함유하는 실리콘으로부터 실리콘막의 질화 및 형성이 동시에 진행된다. 그래서, 질화 실리콘막은 폴리실리콘 및 산화 실리콘막(3,2)위에 형성되고, 그 다음 상기 질화 실리콘막은 상기 제 1 및 제 2 실시예와 유사하게 LP-CVD 법으로 성장되도록 한다.

보다 상세하게 설명하면, 도 5B에 도시된 비정질 실리콘막(4)은 실리콘을 함유하는 가스분자가 되고, 도 5C에 도시된 질화 실리콘막(5)은 실리콘을 함유한 가스분자를 질화함으로써 형성된다. 실리콘을 함유하는 가스분자는 실리콘과 수소 또는 염소로 구성되므로서, 수소 등은 질화에 의해 분리될 수 있다.

마찬가지로, 실리콘을 함유하는 가스분자를 적용하는 공정과, 상기 적용된 가스분자를 질화하는 공정 및, 기상성장법에 의하여 질화 실리콘막을 형성하는 공정은 하나의 제조장치 즉 반도체 웨이퍼를 외부대기에 노출시키지 않고 도 8 또는 도 9에 도시된 제조장치를 사용하여 수행되는 것이 양호하다.

(57) 청구의 범위

청구항 1.

반도체 기판상에 하부전극, 유전체막 및 상부 전극으로 구성된 용량부를 가진 반도체 장치의 제조방법에 있어서, 상기 하부전극의 표면 및 하부 전극의 인접된 절연막의 표면 상에 실리콘막을 형성하는 단계와, 상기 실리콘막을 질화하기 위하여 질소 또는 암모니아를 포함하는 분위기 에서 어닐링을 수행하는 단계 및, 저압 기상성장법으로 질화 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 실리콘막을 형성하는 단계, 상기 실리콘막을 질화하는 단계 및 저압 기상성장법으로 질화 실리콘막을 형성하는 단계는 웨이퍼를 대기에 노출시키지 않고 하나의 제조장치에서 수행되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3.

제 2 항에 있어서, 상기 제조장치는 수직형의 저압 기상성장 장치인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 4.

제 2 항에 있어서, 상기 제조장치는 단일 웨이퍼 처리식 다중챔버 장치인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 5.

제 1 항에 있어서,상기 실리콘막은 실란가스, 디실란가스 및 디크물로실란가스중 하나를 사용하여 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 6.

반도체 기판위에 하부전극과, 유전체막과, 상부 전극으로 구성된 용량부를 가진 반도체 장치의 제조방법에 있어서, 상기하부전극의 표면및 하부전극에 인접된 절연막의 표면 상에 실리콘을 함유하는 가스분자를 흡착하는 단계와, 상기 실리콘을 함유하는 흡착된 가스분자를 질화하기 위하여 질소 또는 암모니아를 포함하는 분위기에서 어닐링하는 단계 및, 저압 기상 성장법으로 질화 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 7.

제 6 항에 있어서, 상기 실리콘을 함유하는 가스분자를 흡착하는 단계와, 상기 흡착된 가스분자를 질화하는 단계 및, 저압 기상성장법으로 상기 질화 실리콘막을 형성하는 단계는 웨이퍼를 외부대기에 노출시키지 않고 하나의 제조장치에서 실행하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8.

제 7 항에 있어서, 상기 제조장치는 수직형의 저압 기상성장 장치인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9.

제 7 항에 있어서, 상기 제조장치는 단일 웨이퍼 처리식 다중 챔버 장치인 것을 특징으로 하는 반도체 장치의 제조방법.

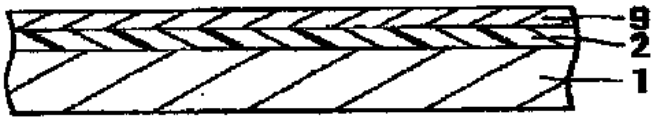
청구항 10.

제 6 항에 있어서, 상기 실리콘실리콘막은 실란가스, 디실란 가스 및 디크물로실란가스중 하나를 사용하여 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

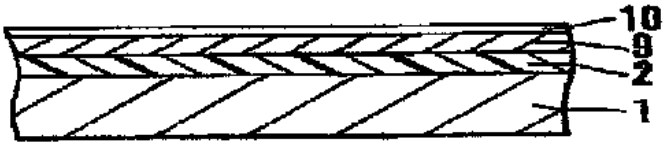
도면

도면 1

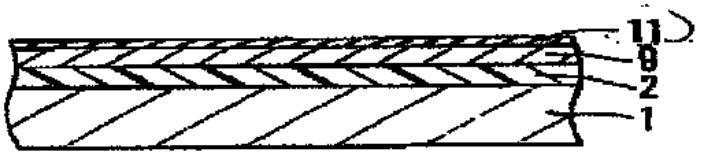
도 1A
종래기술



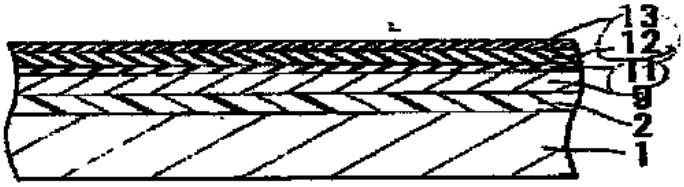
도 1B
종래기술



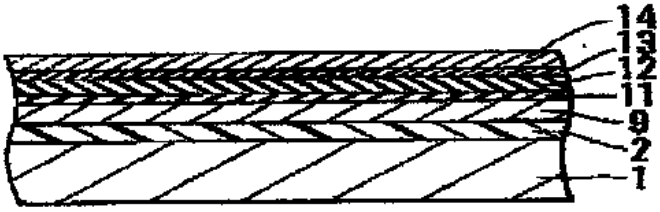
도 1C
종래기술



도 1D
종래기술

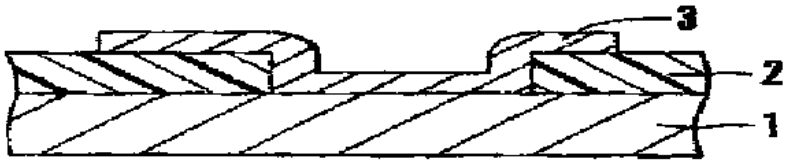


도 1E
종래기술

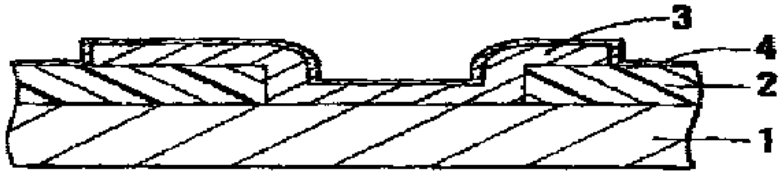


도면 2

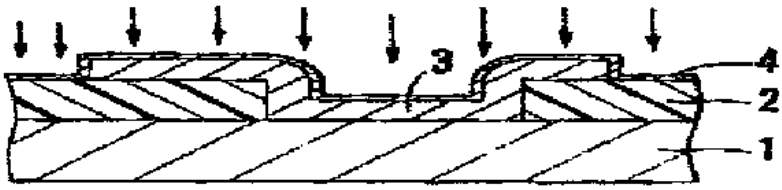
[도 2A]
종래기술



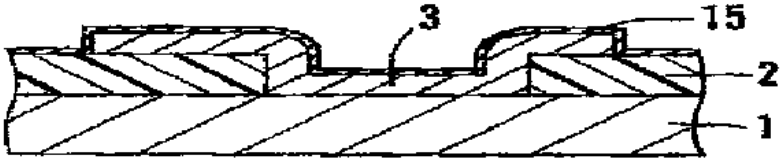
[도 2B]
종래기술



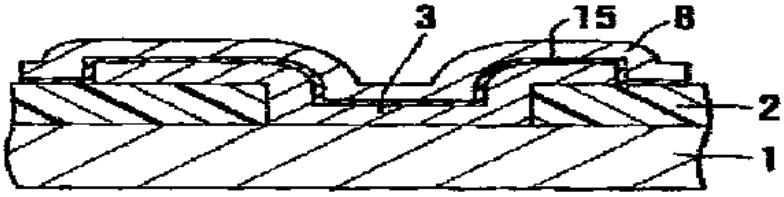
[도 2C]
종래기술



[도 2D]
종래기술

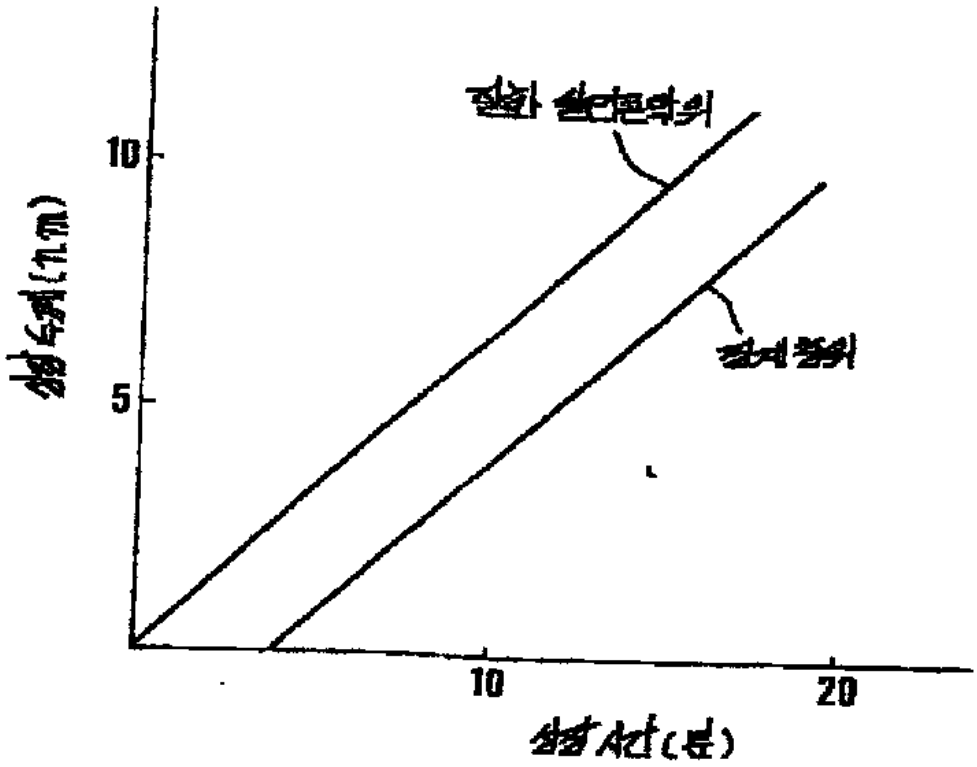


[도 2E]
종래기술



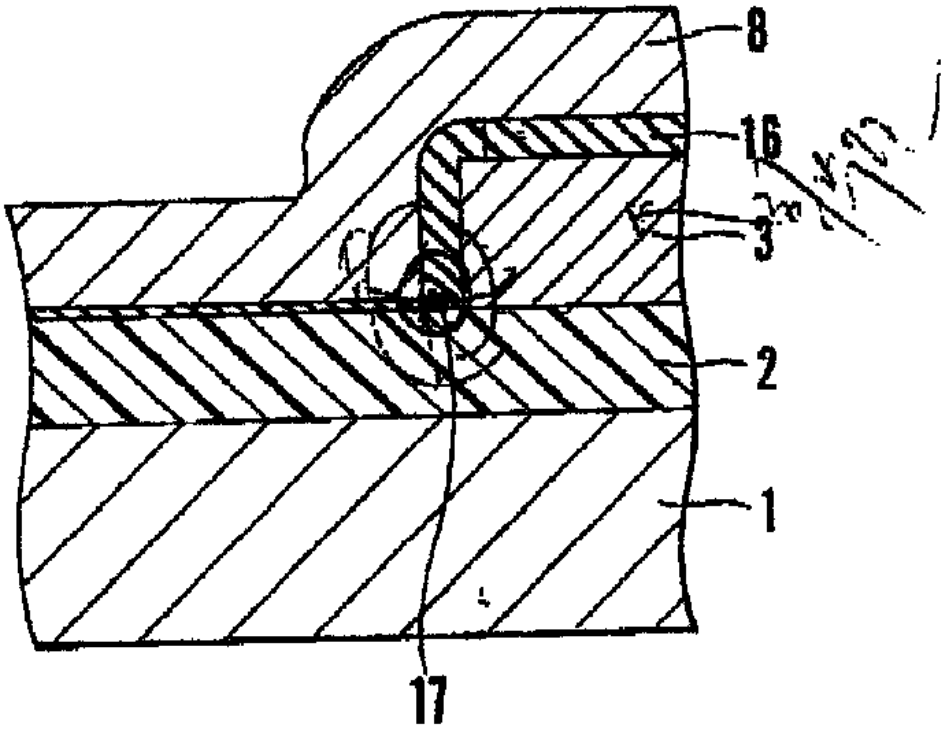
도면 3

종래 기술



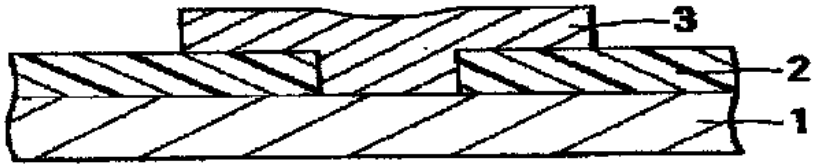
도면 4

도면

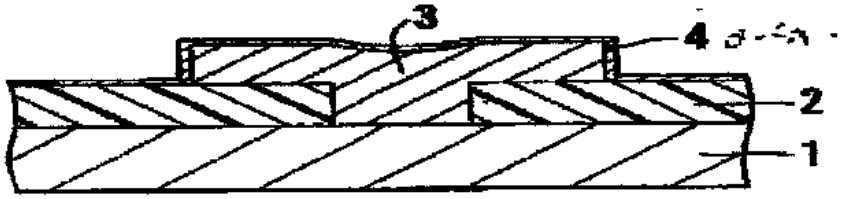


도면 5

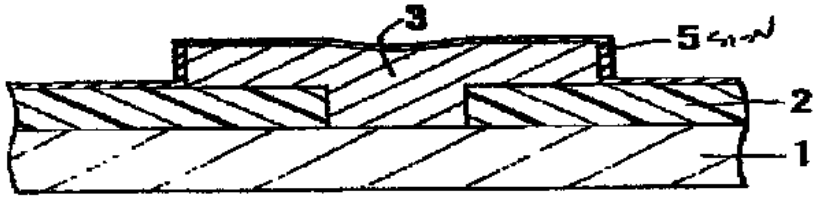
[도 5A]



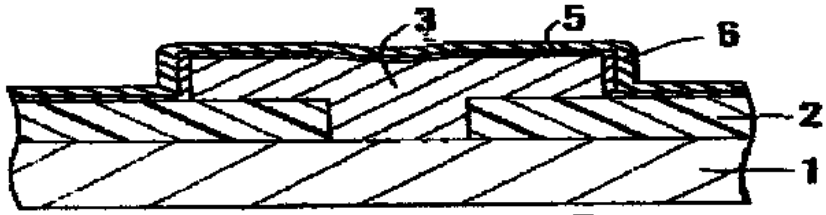
[도 5B]



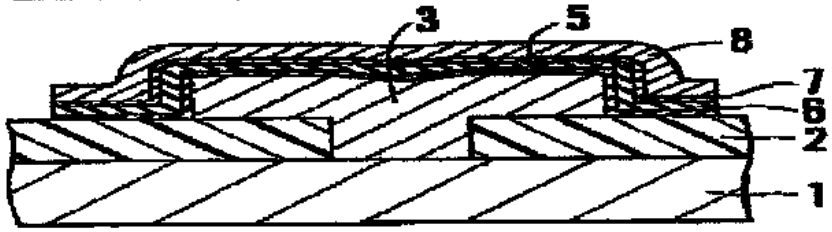
[도 5C]



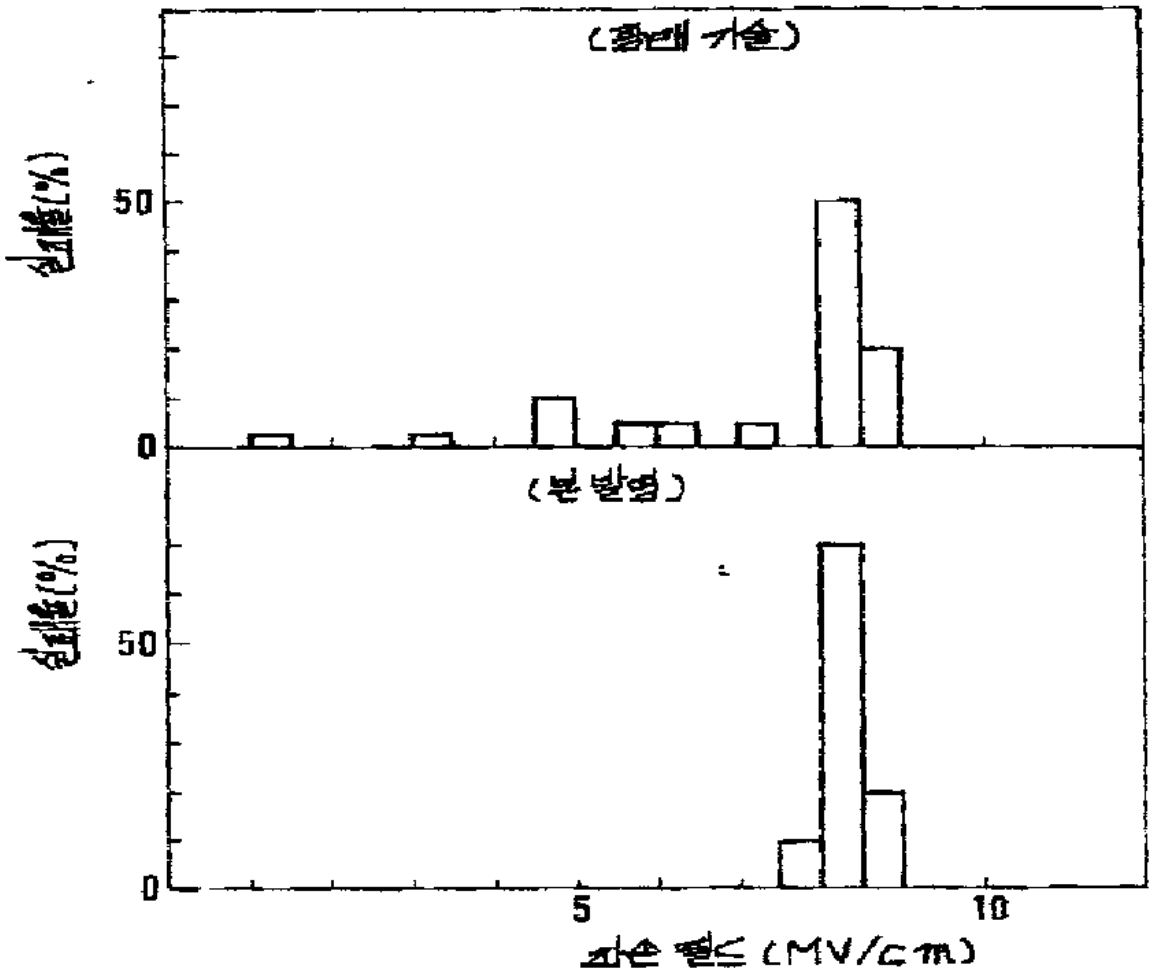
[도 5D]



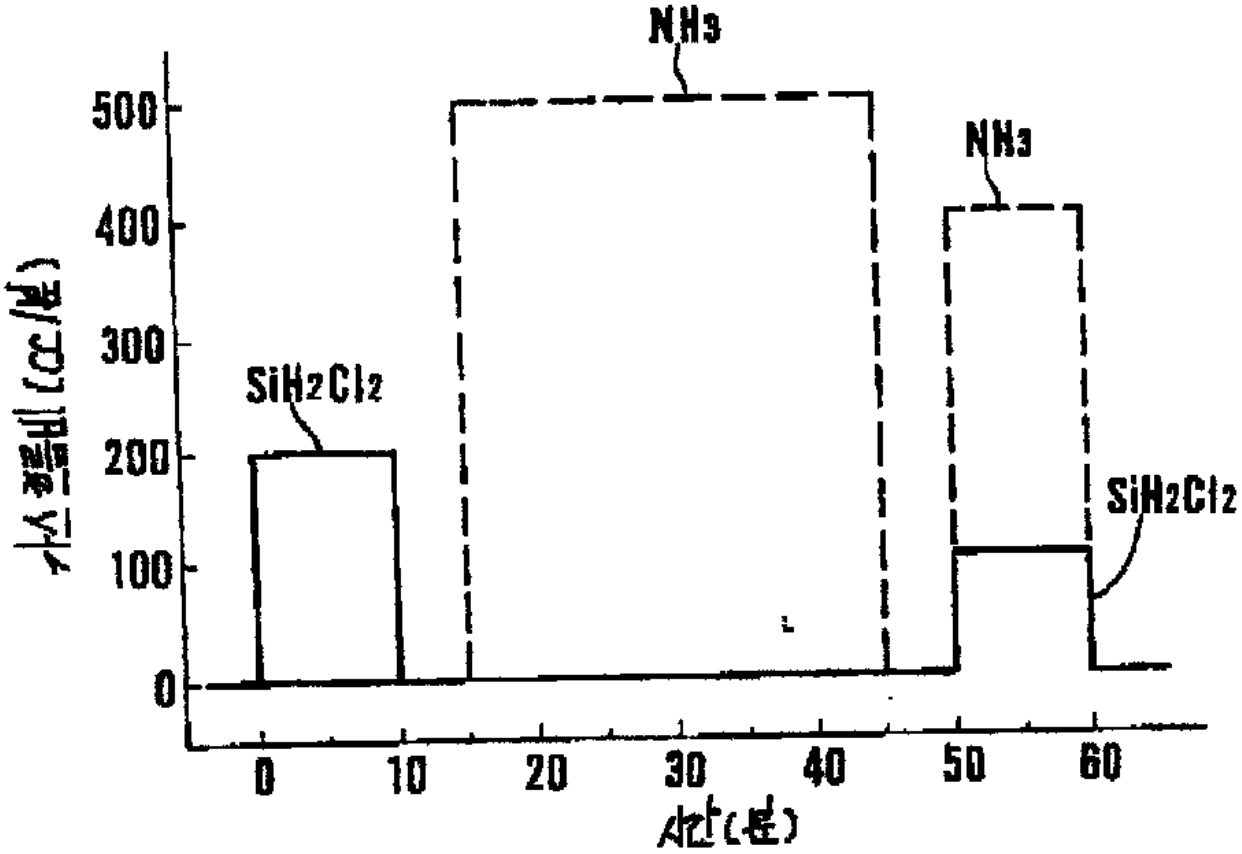
[도 5E]



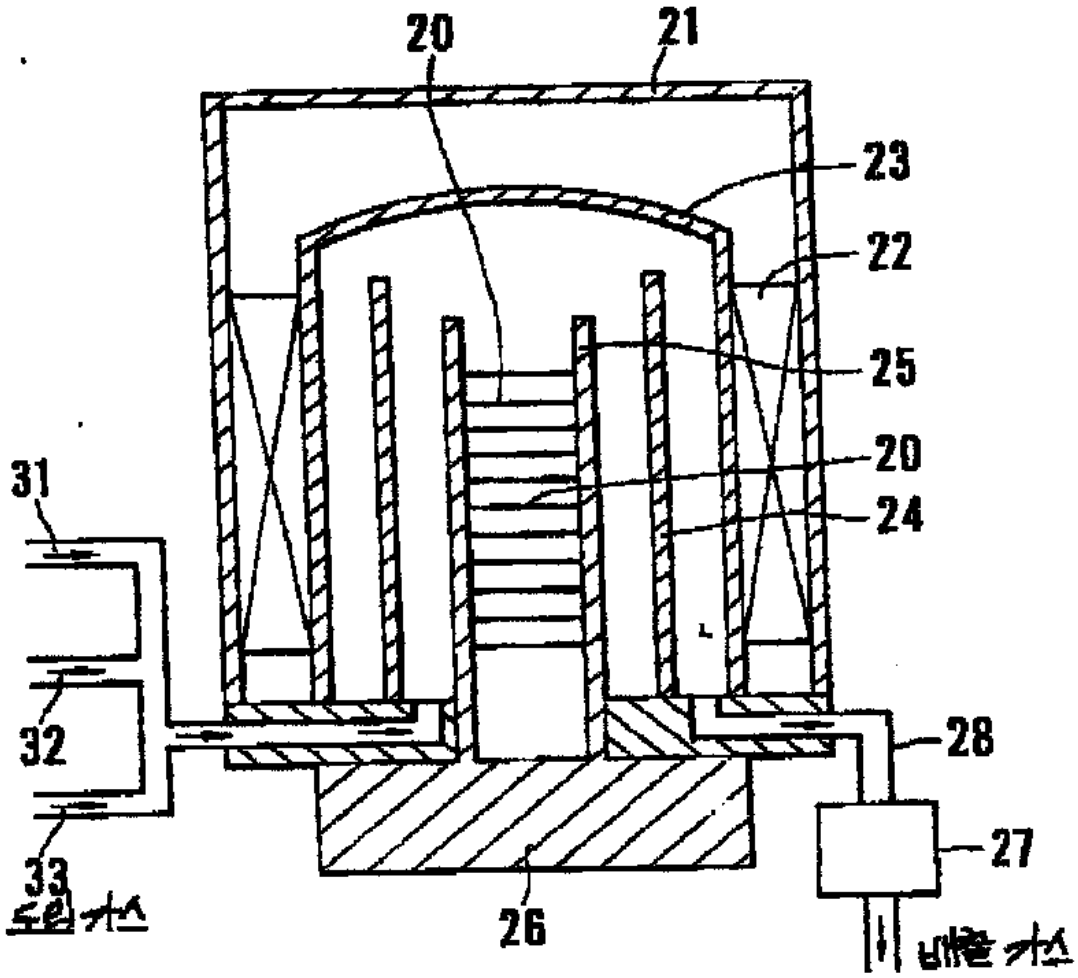
도면 6



도면 7


NH3
NH3
SiH2Cl2
SiH2Cl2
500
400
300
200
100
0
0
10
20
30
40
50
60
시간(분)

도면 8



도면 9

