

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第1区分

【発行日】平成23年3月17日(2011.3.17)

【公表番号】特表2010-520486(P2010-520486A)

【公表日】平成22年6月10日(2010.6.10)

【年通号数】公開・登録公報2010-023

【出願番号】特願2009-552780(P2009-552780)

【国際特許分類】

G 01 R 31/28 (2006.01)

【F I】

G 01 R 31/28 V

【手続補正書】

【提出日】平成23年1月26日(2011.1.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路(10)であって、

テストに応じて第1のテスト・シグネチャを提供する第1の回路(12～14)と；

テストに応じて第2のテスト・シグネチャを提供する第2の回路(16～18)と；

テストに応じて第3のテスト・シグネチャを提供する第3の回路(20～22)と；

前記第1、第2および第3のテスト・シグネチャが有するそれぞれのビットを比較し、
多数決を用いることによって、最も正しいテスト・シグネチャのそれぞれのビットが有する
正しいビットとしてどのようなバイナリ値が認識されるかを判別するボーティング回路
と；

前記第1、第2および第3の各テスト・シグネチャを前記最も正しいテスト・シグネチャと比較することによって、前記第1、第2および第3の各回路(12～14, 16～18, 20～22)に対する良好／不良情報を判別する比較器(24)と
を備える、集積回路。

【請求項2】

前記集積回路(10)は更に、前記良好／不良情報を格納する不揮発性記憶回路(26)
を備える、

請求項1記載の集積回路。

【請求項3】

前記集積回路(10)は更に、前記第1、第2および第3の回路(12～14, 16～18, 20～22)のすべてが良好であることを示すフラグ(66)を備える、
請求項1記載の集積回路。

【請求項4】

前記集積回路(10)は更に、前記第1、第2および第3のテスト・シグネチャを格納する
テスト・シグネチャ記憶回路(64)を備える、

請求項1記載の集積回路。

【請求項5】

前記集積回路(10)は更に、前記テスト中に、前記第1、第2および第3の回路(12～14, 16～18, 20～22)に入力テスト・パターンを提供するためのテスト回路(30)を備える、

請求項 1 記載の集積回路。

【請求項 6】

集積回路(10)上の第1の回路(12～14)に対して第1の良好／不良情報を提供するステップと；

前記集積回路(10)上の第2の回路(16～18)に対して第2の良好／不良情報を提供するステップと；

前記集積回路(10)上の第3の回路(20～22)に対して第3の良好／不良情報を提供するステップであって、前記第1の回路(12～14)と前記第2の回路(16～18)と前記第3の回路(20～22)とがそれぞれ良好である場合に、同じテスト入力に応じて同じテスト結果を出力し、且つビットごとに前記第1～第3の回路(12～14, 16～18, 20～22)それぞれからのテスト出力を試験することと、それぞれ前記ビットの正しいテスト・シグネチャを前記テスト出力それぞれと比較する前に、どのようなバイナリ値が正しいビット値として認識されるかを判別するためにボーティングし正しい前記テスト・シグネチャを提供することとによって、前記良好／不良情報が判別されることと；

前記第1の回路(12～14)と前記第2の回路(16～18)と前記第3の回路(20～22)とのうちの少なくとも1つが依然として不良のままであり且つ機能せず且つ修理が行われていないことを、前記第1の良好／不良情報をと前記第2の良好／不良情報をと前記第3の良好／不良情報をとのうちの少なくとも1つが示す場合に、前記集積回路(10)を販売のために提供するステップとを有する、方法。

【請求項 7】

前記第1の良好／不良情報は、前記集積回路(10)上の不揮発性記憶回路(26)に格納される、

請求項 6 記載の方法。

【請求項 8】

前記第1の回路(12～14)と前記第2の回路(16～18)と前記第3の回路(20～22)とのすべてが良好である場合に、前記集積回路(10)は、第1の価格となり、

前記第1の回路(12～14)と前記第2の回路(16～18)と前記第3の回路(20～22)とのうちの少なくとも1つが依然として不良のままである場合に、前記集積回路(10)は、第2の価格になり、

前記第1の価格は、前記第2の価格より高い、

請求項 6 記載の方法。

【請求項 9】

前記方法は更に、前記第1の良好／不良情報を使用することによって、前記集積回路(10)の動作中、前記第1の回路(12～14)を使用すべきでないか否かを判別するステップを有する、

請求項 6 記載の方法。

【請求項 10】

前記方法は更に、複数の前記集積回路(10)を対象にして不良回路の分布を判別するステップを有する、

請求項 6 記載の方法。

【請求項 11】

前記方法は更に、どのようなバイナリ値がそれぞれのビットのための前記正しいビット値として認識されるかを決定するためにボーティングするボーティングステップを有し、

前記ボーティングステップでは、多数決を用いて前記正しいビット値として認識された前記バイナリ値を決定することと、分割ボーティングが行われた場合にデフォルト・ビット値を用いることとによって、前記正しいテスト・シグネチャを提供される、

請求項 6 記載の方法。

【請求項 1 2】

集積回路(10)上の複数の回路(12～14, 16～18, 20～22)をテストするテストステップと;

前記複数の回路(12～14, 16～18, 20～22)からテスト出力を提供するテスト出力提供ステップと;

ビットごとに前記テスト出力それぞれを試験し且つボーティングすることによって、正しいテスト・シグネチャのビットそれぞれの正しいビット値としてどのようなバイナリ値が認識されるかを判別するバイナリ値判別ステップと;

ビットごとに前記テスト出力それぞれを試験し且つボーティングするボーティングステップであって、前記ボーティングステップでは、どのようなバイナリ値が正しいテスト・シグネチャのビットそれぞれのための正しいビット値として認識されるかを判別することと;

前記正しいテスト・シグネチャを前記テスト出力それぞれと比較することによって、前記複数の回路(12～14, 16～18, 20～22)のうちのいずれが不良であるのかを判別する回路判別ステップと

を有する、方法。

【請求項 1 3】

前記バイナリ値判別ステップは更に、

多数決によって前記正しいテスト・シグネチャを判別することによって、前記正しいビット値として認識された前記バイナリ値を判別するステップと;

分割ボーティングが行われた場合には、デフォルト・ビット値を使用するステップとを有する、

請求項 1 2 記載の方法。