(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0019779
(43) 공개일자 2010년02월19일

(51) Int. Cl.
H03D 7/16 (2006.01) *H03D 7/12* (2006.01)
H03D 7/00 (2006.01)
(21) 출원번호 10-2008-0078497
(22) 출원일자 2008년08월11일
심사청구일자 2008년08월11일

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매탄동 314
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
민준기
경기 수원시 영통구 매탄동 1217-7번지 삼성3차아파트 1동 508호
김문일
서울특별시 중랑구 신내동 동성아파트 4동 807호
(뒷면에 계속)
(74) 대리인
특허법인 씨엔에스 · 로고스

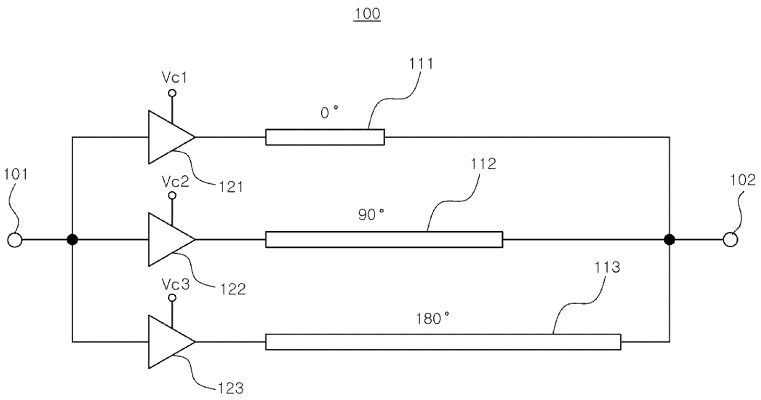
전체 청구항 수 : 총 10 항

(54) 위상 변환기

(57) 요 약

본 발명은, 서로 다른 전기적 길이를 갖는 복수 개의 도전라인, 및 상기 복수 개의 도전라인 각각의 일단과 입력단 사이에 하나씩 연결되는 복수 개의 입력 증폭기를 포함하며, 상기 복수 개의 입력 증폭기 각각은 직류 전원에 의해 해당 도전라인을 상기 입력단에 스위칭하는 것을 특징으로 하는 위상 변환기를 제공할 수 있다.

대 표 도



(72) 발명자

이국주

경기도 의정부시 신곡동 신명아파트 107동 503호

박형진

서울특별시 영등포구 대림2동 1025-16 대림로벨리 티빌 402호

이동호

서울특별시 동대문구 제기2동 67-262

김기홍

경기 수원시 영통구 영통동 969-1 태영아파트 933-901

황성호

경기 수원시 영통구 영통동 벽적골8단지아파트 833-1701

박용운

경기 수원시 영통구 영통동 황골마을2단지아파트 241-303

특허청구의 범위

청구항 1

서로 다른 전기적 길이를 갖는 복수 개의 도전라인; 및

상기 복수 개의 도전라인 각각의 일단과 입력단 사이에 하나씩 연결되는 복수 개의 입력 증폭기

를 포함하며,

상기 복수 개의 입력 증폭기 각각은 직류 전원에 의해 해당 도전라인을 상기 입력단에 스위칭하는 것을 특징으로 하는 위상 변환기.

청구항 2

제1항에 있어서,

상기 복수 개의 입력 증폭기는,

서로 이득이 각각 다르게 형성되는 것을 특징으로 하는 위상 변환기.

청구항 3

제1항에 있어서,

상기 복수 개의 입력 증폭기는,

CMOS FET(Field Effect Transistor)를 포함하는 것을 특징으로 하는 위상 변환기.

청구항 4

제3항에 있어서,

상기 CMOS FET 는,

커먼 소스 CMOS FET를 포함하는 것을 특징으로 하는 위상 변환기.

청구항 5

제3항에 있어서,

상기 CMOS FET 는,

캐스코드(Cascode) 연결된 두 개의 CMOS FET를 포함하는 것을 특징으로 하는 위상 변환기.

청구항 6

제1항에 있어서,

상기 복수 개의 도전라인 각각의 타단과 출력단 사이에 하나씩 연결되는 복수 개의 출력 증폭기를 더 포함하며,

상기 복수 개의 출력 증폭기 각각은 직류 전원에 의해 해당 도전 라인을 상기 출력단에 스위칭하는 것을 특징으로 하는 위상 변환기.

청구항 7

제6항에 있어서,

상기 복수 개의 출력 증폭기는,

서로 이득이 각각 다르게 형성되는 것을 특징으로 하는 위상 변환기.

청구항 8

제6항에 있어서,

상기 복수 개의 출력 증폭기는,

CMOS FET(Field Effect Transistor)를 포함하는 것을 특징으로 하는 위상 변환기.

청구항 9

제8항에 있어서,

상기 CMOS FET 는,

커먼 소스 CMOS FET를 포함하는 것을 특징으로 하는 위상 변환기.

청구항 10

제8항에 있어서,

상기 CMOS FET 는,

캐스코드(Cascode) 연결된 두 개의 CMOS FET를 포함하는 것을 특징으로 하는 위상 변환기.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은, 위상 변환기에 관한 것으로서, 보다 상세하게는 서로 다른 전기적 길이를 갖는 도전 선로 중 하나를 선택하는 스위치 회로로 증폭기를 사용하는 위상 변환기에 관한 것이다.

배 경 기 술

[0002] 무선통신 기기에 사용되는 스위치 회로로서 트랜지스터 스위치가 널리 사용되고 있다. 상기 트랜지스터 스위치는 게이트(베이스)에 제어 전압을 인가하여 드레인(콜렉터)과 소스(에미터) 사이의 신호 전달을 제어하는 구조를 갖고 있다. 표준 CMOS 공정을 이용한 트랜지스터 스위치의 온/오프 특성은 주파수가 올라갈수록 오프 상태의 전력 통과량(격리도)이 급격히 나빠질 수 있다. 트랜지스터의 게이트 크기를 줄이면 오프 상태의 전력 통과량(격리도)이 개선되는 경향이 있지만, 이와 함께 온 상태의 전력 통과량(삽입손실)이 나빠지게 된다.

[0003] 일반적인 위상 변환기는 복수의 지연선로(Delay Line)와 상기 지연선로 각각에 연결되는 트랜지스터 스위치로 구성될 수 있다. 상기 트랜지스터 스위치를 이용하여 적당한 지연선로의 경로를 선택하는 방법으로 통과신호의 위상을 조절할 수 있다. 이러한 경우 상기 각각의 트랜지스터 스위치에서 손실이 생기는 문제점이 있다. 이와 같은 트랜지스터에서 발생되는 손실은 밀리미터파를 사용하는 회로에서는 무시할 수 없는 문제가 될 수 있다.

발명의 내용

해결 하고자하는 과제

[0004] 상기한 문제점을 해결하기 위해서, 본 발명은 고주파수 신호에 대해서도 손실이 크지 않도록 증폭기를 스위치로 사용하는 위상 변환기를 제공하는 것을 목적으로 한다.

과제 해결수단

[0005] 본 발명은, 서로 다른 전기적 길이를 갖는 복수 개의 도전라인, 및 상기 복수 개의 도전라인 각각의 일단과 입력단 사이에 하나씩 연결되는 복수 개의 입력 증폭기를 포함하며, 상기 복수 개의 입력 증폭기 각각은 직류 전원에 의해 해당 도전라인을 상기 입력단에 스위칭하는 것을 특징으로 하는 위상 변환기를 제공할 수 있다.

[0006] 상기 복수 개의 입력 증폭기는, 서로 이득이 각각 다르게 형성될 수 있다.

[0007] 상기 복수 개의 입력 증폭기는, CMOS FET(Field Effect Transistor)를 포함할 수 있다.

[0008] 상기 CMOS FET 는, 커먼 소스 CMOS FET를 포함할 수 있다.

[0009] 상기 CMOS FET 는, 캐스코드(Cascode) 연결된 두 개의 CMOS FET를 포함할 수 있다.

[0010] 상기 위상 변환기는, 상기 복수 개의 도전라인 각각의 타단과 출력단 사이에 하나씩 연결되는 복수 개의 출력 증폭기를 더 포함하며, 상기 복수 개의 출력 증폭기 각각은 직류 전원에 의해 해당 도전 라인을 상기 출력단에 스위칭 할 수 있다.

[0011] 상기 복수 개의 출력 증폭기는, 서로 이득이 각각 다르게 형성될 수 있다.

[0012] 상기 복수 개의 출력 증폭기는, CMOS FET(Field Effect Transistor)를 포함할 수 있으며, 상기 CMOS FET 는, 커먼 소스 CMOS FET를 포함하거나, 캐스코드(Cascode) 연결된 두 개의 CMOS FET를 포함할 수 있다.

효 과

[0013] 본 발명에 따르면, 고주파수 신호에 대해서도 손실이 크지 않은 위상 변환기를 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하겠다.

[0015] 도 1은, 본 발명의 일실시 형태에 따른 위상 변환기의 구성도이다.

[0016] 도 1을 참조하면, 본 실시형태에 따른 위상 변환기(100)는 서로 다른 전기적 길이를 갖는 복수 개의 도전라인(111, 112, 113) 및 상기 복수 개의 도전라인 각각에 연결되는 입력 증폭기(121, 122, 123)를 포함할 수 있다.

[0017] 상기 복수 개의 도전라인(111, 112, 113)은 서로 다른 전기적 길이를 가질 수 있다. 본 실시형태에서 제1 도전라인(111)은 0도, 제2 도전라인(112)은 90도, 제3 도전라인(113)은 180도의 전기적 길이를 가질 수 있다. 즉, 상기 입력단(101)을 통해 입력되는 주파수 신호에 대해 상기 복수 개의 도전라인(111, 112, 113)은 각각 0도, 90도, 180도의 위상차를 발생시켜 출력할 수 있다.

[0018] 상기 복수 개의 도전라인(111, 112, 113) 각각의 일단에는 입력 증폭기(121, 122, 123)가 연결될 수 있다.

[0019] 상기 복수 개의 입력 증폭기(121, 122, 123) 각각은 직류 전원(Vc1, Vc2, Vc3)의 인가에 의해 상기 입력 증폭기에 연결된 도전라인(111, 112, 113)을 상기 입력단(101)에 연결하는 스위치 역할을 할 수 있다. 상기 복수 개의 입력 증폭기(121, 122, 123)는 각각 입력되는 신호를 소정의 이득으로 증폭시켜 출력시킬 수 있다.

[0020] 본 실시형태에서, 상기 복수 개의 입력 증폭기(121, 122, 123)는, 서로 이득이 각각 다르게 형성될 수 있다. 즉, 상기 제1 도전 라인(111)에 연결되는 제1 입력 증폭기(121)와 제2 도전 라인(112)에 연결되는 제2 입력 증폭기(122)의 이득이 서로 다르게 형성될 수 있다. 이렇게 함으로써 상기 위상 변환기의 동작 영역에서의 주파수 신호에 대한 이득을 높이고, 격리도를 향상시킬 수 있다.

[0021] 상기 복수 개의 입력 증폭기(121, 122, 123)는, CMOS FET(Field Effect Transistor)를 포함할 수 있다. 상기 입력 증폭기를 형성하는 CMOS FET는 다양한 형태로 형성될 수 있다. 입력 증폭기를 이루는 CMOS FET 의 다양한 형태는 도 3에서 설명하겠다.

[0022] 도 2는, 본 발명의 다른 실시형태에 따른 위상 변환기의 구성도이다.

[0023] 도 2를 참조하면, 본 실시형태에 따른 위상 변환기(200)는 서로 다른 전기적 길이를 갖는 복수 개의 도전라인(211, 212, 213), 상기 복수 개의 도전라인 각각에 연결되는 입력 증폭기(221, 222, 223), 및 출력 증폭기(231, 232, 233)를 포함할 수 있다.

[0024] 상기 복수 개의 도전라인(211, 212, 213)은 서로 다른 전기적 길이를 가질 수 있다. 본 실시형태에서 제1 도전라인(211)은 0도, 제2 도전라인(212)은 90도, 제3 도전라인(213)은 180도의 전기적 길이를 가질 수 있다. 즉, 상기 입력단(201)을 통해 입력되는 주파수 신호에 대해 상기 복수 개의 도전라인(211, 212, 213)은 각각 0도, 90도, 180도의 위상차를 발생시켜 출력할 수 있다.

[0025] 상기 복수 개의 도전라인(211, 212, 213) 각각의 일단에는 입력 증폭기(221, 222, 223)가 연결될 수 있다.

[0026] 상기 복수 개의 입력 증폭기(221, 222, 223) 각각은 직류 전원(Vc1, Vc2, Vc3)의 인가에 의해 상기 입력 증폭기에 연결된 도전라인(211, 212, 213)을 상기 입력단(201)에 연결하는 스위치 역할을 할 수 있다. 상기 복수 개의 입력 증폭기(221, 222, 223)는 각각 입력되는 신호를 소정의 이득으로 증폭시켜 출력시킬 수 있다.

[0027] 본 실시형태에서, 상기 복수 개의 입력 증폭기(221, 222, 223)는, 서로 이득이 각각 다르게 형성될 수 있다. 즉, 상기 제1 도전 라인(211)에 연결되는 제1 입력 증폭기(221)와 제2 도전 라인(212)에 연결되는 제2 입력 증

폭기(222)의 이득이 서로 다르게 형성될 수 있다. 이렇게 함으로써 상기 위상 변환기의 동작 영역에서의 주파수 신호에 대한 이득을 높이고, 격리도를 향상시킬 수 있다.

[0028] 상기 복수 개의 입력 증폭기(221, 222, 223)는, CMOS FET(Field Effect Transistor)를 포함할 수 있다.

[0029] 상기 복수 개의 도전라인(211, 212, 213) 각각의 타단에는 출력 증폭기(231, 232, 233)가 연결될 수 있다.

[0030] 상기 복수 개의 출력 증폭기(231, 232, 233) 각각은 직류 전원(Vc1, Vc2, Vc3)의 인가에 의해 상기 입력 증폭기에 연결된 도전라인(211, 212, 213)을 상기 출력단(202)에 연결하는 스위치 역할을 할 수 있다. 상기 복수 개의 출력 증폭기(231, 232, 233)는 각각 입력되는 신호를 소정의 이득으로 증폭시켜 출력시킬 수 있다.

[0031] 본 실시형태에서, 상기 복수 개의 출력 증폭기(231, 232, 233)는, 서로 이득이 각각 다르게 형성될 수 있다. 즉, 상기 제1 도전 라인(211)에 연결되는 제1 출력 증폭기(231)와 제2 도전 라인(212)에 연결되는 제2 출력 증폭기(232)의 이득이 서로 다르게 형성될 수 있다. 이렇게 함으로써 상기 위상 변환기의 동작 영역에서의 주파수 신호에 대한 이득을 높이고 위상차를 확실히 할 수 있다.

[0032] 상기 복수 개의 출력 증폭기(231, 232, 233)는, CMOS FET(Field Effect Transistor)를 포함할 수 있다.

[0033] 본 실시형태와 같이 상기 복수 개의 도전라인(211, 212, 213) 각각의 양단에 입력 증폭기(221, 222, 223) 및 출력 증폭기(231, 232, 233)를 형성함으로써 상기 도전라인을 흐르는 전류가 역류하는 것을 방지할 수 있다. 따라서, 상기 위상 변환기의 격리도를 높일 수 있다.

[0034] 도 3의 (a) 및 (b)는, 본 발명의 일실시 형태에 따른 위상 변환기에서 입력 증폭기 또는 출력 증폭기로 사용될 수 있는 CMOS FET를 이용한 증폭기의 실시형태이다.

[0035] 도 3의 (a)의 증폭기는, 커먼 소스(common source) 형태로 연결된 CMOS FET(321)를 포함할 수 있다. 입력단(301)으로 입력된 신호는 소정의 이득으로 증폭되어 출력단(302)으로 출력될 수 있다.

[0036] 본 실시형태에 따른 증폭기에서 상기 커먼 소스 CMOS FET(321)는, 소스(S)가 접지에 연결되고, 게이트(G)가 입력단(301)에 연결되고, 드레인(D)이 출력단(302)에 연결될 수 있다. 상기 게이트(G)와 입력단(301) 사이에는 정합회로(351)가 형성될 수 있다. 상기 드레인(D)과 출력단(302) 사이에도 정합회로(352)가 형성될 수 있다. 상기 정합회로(351, 352)는 캐패시터 및 인덕터의 결합에 의해 형성될 수 있다.

[0037] 상기 게이트(G)에는 직류 전원(Vc)이 연결되어, 상기 직류 전원에서 전류 인가시 상기 커먼 소스 CMOS FET(321)가 스위치 역할을 할 수 있다.

[0038] 도 3의 (b)의 증폭기는, 캐스코드(Cascode) 연결된 두 개의 CMOS FET(322, 323)를 포함할 수 있다. 입력단(301)으로 입력된 신호는 소정의 이득으로 증폭되어 출력단(302)으로 출력될 수 있다.

[0039] 본 실시형태에 따른 증폭기는, 제1 CMOS FET(322) 및 제2 CMOS FET(323)를 포함할 수 있다. 상기 제1 CMOS FET(322)는 소스(S)가 접지에 연결되고, 게이트(G)가 입력단(301)에 연결되며, 드레인(D)은 상기 제2 CMOS FET(323)의 소스(S)에 연결될 수 있다. 상기 제2 CMOS FET(323)는 소스(S)가 상기 제1 CMOS FET(322)의 드레인(D)과 연결되고, 드레인(D)이 출력단(302)에 연결되며, 게이트(G)는 캐패시터(361)를 통해 접지에 연결될 수 있다. 상기 제1 CMOS FET(322)의 게이트(G)와 입력단(301) 사이에는 정합회로(353)가 형성될 수 있다. 상기 제2 CMOS FET(323)의 드레인(D)과 출력단(302) 사이에도 정합회로(354)가 형성될 수 있다. 상기 정합회로(351, 352)는 캐패시터 및 인덕터의 결합에 의해 형성될 수 있다.

[0040] 상기 제2 CMOS FET(323)의 게이트(G)는 직류전원(Vc)에 연결되어 상기 직류 전원에서 전류 인가시 상기 제1 CMOS FET(322) 및 제2 CMOS FET(323)는 스위치 역할을 할 수 있다.

[0041] 도 4의 (a) 및 (b)는, 종래의 트랜지스터 스위치와, 본 발명의 일실시 형태에 따른 위상 변환기에 사용되는 증폭기에 있어서 온 상태 및 오프 상태에서의 전력 통과량을 나타내는 그래프이다.

[0042] 도 4의 (a)는, 종래의 트랜지스터 스위치를 이용한 경우, 게이트 전압의 조절에 의해 스위치가 온(on) 상태에서의 전력통과량(Ⅰ)은 주파수가 변하더라도 일정하게 나타날 수 있다. 스위치가 오프(off) 상태에서의 전력 통과량(Ⅱ)은 주파수가 증가할수록 점점 커지게 된다. 상기 스위치가 온(on) 상태에서의 전력 통과량은 상기 스위치의 삽입 손실을 나타내고, 스위치가 오프(off) 상태에서의 전력 통과량은 격리도(isolation) 특성을 나타낼 수 있다. 따라서, 주파수가 높아질수록 상기 온 상태의 전력 통과량과 오프 상태의 전력 통과량의 차이가 점점 줄어들게 되어 스위치로서 작동하는데 어려움이 있다.

[0043] 도 4의 (b)는, 본 발명의 일실시 형태에 따른 위상 변환기에 사용되는 증폭기에서의 전력 통과량을 나타내는 그래프이다. 여기서, 상기 증폭기가 온(on) 상태에서의 전력 통과량(Ⅲ)은 동작 주파수 영역(20GHz ~ 40GHz)에서 증폭될 수 있다. 상기 증폭기가 오프(off) 상태에서의 전력 통과량(Ⅳ)은 소정 주파수(약 30GHz)까지는 증가하다가 소정 주파수 이상에서는 다시 줄어들 수 있다. 상기 스위치가 온(on) 상태에서의 전력 통과량은 상기 스위치의 삽입 손실을 나타내고, 스위치가 오프(off) 상태에서의 전력 통과량은 격리도(isolation) 특성을 나타낼 수 있다. 본 실시형태에 따른 증폭기는, 상기 동작 주파수 영역(20GHz ~ 40GHz)에서는 상기 증폭기의 온 상태의 전력 통과량과 오프 상태의 전력 통과량의 차이가 유지될 수 있다. 따라서, 본 발명의 일실시 형태에 따른 위상 변환기에 사용되는 증폭기는, 높은 주파수 영역에서도 큰 손실없이 스위치로서 작동할 수 있다.

[0044] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

도면의 간단한 설명

[0045] 도 1은, 본 발명의 일실시 형태에 따른 위상 변환기의 구성도이다.

[0046] 도 2는, 본 발명의 다른 실시형태에 따른 위상 변환기의 구성도이다.

[0047] 도 3의 (a) 및 (b)는, 본 발명의 일실시 형태에 따른 위상 변환기에서 입력 증폭기 또는 출력 증폭기로 사용될 수 있는 CMOS FET를 이용한 증폭기의 실시형태이다.

[0048] 도 4의 (a) 및 (b)는, 종래의 트랜지스터 스위치와, 본 발명의 일실시 형태에 따른 위상 변환기에 사용되는 증폭기에 있어서 온 상태 및 오프 상태에서의 전력 통과량을 나타내는 그래프이다.

[0049] <도면의 주요 부분에 대한 부호 설명>

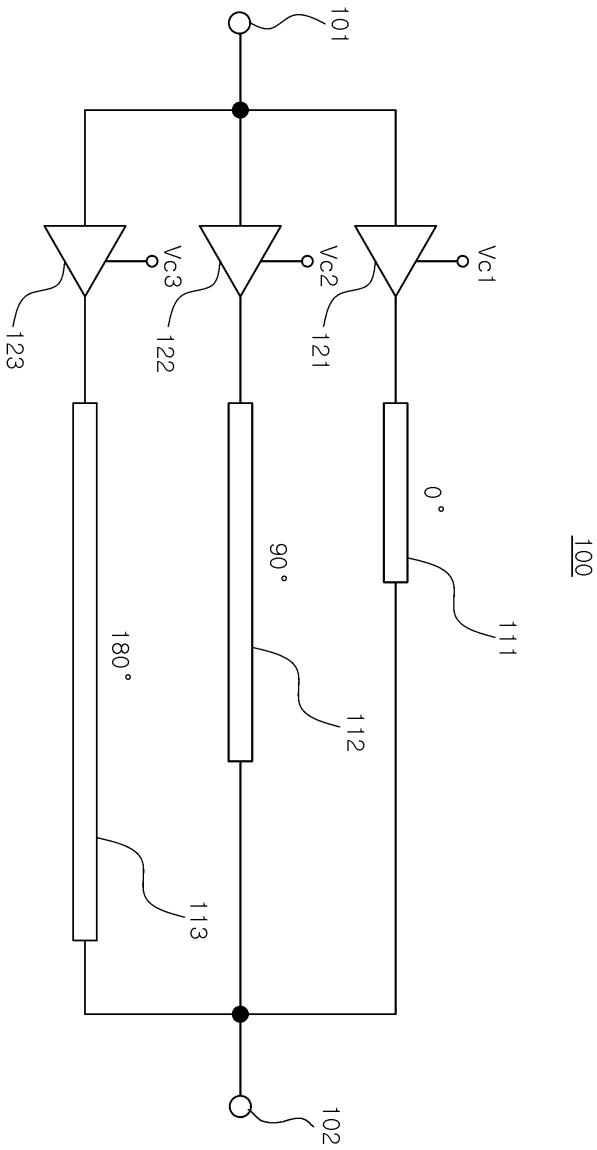
[0050] 101 : 입력단 102 : 출력단

[0051] 111, 112, 113 : 도전라인 121, 122, 123 : 입력 증폭기

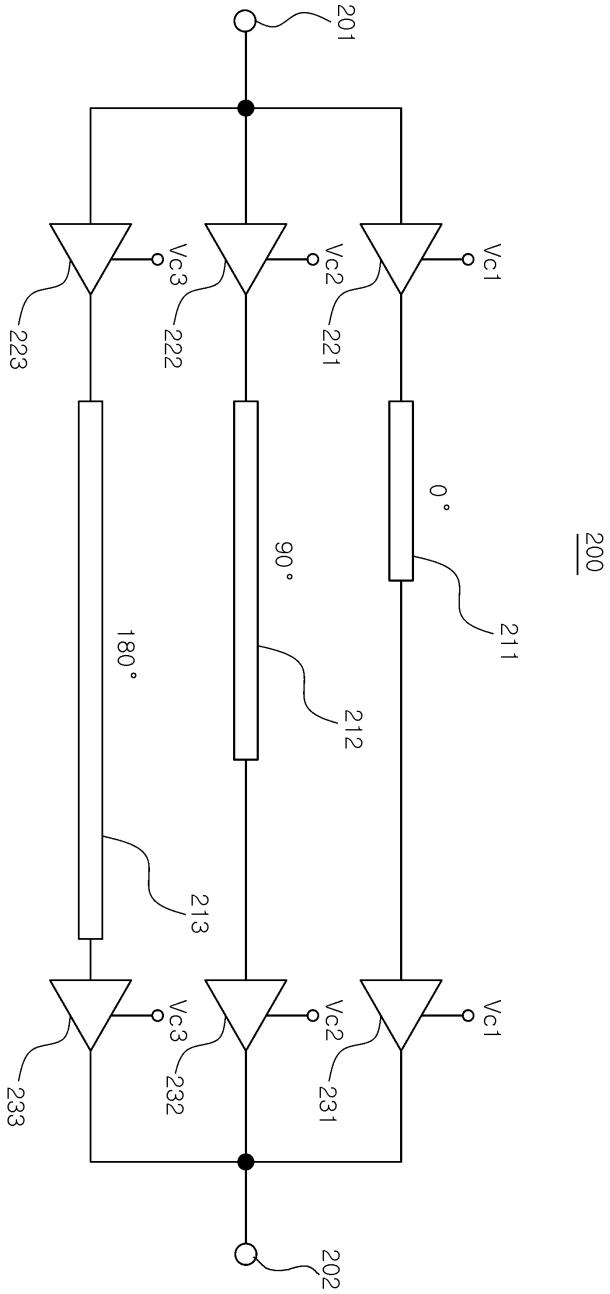
[0052] 221, 222, 223 : 출력 증폭기

도면

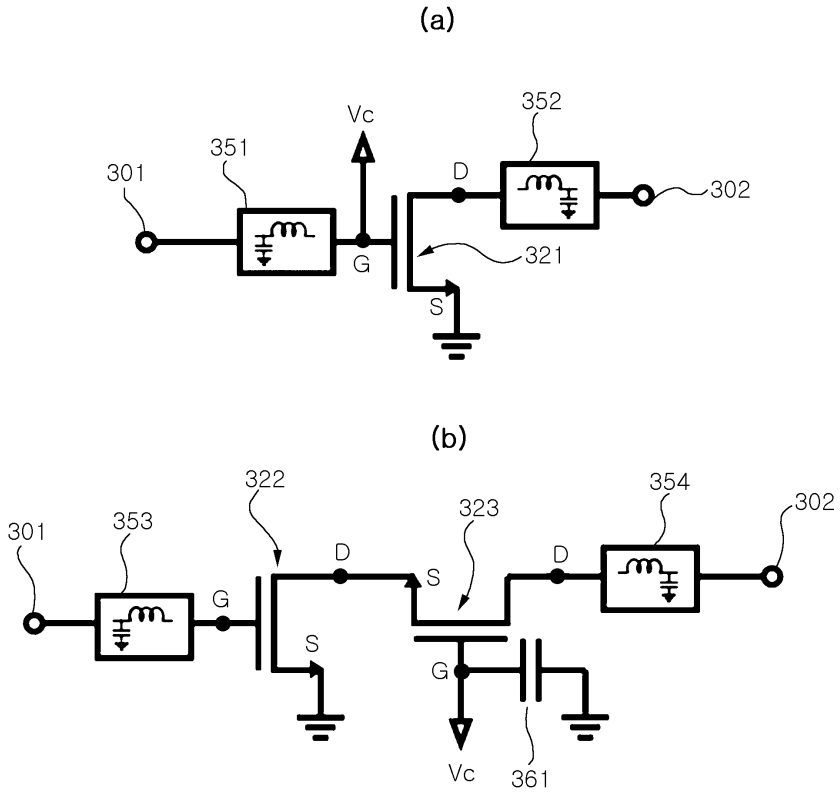
도면1



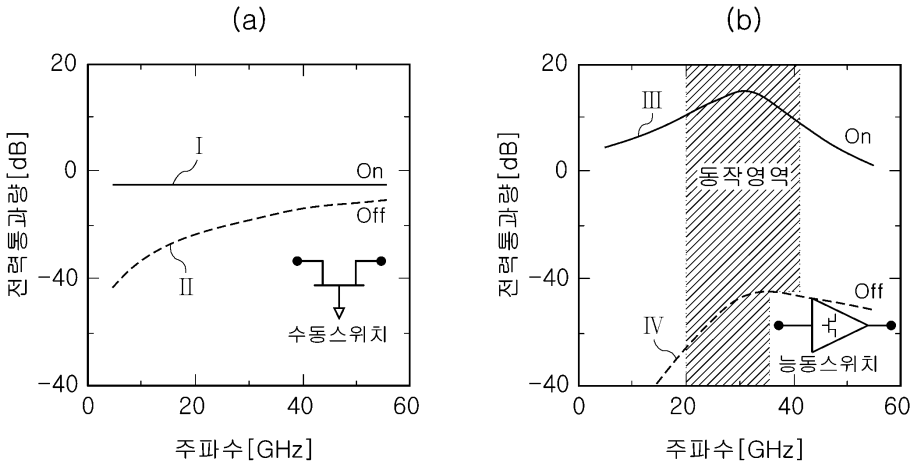
도면2


201
Vc3
Vc2
Vc1
223
222
221
0°
90°
180°
211
212
213
200
Vc3
Vc2
Vc1
233
232
231
202

도면3


(a)
301
351
Vc
352
D
302
G
321
S
(b)
322
354
302
301
353
323
D
D
G
S
S
G
Vc
361

도면4


(a)
20
0
-40
전력통과량[dB]
I
On
Off
II
수동스위치
0
20
40
60
주파수[GHz]
(b)
20
0
-40
전력통과량[dB]
III
On
동작영역
Off
IV
능동스위치
0
20
40
60
주파수[GHz]