(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월04일
(11) 등록번호 10-2701860
(24) 등록일자 2024년08월28일

(51) 국제특허분류(Int. Cl.)
H01L 31/109 (2006.01) *H01L 31/0224* (2006.01)
H01L 31/18 (2006.01)
(52) CPC특허분류
H01L 31/109 (2013.01)
H01L 31/022408 (2013.01)
(21) 출원번호 10-2023-0099382
(22) 출원일자 2023년07월31일
심사청구일자 2023년07월31일
(56) 선행기술조사문헌
JP2019145621 A*
KR1020200086913 A*
KR1020220165488 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
이승현
경기도 용인시 기흥구 덕영대로 1732, 전자정보대학 (서천동,경희대학교)
유혜윤
경기도 성남시 분당구 구미로 100, 1001동 1501호 (구미동,무지개마을건영,삼성아파트)
김도희
경기도 수원시 영통구 덕영대로 1703, 604호 (영통동)
(74) 대리인
김종선, 이형석

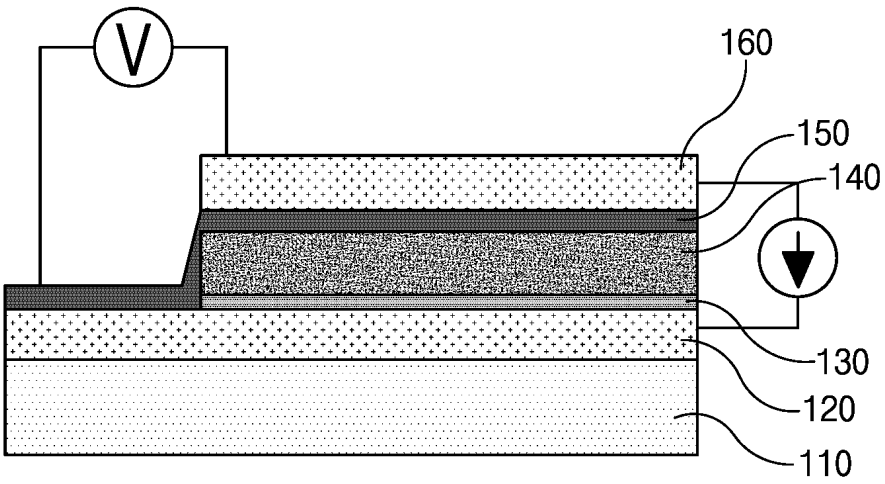
전체 청구항 수 : 총 10 항 심사관 : 전병식

(54) 발명의 명칭 **수직 이종접합 구조의 광 검출기 및 그의 제조 방법**

(57) 요 약

본 발명의 수직 이종접합 구조의 광 검출기는 하부 전극, 하부 전극 상에 배치되어, 캐리어를 이동하는 캐리어 수송층, 캐리어 수송층 상에 배치되어, 광 흡수하는 모수석상 반도체 나노층, 모수석상 반도체 나노층 상에 배치되어, 접합 저항을 낮추는 터널링 유전층 및, 터널링 유전층 상에 배치되는 상부 전극을 포함한다. 이에 의해, 본 발명은 캐리어 수송층을 적용한 수직 이종접합 구조를 구현함으로써 캐리어의 이동 거리를 줄이고 빛을 받는 표면적을 넓혀 광전류를 개선하고 효과적인 센싱이 가능하다.

대 표 도 - 도1



(52) CPC특허분류
H01L 31/18 (2021.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1345347193
과제번호 2018R1A6A1A03025708
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 이공학학술연구기반구축
연구과제명 융복합 에너지 자율형 다기능 센서 플랫폼 연구
기 여 율 1/1
과제수행기관명 경희대학교(국제캠퍼스)
연구기간 2022.03.01 ~ 2024.02.28
공지예외적용 : 있음

명 세 서

청구범위

청구항 1

하부 전극;

상기 하부 전극 상에 배치되어, 캐리어를 이동하는 캐리어 수송층;

상기 캐리어 수송층 상에 배치되어, 광 흡수하는 모수석상 반도체 나노층;

상기 모수석상 반도체 나노층 상에 배치되어, 접합 저항을 낮추는 터널링 유전층; 및,

상기 터널링 유전층 상에 배치되는 상부 전극;을 포함하고,

상기 캐리어 수송층은 그래핀으로 이루어지고,

상기 캐리어 수송층은 0.3nm 내지 3nm의 범위 내의 두께로 형성되는, 수직 이종접합 구조의 광 검출기.

청구항 2

제1항에 있어서,

상기 모수석상 반도체 나노층은,

이황화레늄(ReS_2)으로 이루어지는 것을 특징으로 하는 수직 이종접합 구조의 광 검출기.

청구항 3

제1항에 있어서,

상기 모수석상 반도체 나노층은,

에칭 프리 트랜스퍼 방식으로 성장한 이황화레늄(ReS_2) 박막인 것을 특징으로 하는 수직 이종접합 구조의 광 검출기.

청구항 4

제1항에 있어서,

상기 터널링 유전층은,

산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2), 알루미나(Al_2O_3), 알루미늄(Al), 산화티타늄(TiO_2) 및 질화붕소(h-BN) 중에서 적어도 하나를 포함하는 것을 특징으로 하는 수직 이종접합 구조의 광 검출기.

청구항 5

제1항에 있어서,

상기 터널링 유전층은,

0.7nm 내지 3nm의 범위 내의 두께로 형성되는 것을 특징으로 하는 수직 이종접합 구조의 광 검출기.

청구항 6

하부 전극 상에 캐리어 수송층을 형성하는 단계;

상기 캐리어 수송층 상에 모수석상 반도체 나노층을 형성하는 단계;

상기 모수석상 반도체 나노층 상에 터널링 유전층을 형성하는 단계; 및

상기 터널링 유전층 상에 상부 전극을 형성하는 단계를 포함하고,

상기 캐리어 수송층은 그래핀으로 이루어지고,

상기 캐리어 수송층은 0.3nm 내지 3nm의 범위 내의 두께로 형성되는, 수직 이종접합 구조의 광 검출기의 제조 방법.

청구항 7

제6항에 있어서,

상기 캐리어 수송층을 형성하는 단계는,

구리 기판 상에 캐리어 수송층을 형성하는 단계;

상기 캐리어 수송층 상에 PMMA 층을 형성하는 단계; 및,

상기 PMMA 층이 형성된 반대 면의 구리 기판을 식각하는 단계;를 포함하는 것을 특징으로 하는 수직 이종접합 구조의 광 검출기의 제조 방법.

청구항 8

제6항에 있어서,

상기 터널링 유전층은,

산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2), 알루미나(Al_2O_3), 알루미늄(Al), 산화티타늄(TiO_2) 및 질화붕소(h-BN) 중에서 적어도 하나를 포함하는 것을 특징으로 하는 수직 이종접합 구조의 광 검출기의 제조 방법.

청구항 9

제8항에 있어서,

상기 터널링 유전층을 형성하는 단계는,

원자층 증착에 의해 산화탄탈륨(Ta_2O_5)을 형성하는 것을 특징으로 하는 수직 이종접합 구조의 광 검출기의 제조 방법.

청구항 10

제6항에 있어서,

상기 모수석상 반도체 나노층을 형성하는 단계는,

상기 캐리어 수송층 상에 에칭 프리 트랜스퍼 방식으로 성장한 이황화레늄(ReS_2) 박막을 형성하는 것을 특징으로 하는 수직 이종접합 구조의 광 검출기의 제조 방법.

청구항 11

삭제

청구항 12

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 수직 이종접합 구조의 광 검출기 및 그의 제조 방법에 관한 것으로서, 특히, 캐리어 수송층을 적용한 수직 이종접합 구조를 구현함으로써 캐리어의 이동 거리를 줄이고 빛을 받는 표면적을 넓혀 광전류를 개선하고 효과적인 센싱이 가능한 광 검출기 및 그의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 실리콘에 모놀리식 집적 포토닉스가 지속적으로 개발됨에 따라 새로운 장치를 위한 많은 새로운 구조와 재료가 보고되었. 높은 광응답성, 양자 효율성 및 빠른 응답 시간과 같은 여러 성능 메트릭은 이러한 장치에 대한 중요한 기준이다.

[0003] 2차원(2D) 전이금속 디칼코제나이드(transition metal dichalcogenide, 이하 'TMD'라 함)는 높은 흡수 계수와 효율적인 전자-정공쌍 생성으로 인해 광 트랜지스터, 발광 다이오드 및 광 검출기와 같은 광전자 응용 분야에 대해 광범위하게 연구된 재료 중 하나이다. TMD는 전이금속 양이온(M)과 칼고젠 음이온(A)의 결합으로 이루어지고, MA_2의 화학구조식으로 표시될 수 있다. 칼고젠 음이온(A)은 주기율표 상에서 16족에 해당되는 원소들로서 예를 들면 황(S), 셀레늄(Se), 텔레늄(Te) 등이 이에 포함될 수 있다. 이러한 TMD는 MoS_2, WS_2, $MoSe_2$, ReS_2 등으로 대표될 수 있다.

[0004] 이종 접합에 대한 대부분의 작업은 기계적으로 박리된 플레이크(flakes)를 사용하여 수행되었지만 최근 화학적 기상증착(CVD) 합성 기술의 발전으로 대규모 통합을 위한 새로운 장소가 도입되었습니다. 그럼에도 불구하고, CVD에 의해 합성된 TMD의 다양성은 박리된 TMD의 TMD에 비해 다소 제한적이다.

[0005] 한편, 대부분의 TMD는 CVD를 사용하여 합성될 때 기판과 평행하게 성장하지만 ReS_2는 성장 중에 수직으로 방향을 맞추는 경향이 있다. 이러한 경향은 표면적을 크게 늘리고 화학적 활성 가장자리를 노출시켜 ReS_2를 에너지 및 센서 응용 분야를 위한 매력적인 레이어 소재로 만든다. 그러나 수직 성장 물질의 접촉 저항은 MoS_2와 같은 일반적인 2H 상(2H-phase) TMD에 비해 상대적으로 높은 것으로 알려져 있다. 즉, ReS_2는 1.5eV의 직접 밴드갭과 왜곡된 1T 위상을 갖는 이방성 결정 구조를 갖는다. MoS_2와 같은 다른 일반적인 TMD와 비교할 때, ReS_2는 벌크 값과 유사한 단층 밴드 갭 크기(1.5-1.6 eV)를 가지며 간접적인 밴드 갭 전이를 나타내지 않는다.

[0006] 또한, 이차원 물질과 금속의 쇼트키 접합은 금속 유도 갭 상태로 인해 높은 접합 저항과 페르미 레벨 피닝(Fermi-level pinning) 현상이 발생하게 되는 문제점이 있었다.

[0007] 결국, 낮은 접촉 저항으로 금속 접촉을 형성하는 것은 반데르발스 재료를 기반으로 한 전자 제품 개발에 필수적이다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 대한민국 등록특허 제10-0466207호

발명의 내용

해결하려는 과제

[0009] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 캐리어 수송층을 적용한 수직 이종접합 구조를 구현함으로써 캐리어의 이동 거리를 줄이고 빛을 받는 표면적을 넓혀 광전류를 개선하고 효과적인 센싱이 가능한 광검출기 및 그의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0010] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 수직 이종접합 구조의 광 검출기는 하부 전극; 상기 하부 전극 상에 배치되어, 캐리어를 이동하는 캐리어 수송층; 상기 캐리어 수송층 상에 배치되어, 광흡수하는 모수석상 반도체 나노층; 상기 모수석상 반도체 나노층 상에 배치되어, 접합 저항을 낮추는 터널링 유전층; 및, 상기 터널링 유전층 상에 배치되는 상부 전극;을 포함할 수 있다.

[0011] 또한, 상기 캐리어 수송층은, 높은 캐리어 이동도를 가지는 그래핀으로 이루어질 수 있다.

[0012] 또한, 상기 모수석상 반도체 나노층은, 이황화레늄(ReS_2)으로 이루어질 수 있다.

[0013] 또한, 상기 모수석상 반도체 나노층은, 에칭 프리 트랜스퍼 방식으로 성장한 이황화레늄(ReS_2) 박막일 수 있다.

[0014] 또한, 상기 터널링 유전층은, 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2), 알루미나(Al_2O_3), 알루미늄(Al), 산화티타늄(TiO_2) 및 질화붕소(h-BN) 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 터널링 유전층은, 0.7nm 내지 3nm의 범위 내의 두께로 형성될 수 있다.

[0015] 한편, 본 발명의 다른 실시예에 따른 수직 이종접합 구조의 광 검출기의 제조 방법은 하부 전극 상에 캐리어 수송층을 형성하는 단계; 상기 캐리어 수송층 상에 모수석상 반도체 나노층을 형성하는 단계; 상기 모수석상 반도체 나노층 상에 터널링 유전층을 형성하는 단계; 및, 상기 터널링 유전층 상에 상부 전극을 형성하는 단계를 포함할 수 있다.

[0016] 또한, 상기 캐리어 수송층을 형성하는 단계는, 구리 기판 상에 캐리어 수송층을 형성하는 단계; 상기 캐리어 수송층 상에 PMMA 층을 형성하는 단계; 및, 상기 PMMA 층이 형성된 반대 면의 구리 기판을 식각하는 단계;를 포함할 수 있다.

[0017] 또한, 상기 캐리어 수송층은, 높은 캐리어 이동도를 가지는 그래핀으로 이루어질 수 있다.

[0018] 또한, 상기 터널링 유전층은, 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2), 알루미나(Al_2O_3), 알루미늄(Al), 산화티타늄(TiO_2) 및 질화붕소(h-BN) 중에서 적어도 하나를 포함할 수 있다.

[0019] 또한, 상기 터널링 유전층을 형성하는 단계는, 원자층 증착에 의해 산화탄탈륨(Ta_2O_5)을 형성할 수 있다.

[0020] 또한, 상기 모수석상 반도체 나노층을 형성하는 단계는, 상기 캐리어 수송층 상에 에칭 프리 트랜스퍼 방식으로 성장한 이황화레늄(ReS_2) 박막을 형성할 수 있다.

발명의 효과

[0021] 상기와 같은 본 발명에 따른 광 검출기 및 그의 제조 방법은 캐리어 수송층을 적용한 수직 이종접합 구조를 구현함으로써 캐리어의 이동 거리를 줄이고 빛을 받는 표면적을 넓혀 광전류를 개선하고 효과적인 센싱이 가능하다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 광 검출기의 구조를 개략적으로 나타내는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 광 검출기를 나타내는 개략도이다.

도 3는 본 발명의 일 실시예에 따른 광 검출기의 실제 배치도를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 광 검출기의 단면을 분석한 전계방사 투과전자현미경(FE-TEM) 이미지이다.

도 5a 내지 5c는 본 발명의 일 실시예에 따른 광 검출기의 모수석상 반도체 나노층을 분석한 도면이다.

도 6a 내지 6c는 본 발명의 일 실시예에 따른 광 검출기의 어레이 구조 특성을 나타내는 도면이다.

도 7a 내지 7e는 본 발명의 일 실시예에 따른 광 검출기의 광반응성 및 전류 특성을 분석한 결과를 나타내는 그래프이다.

도 8a 내지 8d는 본 발명의 광 검출기와 다양한 비교예에 따른 광 검출기의 광반응성 특성을 분석한 결과를 나타내는 그래프이다.

도 9는 본 발명의 실제 광 검출기를 나타내는 도면이다.

도 10은 본 발명의 일 실시예에 따른 광 검출기와 비교예에 따른 광 검출기에 대한 에너지 밴드 다이어그램의 비교도이다.

도 11은 본 발명의 일 실시예에 따른 광 검출기의 제조 방법을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하에서 본 발명의 기술적 사상을 명확화하기 위하여 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성요소에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략할 것이다. 도면들 중 실질

적으로 동일한 기능구성을 갖는 구성요소들에 대하여는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호들 및 부호들을 부여하였다. 설명의 편의를 위하여 필요한 경우에는 장치와 방법을 함께 서술하도록 한다.

[0024] 도 1은 본 발명의 일 실시예에 따른 광 검출기의 구조를 개략적으로 나타내는 단면도이고, 도 2는 본 발명의 일 실시예에 따른 광 검출기를 나타내는 개략도이고, 도 3은 본 발명의 일 실시예에 따른 광 검출기의 실제 배치도를 나타내는 도면이다.

[0025] 본 발명의 광 검출기(100)는 빛의 조사로 인해 반도체의 일시적인 전도도 변화를 감지하는 장치로서, 광자(photon)는 광 여기 캐리어들을 생성하며, 이는 전극 사이에 인가되는 전압 바이어스를 통해 생성된 전기장에 의해 추출된다. 광 검출기(100)의 측정 과정과 작동을 나타내며, 접지(GND)와 바이어스는 각각 하부 전극(120)과 상부전극(160)에 적용된다.

[0026] 도 1 및 도 2를 참조하면, 광 검출기(100)는 유리 기판(110), 하부 전극(120), 캐리어 수송층(130), 모수석상 반도체 나노층(140), 터널링 유전층(150) 및 상부 전극(160)이 순차적으로 적층된 수직 이종접합 구조를 포함할 수 있다.

[0027] 유리 기판(110)은 유리와 같은 투명 기판으로 이루어질 수 있다.

[0028] 하부 전극(120)과 상부 전극(160)은 80% 이상의 투명도를 가지는 금속 또는 합금을 포함하는 금속 전극일 수 있다. 또한, 하부 전극(120)과 상부 전극(160)은 ITO(Indium Tin Oxide), AZO(Aluminum-doped Zinc Oxide)와 같은 투명한 전도성 산화물을 포함할 수 있다. 바람직하게, 하부 전극(120)과 상부 전극(160)은 니켈/금(Ni/Au) 합금으로 이루어질 수 있다.

[0029] 하부 전극(120)과 상부 전극(160)은 10nm 내지 1000nm의 두께 범위를 포함할 수 있다.

[0030] 한편, 하부 전극(120)과 상부 전극(160)은 하나 이상의 합금으로 이루어진 경우, 1:1의 비율을 갖는 두께 범위로 이루어질 수 있다. 예를 들어, 하부 전극(120)과 상부 전극(160)이 니켈/금(Ni/Au)으로 이루어진 경우, 5nm/5nm 두께일 수 있다. 상부 및 하부 전극(540, 510) 중 하나 이상은 광이 장치로 들어가도록 투명할 수 있다

[0031] 캐리어 수송층(130)은 하부 전극(120) 상에 배치되어, 캐리어 이동을 용이하게 할 수 있다. 캐리어 수송층(130)은 높은 캐리어 이동도를 가지는 그래핀(graphene)으로 이루어질 수 있다. 캐리어 수송층(130)은 반도체 나노층(140)과의 낮은 일 함수를 가질 수 있다.

[0032] 실시예에서, 캐리어 수송층(130)은 얇은 층의 그래핀이 복수 개가 적층 되어 하나의 캐리어 수송층(130)을 이루는 것으로, 0.3 내지 3nm의 두께 범위를 포함할 수 있다.

[0033] 모수석상 반도체 나노층(140)은 캐리어 수송층(130) 상에 배치되어, 광 흡수를 대면적으로 용이하게 할 수 있다. 모수석상 반도체 나노층(140)은 기판에 평행하지 않고 불특정한 방향으로 기판으로부터 수직 성장하는 형태일 수 있다. 여기서, 모수석상(dendritic)은 기판에 평행하지 않고 꽃모양으로 자라는 형상을 의미할 수 있다.

[0034] 이러한, 모수석상 반도체 나노층(140)은 이황화레늄(ReS_2)으로 이루어질 수 있다. 이때, 모수석상 반도체 나노층(140)은 에칭 프리 트랜스퍼 방식으로 성장한 이황화레늄(ReS_2) 박막일 수 있다.

[0035] 또한, 모수석상 반도체 나노층(140)은 2~300nm 두께 범위를 가질 수 있다. 여기서, 모수석상 반도체 나노층(140)의 두께가 2nm 미만은 모수석상을 나타내기에 얇아 바람직하지 않으며, 두께가 300nm 초과하면 필름 역할을 수행하기에는 두꺼워 바람직하지 않다.

[0036] 터널링 유전층(150)은 금속 전극과 모수석상 반도체 나노층(140) 간의 접합 저항을 줄일 수 있다. 즉, 터널링 유전층(150)은 모수석상 반도체 나노층(140) 상에 배치되어, 접합 저항을 낮출 수 있다.

[0037] 이러한, 터널링 유전층(150)은 접합 저항의 감소 효율을 높이기 위한 유전층을 포함할 수 있다. 즉, 터널링 유전층(150)은 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2), 알루미나(Al_2O_3), 알루미늄(Al), 산화티타늄(TiO_2) 및 질화붕소(h-BN) 중에서 적어도 하나를 포함할 수 있다. 바람직하게, 터널링 유전층(150)은 산화탄탈륨(Ta_2O_5)으로 이루어질 수 있다.

[0038] 터널링 유전층(150)은 기설정 두께로 금속-절연체-반도체(MIS, Metal-Insulator-Semiconductor) 접합 또는 터널링 접합 중 적어도 하나의 방식으로 형성된 인터페이스 유전층일 수 있다.

[0039] 터널링 유전층(150)은 0.7nm 내지 3nm의 범위 내의 두께로 형성될 수 있으며, 특히, 0.7nm, 1.5nm, 2.2nm 및 3nm 중에서 적어도 하나의 두께로 형성될 수 있다 실시예에서, 터널링 유전층(150)은 2.2nm 두께로 형성될 수 있다.

[0040] 도 3을 참조하면, 수직으로 구조화된 광 검출기(100)의 100um 배율로 확대한 현미경 이미지를 나타낸다.

[0041] 결국, 본 발명의 광 검출기는 몇 가지 독특한 접근 방식을 사용하여 특성이 크게 향상된다.

[0042] 첫째, 꽃과 같은 이황화레늄(ReS_2) 필름을 합성하여 광 흡수 표면적을 최대화하여 광 흡수 및 감지 기능을 향상시킨다.

[0043] 둘째, 금속-절연체-반도체(MIS) 접촉층을 사용하여 쇼트키 장벽을 줄이고 접촉 저항을 낮춘다.

[0044] 셋째, 캐리어 수송은 일 함수 차이를 감소시키는 높은 이동성을 가진 그래핀으로 이루어진 캐리어 수송층을 적용함으로써 촉진된다.

[0045] 마지막으로, 캐리어 수송 거리를 최소화하기 위해 수직 이종접합 구조화하였다.

[0046] 이러한, 캐리어 수송층/모수석상 반도체 나노층/터널링 유전층이 적층된 그래핀(graphene)/이황화레늄(ReS_2)/산화탄탈륨(Ta_2O_5) 기반 수직 이종접합으로 구성된 광 검출기는 합성된 대면적 필름으로 제작된 장치 중 가장 높은 광반응률(11.43 AW)을 나타냈으며, 넓은 면적(>1cm^2)에 가까운 거의 투명한 장치 스택은 다른 전자 플랫폼과의 다양한 통합을 위해 저온(<110° C)에서 임의의 기판에 쉽게 제작할 수 있는 장점을 가진다.

[0047] 도 4는 본 발명의 일 실시예에 따른 광 검출기의 단면을 분석한 전계방사 투과전자현미경(FE-TEM) 이미지이다.

[0048] 도 1 및 도 4를 참조하면 광 검출기(100)의 단면을 분석한 전계방사 투과전자현미경(FE-TEM) 이미지를 나타낸다. 광 검출기(100)는 하부 전극(120)과 상부 전극(160) 사이에 그래핀(graphene)/이황화레늄(ReS_2)/산화탄탈륨(Ta_2O_5) 기반의 캐리어 수송층/모수석상 반도체 나노층/터널링 유전층이 수직으로 적층되었음을 확인할 수 있다.

[0050] 도 5a 내지 5c는 본 발명의 일 실시예에 따른 광 검출기의 모수석상 반도체 나노층을 분석한 도면이다.

[0051] 도 5a는 광 검출기의 단면에 대한 에너지 분산 X선 분광법(EDS)-매핑 결과를 나타낸다.

[0052] 도 5b는 수직으로 합성된 모수석상 반도체 나노층(ReS_2)과 이의 X선 광전자 분광기(XPS) 스펙트럼의 전계방출주사전자현미경(FE-SEM) 이미지로서 화학결합의 종류와 그 원소조성을 나타낸다.

[0053] 도 5c는 100-2700 cm^{-1} 범위의 여러 피크를 나타내는 그래핀 상의 ReS_2 및 ReS_2의 라만 스펙트럼을 나타내며, 이는 ReS_2에서 중간층의 왜곡된 1T 위상 및 진동 디커플링에 기인한다.

[0054] ReS_2의 대표적인 피크는 160cm^{-1} 및 211cm^{-1}에서 나타났으며, 이는 각각 면내(E2g) 및 면외(Ag와 유사) 진동 모드에 기인한다. ReS_2/그래핀 이종접합 구조의 라만 스펙트럼은 1585cm^{-1}에서 단층 그래핀에 해당하는 추가 피크, 면내 포논 모드에 해당하는 G 피크, 이중 공명에 해당하는 2D 피크인 2696cm^{-1}을 나타냈다.

[0056] 도 6a 내지 6c는 본 발명의 일 실시예에 따른 광 검출기의 어레이 구조 특성을 나타내는 도면이다.

[0057] 도 6a는 실시예에 따른 광 검출기의 6 × 6 어레이를 나타낸다.

[0058] 도 6b는 6 x 6 어레이에 레이저를 인가하여 각 소자의 동작 결과를 나타낸다. 배열 구조에서는 각 요소에 빛이 가해질 때 전류의 변화량을 보여준다. 어레이 요소의 94% 이상이 20uA 이상의 전류 변화를 보인다.

[0059] 도 6c는 6 x 6 어레이에서 총 36개의 전류 변화 데이터에 대한 분석 통계를 나타낸다. 도 6c를 참조하면, 본 발명의 광 검출기의 성능을 확인할 수 있으며 이미지센서와 같이 어레이형태로 제조가 가능함을 알 수 있다.

[0060] 도 7a 내지 7e는 본 발명의 일 실시예에 따른 광 검출기의 광반응성 및 전류 특성을 분석한 결과를 나타내는 그래프이다.

[0061] 도 1 및 도 7a 내지 7e를 참조하면, 광 검출기(100)는 프로브 스테이션과 532nm 레이저를 광원으로 하는 반도체

매개변수 분석기(Keithley 4200)를 사용하여 측정되었다.

[0062] (a)와 (b)는 캐리어 수송층(130)이 없는 ReS_2/Ta_2O_5 광 검출기(이하, '비교예'라 함)와 캐리어 수송층(130)이 있는 광 검출기(이하, '실시예'라 함)에 대해 조명 하에서 암전류와 광전류의 비교를 나타낸다.

[0063] 비교 결과, 비교예의 I-V 곡선에서 광 검출기 양단의 전류가 0.8Vbias의 조명 하에서 4720㎂에서 4730㎂(단 10㎂의 차이)로 증가했음을 알 수 있다.

[0064] 반면, 실시예는 같은 조건에서 광 검출기 양단의 전류가 816.55uA에서 890.79uA(차이 74.24㎂)로 증가한 것으로 나타났다.

[0065] 즉, 실시예는 수직 구조로 인해 0.5 내지 0.8 V의 매우 낮은 전압 영역에서 작동하였다. 이러한 측정은 실시예가 상대적으로 낮은 전압에서 작동할 수 있고 전력을 거의 소비하지 않는다는 것을 보여준다. 커패시터로 장치의 DC 전류를 최소화할 수 있고 광자 플럭스의 동적 변화를 시간 영역에서 쉽게 측정할 수 있다는 점에 주목할 수 있다.

[0066] (c)는 상이한 바이어스 하에서 실시예의 시간 의존적 광-반응 곡선을 나타낸다. 적용되는 바이어스 전압은 상단에서 순차적으로 0.4V, 0.5V, 0.6V이고, 약 10초의 조명(입사광) 켜기/끄기 주기로 광 검출기의 사이클 대 사이클 응답을 측정했다. 광 검출기의 상승/감쇠 시간은 전류가 안정 값의 10%에서 90%로(또는 그 반대로) 증가/감소하는데 필요한 시간으로 정의된다.

[0067] (d) 및 (e)와 같이, 상승/감쇠 시간은 각각 0.06초 및 0.1초로 측정되었다. 반응 시간은 CVD 성장 이황화레늄(ReS_2)을 기반으로 한 다른 발표된 결과와 비슷하거나 우수한 것으로 나타났다.

[0069] 도 8a 내지 8d는 본 발명의 광 검출기와 다양한 비교예에 따른 광 검출기의 광반응성 특성을 분석한 결과를 나타내는 그래프이다.

[0070] 도 8a는 0.5V의 바이어스를 인가하였때, 모수석상 반도체 나노층(ReS_2 필름)의 사이클 대 사이클 반응을 나타낸다.

[0071] 도 8b 내지 8d에서, 광반응성의 값은 서로 다른 이종접합 구조에 따른 크게 변화하는 것으로 나타났다.

[0072] 실시예인 그래핀/ReS_2/Ta_2O_5 기반의 광 검출기는 우수한 광반응성으로 최적의 성능을 보였다. 생성된 광전류의 비율($I_{ph} = I_{light} - I_{dark}$) 및, 장치(A)의 활성 영역에 충돌하는 광 출력 밀도(P_λ)의 비율을 사용하여 응답성을 산출하였다.

[0073] (수학식 1)

[0074] $$R_\lambda = \frac{I_{ph}}{P_\lambda \times A} A/W$$

[0075] 모든 경우에, P_λ 및 A는 30.63 $mWcm^{-2}$ 및 104 um^2이었다.

[0076] 그래핀/ReS_2/Ta_2O_5, ReS_2/Ta_2O_5, 그래핀/Ta_2O_5, 그래핀/ReS_2의 I_{ph}는 각각 35 uA, 3 uA, 4 uA, 10 uA로 측정되었다. 따라서 R_λ의 최대 측정값은 그래핀/ReS_2/Ta_2O_5 기반 소자가 $11.43AW^{-1}$이었다.

[0077] 다음 수학식 2과 같이 암전류의 샷 노이즈가 광검출기의 전체 노이즈를 지배한다고 가정하고, 외부 양자 효율(EQE)과 검출도를 산출하였다.

[0078] (수학식 2)

[0079] $$EQE = \frac{Rh\nu}{e} \times 100\,\%$$

$$\text{Detectivity} = \frac{R\sqrt{A}}{\sqrt{2eI_{dark}}} \text{ cm/W}$$

[0080]

[0081] 여기에서, A는 광활성 채널의 면적, h는 플랑크 상수, ν는 입사 레이저의 주파수, e는 단위 전자 전하를 의미한다.

[0082] 가장 높은 EQE 및 검출도 값은 다음과 같이 산출되었다.

[0083] 24.06mW의 전력에서 각각 2.67×10^{8}% 및 0.85×10^{3} cm $Hz^{1/2}W^{-1}$(Jones)을 나타냈다. 결과는 도 8b 내지 8d와 같이, 배열의 요소까지 측정되며 오차 막대로 표시되었다.

[0084] 본 발명의 실시예와 같이 수직 이종접합 구조의 광 검출기는 합성된 대면적 필름으로 제조된 소자 중에서 가장 높은 광전류 중 하나를 나타냈다.

표 1

[0085]

Structure	Method	Photo current	R_λ [A/W]	Reference
Hybrid film on glass	CVD	35 μA	11.43	This work
Hybrid flakes on SiO_2	Exfoliation	20 μA	7×10^5	[16]
Graphene flake on SiO_2	Exfoliation	8 nA	8.61	[40]
Graphene and CQD on SiO_2	CVD	-	0.4	[41]
MoS_2 and Graphene on SiO_2	CVD	8.34 μA	0.4	[42]
Bilayer ReS_2 film on sapphire	CVD	2 μA	4×10^{-3}	[43]
ReS_2 film on mica	CVD	5 μA	0.98	[44]
Bilayer ReS_2 film on mica	CVD	2 nA	0.217	[45]

[0086] 도 9는 본 발명의 실제 광 검출기를 나타내는 도면이다.

[0087] 도 1 및 도 9를 참조하면, (a)는 본 발명의 광 검출기(100)는 매우 얇은 활성층을 갖는 장치를 나타낸다. 이러한 장치는 (b)와 같이 유연한 웨어러블 전자 장치와 같은 다른 전자 플랫폼과 통합하기 위해 저온(<110° C)에서 임의의 기판에 제조할 수 있다.

[0089] 도 10은 본 발명의 일 실시예에 따른 광 검출기와 비교예에 따른 광 검출기에 대한 에너지 밴드 다이어그램의 비교도이다.

[0090] 도 10을 참조하면, 이종접합 구조의 광검출기에 대한 에너지 밴드 다이어그램의 비교가 도시되어 있다.

[0091] (a) 내지 (d)는 비교예인 Au/ReS_2/Ta_2O_5/Au 구조의 페르미-레벨 정렬은 나타내고, (e) 내지 (h)는 실시예인 Au/graphene/ReS_2/Ta_2O_5/Au 구조의 페르미-레벨 정렬을 나타낸다.

[0092] 이황화레늄(ReS_2)(4.15 eV)의 전자 친화도는 그래핀(4.5 eV)의 일 함수보다 작기 때문에 쇼트키 접합이 형성된다. 여기서, 쇼트키 접합은 광생성된 전자-정공 쌍을 효율적으로 분리할 수 있는 광 검출기로서 활용될 수 있다.

[0093] (b) 및 (f)에서, 페르미-레벨 정렬 후 금속(Au)과 이황화레늄(ReS_2)사이에 내장 전압이 존재하며, 이는 산화물에 쌍극자를 유도한다. 상부 전극에 양전압을 인가하면 하부 전극(c, g)에서 전자가 유도되어 페르미-레벨이 상승하여 쇼트키 장벽 높이가 감소한다. 그러나 쇼트키 장벽은 조명 없이 전자의 이동을 억제하여 암전류를 낮춘다. 조명 상태에서 전자와 정공 쌍이 생성되고 적용된 바이어스 전압은 이러한 광생성 캐리어를 한 전극에서 다른 전극으로 전송한다.

[0094] 중요한 것은 금속과 반도체 사이의 얇은 터미널 유전층인 산화탄탈륨(Ta_2O_5) MIS 접점이 계면의 장벽 높이를 줄여 광생성 전자가 이황화레늄(ReS_2)에서 장벽이 낮은 그래핀으로 쉽게 운반될 수 있다는 것이다. MIS 접촉은 쇼

트키 장벽을 낮추고 접촉 저항을 감소시키는 것으로 알려져 있지만, 반데르발스(vdW) 갭은 페르미-레벨 피닝을 낮추고 캐리어 수송을 용이하게 하는 유사한 효과로도 알려져 있다.

[0095] 이황화레늄(ReS_2)과 같은 TMD의 경우, 공극 결함 수준과 전하 중성 수준에 의해 생성되는 전도대 가장자리 근처의 페르미 레벨 피닝은 벌크 금속과의 계면에서 높은 접촉 저항을 유발한다. 그러나, 그래핀에 대한 이황화레늄(ReS_2)의 고정 효과는 그래핀/ReS_2 계면에 형성된 반데르발스(vdW) 갭을 활용하여 감소시킬 수 있다.

[0096] 따라서, 그래핀/ReS_2 계면은 훨씬 더 낮은 접촉 저항을 나타내었다

[0097] 본 발명은 반데르발스(vdW) 갭뿐만 아니라 접합부에서의 도핑 효과로 인해. (d) 및 (h)는 채널이 각각 ReS_2 및 그래핀/ReS_2로 구성되고 VTE가 0 이하인 개략적인 밴드 다이어그램을 보여준다.

[0099] 도 11은 본 발명의 일 실시예에 따른 광 검출기의 제조 방법을 설명하기 위한 흐름도이다.

[0100] 도 1 및 도 11을 참조하면, 광 검출기(100)의 제조 방법은 먼저, 유리 기판(110) 상에 하부 전극(120)을 형성한다(S210). 이때, 하부 전극(120)은 전자빔증착을 통해 형성될 수 있다. 또한, 광학 포토리소그라피 방법을 통해 전극을 패터닝할 수 있다.

[0101] 한편, 하부 전극(120)은 스퍼터링법(sputtering), RF 스퍼터링법, 마그네트론 RF 스퍼터링법, 펄스 레이저 증착법(PLD), 화학 기상 증착법(CVD), 플라즈마 강화 화학 기상 증착법(PECVD) 원자층 증착법(ALD) 또는 분자선에피택시 증착법(MBE) 등을 이용하여 물질의 종류에 따라 기설정된 두께로 형성할 수 있다.

[0102] 이후, 하부 전극(120) 상에 캐리어 수송층(130)을 형성한다(S220).

[0103] 이때, 캐리어 수송층(130)은 화학적기상증착(CVD)를 통해 구리(Cu) 기판으로부터 전사하여 형성할 수 있다. 이후, 캐리어 수송층(130) 상에 PMMA 층을 형성하고, PMMA 층이 형성된 반대 면의 구리 기판을 식각할 수 있다. 즉, 실시예에서, 구리(Cu) 기판의 한면에 있는 캐리어 수송층(그래핀, 130) 상에 PMMA의 얇은 층을 스핀 코팅한다. 이 층은 또한 다음 단계를 위한 보호 장벽 역할을 수행한다. PMMA/그래핀/Cu 샘플을 150° C에서 90초 동안 소성하였다. 캐리어 수송층(그래핀, 130)은 구리(Cu) 기판의 양면에서 성장하기 때문에, 보호되지 않은 후면의 그래핀은 산소 플라즈마에 의해 제거할 수 있다. 이후, Cu 기판을 식각할 수 있다.

[0104] 그런 다음, 캐리어 수송층(130) 상에 모수석상 반도체 나노층(140)을 형성한다(S230).

[0105] 에칭 프리 트랜스퍼 방식으로 성장한 모수석상 반도체 나노층(140)을 캐리어 수송층(그래핀, 130)에 전사하였다.

[0106] 실시예에서, 에칭 프리 트랜스퍼 방식으로 합성한 모수석상 반도체 나노층(ReS_2, 140)은 다음과 같은 방법으로 수행되었다.

[0107] 300nm 기판(SiO_2/Si)에 상에 ReS_2 필름을 형성한 후 포토 레지스트를 스핀 코팅한다. 예를 들어, ReS_2 필름을 PMMA(polymethyl methacrylate) 박층으로 2000rpm에서 20초 동안 스핀 코팅을 수행하고, 스핀 코팅된 기판을 180° C에서 15분 동안 소성하였다.

[0108] 그리고, 기판(SiO_2/Si)으로부터 ReS_2 필름과 포토 레지스트로 이루어진 구조물을 분리시킬수 있다.

[0109] 이후, ReS_2 필름은 초음파 처리를 이용하여 초순수물(Di water)로 옮겼다. ReS_2/PMMA를 실온에서 샘플로 트랜스퍼하고, 패터닝을 위해 트랜스퍼된 샘플을 아세톤을 이용하여 세척하고, 다시 IPA 및 에탄올을 이용하여 표면을 닦아 내는 과정을 수행할 수 있다.

[0110] 이후, 산소 플라즈마를 이용하여 샘플인 그래핀/ReS_2 필름의 패터닝을 수행한다. 이때, 산소 플라즈마를 60W의 전력으로 75초 동안 발생시켜 패터닝을 수행할 수 있다.

[0111] 그리고 난 후, 모수석상 반도체 나노층(140) 상에 터널링 유전층(150)을 형성한다(S240). 실시예에서, 터널링 유전층(Ta_2O_5, 150)을 원자층증착(ALD)에 의해 증착하여 형성할 수 있다. 이 과정에서, 패터닝 상에 원자층증착(ALD)을 이용하여 터널링 유전층(Ta_2O_5, 150)을 형성하기 위해, 200° C의 온도로 7nm 내지 3nm의 범위 내의 두께로 형성할 수 있다. 바람직하게는 0.7, 1.5, 2.2, 및 3nm 중에서 적어도 하나의 두께로 형성할 수 있다.

[0112] 그 후, 터널링 유전층(150) 상에 상부 전극(160)을 형성한다(S250). 상부 전극(160)은 하부 전극(120)과 동일하게 형성되었다.

[0113] 결국, 본 발명은 새로운 재료, 기술 및 구조를 활용하여 단일 재료 또는 단순한 구조를 기반으로 하는 광 검출기에 비해 우수한 성능을 가진 수직 이종접합 구조의 광 검출기를 제조할 수 있다.

[0114] 특히, 표면 대 부피 비율이 큰 수지상 TMD인 모수석상 반도체 나노층(ReS_2)을 활용하여 광 트래핑 기능을 향상시켰으며, 얇은 터널링 유전층(Ta_2O_5)은 쇼트키 장벽을 낮추고 캐리어 수송을 용이하게 하기 위해 MIS 접촉 구조로 사용되었다.

[0115] 또한, 고 이동성 단층 필름인 캐리어 수송층(그래핀)은 일 기능 차이를 낮추고 계면 접촉 저항을 감소시키기 위해 반데르발스(vdW) 갭을 형성하였다.

[0116] 가장 중요한 것은 각 구성 요소별로 다양한 구조를 비교하고 각 레이어의 기능을 확인했다는 것이다.

[0117] 본 발명의 최적화된 수직 이종접합 구조로 광 검출기는 합성 필름으로 제작된 장치 중 가장 높은 광반응성 중 하나를 가져왔다. 박리 제거 기술과는 달리, 본 발명의 박막은 넓은 영역으로 스케일링될 수 있는 CVD 합성 기술을 사용하여 제조되었다. 대략 27 nm 두께의 수직 이종접합 구조는 저온(<110° C)에서 제조되었고, 유연한(flexible) 플랫폼 상에 형성될 수 있을 만큼 충분히 얇았다. 결합된 스택도 거의 투명하기 때문에 최적화된 장치는 투명 전자 장치 및 기계 호환 웨어러블을 포함한 다양한 플랫폼에 잠재적으로 통합될 수 있다.

[0118] 지금까지 본 발명에 대하여 도면에 도시된 바람직한 실시예들을 중심으로 상세히 살펴보았다. 이러한 실시예들은 이 발명을 한정하려는 것이 아니라 예시적인 것에 불과하며, 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 진정한 기술적 보호범위는 전술한 설명이 아니라 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다. 비록 본 명세서에 특정한 용어들이 사용되었으나 이는 단지 본 발명의 개념을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 본 발명의 각 단계는 반드시 기재된 순서대로 수행되어야 할 필요는 없고, 병렬적, 선택적 또는 개별적으로 수행될 수 있다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 특허청구범위에서 청구하는 본 발명의 본질적인 기술사상에서 벗어나지 않는 범위에서 다양한 변형 형태 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 균등물은 현재 공지된 균등물뿐만 아니라 장래에 개발될 균등물 즉 구조와 무관하게 동일한 기능을 수행하도록 발명된 모든 구성요소를 포함하는 것으로 이해되어야 한다.

부호의 설명

[0119] 100: 광 검출기

110: 유리 기판

120: 하부 전극

130: 캐리어 수송층

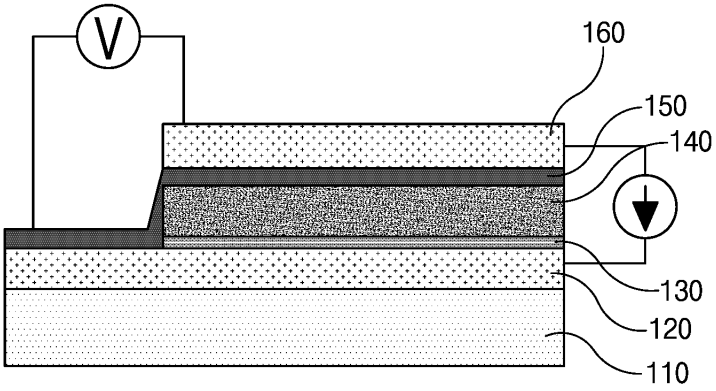
140: 모수석상 반도체 나노층

150: 터널링 유전층

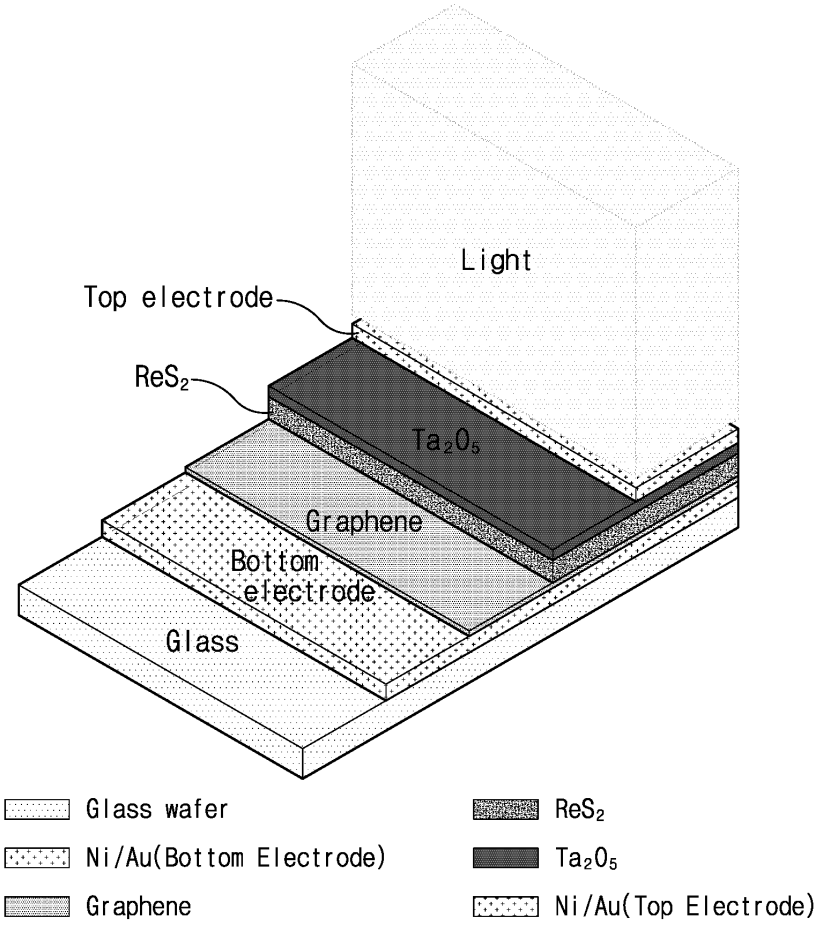
160: 상부 전극

도면

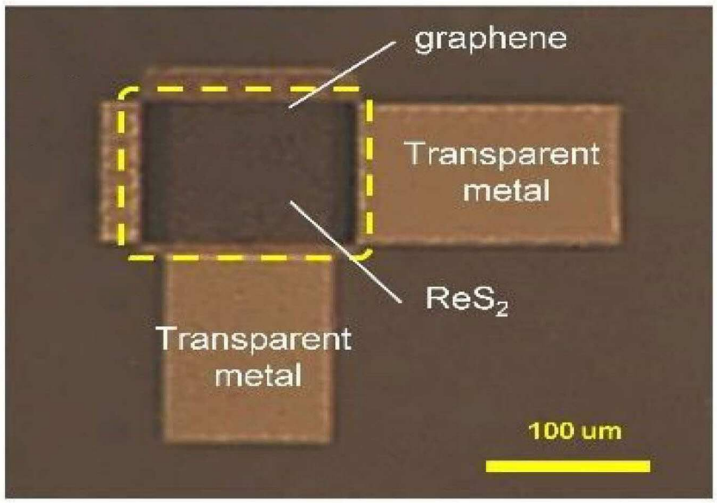
도면1


V
160
150
140
130
120
110

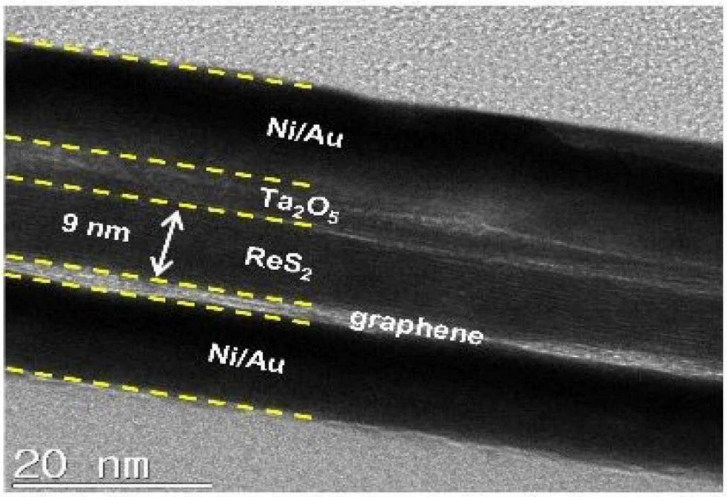
도면2


Light
Top electrode
ReS2
Ta2O5
Graphene
Bottom electrode
Glass
Glass wafer
Ni/Au(Bottom Electrode)
Graphene
ReS2
Ta2O5
Ni/Au(Top Electrode)

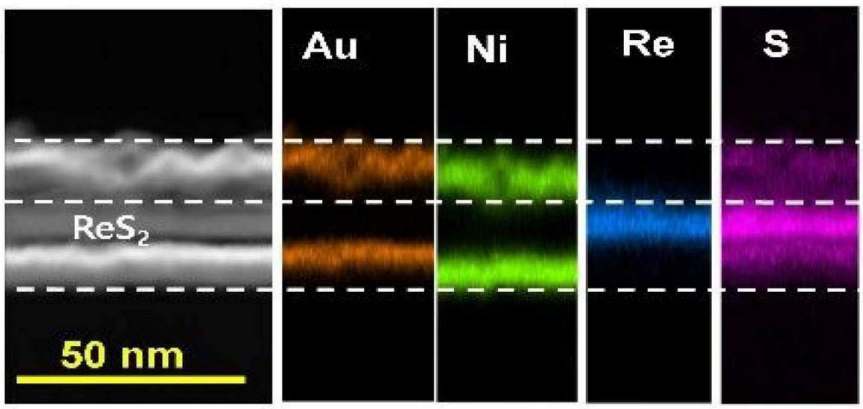
도면3


graphene
Transparent metal
ReS_2
Transparent metal
100 um

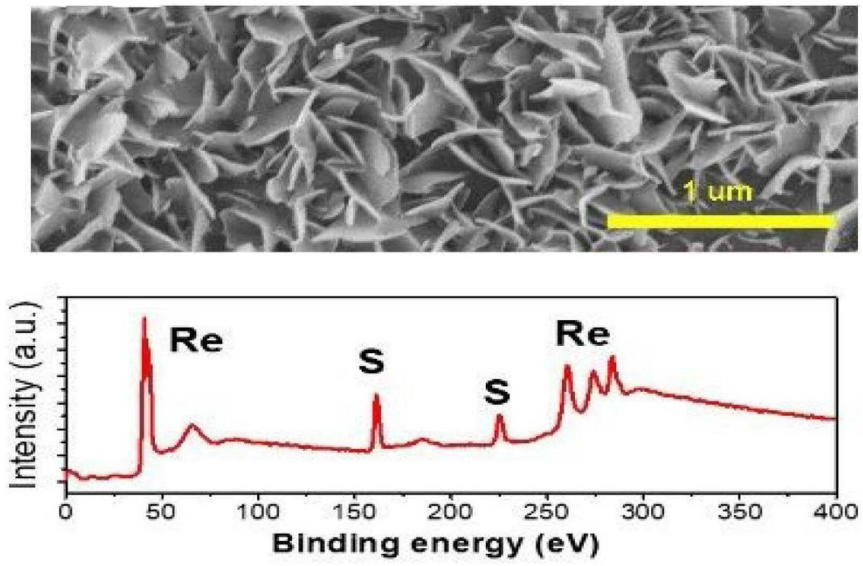
도면4


Ni/Au
Ta_2O_5
9 nm
ReS_2
graphene
Ni/Au
20 nm

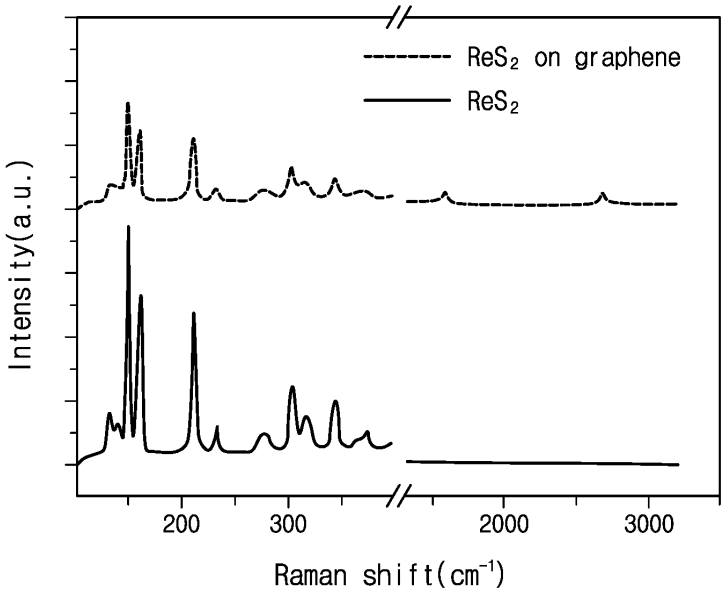
도면5a


Au
Ni
Re
S
ReS_2
50 nm

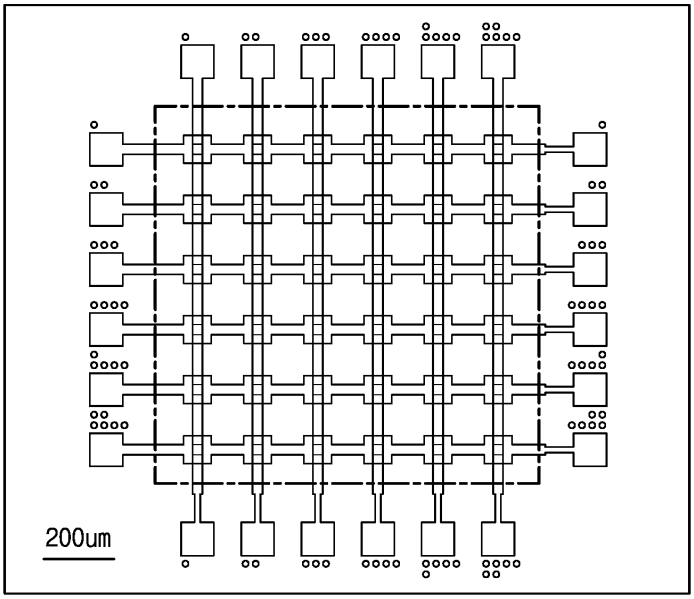
도면5b


1 um
Intensity (a.u.)
Re
S
S
Re
0
50
100
150
200
250
300
350
400
Binding energy (eV)

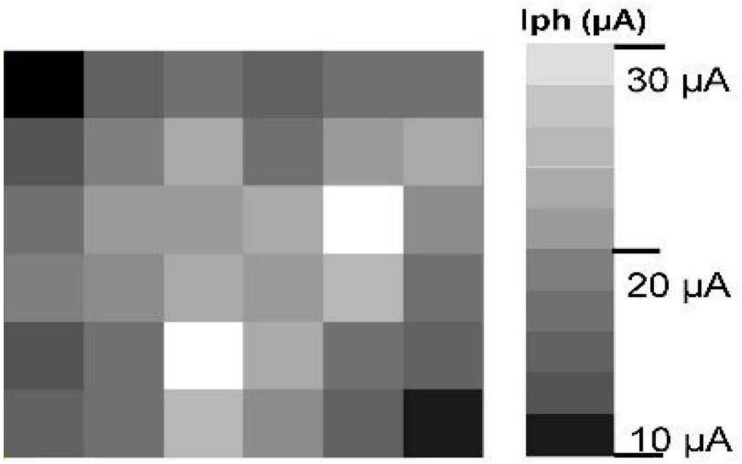
도면5c


ReS2 on graphene
ReS2
Intensity(a.u.)
200
300
2000
3000
Raman shift(cm-1)

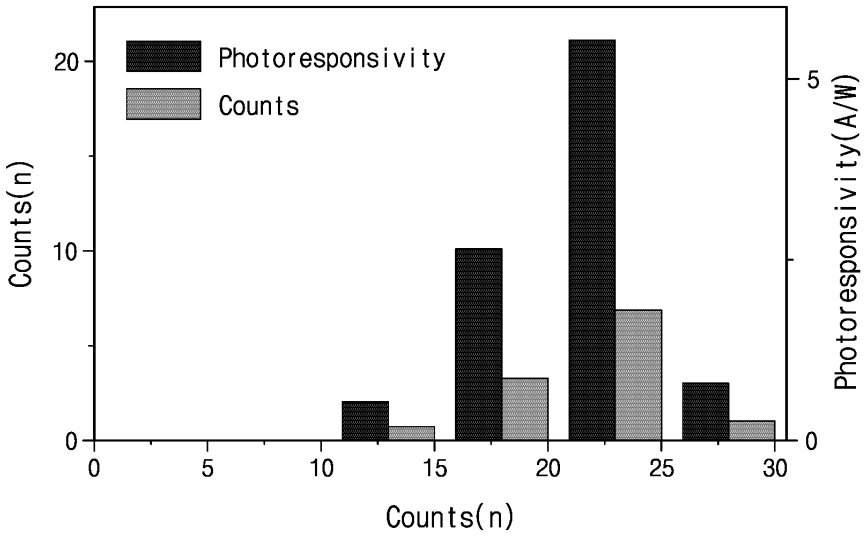
도면6a



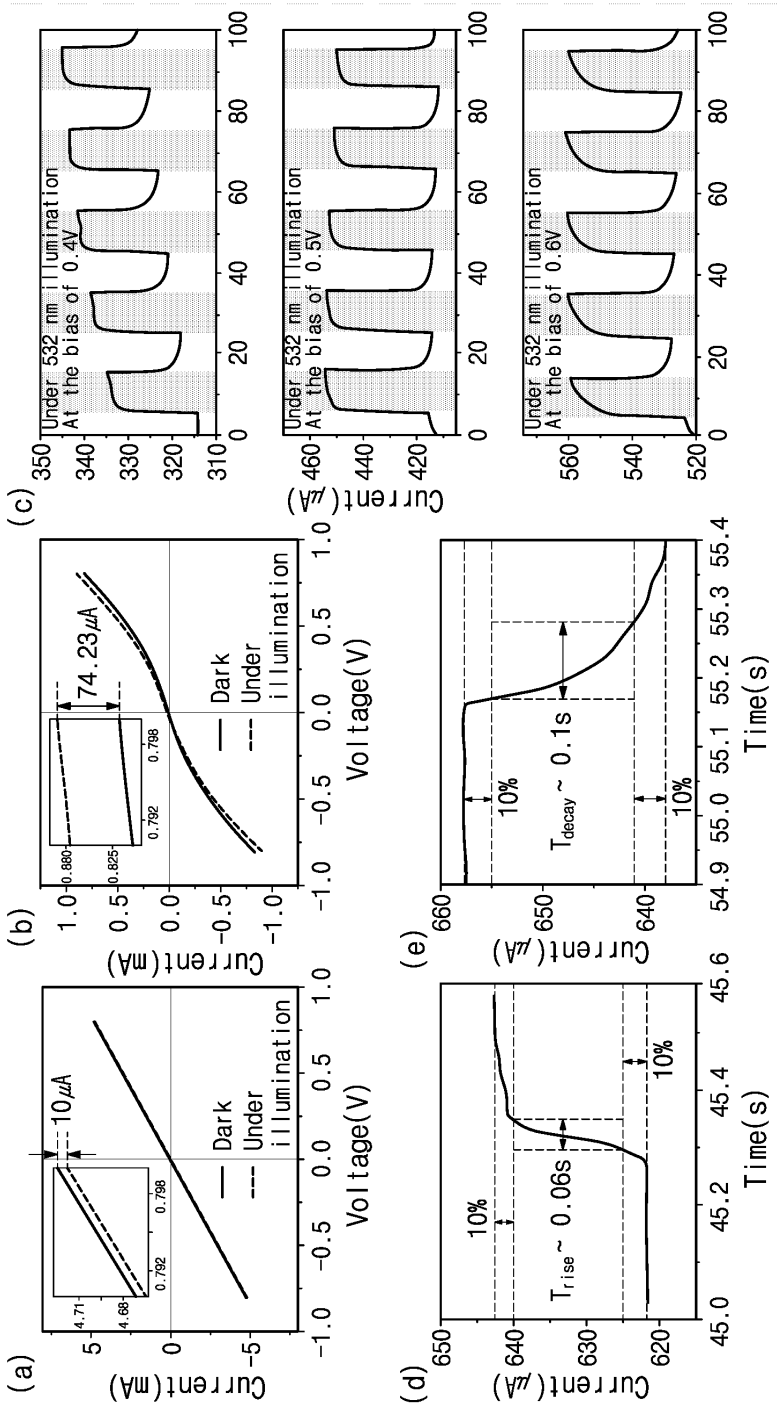
도면6b



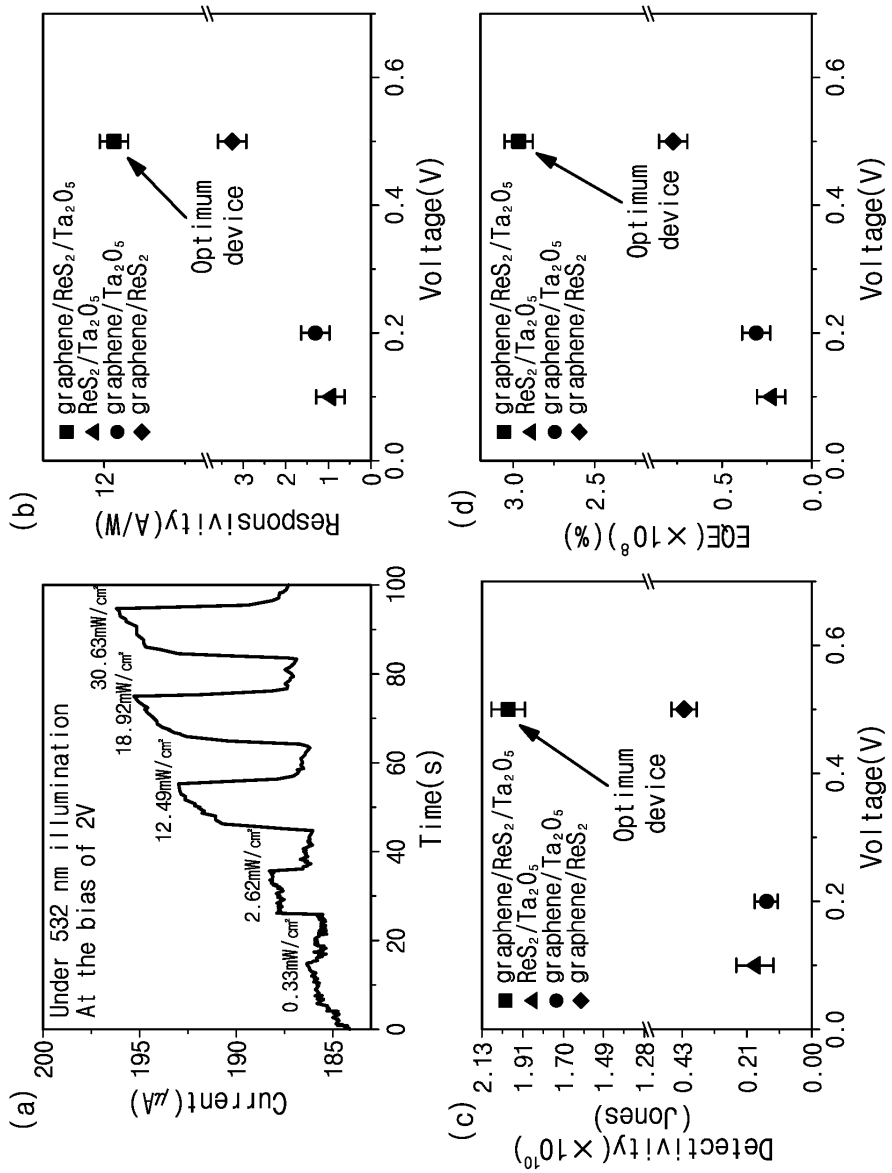
도면6c


Photoresponsivity
Counts
Counts(n)
Photoresponsivity(A/W)
0
10
20
0
5
10
15
20
25
30
0
5
Counts(n)

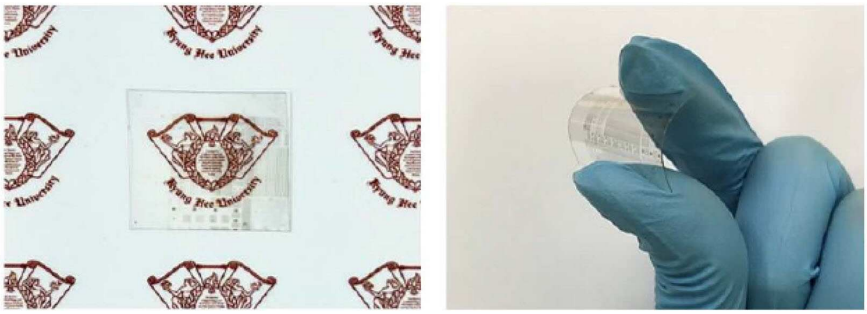
도면7


(a)
Current(mA)
Voltage(V)
Dark
Under illumination
10μA
4.71
4.68
0.798
0.792
(b)
Current(mA)
Voltage(V)
Dark
Under illumination
74.23μA
0.880
0.825
0.798
0.792
(c)
Current(μA)
Under 532 nm illumination
At the bias of 0.4V
Under 532 nm illumination
At the bias of 0.5V
Under 532 nm illumination
At the bias of 0.6V
(d)
Current(μA)
Time(s)
10%
10%
T_{rise} ~ 0.06s
(e)
Current(μA)
Time(s)
10%
10%
T_{decay} ~ 0.1s

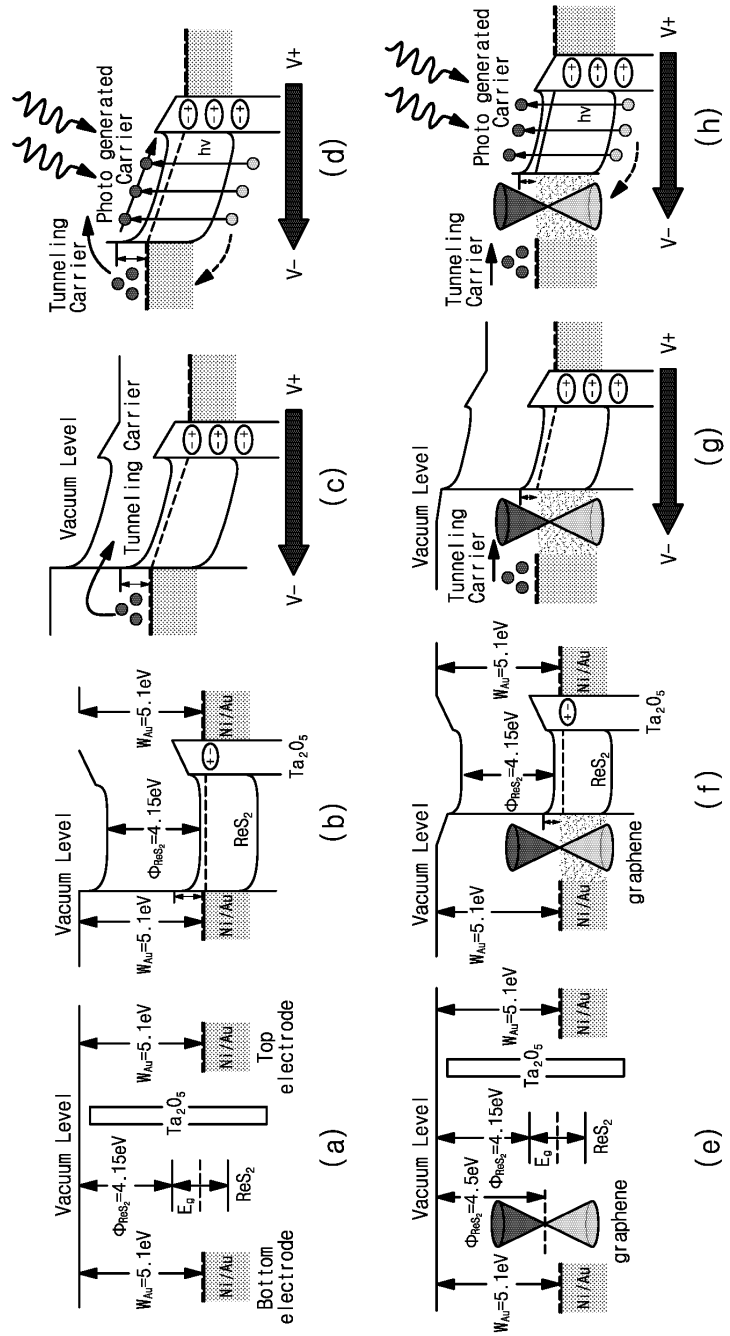
도면8


(a)
Under 532 nm illumination
At the bias of 2V
0.33mW/cm²
2.62mW/cm²
12.49mW/cm²
18.92mW/cm²
30.63mW/cm²
Current(μA)
Time(s)
(b)
graphene/ReS2/Ta2O5
ReS2/Ta2O5
graphene/Ta2O5
graphene/ReS2
Optimum device
Responsivity(A/W)
Voltage(V)
(c)
Detectivity(×10¹⁰) (Jones)
Voltage(V)
(d)
EQE(×10⁸)(%)
Voltage(V)

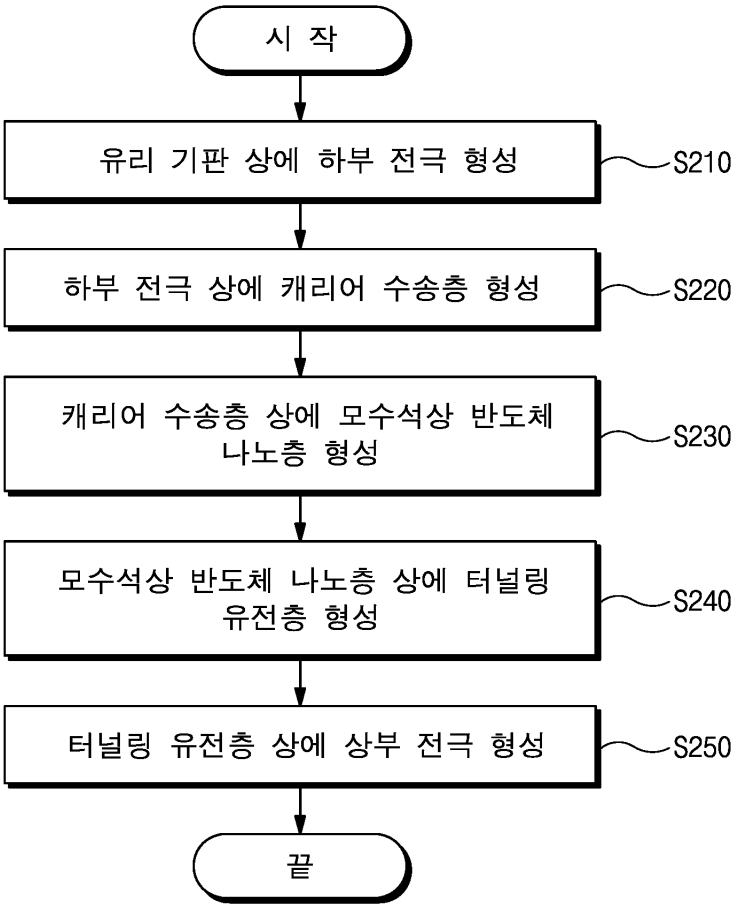
도면9


(a)
(b)

도면10


Vacuum Level
W_{Au}=5.1eV
Φ_{ReS_2}=4.15eV
E_g
ReS_2
Ta_2O_5
Ni/Au
Bottom electrode
Top electrode
(a)
(b)
Vacuum Level
Tunneling Carrier
V+
V-
(c)
Photo generated Carrier
hv
(d)
graphene
Φ_{ReS_2}=4.5eV
(e)
(f)
(g)
(h)

도면11


시 작
유리 기판 상에 하부 전극 형성
S210
하부 전극 상에 캐리어 수송층 형성
S220
캐리어 수송층 상에 모수석상 반도체 나노층 형성
S230
모수석상 반도체 나노층 상에 터널링 유전층 형성
S240
터널링 유전층 상에 상부 전극 형성
S250
끝