

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-541430

(P2008-541430A)

(43) 公表日 平成20年11月20日(2008.11.20)

(51) Int.Cl.

H05K 3/46 (2006.01)
H01L 21/3205 (2006.01)
H01L 23/52 (2006.01)
H01B 13/00 (2006.01)

F 1

H05K 3/46
H01L 21/88
H01B 13/00

G
Z
503D

テーマコード(参考)

5E346
5FO33
5G323

審査請求 未請求 予備審査請求 未請求 (全 20 頁)

(21) 出願番号 特願2008-510064 (P2008-510064)
(86) (22) 出願日 平成18年4月27日 (2006.4.27)
(85) 翻訳文提出日 平成19年12月20日 (2007.12.20)
(86) 國際出願番号 PCT/US2006/016099
(87) 國際公開番号 WO2006/118971
(87) 國際公開日 平成18年11月9日 (2006.11.9)
(31) 優先権主張番号 11/120,025
(32) 優先日 平成17年5月2日 (2005.5.2)
(33) 優先権主張国 米国(US)

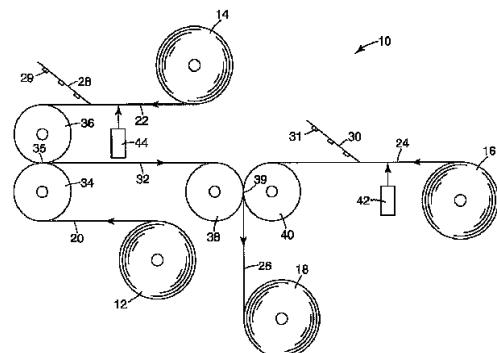
(71) 出願人 599056437
スリーエム イノベイティブ プロパティ
ズ カンパニー
アメリカ合衆国 55133-3427
ミネソタ州, セント ポール, スリーエム
センター ポスト オフィス ボックス
33427
(74) 代理人 100099759
弁理士 青木 篤
(74) 代理人 100092624
弁理士 鶴田 準一
(74) 代理人 100102819
弁理士 島田 哲郎
(74) 代理人 100112357
弁理士 廣瀬 繁樹

最終頁に続く

(54) 【発明の名称】カスタマイズ可能な電子デバイス向けの汎用パターン付き伝導体

(57) 【要約】

反復導電パターンを備えている多層製品(26)を作製する方法であって、導電トレースのグリッドなど、能動素子構成の範囲で用いる反復パターン構成を決定すること、及び、所定の反復パターン構成に従って構成させた導電材の層を少なくとも1つ備えている多層製品の連続ウェブを形成させることができている方法。前記連続ウェブは、能動素子構成の範囲で用いるのに適している。前記方法には更に、連続ウェブを改修して、カスタマイズされた能動素子を形成させることを含めてよい。連続ウェブの形成には、連続ウェビングストック(20)の第1のロール(12)であって、上に形成されている反復パターンの部分が少なくとも備わっている第1のロール(12)を提供すること、連続ウェビングストック(22)の第2のロール(14)であって、上に形成されている反復パターンの部分が少なくとも備わっている第2のロール(14)を提供すること、及び、連続ウェビングストックの第1及び第2のロールを合わせてラミネートすることを含めてよい。



【特許請求の範囲】**【請求項 1】**

反復導電パターンを備えている多層製品を作製する方法であって、能動素子構成の領域で用いる反復パターン構成を決定することと、パターン付き導電材の少なくとも一つの層を有し、該層が組み立てた時に連続ウェブからさまざまな前記能動素子構成の領域が形成されるように、前記反復導電パターンを形成するために構成されている多層製品の連続ウェブを形成すること、とを含む方法。

【請求項 2】

カスタマイズされた能動素子を形成するために、前記連続ウェブを変更することを含む請求項 1 に記載の方法。 10

【請求項 3】

前記連続ウェブを変更することは、所定の大きさを有する前記能動素子を形成するために、前記連続ウェブを切断することを含む請求項 2 に記載の方法。

【請求項 4】

前記連続ウェブを変更することは、前記導電材の一部分を露出させるために、前記ウェブの少なくとも 1 つの層を介して少なくとも 1 つの貫通孔を切断することを含む請求項 2 に記載の方法。

【請求項 5】

前記連続ウェブを形成することは、前記連続ウェブ上にラミネート層を形成することを含み、該ラミネート層が、前記導電材の部分を露出させる構成になっている複数の貫通孔を備えている請求項 2 に記載の方法。 20

【請求項 6】

前記連続ウェブを形成することは、前記連続ウェブ上にラミネート層を形成することを含み、前記連続ウェブを変更することは、前記導電材の一部分を露出させるために、ラミネート層を介して少なくとも 1 つの貫通孔を切断することを含み、さらに、前記反復導電パターン上の所定の場所に位置合わせするために、前記ウェブの前記少なくとも 1 つの層の前記貫通孔と前記ラミネート層を整列させることを含む、請求項 4 に記載の方法。

【請求項 7】

前記反復パターンが導電トレースのグリッドを含む請求項 1 に記載の方法。 30

【請求項 8】

前記連続ウェブを形成することは、連続ウェビングストックの第 1 のロールであって、その上に前記反復導電パターンの第 1 の部分が形成される該第 1 のロールを提供すること、

連続ウェビングストックの第 2 のロールであって、その上に前記反復導電パターンの第 2 の部分が形成される該第 2 のロールを提供すること、

連続ウェビングストックの前記第 1 及び第 2 のロールを合わせてラミネートすること、を含む請求項 1 に記載の方法。

【請求項 9】

前記反復導電パターンの前記第 1 及び第 2 の部分が、前記連続ウェブを形成する工程中に、互いに対しても位置合わせされている請求項 8 に記載の方法。 40

【請求項 10】

第 1 のロールの反復パターンの部分が、ウェビングストックの前記第 1 のロールの長さに沿って延びている複数の平行導電トレースを含み、第 2 のロールの反復パターンの部分が、ウェビングストックの第 2 のロールの幅を横切って横方向に延びている複数の平行導電トレースを含む請求項 8 に記載の方法。

【請求項 11】

前記能動素子が接触デバイスである請求項 1 に記載の方法。

【請求項 12】

前記反復導電パターンが、多層製品の前記連続ウェブを超えて連続的に延びている請求 50

項1に記載の方法。

【請求項13】

反復導電パターンを備えている連続多層製品であって、前記多層製品が、
その上に形成されている前記反復導電パターンの少なくとも第1の部分を有する連続ウェビングの第1の層、
その上に形成されている前記反復導電パターンの少なくとも第2の部分を有する連続ウェビングの第2の層を含み、
前記反復導電パターンは、前記反復導電パターンを能動素子として用いる複数の最終製品のいずれかで用いるために、前記多層製品がカスタマイズ可能な構成になっている、連続多層製品。

10

【請求項14】

前記多層製品をカスタマイズすることは、前記多層製品を所定の大きさに切断することを含む請求項13に記載の多層製品。

【請求項15】

前記反復導電パターンが導電トレースのグリッドを含み、該グリッドの一部が、連続ウェビングの層の一つの上に形成されている前記多層製品の長さに沿って延びている間隔を隔てた複数のトレースの形状をしており、また、前記グリッドの一部が、連続ウェビングの別の層の上に形成されている多層製品の幅を横切って延びる間隔を隔てた複数トレースの形状をしている請求項13に記載の多層製品。

20

【請求項16】

前記連続ウェビングの前記第1及び第2の層が、一緒にラミネートされ、連続ウェビングの前記第1及び第2の層の各々の上に形成される反復導電パターンの部分が相互に電的に絶縁されている請求項13に記載の多層製品。

【請求項17】

前記反復導電パターンの前記第1及び第2の部分が、連続ウェビングの前記第1及び第2の層の間に封入される請求項13に記載の多層製品。

【請求項18】

連続ウェビングの前記第1及び第2の層の少なくとも1つが、その中に形成されている貫通孔を有する請求項13に記載の多層製品。

【請求項19】

30

前記最終製品が接触デバイスである請求項13に記載の多層製品。

【請求項20】

異なる構成である複数の電子素子を作製する方法であって、
前記複数の電子素子に共通の反復導電パターンを定めることと、
一緒に前記反復導電パターンを構成する導電材の少なくとも2つの層を有する多層製品の連続ウェブを形成することと、
前記異なる電子素子構成用の設計パラメータを用意することと、
多層製品の前記連続ウェブを形成しながら、前記複数の電子素子の特徴を含むために、
設計パラメータに従って前記多層製品を修正することと、とを含む方法。

【請求項21】

前記反復導電パターンが導電トレースのグリッドを含み、多層製品の前記連続ウェブを形成することが、導電材から成る別個の層として前記グリッド部分を形成することを含む請求項20に記載の方法。

40

【請求項22】

多層製品の前記連続ウェブを形成することが、
連続ウェビングストックの第1のロールであって、前記反復導電パターンの第1の部分がその上に形成される第1のロールを提供すること、
連続ウェビングストックの第2のロールであって、前記反復導電パターンの第2の部分がその上に形成され第2のロールを提供すること、
連続ウェビングストックの前記第1及び第2のロールを合わせてラミネートすること、

50

とを含む請求項 20 に記載の方法。

【請求項 23】

前記多層製品を修正することは、前記多層製品を所定の大きさに切断することを含む請求項 20 に記載の方法。

【請求項 24】

前記電子素子の少なくとも 1 つが接触デバイスである請求項 20 に記載の方法。

【請求項 25】

ラミネート層を提供すること、及び、前記ラミネート層を連続ウェビングストックの前記第 1 又は第 2 のロールにラミネートすることを含む請求項 22 に記載の方法。

【請求項 26】

前記複数の電子素子の追加の特徴を含むために、前記連続ウェブを形成した後に、前記多層製品を修正することを含む請求項 20 に記載の方法。

本発明は、多種多様な電子素子構成で用いる多層製品を形成する製造プロセス及びその関連製品に関するものである。

【発明の詳細な説明】

【背景技術】

【0001】

電子デバイス又は素子で用いられる多層製品には典型的に、間隔を隔てて配置される導電回路が含まれ、前記回路は、可撓性ポリマー・ベースフィルム、ウェビング、又は、絶縁ラミネート層の別個の層の上に形成されている。このタイプの製品を製造するための一般的な方法の 1 つは、プラスチックフィルムの個々のシート上にカスタマイズされた回路を形成してから、2 つの回路を完全に形成させた後にフィルムの 2 枚のシートを接合させるものである。前記シートは、例えばラミネーション加工を用いて接合してよい。この技法では、とりわけプラスチックフィルムが非常に薄い場合、例えば、薄さが約 $25 \mu\text{m}$ (1 ミル) ~ $250 \mu\text{m}$ (10 ミル) の範囲内である場合、費用がかさむとともに、困難且つ手間のかかるハンドレイアップ及び配置操作が必要となる可能性がある。別個のフィルムは典型的に、手で積層状に位置合わせてから、加熱及び加圧下で、ローラーを使って、又は、プレス若しくはオートクレーブ内でラミネートする。

【0002】

多層製品を形成するための別の技法としては、ウェブのロールに別のウェブ層又はラミネート層をラミネートするものが挙げられる。完成品のロールは、任意の所望の長さに切断してよい。この技法には同様にある欠点もある。回路基板又はハード結線に接合する目的でラミネートウェビングの連続ロールに配置されている回路にアクセスするのが困難である可能性がある。米国特許第 5,062,016 号に記載されているように、結線のために、回路部品を部品の後部がウェブ側に沿って露出するように配置することができる。直交している X 及び Y 方向に導電トレースが整列しているグリッドタイプ回路でこの技法を用いる場合、導電トレースにつながるリード線は、後の結線に備えて露出させるために、ウェブ側まで伸ばさなければならない。導電トレースのルーティング及びアクセスポイントに関するこの制約は、回路コンポーネント及びこれらコンポーネントを用いる電子デバイスの製造効率、費用効率のよい部品製造、及び、設計オプションに関する制限につながる可能性がある。

【0003】

タッチスクリーン及び電磁デジタイザは、多層製品を用いる 2 つのタイプの電子感知素子である。このようなセンサを用いる技術の浸透度は過去数年で著しく上昇している。信頼性及び費用効率の高い上質なセンサの製造を目指して、多種多様な技術が探究されてきた。センサ技術の例としては、容量センサ、抵抗センサ、近接場イメージング (NFI) センサ、音波センサ、赤外線センサ、力センサが挙げられる。このようなセンサの一般的用途としては、コンピュータモニタ、並びに、携帯情報端末 (PDA) 及びタブレットコンピュータのような携帯及び手持ち型デバイスが挙げられる。

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】**【0004】**

センサには、多層製品を用いるその他の多くのタイプの電子素子又はデバイスと同様に、大きさ及び形の面で多種多様な制限が存在する可能性がある。各センサによって、多層製品内の導電素子及び電気的活性特徴の要件が異なる場合がある。単一の多層製品、及びさまざまな最終製品に用いるためにカスタマイズすることのできる、かかる製品を製造するための複数の関連手法は、当該技術分野における先進的技術となるであろう。

【課題を解決するための手段】**【0005】**

本発明は一般的には、多種多様な電子素子構成で用いられる多層製品を形成するシステム及び製造プロセスに関するものであり製造プロセスの終了間際まで最終的なカスタマイズ工程が完了しないとしても、形成プロセス中に層の少なくともいくらかのカスタマイズ又は変更を可能とする。前記多層製品には、別個のウェビング層の上に形成されている、さまざまな汎用的な連続導電パターン部分が備わっている。ウェビング層は、例えばラミネーション技術を用いて、汎用的な連続導電パターンを正確にもたらすように連続導電パターン部分を位置合わせする形で、結合されている。完成した多層製品には、多種多様な最終製品構成に共通且つ汎用可能な導電パターンが備わっているのが好ましい。導電パターンは、多層製品の全長に沿って、又は、多層製品の幅方向にわたって連続的又は半連続的にしてよい。

【0006】

本発明の別の態様は、反復導電パターンを備えている多層製品を作製する方法に関するものである。前記方法は、能動素子構成の領域用いる、導電トレースのグリッドなどの反復パターン構成を決定することを含む。前記方法には更に、決定された反復パターン構成に従って導電材の少なくとも一つの層を有する多層製品の連続ウェブを形成することを含む。前記連続ウェブは、能動素子構成の領域で用いるのに適している。前記方法には更に、カスタマイズされた能動素子を形成するために、前記連続ウェブを変更することを含む。連続ウェブの形成には、連続ウェビングストックの第1のロール（第1のロールには、その上に形成されている反復パターン部分が少なくとも1つ備わっている）を用意すること、連続ウェビングストックの第2のロールを提供すること、並びに、連続ウェビングストックの第1及び第2のロールと一緒にラミネートすることを含めてよい。

【0007】

本発明の別の態様は、反復導電パターンを備えている連続多層製品に関するものである。前記多層製品には、連続ウェビングの第1の層、連続ウェビングの第2の層、及び、前記連続ウェビングの第1及び第2の層の各々の上に形成されている少なくとも1つの前記反復導電パターン部分が備わっている。前記多層製品は、前記反復導電パターンを必要とする複数の最終製品のいずれかでカスタマイズして使える構成になっている。最終製品の一例は接触デバイスである。

【0008】

本発明の更なる態様は、異なる構成である複数の電子素子を作製する方法に関するものである。前記方法には、複数の電子素子に共通の反復導電パターンを定めること、導電材から成る別個の層が少なくとも2つ備わっている多層製品の連続ウェブを形成させることができ含まれている。前記別個の層が合わさって前記反動導電パターンを構成する。前記方法の別の工程には、種々の電子素子構成に合わせて設計パラメータを用意すること、及び、前記設計パラメータに従って多層製品を修正して、複数の電子素子を作製することが含まれている。前記修正作業の一部は、前記多層製品の形成中に行って、種々の電子素子に共通の特徴をもたらしてもよく、また、別の修正作業は、多層製品の連続ウェブを形成させる工程の後に行って、種々の電子素子に特有の特徴をもたらしてもよい。

【発明を実施するための最良の形態】**【0009】**

本発明は一般に、多種多様な電子素子構成で用いられる多層製品を形成する製造プロセ

10

20

30

40

50

ス及び方法に関するものである。前記製造プロセス及び方法を実行するように構成されたシステムも、本発明の範囲内に含まれる。多層製品の実施例には、1つ以上の連続ウェビング部材、ラミネート層、及び、組み立てられる1つ以上の反復導電パターン部分を搭載してもよい。多層製品を形成するプロセスには、各ウェビング部材の上に配置されている導電トレースを位置合わせするか又は別の方で相対的に配置して、多層製品の反復導電パターンを形成させることを含めてよい。反復導電パターンは、多層製品の全長に沿って、又は、多層製品の幅を横切って連続的又は半連続的にしてよい。形成プロセスには、多層製品から形成される複数のさまざまな電子素子に汎用できる特徴を搭載するために、多層製品を事前にカスタマイズすることも含めてよい。形成プロセスには、多層製品の他の機構、例えば貫通孔又はグラフィックとともに導電トレースの部分を位置合わせするか又はその他の方法で相対的に配置することを更に含んでもよい。

10

【0010】

本発明によるプロセスは、カスタマイズ度の高い製品を製造する場合でも、製造の簡素化とともに、高度な可撓性の実現を可能にすることができる。単一の電子素子構成に特有の事前設計された及び全面又はほぼ全面カスタマイズされた層を組み立てるのではなく、本発明は、一部の機構の事前カスタマイズが含まれているものの、それでも複数の電子素子構成に汎用可能である多層構造にパターン層を組み立てることを可能とする。多層製品のカスタマイズされた特徴であって、多層製品の形成中に搭載されてもよい特徴のいくつかの例としては、多層製品の部分（例えばラミネート層、連続的ウェブ部材など）内の印刷グラフィック、及び切断貫通孔が挙げられる。

20

【0011】

最終デバイス構成の対象範囲にわたって用いることのできる「最小公分母」に従って各層のパターンを設計することによって、パターンの連続ウェブを、すぐに加工可能、又は後のカスタマイズ工程に備えて保管可能な大型のシート、ロール、又はウェブの形にラミネートするか又はその他の方法によって組み立てることができる。こうすることによって、廃棄物の少ない、より効率的な製造が実現し、また、単一の電子素子構成に特有の事前にカスタマイズされたパーツの配置を維持させる問題が原因で、以前は実現困難であったロールツーロールプロセスが可能になる。

【0012】

ウェビングの多層、及び、前記層の間に間隔を隔てて配置されている導電材が含まれている電子素子又はデバイスを生成させるための事前プロセスには、少なくとも以下の一連の工程が必要となる。

30

【0013】

・規定の最小在庫管理単位（SKU）に相当する部品を設計する工程。前記部品には、導電材の配置、導電材へのアクセス、並びに、スクリーン、ステンシル、ダイのような関連するカスタムツーリングの作製といった、特別設計の電子素子パターンが備わっている。

【0014】

・層を製造し、各層上への導電材パターンの位置合わせ又は整列、導電材を露出させるための切断貫通孔又は開口部の切断、コンポーネントの導電材への追加又は連結、前記特定の導電コンポーネントのインベントリなど、SKUに固有のデザインに基づく電子素子の特徴を提供する工程、及び

40

・電子素子層のシンギュレーションを含む組立工程、及び

・前記層をアセンブリ又はラミネーション内に機械的に整列させる工程。

【0015】

前記プロセスにはいくつかの潜在的な欠点がある。第1に、多層電子素子の製造に必要なツーリング及び機械装置のセットアップは、SKUに固有のデザイン毎に変えなければならない。時間及び労力、並びに、各セットアップによって異なるツーリングによって、コストが比較的高くなる可能性があり、1ユニット当たりのコストが上昇する。第2に、すべての製造工程は、SKUに固有のデザイン1つ1つに合わせて実施しなければならな

50

い。これによって、異なるセットアップ間でのコストのかかる特徴の反復になる可能性があり、これが更にコストと製造時間を増大させる。第3に、別個のウェビング層の間に導電剤を位置合わせする際に生じる反歳差運動の問題によって、前記層でウェブのラミネーション又は組み立てを利用できなくなる。多くの場合、歳差運動は、多層電子素子の製造との関連において、最も費用と時間がかかる問題の1つである可能性がある。歳差運動の補正には、ウェビング層をシフト、シーティング、延伸、又はその他の方法で移動させ、導電材を各ウェビング層の上に位置合わせして、所望のレベルの精度の導電材レイアウトをもたらすことが必要である。第4に、電子素子が多層ストックの寸法よりも小さい場合、前記の高度なカスタマイズ化プロセスによって、ウェビング及びその他の材料の廃材が大量に発生する可能性がある。

10

【0016】

タッチセンサ及び電磁デジタイザは典型的に、前段落で記載したようなプロセスを用いて形成したカスタム製造の電子素子である。センサのカスタマイズには少なくとも、組立前又は組立中に能動領域と電動トレースをセンサのさまざまな層の上にプリント及びパーニングすることが含まれる。導電トレース用として一般的なパターンは、直交直線から成るグリッドである。センサのカスタマイズには、センサの用途及び大きさ1つ1つに合わせたカスタムツーリングが必要となる。ツーリングの変更及びカスタマイズには、サブコンポーネント及びサブアセンブリの加工のための比較的長いリードタイムが必要となり、また、ツーリング及びプロトタイピング関連の設計及び工学設計作業のための更に長時間のリードタイムが必要になる可能性がある。更には、典型的にウェブ加工につきものの歳差運動の問題が原因で、例えば、ツーリングのばらつき、温度の変動、又は、湿度の変動が原因で、センサのさまざまな層の中に導電トレースを位置合わせするのが困難になる可能性がある。

20

【0017】

センサ用の汎用的な構成コンポーネントを作製することには利点がある。このような汎用コンポーネントには、センサ製造の最終段階に、単一の汎用コンポーネントから複数の異なるセンサ構成をもたらすために汎用コンポーネントを特定の大きさに切断するといった、いくつかのカスタマイズ工程が必要になると思われる。汎用コンポーネントのこの「単一工程」又は「最終工程」カスタマイズには典型的に、SKUに固有のツーリングが必要になると思われる。更には、コンピュータ制御レーザ切断のようなソフトツーリング法を用いてもよい。以下に説明されているとともに図に例示されている複数の実施例を参照しながら説明していく本発明は、さまざまな電子素子で用いるための前記汎用コンポーネント、及び、前記コンポーネントの製造及び構築に関するものである。本発明の原理によって、生産時間の短縮、コスト削減、スペース及び時間的な面で汎用構成コンポーネントの生産作業からカスタマイズ工程が分離されるなど、電子素子の生産効率の向上に関わる多くの利点をもたらすことができる。

30

【0018】

図1を参照してみると、導電素子の層を2つ備えている多層製品を生成させる構造になっているシステムの実施例10が表示及び記述されている。システム10は単なる実施例であり、数々の方法で修正又は変更して、層の数が異なり、導電素子の種類及びパターンが異なり、並びに、システム10を用いて層を結合させるプロセス中における各種層のモニタリング及び/又は変更手段が異なるさまざまな多層製品をもたらしてもよい。本発明の原理とともに用いてよいシステムの別の実施例は、2004年12月29日に申請され、「レーザ切断を用いた、ウェブの位置合わせ済みラミネーション(Registered Lamination of Webs Using Laser Cutting)」という表題が付された同一出願人による米国特許出願第11/025559号に表示及び記載されており、この出願は参照することによりその全体が本発明に組み込まれる。

40

【0019】

システム10には、第1の導電パターン又は導電パターンから成る第1の部分を備えている第1の連続ウェビング層20の第1のロール12が備わっている。第2のロール14

50

には、第2の導電パターン又は導電パターンから成る第2の部分、並びに、取り外し可能なライナー28を備えている連続ウェビング22の第2の層が備わっている。第3のロール16には、取り外し可能なライナー28を備えている連続ラミネート層24が備わっている。第4のロール18には、最終製品内の一連の能動素子構成で利用可能な連続汎用導電パターン(第1及び第2のパターンの結合物)を備えている連続多層製品26が備わっている。

【0020】

システム10には更に、ニップ点35を画定する第1のニップローラーの対34、36も備わっている。ニップローラー34、36は第1のウェビング20及び第2の層22をそれぞれニップ点35の方向に誘導する。ニップ点35では、層20、22が相互に嵌合して結合層32が形成される。

10

【0021】

第2のニップローラーの対38、40は、第2のニップ点39を画定する。ニップローラー38、40は、結合層32及びラミネートウェビング24をそれぞれ、ニップ点39の方向に誘導する。ニップ点35では、層32、24が相互に嵌合して連続多層製品26が形成される。

20

【0022】

システム10には更に、ウェビング22に対する第1の切断装置44、及び、ラミネート層24に対する第2の切断装置42が備わっている。切断装置は、ウェビング22及びウェビング20の上に形成させる導電パターンの位置に対応する場所でウェビング22及び層24を切断するようにプログラムしてよい。前記システムには更に、切断装置44、42によって形成される切断部又は貫通孔の適切な位置合わせを確実に行うよう促すために、上に記した米国特許出願第11/025559号に記載されているようなエンコーダ(図示なし)及び撮像装置(図示なし)を搭載してもよい。ニップ点39で結合層32がウェビング24と嵌合すると、レーザー44によって形成される切断部又は貫通孔が、切断装置42によって形成される切断部又は貫通孔と揃うのが好ましい。このような位置合わせによって、層22及びウェビング24を通じて、ウェビング20の上に形成されている導電パターンへのアクセスを実現させる。

20

【0023】

ウェビング22に対する取り外し可能なライナー28、層24に対する取り外し可能なライナー30は、接着剤を被覆すること、切断装置44、42による切断によって発生した金属屑を除去することの双方に有用と思われる。このように、取り外し可能なライナーへの軽接触切断を用いて金属屑の除去することによって、ウェビング22及び層24を処理して金属屑を除去するための中間工程の排除を実現することができる。

30

【0024】

多層製品26の形成中における貫通孔の切断、及び、導電パターン部分の位置合わせは、特定の電子素子構成で用いられる多層製品の「事前カスタマイズ」とみなしてよい。多層製品内に所望の特徴をもたらすために、前記及びその他の事前カスタマイズ工程を用いてよい一方で、得られた特徴は依然として、1つ超の電子素子構成に対する汎用性がなければならない。さまざまな構成を有する電子素子完成品をもたらすためには、多層製品26の形成後に多層製品のさらなるカスタマイズが必要になる。

40

【0025】

図2を参照してみると、第1の連続ウェビング20の部分の平面図が示されている。ウェビング20には、縦方向に整列させたトレース51が複数備わっており、前記トレースが第1の導電パターン50を画定している。パターン50は、本発明に適用してよい多くの導電パターンの1つの代表例に過ぎない。導電トレース51は、ウェビング20のほぼ全長L₁(X方向)に沿って連続的に延びているとともに、切れ目がない。また、トレース51は幅W₁(Y方向)にわたって等間隔で配置されている。

【0026】

一部の実施形態では、導電トレース51には不均等な間隔を持たせてもよく、あるいは

50

、幅 W_1 にわたって反復パターンの間隔を持たせてもよい。多くの実施形態では、幅 W_1 方向の間隔は、層 20 の長さ L_1 に沿って各別個トレース 51 間の間隔を一定に保つという要件よりも重要ではない。このようにして、導電パターン 50 は、長さ L_1 に沿ってその汎用性を保ち、それによって、歳差運動への耐性のある設計が実現するとともに、ウェブラミネーションが可能になる。更なる実施形態では、導電トレース 51 には、例えば、長さ L_1 に沿って非線形であるか切れ目があるか、あるいは、幅 W_1 に延びている部分があるといった、さまざまな構造を持たせてもよい。トレース 51 に関するこれらのさまざまな実施形態又は構成の 1つ1つは、各別個トレース又は導電パターン 51 の部分において、その構成が長さ L_1 に沿って反復される限り、可能である。

【0027】

図 3 を参照してみると、第 2 の連続ウェービング 22 の部分の平面図が示されている。ウェービング 22 には、横方向に延びているトレース 53 が複数備わっており、前記トレース 53 は第 2 の導電パターン 52 を画定している。導電トレース 53 は、ウェービング 22 の幅 W_2 のほぼ全体にわたって伸びてあり、長さ L_2 に沿って等間隔で配置されている。第 2 の導電パターン 52 の構造は代表例に過ぎず、修正して、第 1 の導電パターン 50 のものとして上で説明したものと同じ又は類似の構成を盛り込んでもよい。例えば、トレース 53 は、長さ L_2 に沿って等間隔で配置してもよく、幅 W_2 にわたって、非線形にするか、若しくは、非線形な部分を搭載してもよく、又は、幅 W_2 にわたって切れ目があつてもよい。パターン 52 には、例えば、米国特許第 5,418,551 号、同 5,491,706 号、同 5,543,589 号、同 5,543,590 号、及び、同 5,945,980 号に開示されているように、ダイヤモンド、波、線、又はその他の所望のパターンのような形をした形状を含めてよく、前記各特許はその全体が本明細書に組み込まれる。長さ L_2 に沿ってトレース 53 の反復パターンが存在している限り、第 2 の導電パターン 52 には、前記又はその他のいずれかの構成を持たせてよく、前記パターン 52 は、本発明の原理に従って用いるのに非常に適していると思われる。

【0028】

ウェービング 20 及び 22 を用いてセンサ用の電子素子を作製する場合、図 4 に示したような導電グリッドを作製するには、第 1 及び第 2 の導電パターン 50、52 の構成がとりわけ有用であると思われる。前記グリッドは、X 及び Y 方向（幅 W 全域及び長さ L 沿い）のパターンという点において、汎用的である。トレース 51、53 のこの等間隔性が、指のタッチ、又は、グリッドパターンを利用しているデバイスに用いられる誘導式に作動若しくはつながった、スタイルス若しくはパックの位置を測定するのに有用なグリッドをもたらす。

【0029】

図 4 には、システム 10 を用いてウェービング 20、22、及び、ラミネート層 24 を結合させた結果得られると思われる多層製品 26 の部分の平面図が描かれている。図 4 には、多層製品 26 の部分しか描かれていない。複数の貫通孔 46 が X 方向に長さ L に沿って形成されており、また、複数の貫通孔 48 が Y 方向に幅 W にわたって形成されている。図 5 の断面図に示したように、貫通孔 46、48 の各々は、ウェービング 22、ラミネート層 24 の双方を貫くように伸ばすのが好ましい。別の実施形態では、貫通孔 46、48 は、ウェービング 22、ラミネート層 24 の 1 つのみを貫くように伸ばしてもよく、あるいは、ウェービング 20、22、ラミネート層 24 をすべて完全に貫くように伸ばしてもよい。

【0030】

上に記したとおり、多層製品 26 の特定の層を貫くように貫通孔を形成させると、導電トレース 51、53 へのアクセスをもたらすことができる。露出されているトレース 51、53 の部分によって、はんだ、導電ペースト、コネクタ、連結部材などの導電材を貫通孔に充填することによって電気的接続を得ることができる。これによって、トレース 51、53 は、電気的接続を受けて接続部材に連結する。トレース 51、53 は、別の電子コンポーネント又はデバイスに電気的に連結させることができる。センサでの用途では、このような電気的接続によって、トレース 51、53 によって画定されるグリッド内の指の

タッチ、又は、誘導式に作動若しくはつながった、スタイルス若しくはパックの位置を測定するために用いるコントローラにトレース 51、53 を連結させることができる。

【0031】

システム 10 と類似のシステムによって生成される多層製品には、例えば別のラミネート層を用いて被覆した単一の導電パターンを備えている単一のウェビング部材しか備わっていない場合もある。この実施例及びその他の実施例では、前記ラミネート層は、電気的接続に備えて導電パターンの部分が露出されるような大きさにしてよい。ラミネート層には更に、連続ウェビングの長さにわたって、又は、連続ウェビングの幅に沿って、図 4 に示したような貫通孔を設けて、特定の位置での導電パターン部分へのアクセスを可能にしてもよい。同様に、別個のウェビング層の上に 3 つ以上の導電パターンを形成させ、ラミネート層を用いるなどのさまざまな方法で、前記導電パターンをそれぞれ分離させてもよい。

10

【0032】

続いて図 6 を参照してみると、連続多層製品 126 の一例が示されており、連続汎用グリッドパターン 154 を画定している複数の導電トレース 151、153 も含まれている。図 6 には、連続多層製品 126 上にある単一の連続汎用導電パターンから複数の異なる電子素子構造を形成可能な方法が描かれている。図 6 には、それぞれ形状と大きさが異なる第 1、第 2、及び第 3 の電子素子構造 170、172、174 が描かれている。構造 170、172、174 のそれぞれには、グリッドパターン 154 の部分が備わっており、更には、X 方向沿いの貫通孔 146 の列、及び、Y 方向に延びている複数の貫通孔 148 が含まれている。構造 170、172、174 のそれぞれを、これらの各部材の間にある境界線に沿って切断することによって、同じ連続多層製品 126 を用いていくつかの導電デバイス又は製品を生成させることができる。

20

【0033】

図 6 には更に、Y 方向に加え、多層製品 126 の X 方向の長さに沿って、いくつかの異なる電子素子構造をもたらせることができるが描かれている。したがって、所望の電子素子構成を作製する際、及び、多層製品 126 全体の有効利用を最大化する（例えば、廃棄物がほとんど発生しないような形にする）際に、より高い柔軟性を得られる。多層製品 126 の幅を横切って、又は、多層製品 126 の長さに沿って 1 つ以上の異なる電子素子構成を切断することができるという点で、多層製品 126 の「連続」特性、及び、反復導電パターンの「連続」特性は非常に重要である。反復導電パターンは、多層製品から切断させて 1 つ以上の異なる電子素子構成を得られる限りは、事実上「半連続」的でもよい。半連続パターンには、連続パターン内に、多層製品の長さに沿って、又は、多層製品の幅を横切って破断部又は断絶部を設けてもよい。ただし、これらの破断部又は断絶部は、パターンのさまざまな部分を位置合わせする際、又は、多層製品のその他の特徴（例えば貫通孔及びグラフィック）とともにパターンの部分を位置合わせする際に付随する問題を減少させる予想可能な間隔又は位置で配置するのが好ましい。

30

【0034】

図 6 には、寸法をカスタマイズパラメータとして用いることが示されているが、他の実施形態では、その他のカスタマイズパラメータを用いてもよい。例えば、多層製品 126 は、切断工程の前に、又は、切断工程の代わりに、更なる貫通孔を設けること、追加の層を加えること、グリッドパターン 154 への電気的接続をもたらすこと、多層製品 126 を延伸、圧縮、又はその他の手段で修正することによって、修正してよい。

40

【0035】

ある例示的実施形態では、グリッド 154 の導電トレース 151 と 153 との間のピッチ又は間隔は約 1 mm ~ 約 2.5 mm である。X 方向、Y 方向双方のピッチは約 2 mm ~ 4 mm であるのが好ましく、最も好ましいのは約 3 mm である。約 3 mm というこの標準的なピッチ間隔によって、多くのセンサ用途に有用なグリッド間隔が実現する。特別なセンサ用途に合わせて、その他のいくつかの標準的なピッチを用いてもよい。センサ以外のその他の用途でグリッドを利用すると、ピッチ間隔の範囲は更に広くなると思われ、また、

50

X 及び Y 配向の導電トレース間の間隔も変動すると思われる。

【0036】

続いて図 7～8 を参照してみると、多層製品を作製するための別の例示的方法が説明されている。図 7～8 による方法では、汎用導電パターンが上に形成されているウェビングのロールから切断したシートを用いる。図 7 A には、上に形成されている複数の導電トレース 251 が含まれている導電パターン 250 を備えている第 1 のシート 220 が描かれている。トレース 251 は、長さ L_3 に沿って延びているとともに、幅 W_3 にわたって等間隔で配置されている。図 7 B には、複数の導電トレース 253 から成る導電パターン 252 を備えている第 2 のシート 222 が描かれている。トレース 253 は、幅 W_4 に沿って延びているとともに、長さ L_4 にわたって等間隔で配置されている。図 7 C には、カバーシートとして機能するとともに、幅 W_5 及び長さ L_5 を備えている第 3 のシート 224 が描かれている。シート 220 は、トレース 251 を備えているウェビングの連続ロールから形成させる。シート 222 は、トレース 253 を備えている連続ウェビングから切断する。シート 224 は、手持ちのいざれか所望の材料から切断する。

10

【0037】

シート 222 の長さ L_4 は、シート 220 の長さ L_3 よりもわずかに短い。長さ L_5 及び幅 W_5 はそれぞれ、シート 220 の長さ L_3 及び幅 W_3 よりも短い。シート 220、222 は、切断済みシート 220、222 の縁部に対して導電トレース 251、253 が既知の位置になるように、位置合わせして切断してよい。

20

【0038】

3 枚のシート 220、222、224 は、図 8 に示したように、まとめてラミネートして多層製品 226 にする。 L_3 、長さ L_4 、及び、 L_5 の長さの差が原因で、トレース 251 が多層製品 226 の一端に沿って露出する。幅 W_4 と W_5 との差異が原因で、導電トレース 253 が多層製品 226 のもう一方の端に沿って露出する。この構成では、所望の用途のターゲット面（例えばセンサーチタッチ面）として利用可能な表面積をかなりもたらしつつ、電気的連結の際にトレース 251 及び 253 を露出させることができる。更には、図 8 に示したシート結合物のいざれの側も、ターゲット面として利用することができる。トレース 251 及び 253 の汎用パターンが同一の場合、図 2 又は図 3 に例示したように、同じベースパターンの基板材を用いてシート 220 及び 222 を作製してもよい。

30

【0039】

多層製品 226 の生成に関わる本方法では、標準的なシーティング及びラミネート装置を用いて、導電トレース 251、253 の所望の露出を実現させることができる。したがって、電気的接続のために導電トレースを露出させるために、図 1 を参照しながら説明した切断デバイス 42、44 のような比較的高価な切断装置の利用を省くことができる。

【0040】

続いて、図 9～11 を参照してみると、本発明の原理と結びついている例示的方法がいくつか示されている。図 9 には、異なる構成の複数の電子素子を作製する方法の工程が説明されている。前期方法の 1 つの工程には、前期複数の電子素子に共通の反復連続パターンを画定することが含まれている。前期方法は、異なる電子素子構成で反復連続パターンを利用可能な多層製品を作り出す目的を向上させ、それにしたがい、多層製品を作り出す価値全体を向上させる。得られた多層製品の使途及び用途が多いほど、ツーリング、セットアップ、エンジニアリング、及び、デザインの費用に関わる削減額が増え、また、多使途の多層製品を作製することの正味価値に別の配慮を追加することができる。

40

【0041】

図 9 の方法に伴う別の工程には、導電材の少なくとも 2 つの別個の層であって、結合すると反復導電パターンを構成する層が備わっている多層製品の連続ウェブを形成させることができている。この形成工程は、例えば、上で説明したようなシステムの操作に伴う工程など、多種多様な方法で実現させることができる。多層製品のウェブの連続特性は、多種多様にカスタマイズされた電子素子で用いるのに役立ち、連続製品のロールは、多種多様なプロセス又はツーリングセットアップを通じて供給され、所望の最終製品を作り出

50

すことができる。反復パターン構成は、多種多様な能動素子構成で用いることができる点、及び、単一の連続ウェブから数多くの製品を製造できる点で有用である。

【0042】

多層製品内に少なくとも2つの別個の層を設けることに関わる利点は、上で説明したように、歳差運動の問題と関連がある。多層製品を形成させながら、導電材の層の歳差運動（例えば、変動、振動、ずれ）に対処することによって、製造カスタマイズ中の類似の歳差運動の問題が回避される。更には、連続汎用多層製品を生成している時に、歳差運動の問題をより容易に解決できる場合が多くなる。前記問題をラミネーションプロセス中にリアルタイムで補正できるためである。

【0043】

図9の方法の更なる工程には、異なる電子素子構成に合わせてデザインパラメータを用意することが含まれている。連続ウェブが単一の電子素子構成にしか適していない場合、連続ウェブの全体的価値は最小限になる。

【0044】

図9の方法の別の工程には、デザインパラメータに従って多層製品を修正し、多層製品の連続ウェブを形成させる工程の後に複数の電子素子を作製することが含まれている。この一連の工程は、上で説明したように、同じ多層製品を用いて複数の電子素子を作製する際に利点を発揮する。

【0045】

図10には、多層製品を作製するための別の例示的方法の工程が示されている。図9に関連する方法と同様に、重要な工程には、能動素子構成の範囲で用いる反復パターン構成を決定することが含まれている。このような決定作業には、多種多様な能動素子で有用な導電トレース間のピッチ間隔を定めることを含めてよい。図10の方法の別の工程には、連続ウェビングストックの第1のロールを提供することが含まれており、前記第1のロールには、その上に形成されている反復パターンの少なくとも1つの部分が備わっている。前記反復パターン部分には、例えば、ウェビングストックの長さに沿って延びている連続導電トレースを搭載してもよく、あるいは、パターン内に配置されている別個の電子素子のパターンを搭載してもよく、前記パターンはウェビングストックの長さに沿って反復させる。

【0046】

図10の方法における別の工程には、連続ウェビングストックの第2のロールを提供することが含まれている。連続ウェビングストックの第2のロールには、別の反復パターン部分が備わっている。ある1つの実施例では、第2のロール上に形成されている反復パターン部分は、前記ウェビングの幅を横切って、ウェビングストックの第1のロールの導電トレースに対して平行でない配向で延びている導電トレース1式である。第2のロールのその他の多くの特性及び特徴も可能である。

【0047】

図10の方法の更なる工程には、連続ウェビングストックの第1及び第2のロールを1つにラミネートして、所定の反復パターン構成による伝導体を備えている多層製品の連続ウェブを形成させることができる。ウェビングストックの第1及び第2のロールを1つにラミネートしている間、又は、ラミネートする直前に、例えばマシンビジョンシステムを用いて、各ロール上のパターン構成の位置を測定してよく、また、少なくとも1つのウェブを、ウェブの1つ又は双方上のパターンに位置合わせて変更又は切断してもよい。このような位置合わせには、必要に応じて1つのウェビング部分を別のウェビング部分に対して横方向に調節することを含めてよい。

【0048】

多層製品は、図10の方法の別の工程に従ってカスタマイズされた能動素子を形成させるために改修してもよい。連続ウェブの改修には、連続ウェブに対するさまざまな修正又は変更をいずれかの数含めてもよい。1つの例示的な改修作業には、カスタマイズされた能動素子用として所望の特定の大きさに連続ウェブを切断することが含まれている。

10

20

30

40

50

【0049】

続いて図11を参照してみると、それぞれ異なる構成を備えている複数の電子デバイスを作製する方法が説明されている。前記方法には、反復導電パターンを画定する別個の導電材層を少なくとも2つ備えている多層製品の連続ウェブを形成させることが含まれている。多層製品には、最適数のさまざまな導電素子用として用いるのに汎用的な構成及び構造が備わっているのが好ましい。方法の別の工程には、さまざまな電子素子構成に合わせて設計パラメータを用意することが含まれている。前記方法には更に、設計パラメータに従って多層製品を修正し、多層製品の連続ウェブを形成させる工程の後に複数の電子素子を作製することが含まれている。

【0050】

この一連の工程を用いると、同じストック材、すなわち、汎用導電パターンを備えている連続ウェブのストック材を使ってすべての電子素子を作製することができる。更には、各電子素子の設計パラメータは簡潔化することができる。設計パラメータの各組には、カスタマイズ工程の前に完成させた共通の汎用導電パターンが含まれているためである。この方法によって更に、汎用導電パターンの導電ウェブを形成させる工程とは完全に別の時点及び場所でカスタマイズ工程を実施する機会を得られる。この結果、連続多層製品を形成させるプロセスは、増大した費用、時間、材料消費、及び、精度に合わせて最適化することができ、別個の好ましい条件の下でカスタマイズ作業を完了させることができる。

【0051】

上に記した明細、実施例およびデータによって本発明の製造および使用の完全な説明を提供する。本発明の多くの実施形態が本発明の精神および範囲を逸脱せずに行うことができる、本発明は特許請求の範囲にある。

20

【図面の簡単な説明】

【0052】

【図1】本発明の原理によるシステムの一例が描かれている概略図。

【図2】図1に示したシステムで用いられる、第1の導電パターンがその上に形成されている第1のキャリア層の一例の一部を示す図。

【図3】図1に示したシステムで用いられる、第2の導電パターンがその上に形成されている第2のキャリア層の一例の一部を示す図。

【図4】図1に示したシステムを用いて形成した連続多層製品の一例の一部、並びに、図2及び3に示したキャリア層を示す図。

30

【図5】図4に示した多層製品を線5-5で切断した断面図。

【図6】図1に示したシステムを用いて形成した連続多層製品の別の例の一部、並びに、図2及び3に示したキャリア層、更に、数種の能動素子の輪郭を含む図。

【図7A】多層製品の別の例の異なる層を示す図。

【図7B】多層製品の別の例の異なる層を示す図。

【図7C】多層製品の別の例の異なる層を示す図。

【図8】図7A～Cに示した層を用いて形成した多層製品を示す図。

【図9】本発明の原理に従って多層製品を形成する方法の一例の工程が示されているフローチャート。

40

【図10】本発明の原理に従って多層製品を形成する方法の別の例の工程が示されているフローチャート。

【図11】本発明の原理に従って電子デバイスを形成する方法の一例の工程が示されているフローチャート。

【図 1】

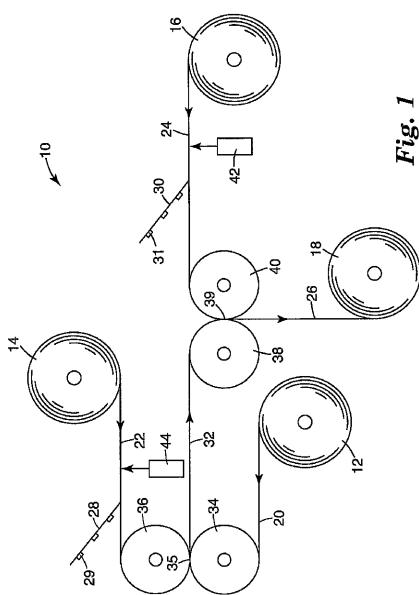


Fig. 1

【図 2】

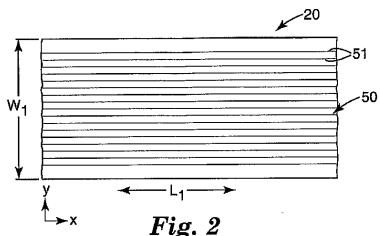


Fig. 2

【図 3】

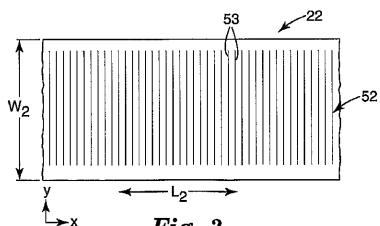


Fig. 3

【図 4】

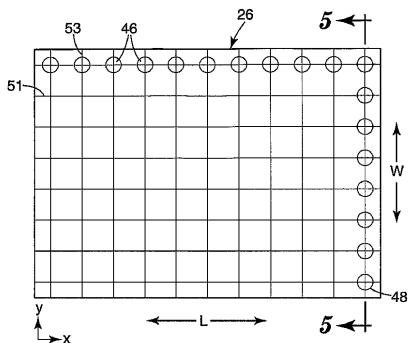


Fig. 4

【図 5】

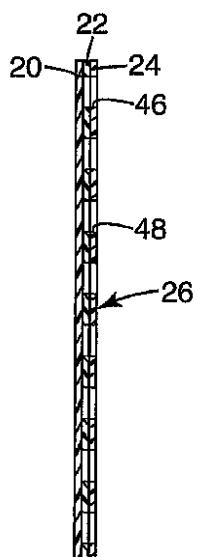


Fig. 5

【図 6】

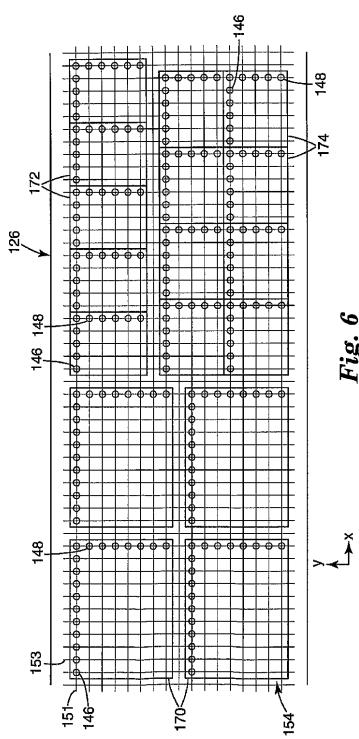


Fig. 6

【図 7 A】

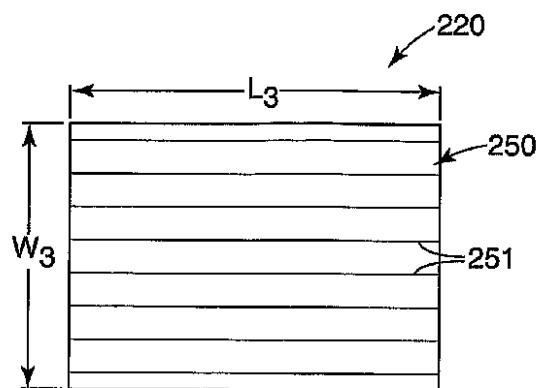


Fig. 7A

【図 7 B】

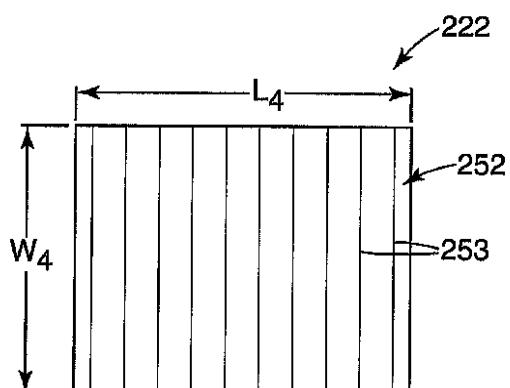


Fig. 7B

【図 7 C】

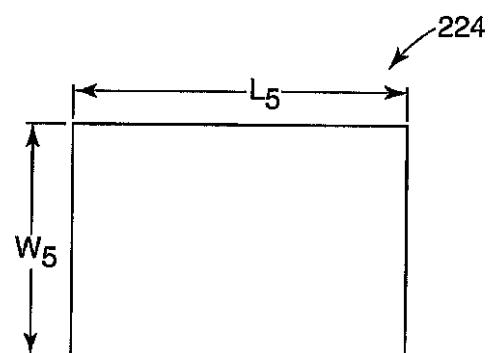


Fig. 7C

【図 8】

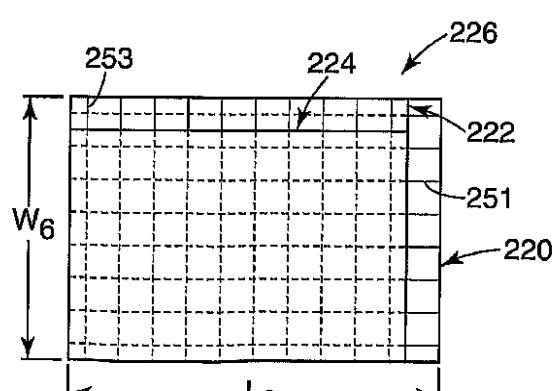


Fig. 8

【図9】

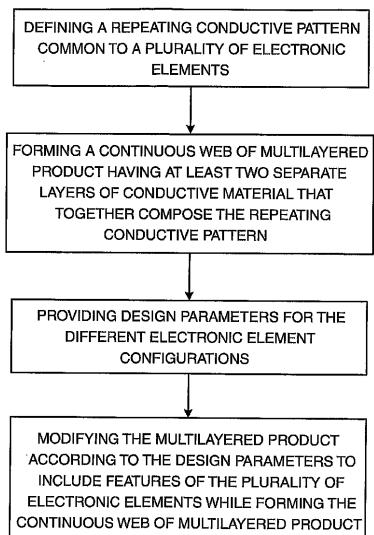


Fig. 9

【図10】

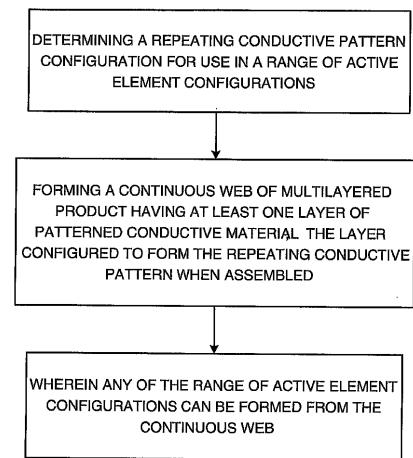


Fig. 10

【図11】

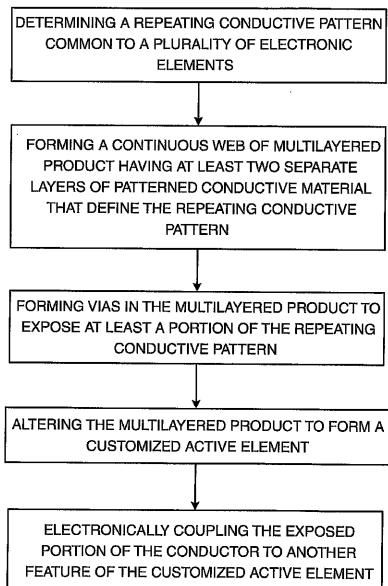


Fig. 11

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/016099

A. CLASSIFICATION OF SUBJECT MATTER INV. H05K1/00 H05K3/46		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H05K G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 471 149 A2 (BRADY CO W H [US]) 19 February 1992 (1992-02-19) the whole document	1-26
X	GB 2 207 815 A (CRYSTALATE ELECTRONICS) 8 February 1989 (1989-02-08) page 3, paragraph 3 – page 4, paragraph 1; figure	1,2,4-7, 12,13, 15,20, 21,26
X	US 3 634 602 A (BRUCK KARL VOM) 11 January 1972 (1972-01-11) column 2, line 72 – column 3, line 25; figures	1,2,4,7, 13,20,21
		-/-
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the International filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the International filing date but later than the priority date claimed</p> <p>"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"8" document member of the same patent family</p>		
Date of the actual completion of the International search	Date of mailing of the International search report	
5 October 2006	17/10/2006	
Name and mailing address of the ISA/ European Patent Office, P.B. 6016 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Batev, Petio	

INTERNATIONAL SEARCH REPORT

International application No PCT/US2006/016099

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 93/26144 A (HEINZE DYCONEX PATENTE [CH]; SCHMIDT WALTER [CH]; MARTINELLI MARCO [CH] 23 December 1993 (1993-12-23) the whole document	1,2,4,7, 13
X	US 5 544 018 A (SOMMERFELDT SCOTT C [US] ET AL) 6 August 1996 (1996-08-06) the whole document	1,13,20
A	US 4 446 188 A (PATEL HARSHAD K [US] ET AL) 1 May 1984 (1984-05-01) the whole document	1-26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/016099

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 0471149	A2	19-02-1992	JP	3662261 B2	22-06-2005
			JP	6349372 A	22-12-1994
			US	5062916 A	05-11-1991
GB 2207815	A	08-02-1989	NONE		
US 3634602	A	11-01-1972	DE	1919421 A1	29-10-1970
WO 9326144	A	23-12-1993	AT	137079 T	15-05-1996
			AU	4058693 A	04-01-1994
			CA	2114792 A1	16-12-1993
			DE	59302260 D1	23-05-1996
			EP	0600052 A1	08-06-1994
			JP	7505015 T	01-06-1995
US 5544018	A	06-08-1996	NONE		
US 4446188	A	01-05-1984	NONE		

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ジャンボー, ジョージ エフ.

アメリカ合衆国, ミネソタ 55133-3427, セント ポール, ポスト オフィス ボック
ス 33427, スリーエム センター

(72)発明者 ロブレチト,マイケル ジェイ.

アメリカ合衆国, ミネソタ 55133-3427, セント ポール, ポスト オフィス ボック
ス 33427, スリーエム センター

F ターム(参考) 5E346 AA32 DD12 EE08 FF45 GG08 GG13 GG28 HH01 HH32 HH33

5F033 UU04 XX00

5G323 CA03