

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5154942号
(P5154942)

(45) 発行日 平成25年2月27日 (2013. 2. 27)

(24) 登録日 平成24年12月14日 (2012. 12. 14)

(51) Int. Cl.

F I

HO 1 L 27/105 (2006. 01)
 HO 1 L 45/00 (2006. 01)
 HO 1 L 21/768 (2006. 01)
 C 2 3 C 18/31 (2006. 01)

HO 1 L 27/10 4 4 8
 HO 1 L 45/00 A
 HO 1 L 21/90 A
 C 2 3 C 18/31 A

請求項の数 16 (全 10 頁)

(21) 出願番号 特願2007-540323 (P2007-540323)
 (86) (22) 出願日 平成17年10月18日 (2005. 10. 18)
 (65) 公表番号 特表2008-519465 (P2008-519465A)
 (43) 公表日 平成20年6月5日 (2008. 6. 5)
 (86) 国際出願番号 PCT/US2005/037310
 (87) 国際公開番号 W02006/052394
 (87) 国際公開日 平成18年5月18日 (2006. 5. 18)
 審査請求日 平成20年9月26日 (2008. 9. 26)
 (31) 優先権主張番号 10/980, 658
 (32) 優先日 平成16年11月3日 (2004. 11. 3)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 595168543
 マイクロン テクノロジー, インク,
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデ
 ラル ウェイ 8000
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男
 (74) 代理人 100096013
 弁理士 富田 博行
 (74) 代理人 100091063
 弁理士 田中 英夫

最終頁に続く

(54) 【発明の名称】 カルコゲニド型メモリ・デバイスのための金属キャップの無電解メッキ

(57) 【特許請求の範囲】

【請求項 1】

カルコゲニド型メモリ・デバイスにおける導電性の相互接続部の上側に金属キャップを形成する方法であって、

基板の上側に第1導電性材料の層を形成する工程と、

前記基板及び前記第1導電性材料の上側に絶縁層を堆積させる工程と、

前記絶縁層に開口を形成して、前記第1導電性材料の少なくとも一部分を露出させる工程と、

前記絶縁層の上側に且つ前記開口内に第2導電性材料を堆積させる工程と、

前記第2導電性材料の一部分を除去して前記開口内に導電性区域を形成する工程と、

前記開口内の前記導電性区域を前記絶縁層の上面よりも低い高さまで凹ます工程と、

前記開口内の凹まされた前記導電性区域の上側に第3導電性材料のキャップを堆積させる工程と、

前記キャップの上側にカルコゲニド型メモリ・セル材料のスタックを堆積させる工程と、

前記カルコゲニド型メモリ・セル材料のスタックの上側に導電性材料を堆積させる工程と、

を備え、前記第3導電性材料が、コバルト、銀、金、銅、ニッケル、パラジウム、白金、及びそれらの合金の群の中から選択される方法。

【請求項 2】

10

20

第 3 導電性材料の前記キャップが無電解メッキによって形成される、請求項 1 に記載の方法。

【請求項 3】

前記の凹まされた導電性区域の表面を活性化する工程を備える、請求項 2 に記載の方法。

【請求項 4】

前記第 2 導電性材料がタングステンを含む、請求項 1 に記載の方法。

【請求項 5】

前記第 2 導電材料の堆積の前に、前記開口に耐熱金属又は耐熱金属窒化物の層を堆積する工程を含む、請求項 1 に記載の方法。

10

【請求項 6】

前記耐熱金属がチタンを含む、請求項 5 に記載の方法。

【請求項 7】

前記耐熱金属窒化物が窒化チタンを含む、請求項 5 に記載の方法。

【請求項 8】

前記キャップの一部分を除去して前記キャップを平坦にする工程を含む、請求項 1 に記載の方法。

【請求項 9】

前記第 3 導電性材料がコバルトを含む、請求項 1 ～ 8 のうちのいずれか 1 つに記載の方法。

20

【請求項 10】

カルコゲニド型メモリ・デバイスのための導電性相互接続部であって、

半導体基板上の第 1 導電性材料の層と、

前記第 1 導電性材料の層上の及び前記半導体基板上の絶縁層であって、前記第 1 導電性材料の層の少なくとも一部分を露出させる開口を有する絶縁層と、

前記開口内の凹んだタングステン層と、

前記タングステン層上に無電解メッキされた金属キャップであって、コバルト、銀、金、銅、ニッケル、パラジウム、白金及びそれらの合金からなる群から選択される金属を含む金属キャップと、

前記金属キャップ上のカルコゲニド型メモリ・セルのスタックと、

30

前記スタック上の導電性材料と、

を具備する導電性相互接続部。

【請求項 11】

前記金属がコバルトを含む、請求項 10 に記載の導電性相互接続部。

【請求項 12】

前記金属キャップが前記絶縁層の上面と同一面になるよう平坦化される、請求項 10 に記載の導電性相互接続部。

【請求項 13】

プロセッサと、

前記プロセッサに結合され、且つ請求項 10 ～ 12 のうちのいずれか 1 つに記載の導電性相互接続部を備えるカルコゲニド型メモリ・デバイスとを備えるプロセッサ型システム。

40

【請求項 14】

カルコゲニド型メモリ・デバイスにおいて導電性相互接続部に金属キャップを形成する方法であって、

基板上に第 1 導電性材料の層を形成する工程と、

前記第 1 導電性材料の層及び前記基板の上側に絶縁層を堆積させる工程と、

前記絶縁層に開口を形成して、前記第 1 導電性材料の少なくとも一部分を露出させる工程と、

前記絶縁層の上側に且つ前記開口内に第 2 導電性材料を堆積させる工程と、

50

前記第2導電性材料の一部を除去して、前記開口内に導電性区域を形成する工程と、
前記開口内の前記導電性区域を前記絶縁層の上面よりも低い高さまで凹ます工程と、
前記開口内の凹まされた前記導電性区域の上側に、無電解メッキによって第3導電性材料のキャップを形成する工程と、

前記キャップの上側にカルコゲニド型メモリ・セル材料のスタックを堆積させる工程と、
前記カルコゲニド型メモリ・セル材料のスタックの上側に第4導電性材料を堆積させる工程と
を具備する方法。

【請求項15】

半導体回路のための導電性相互接続部を形成する方法であって、
半導体デバイスが形成された半導体構造を設ける工程と、
前記半導体構造の上側に絶縁層を形成する工程と、
前記半導体構造に至るトレンチを前記絶縁層に形成する工程と、
前記半導体デバイスの少なくとも一部分を露出させる工程と、
タングステンを含む導電性材料で前記トレンチを充填する工程と、
前記導電性材料を前記絶縁層の上面よりも低い高さまで凹ます工程と、
凹まされた前記導電性材料の上側に、コバルト、銀、金、銅、ニッケル、パラジウム、白金及びそれらの合金からなる群から選択される金属を含む金属キャップを無電解メッキする工程と、

前記キャップの上側にカルコゲニド型メモリ・セル材料のスタックを堆積させる工程と、
前記カルコゲニド型メモリ・セル材料のスタックの上側に導電性材料を堆積させる工程と、
を具備する方法。

【請求項16】

前記第3導電性材料がコバルトを含む、請求項14に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気化学的蒸着の分野に関するもので、特に、導電性相互接続部の上側に金属キャップを無電解メッキする方法、及び、こうした構造を備えるカルコゲニド型メモリ・デバイスに関する。

【0002】

集積回路の動作特性及び信頼性は、集積回路上の半導体デバイス間で電気信号を運ぶのに使用されるビア及び相互接続部の構造及び特性にますます依存するようになってきている。集積回路の製作における進歩によって、密度即ち典型的なチップに含まれる半導体デバイスの数と速度とが増加することとなった。相互接続構造及び形成技術はそれほど急速には進歩せず、ますます集積回路の信号速度に対する制限となりつつある。

【0003】

今日、典型的には、高性能集積回路は複数層の金属導電線を有する。これらの金属層は二酸化ケイ素のような材料の比較的薄い絶縁層によって分離される。金属線間を接続するよう、絶縁層を通してビアが形成される。金属線に対する過度の応力を回避するために、金属導電線を可能な限り平面に維持することが望ましいことが多い。第1の金属パッド又は線を覆う絶縁層において、上側の層が絶縁層の平面上に維持されるように、タングステン金属プラグを使用してビアを充填することが多い。プラグがない場合、上側の層はビアの中へ侵入して下側の第1の金属と接触することになる。

【0004】

典型的には、チタン(Ti)の層が、それに続くタングステン・コンタクトに対する接着層として、下側の第1の金属と接触するよう配置される。次いで、タングステン金属の

10

20

30

40

50

堆積、典型的には化学蒸着（ＣＶＤ）プロセスによってビアが充填される。高アスペクト比のビアを充填すべき場合、堆積プロセス期間にビアの側壁に蒸着されるタングステンは開口を狭くする（pinch off）ので、ビア内に埋め込まれた「キーホール」と呼ばれる空隙が残る。ＣＶＤ蒸着プロセスからの過剰なタングステンが典型的には化学機械研磨（ＣＭＰ）プロセスを用いて除去されると、埋め込まれた「キーホール」は開かれ、露出された空隙がビアの上端に残る。こうした空隙はその後の他の層の形成や層間の電気接続に対して悪影響を及ぼす。

【０００５】

したがって、当該分野には、半導体デバイスのための製造プロセスのその後の層に対して良好な電気接続を生じる、金属で充填された高アスペクト比のビアを提供するプロセスに対する要求が依然として存在する。

10

【０００６】

本発明は当該要求に合致するものであり、金属キャップを導電性プラグ、ビア又は相互接続部の上側に形成してプラグ、ビア又は相互接続部におけるキーホールを覆い又は充填し、半導体デバイスのその後の層に対して良好な電氣的接触を行わせる方法を提供する。金属キャップはコバルト、銀、金、ニッケル、パラジウム、白金又はそれらの合金から形成されることが好ましい。金属キャップは例えばタングステン・プラグ又は相互接続部の上側に金属の無電解堆積によって形成されることが好ましい。金属キャップ構造を採用したカルコゲニド型メモリ・デバイスも開示される。

【０００７】

20

更に詳細には、本発明の１つの態様によると、

カルコゲニド型メモリ・デバイスにおいて導電性の相互接続部の上側に金属キャップを形成する方法が提供され、該方法は、基板の上側に第１導電性材料の層を形成する工程と、基板及び第１導電性材料の上側に絶縁層を堆積させる工程とを含む。絶縁層に開口を形成して、第１導電性材料の少なくとも一部分を露出させ、また、第２導電性材料を絶縁層の上側に且つ開口内に堆積させる。第２導電性材料を部分的に除去して開口内に導電性区域を形成し、開口内の導電性区域を絶縁層の上面よりも低い高さまで凹ます。開口内の凹まされた導電性区域の上側に第３導電性材料のキャップを形成する。キャップの上側にカルコゲニド材料を堆積させ、カルコゲニド材料の上側に導電性材料を堆積させる。

【０００８】

30

第３導電性材料は、コバルト、銀、金、銅、ニッケル、パラジウム、白金、及びそれらの合金の群の中から選択される。第３導電性材料のキャップは無電解メッキによって形成されることが好ましい。無電解メッキ・プロセスを使用する場合、第３導電性材料の無電解メッキの前に、凹まされた導電性区域の表面を活性化してもよい。

【０００９】

本発明の他の実施の形態においては、カルコゲニド型メモリ・デバイスにおいて導電性の相互接続部の上側に金属キャップを形成する方法が提供され、該方法は、基板の上側に絶縁層を設ける工程を含み、絶縁層は開口を有しており、開口は基板上の第１導電性材料の少なくとも一部分を露出させる。第２導電性材料を絶縁層の上側に且つ開口内に堆積させる。第２導電性材料を部分的に除去して開口内に導電性区域を形成し、開口内の導電性区域を絶縁層の上面よりも低い高さまで凹ます。開口内の凹まされた導電性区域の上側に第３導電性材料のキャップを形成する。第３導電性材料は、コバルト、銀、金、銅、ニッケル、パラジウム、白金、及びそれらの合金の群の中から選択されることが好ましい。キャップの上側にカルコゲニド型メモリ・セル材料のスタックを堆積させ、カルコゲニド・スタックの上側に導電性材料を堆積させる。

40

【００１０】

本発明の他の実施の形態においては、カルコゲニド型メモリ・デバイスにおいて導電性の相互接続部の上側に金属キャップを形成する方法が提供され、該方法は、基板の上側に絶縁層を設ける工程を含み、絶縁層は開口を有しており、開口は基板上の第１導電性材料の少なくとも一部分を露出させる。第２導電性材料を絶縁層の上側に且つ開口内に堆積さ

50

せる。第2導電性材料を部分的に除去して開口内に導電性区域を形成し、開口内の導電性区域を絶縁層の上面よりも低い高さまで凹ます。開口内の凹まされた導電性区域の上側にコバルト金属のキャップを形成する。キャップの上側にカルコゲニド型メモリ・セル材料のスタックを堆積させ、カルコゲニド・スタックの上側に導電性材料を堆積させる。

【0011】

本発明の更に他の実施の形態においては、カルコゲニド型メモリ・デバイスにおいてタングステンの相互接続部の上側に金属キャップを形成する方法が提供され、該方法は、絶縁層における開口内で凹まされたタングステンの相互接続部を形成し、凹まされたタングステン層の上側に金属の無電解メッキによって金属キャップを形成する工程を含む。金属は、コバルト、銀、金、銅、ニッケル、パラジウム、白金、及びそれらの合金の群の中から選択されることが好ましい。

10

【0012】

本発明の更に他の実施の形態においては、半導体回路のための導電性金属相互接続部を形成する方法が提供され、該方法は、半導体デバイスが形成された半導体構造を設け、半導体構造の上側に絶縁層を形成し、絶縁層に半導体構造に向かってトレンチを形成する工程を含む。トレンチは実質的にタングステンで充填され、タングステンは絶縁層の上面よりも低い高さまで凹まされる。凹まされたタングステンの上側に無電解メッキによって金属キャップを堆積させる。金属キャップはコバルト、銀、金、銅、ニッケル、パラジウム、白金、及びそれらの合金の群の中から選択されることが好ましい。

20

【0013】

本発明の更に他の実施の形態においては、カルコゲニド型メモリ・デバイスのための導電性相互接続部が提供され、相互接続部は、半導体基板上に開口を有する絶縁層と、開口内の凹んだタングステン層と、タングステン層上に無電解メッキされた金属キャップとを備える。金属キャップは、コバルト、銀、金、ニッケル、パラジウム、白金及びそれらの合金からなる群から選択される金属を含むことが好ましい。金属キャップ上にカルコゲニド型メモリ・セルのスタックを設け、スタック上側に導電性材料を設ける。

【0014】

本発明の更に他の実施の形態においては、プロセッサ型システムが提供され、該システムは、プロセッサと該プロセッサに結合されたカルコゲニド型メモリ・デバイスとを備える。カルコゲニド型メモリ・デバイスは、半導体基板上に開口を有する絶縁層と、開口内の凹んだタングステン層と、タングステン層上に無電解メッキされた金属キャップとを備える。金属キャップは、コバルト、銀、金、ニッケル、パラジウム、白金及びそれらの合金からなる群から選択される金属を含むことが好ましい。金属キャップ上にカルコゲニド型メモリ・セルのスタックを設け、スタック上に導電性材料を設ける。

30

【0015】

したがって、本発明の特徴は、導電性のプラグ、ビア又は相互接続部の上側に金属キャップを形成して、導電性のプラグ、ビア又は相互接続部を保護すると共に、半導体デバイスにおけるその後の層に対して良好な電氣的接続を行う方法を提供することである。また、本発明の特徴は、金属キャップ構造を採用したカルコゲニド型メモリ・デバイスを提供することにある。本発明のこれらの及び他の利点は、本発明の例示の実施の形態を示す添付の図に関連して提供される以下の詳細な説明から明らかになるであろう。

40

【0016】

留意されるように、本明細書で記述されるプロセス工程及び構造は集積回路を製造するための完全なプロセスを形成するものではない。本発明の実施の形態は当該分野で利用される種々の集積回路製造技術と関連させて実施可能である。したがって、発明の理解に必要な限り、共通に実施されるプロセスは本明細書での記述に含まれる。

【0017】

本明細書で利用される用語「基板」は、露出された半導体表面を有する任意の半導体構造を含む。この用語は、例えば、シリコン、シリコン・オン・インシュレータ(SOI)、シリコン・オン・サファイヤ(SOS)、ドーパされた又はドーパされない半導体、基

50

礎半導体基盤によって支持されたシリコンのエピタキシャル層その他の半導体構造等の構造を含む。半導体はシリコン型である必要はない。半導体はシリコン・ゲルマニウム又はゲルマニウムであり得る。本明細書で「基板」に言及するとき、基礎半導体又は基盤内に又はそれらの上に領域又は接合を形成するように、以前のプロセス工程が利用されている。本明細書で用いるように、用語「上側に」は、下側の層又は基板の表面の上側に形成されていることを意味する。

【0018】

ここで図面を参照すると、同じ要素は同じ参照数字で指示されており、図1～図9は、金属キャップを備える少なくとも1つの相互接続部を有するカルコゲニド型メモリ・デバイスを製造する方法の例示の実施の形態を図示している。プロセスは集積回路構造10の製造に続いて開始される。しかし、プロセスは集積回路製造の任意の段階で適用されてもよい。簡単にするため、本発明の実施の形態は上側金属化層に関連させて説明される。

10

【0019】

図1～図9は、基礎基板11と複数の製造された層13とを有する、部分的に製造された集積回路構造10を示している。下記の回路の1つ以上の層又はデバイスと電氣的に接続される一連の導電性の区域21が、従来の技術によって回路構造10上に形成される。図示していないが、理解されるように、集積回路構造10は、基板11の上側の層13に作られたトランジスタ、コンデンサ、ワード線、ビット線、活性区域等を含む。

【0020】

図2に示すように、構造10の上側に絶縁層20が設けられる。絶縁層20は、例えば、テトラエチルオルトシリケート(TEOS)やボロホスホシリケート・ガラス(BPSG)、ボロシリケート・ガラス(BPG)のような絶縁材料、又は他の非導電性の(ドーパされ又はドーパされない)酸化物、窒化物及びオキシニトライドであることが好ましい。複数の層で形成される絶縁層20は厚さが5000～20000オングストローム前後であることが好ましい。図3に示すように、構造10の最も上側の部分に設けられる導電性の区域と相互接続部が電氣的に接続される位置に、少なくとも若干の開口22が設けられる。

20

【0021】

再び図3を参照すると、相互接続トレンチ22のような複数の開口が絶縁層20にバタニングされてエッチングされる。開口22は導電性区域21の部分を露出するように整列される。図4に示すように、絶縁層20を均一に覆い且つ相互接続トレンチ22の内側を覆うように、オプションの接着層24が構造10の表面の上側に堆積される。当該分野で慣用されているように、オプションの接着層24は、導電性区域21とその後に堆積される導電材料との間の接着を強化するために用いられる。デバイスの製造に用いられる材料に依存して、接着層24が不要な例も存在し得る。

30

【0022】

オプションの接着層24はチタン(Ti)のような耐熱性の金属で形成されることが好ましい。図4に示すように、1つの実施の形態においては、物理的気相成長(PVD)、化学蒸着(CVD)又は原子層堆積(ALD)を用いて、オプションの薄いTi層24が堆積される。しかし、接着層として、任意の他の適宜の材料、例えば、窒化タングステン、タングステン・タンタル、タンタル窒化ケイ素、その他の三元化合物を用いてもよい。オプションの接着層24は厚さが100～500オングストローム前後であることが好ましく、200オングストローム前後であることが更に好ましい。

40

【0023】

図5を参照すると、好ましくはタングステンを含む導電性相互接続材料が構造10の上側に且つ相互接続トレンチ22に形成される。導電性相互接続部30は、CVDやALD等を含む当該分野で慣用されている任意の技術を用いて形成される。両技術はトレンチ22の適合充填を生じる。しかし、トレンチのアスペクト比及び深さに依存して、こうした適合蒸着技術はタングステン・プラグ内にキーホールを形成する結果となり得る。典型的には、相互接続部30は1000～5000オングストローム前後の厚さ、好ましくは2

50

000 オングストローム前後の厚さを有する。図6を参照すると、導電性相互接続部30から過剰な材料が除去される。典型的には、こうした材料は、当該分野において周知の化学機械平坦化(CMP)技術を用いて除去される。過剰な材料の除去は絶縁層20の上面25と実質的に同じ高さで停止されることが望ましい。

【0024】

図7を参照すると、導電性相互接続部30は絶縁層20の上面25よりも適宜の距離だけ低く、凹み又は陥凹部を作るように、更に平坦化又は過剰研磨される。相互接続材料を凹ますのに、任意の適宜の方法を用いることができる。例えば、導電性相互接続部30は選択的に過剰研磨され、化学機械的に平坦化され、ウェット・エッチングされ又はドライ・エッチングされてトレンチ22内に且つ絶縁層20の面よりも低く、相互接続材料を凹ますことができる。典型的には、200~500オングストローム前後の凹みが好ましい。

10

【0025】

1つの実施の形態においては、オプションとして、相互接続材料30の凹みの表面は、以後の金属メッキに対して選択的になるよう活性化される。しかし、実施の形態によっては、当業者は認識するように、面の活性化は不要である。面の活性化は多くの技術を用いて達成され得る。面は、無電解メッキの分野で公知の任意の活性化溶液、例えば塩化パラジウム溶液に対する露出によって活性化されることが好ましい。面露出のための典型的な時間枠は、選択された特定の活性化溶液に依存して、10秒前後~2分前後である。

【0026】

20

図8を参照すると、次いで、無電解メッキ・プロセスを用いて、金属が凹み内に選択的に堆積される。凹みに形成される金属層は、半導体構造における隣接の材料に適合する任意の材料を含み得る。金属層はコバルト、銀、金、銅、ニッケル、パラジウム、白金、又はそれらの合金を含むことが好ましい。金属はコバルトを含むことが最も好ましい。これは、コバルトは入手が容易であり、以後の処理のための平滑な表面を促進する微細なグレイン構造を提供するからである。

【0027】

200~500オングストローム前後の厚さを持つ金属キャップを形成することが好ましい。キャップのメッキ速度を制御することにより、絶縁層20の上面と実質的に同一平面のキャップを作ることができる。基板上に過剰な金属がメッキされた場合には、過剰部分を慣用の処理方法、例えば、図8に示す構造の平坦化によって除去して金属層を分離し、図示のように個々の金属キャップ40が作られる。図8の構造は、次いで、機能回路を作るように更に処理される。

30

【0028】

図9に示すように、適宜のカルコゲニド材料50のスタックを絶縁層20及び金属キャップ40の上側に堆積させることによって、メモリ・デバイスが形成される。カルコゲニド材料は $\text{Ge}_3\text{Se}_7\text{Ge}_4\text{Se}_6$ のようなカルコゲン化ガラスから形成し得る。このガラスは、ガラス内の銀のような拡散された金属イオンに対する導電経路を印加電圧の存在下で形成することができる。カルコゲニド・スタック50の上側に別の導電性電極60が堆積され、メモリ・デバイスの形成が完了する。不揮発性メモリ・デバイスの例は、ムーア及びギルトンに対する米国特許第6348365号に示されている。「スタック」は、拡散金属イオンを含み且つメモリ・セルを形成するに足る1つ以上の層のカルコゲニド・ガラス材料を意味する。

40

【0029】

図10を参照すると、集積回路448を含む典型的なカルコゲニド型メモリ・システム400が図示されている。集積回路448は、本発明の1つ以上の実施の形態に従って製造された導電性相互接続部及びカルコゲニド型メモリを採用している。コンピュータ・システムのようなプロセッサ・システムは、一般に、マイクロプロセッサ、ディジタル信号プロセッサ、その他のプログラム可能なディジタル論理デバイスのような中央処理ユニット(CPU)444を備え、CPU444はバス452を介して入力/出力(I/O)デ

50

バス４４６を通信する。集積回路４４８におけるカルコゲニド型メモリはバス４５２を介して、典型的にはメモリ・コントローラによりシステムと通信する。

【００３０】

コンピュータ・システムの場合、システムは、バス４５２を介してＣＰＵ４４４と通信するフロッピー・ディスク４５４、コンパクト・ディスク（ＣＤ）ＲＯＭドライブ４５６等の周辺装置を備え得る。集積回路４４８は１つ以上の導電性相互接続部及びカルコゲニド型メモリ・デバイスを備えることができる。所望であれば、集積回路４４８は単一の集積回路においてＣＰＵ４４４等のプロセッサと組み合わせられ得る。カルコゲニド型メモリ・デバイスを含む装置及びシステムの他の例は、時計、テレビジョン、携帯電話機、車両、航空機等を含む。

10

【００３１】

当業者には明らかなとおり、発明の範囲から逸脱することなく、種々の変更を行うことができ、本発明は、明細書及び図面において説明した特定の実施の形態に限定され则认为されるべきではなく、特許請求の範囲の範囲よってのみ限定される。

【図面の簡単な説明】

【００３２】

【図１】発明の実施の形態に従って基板表面に金属層を含む、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の例の断面図である。

【図２】基板の表面の上側に絶縁層を含む、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

20

【図３】絶縁層に形成された開口を含む、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

【図４】オプシオンの適合接着層を含む、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

【図５】絶縁層の開口を充填する導電性材料を含む、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

【図６】過剰な導電性材料が除去された、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

【図７】導電性材料の表面が絶縁層の上面よりも低く凹まされた、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

30

【図８】開口を充填する導電性材料上に導電性材料のキャップを備える、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

【図９】カルコゲニド型メモリ・セル材料のスタックがキャップの上に位置し、他の導電性材料の層がカルコゲニド型メモリ・セル・スタックの上に位置する、部分的に製造されたカルコゲニド型メモリ・デバイスの部分の断面図である。

【図１０】本発明の追加の実施の形態に係る、１つ以上のカルコゲニド型メモリ・デバイスを有するプロセッサ・システムを示す図である。

【図 1】

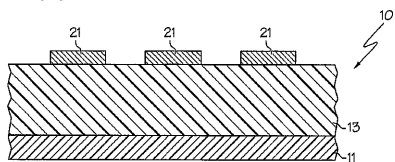


FIG. 1

【図 2】

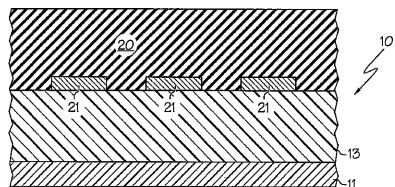


FIG. 2

【図 3】

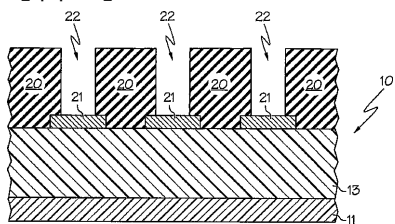


FIG. 3

【図 7】

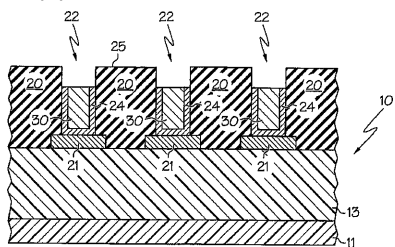


FIG. 7

【図 8】

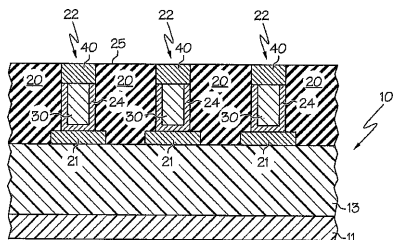


FIG. 8

【図 9】

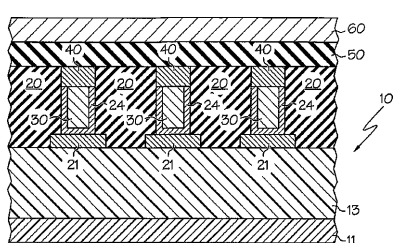


FIG. 9

【図 4】

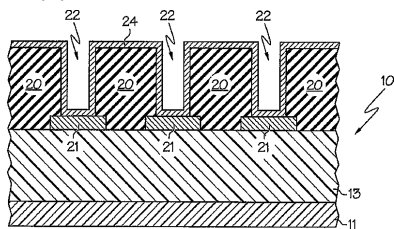


FIG. 4

【図 5】

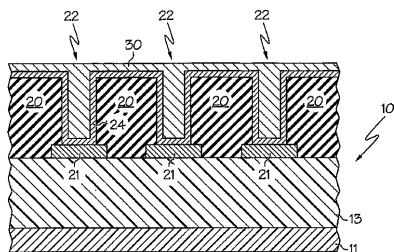


FIG. 5

【図 6】

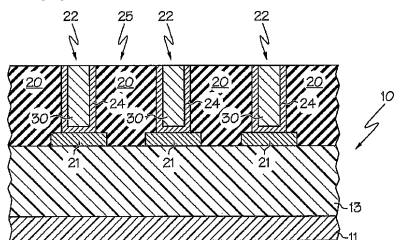
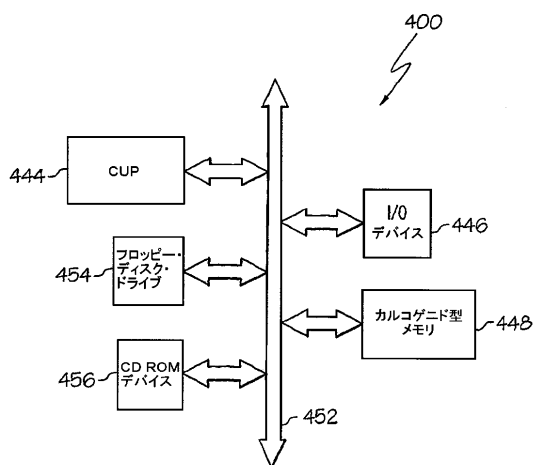


FIG. 6

【図 10】



フロントページの続き

- (72)発明者 エルキンズ, パトリシア・シー
アメリカ合衆国アイダホ州 8 3 7 0 6 , ボイシ, フェア・ブルック・ドライブ 3 8 7
- (72)発明者 ムーア, ジョン・ティー
アメリカ合衆国アイダホ州 8 3 7 1 3 , ボイシ, ウェスト・レクサス・コート 1 2 5 3 0
- (72)発明者 クレイン, リタ・ジェイ
アメリカ合衆国アイダホ州 8 3 7 0 9 , ボイシ, ウェスト・ディバイド・パス・ドライブ 1 1 3
3 6

審査官 宮部 裕一

- (56)参考文献 米国特許出願公開第 2 0 0 2 / 0 1 6 8 8 5 2 (U S , A 1)
米国特許出願公開第 2 0 0 4 / 0 0 3 7 1 7 9 (U S , A 1)
米国特許第 0 6 4 5 5 4 2 4 (U S , B 1)
特開 2 0 0 4 - 0 1 5 0 2 8 (J P , A)
特開 2 0 0 4 - 2 7 4 0 5 5 (J P , A)
米国特許出願公開第 2 0 0 3 / 0 2 0 9 7 4 6 (U S , A 1)
特開 2 0 0 4 - 1 9 3 2 9 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/105
C23C 18/31
H01L 21/768
H01L 45/00