(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/306

(11) 공개번호 특1997-0077299
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0017989
(22) 출원일자 1996년05월27일

(71) 출원인 한국과학기술원 윤덕용
대전광역시 유성구 구성동 373-1 (우 : 305-701)
(72) 발명자 한철희
대전광역시 유성구 신성 1블럭 한울아파트 103동 502호
이희덕
대전광역시 유성구 구성동 373-1
김재관
대전광역시 유성구 구성동 373-1
(74) 대리인 이한영

심사청구 : 있음

(54) 전기화학적 식각방법을 이용한 실리콘 멤브레인의 제조방법

요약

본 발명은 실리콘 기판 앞면에 멤브레인 패턴을 형성하고 멤브레인 패턴을 통해 실리콘 기판에 전류나 전압을 가하여 실리콘 기판 뒷면에서부터 전기화학적 식각이 일어나도록 하여, 실리콘 전체를 식각하면서 n-형 및 p-형 멤브레인이 형성되는 공정을 포함하는 실리콘 멤브레인의 제조방법에 관한 것이다. 본 발명의 방법에의해 제조되는 실리콘 멤브레인은 다음과 같은 효과가 있다 : 첫째, 실리콘 멤브레인 패턴을 기판의 앞면에 형성하므로 종래의 비등방성 식각방법과는 달리, 값이싼 단면연마된 실리콘 기판을 사용할 수 있다. 둘째, n-형 및 p-형 실리콘 멤브레인을 동시에 형성할 수 있으며, 따라서 NMOSFET 와 PMOSFET을 동시에 형성 할 수 있다. 셋째, 실리콘 멤브레인 제조 시간이 매우 단축되므로 생산성이 증대된다. 넷째, 제조된 실리콘 멤브레인은 SOI형 소자에 응용이 적합하다.

대표도

도1

명세서

[발명의 명칭]

전기화학적 식각방법을 이용한 실리콘 멤브레인의 제조방법

[도면의 간단한 설명]

제1a도 내지 제1l도는 본 발명의 일 실시예에 따른 전기화학적 식각방법을 이용한 실리콘 멤브레인의 제조공정을 모식적으로 나타낸 그림이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

실리콘 기판의 앞면에 실리콘 멤브레인을 위한 패턴을 형성하고 전기 실리콘 기판 뒷면이 실리콘 식각용액에 접하도록 한 다음, 멤브레인 패턴을 통해 실리콘 기판에 전류나 전압을 가하여, 전기 실리콘 기판 뒷면에서부터 전기화학적 식각이 일어나도록 하는 단계를 포함하는 실리콘 멤브레인의 제조방법.

청구항 2

제1항에 있어서, 실리콘 기판위에 절연막을 형성하고 절연막의 일부를 식각하여 실리콘 기판이 노출되도록 하여 창을 형성하는 제1단계; 전기 노출된 기판에 n-형 이온을 주입하여 n-형층을 형성하는 제2단계; 전기 절연막의 일부를 제거하여 전기 n-형층과 기판의 일부분이 노출되도록 하는 제3단계; 전기 노출된 실리콘 기판위에 산화규소막을 형성하는 제4단계; 전기 산화규소막을 제외한 절연막을 제거하여 실리콘

기판에 창을 형성하는 제5단계; 전기 창의 형성으로 노출된 기판에 p-형 이온을 주입하여 p-형층을 형성하는 제6단계; 전기 실리콘 기판위에 금속막을 형성하는 제7단계; 및, 실리콘 식각용액이 들어 있는 반응용기의 밑면에 실리콘 기판의 뒷면이 실리콘 식각용액과 접하도록 하여 밀봉시키고, 실리콘 기판과 실리콘 식각용액내의 음극전극인 백금사이에 전류원이나 전압원을 연결하여, 실리콘 기판에 전류나 전압을 가해 실리콘 기판을 식각하여 실리콘 멤브레인을 형성하는 제8단계를 포함하는 실리콘 멤브레인의 제조방법.

청구항 3

제2항의 있어서, 실리콘 기판은 10^{15}내지 10^{20}/㎤ 농도의 p-형 실리콘 기판 내지 n-형 실리콘 기판인 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 4

제2항에 있어서, 제1단계에서, 절연막은 산화규소막, 질화규소막 또는 탄화규소막의 어느 하나로 이루어지거나, 둘이상이 순차적으로 이루어지는 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 5

제2항에 있어서, 제2단계에서, n-형 이온은 붕소 또는 비소이고, 이온층의 농도는 10^{15}내지 5×10^{21}/㎤인 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 6

제2항에 있어서, 제6단계에서, p-형 이온은 붕소이고, 이온층의 농도는 10^{15}내지 50×10^{21}/㎤인 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 7

제2항에 있어서, 제7단계에서, 금속막으로 알루미늄, 텅스텐, 크롬, 니켈,타이타늄, 탄탈륨, 구리, 금 또는 백금의 어느 하나로 이루어지거나, 둘이상이 혼합되거나 또는 순차적으로 이루어지며, 전기 금속막의 두께는 0.01 내지 10 미크론인 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 8

제2항에 있어서, 제8단계에서, 실리콘 기판은 전류원이나 전압원을 연결하여 전류나 전압의 크기를 변화시켜 식각률이 조절되는 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 9

제8항에 있어서, 전류의 크기는 단위 제곱센티미터당 0.001 내지 10 암페어인것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 10

제8항에 있어서, 전압의 크기는 -0.5 내지 50볼트인 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 11

제2항에 있어서, 제8단계에서, 실리콘 기판은 소정시간 동안 상기 실리콘 기판과 상기 백금 전극사이에 전류나 전압을 공급하고 일정시간이 지난 후에 일정시간 동안 전류나 전압을 끊고 다시 전류나 전압을 공급하는 단계를 반복하여 실리콘 멤브레인을 형성하는 것을 특징으로 하는 실리콘 멤브레인의 제조방법.

청구항 12

제2항에 있어서, 제8단계에서, 식각용액은 불산용액 또는 불산과 질산을 포함하는 혼합용액을 사용하며, 한가지 이상의 다른 식각용액을 순차적으로 사용하여 실리콘 기판을 전기화학적으로 식각하는 것을 특징으로 하는 실리콘 멤브레인 제조방법.

청구항 13

실리콘 기판위에 절연막을 형성하고 절연막의 일부를 식각하여 실리콘 기판이 노출되도록 하여 창을 형성하는 제1단계; 전기 노출된 기판에 n-형 이온을 주입하여 n-형층을 형성하는 제2단계; 전기 n-형층위에 산화규소막을 형성하면서 동시에 n-형 확산층을 형성하는 제3단계; 전기 절연막의 일부를 제거하여 실리콘 기판위에 창을 형성하는 제4단계; 전기 창의 형성으로 노출된 실리콘 기판에 p-형 이온을 주입하여 p-형층을 형성하는 제5단계; 전기 실리콘 기판위의 절연막을 제거하여 실리콘 기판이 노출되도록 하여 창을 형성하는 제6단계; 전기 실리콘 기판위에 전기소자를 형성하는 제7단계; 전기 실리콘 기판위에 절연층을 형성하는 제8단계; 전기 절연막과 산화규소막의 일부를 제거하여 p-형층이 노출되도록 하는 제9단계; 전기 실리콘 기판위에 금속막을 형성하는 제10단계; 전기 실리콘 기판위에 절연구조물을 접착하는 제11단계; 실리콘 식각용액이 들어있는 반응용기의 밑면에 실리콘 기판의 뒷면이 실리콘 식각용액과 접하도록 하여 밀봉시키고 실리콘 기판과 실리콘 식각용액내의 음극전극인 백금사이에 전류원이나 전압원을 연결하여 실리콘 기판에 전류나 전압을 가해 실리콘 기판을 식각하여 전기소자가 형성된 실리콘 기판영역이 실리콘 멤브레인이 되도록 하는 제12단계; 및 전기 금속막을 제거하는 제13단계를 포함하는 SOI형 소자의 제조방법.

청구항 14

제13항에 있어서, 제7단계에서, 전기소자는 NMOSFET, PMOSFET, BJT 또는 다이오드인 것을 특징으로 하는 SOI형 소자의 제조방법.

청구항 15

제13항에 있어서, 제11단계에서, 절연구조물은 유리, 쿼츠 또는 실리콘 기판인 것을 특징으로 하는 SOI형 소자의 제조방법.

청구항 16

실리콘 기판의 앞면에 실리콘 멤브레인을 위한 패턴을 형성하고, 전기 실리콘 기판 뒷면이 실리콘 식각 용액에 접하도록 한 다음, 멤브레인 패턴을 통해 실리콘 기판에 전류나 전압을 가하여, 전기 실리콘 기판 뒷면에서부터 전기화학적 식각이 일어나도록 하는 단계를 포함하는 방법에 의해 제조된 실리콘 멤브레인.

청구항 17

제16항의 실리콘 멤브레인을 이용하는 SOI형 소자.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

