【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第２区分
【発行日】平成21年11月5日(2009.11.5)

【公開番号】特開2009-58693(P2009-58693A)
【公開日】平成21年3月19日(2009.3.19)
【年通号数】公開・登録公報2009-011
【出願番号】特願2007-224925(P2007-224925)
【国際特許分類】
Ｇ０９Ｇ　3/36　(2006.01)
Ｇ０９Ｇ　3/20　(2006.01)
Ｇ０２Ｆ　1/133　(2006.01)
【ＦＩ】
Ｇ０９Ｇ　3/36
Ｇ０９Ｇ　3/20　６１１Ａ
Ｇ０９Ｇ　3/20　６１２Ｒ
Ｇ０９Ｇ　3/20　６１２Ｌ
Ｇ０９Ｇ　3/20　６２１Ｍ
Ｇ０９Ｇ　3/20　６８０Ｇ
Ｇ０２Ｆ　1/133　５０５

【手続補正書】
【提出日】平成21年9月18日(2009.9.18)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】請求項３
【補正方法】変更
【補正の内容】
【請求項３】
充電または放電を２段階で行い、信号を遅延させる遅延回路であって、
遅延信号を出力する出力部と、
２つの電源と、
遅延インバータと、を有し、
上記遅延インバータは、
上記出力部と片側電源との間に、第１回目の充電または放電用の同一チャネル型の第１および２トランジスタが直列に接続され、当該第１トランジスタまたは第２トランジスタに並列に、第２回目の充電または放電用の上記第１および第２トランジスタと異なるチャネル型の第３トランジスタが接続され、
上記出力部と他側との間に、第１回目の放電または充電用の上記第３トランジスタと同一チャネル型の第４および第５トランジスタが直列に接続され、当該第４トランジスタまたは第５トランジスタに並列に、第２回目の放電または充電用の上記第１および第２トランジスタと同じチャネル型の第６トランジスタが接続されている
遅延回路。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００１１
【補正方法】変更
【補正の内容】
【００１１】
トランジスタQp21は、ソースがVDD電源に接続され、ゲートに回路入力端子２１を通し

て入力信号INが与えられるとともに、ドレインから回路出力端子２２を通して出力信号OUTが導出される。

トランジスタQp22は、ソースがMOSトランジスタQp21のドレインに、ドレインがVSS電源に接続される。容量Cp2１は、トランジスタQp22のゲートとソースとの間に接続されて、トランジスタQp22と共にブートストラップ回路２３を構成している。

トランジスタQp23は、ソースがトランジスタQp22のゲートに、ドレインがVSS電源にそれぞれ接続されて、ゲートにリファレンス信号REF1が与えられる。このトランジスタQp23のソースとトランジスタQp22のゲートの接続点をノードNDと呼ぶこととする。トランジスタQp24は、ソースがVDD電源に、ドレインがノードNDにそれぞれ接続されて、ゲートにリファレンス信号REF2が与えられる。

【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００３６
【補正方法】変更
【補正の内容】
【００３６】

期間t41では、回路入力信号INがVDDレベルからVSSレベルに変わり始めるとき、VDD－|Vpth|となった時点でトランジスタQp41がオンし、ノードNDA電位がVSSレベルから引き上げられると同時にトランジスタQp43、Qp44も同様にオンし、ノードNDBとOUT電位がショートされ、VSS電源に放電しながらノードNDBの電位が出力信号OUTの電位にまで引き上げられる。この期間t41をstep1放電と呼ぶこととする。

【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００３７
【補正方法】変更
【補正の内容】
【００３７】

次に、期間t42期間では、入力信号INがVSSレベルまで下ったときにノードNDBが出力信号OUTとショートしているためノードNDBが低くてもVSS+|Vpth|である(トランジスタQp43によるオン抵抗がトランジスタQn42とQp44によるCMOSスイッチのオン抵抗より十分に低く設定しておく)。

ノードNDAがVDDレベルのためトランジスタQn42がオンし、ノードNDB電位がVSSまでさらに下り続く。

入力信号INがノードBとの間にいくつの寄生容量（たとえば、トランジスタＱｐ43のゲート・ドレイン容量Cgd、Qp44のゲート・ソース容量Cgs）があり、これらのカップリング（Coupling）を受けて、入力信号INの電位がVSSより低い電位まで下る。

また、トランジスタQp43のソース・ドレイン容量Csdより出力OUTもノードNDBの電位変化に引き下げられる。同様に入力信号INも前段の出力部のトランジスタのソース・ドレイン容量Csdで引き下げられる。この引き下げる分はΔVとする。ΔVはPチャネルトランジスタ特性だけに依存すると言える。この期間t42をstep2放電と呼ぶこととする。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００３８
【補正方法】変更
【補正の内容】
【００３８】

以上の説明によりstep1,step2の2段階の放電期間を設けることにより入力信号INの立下りタイミングに対して出力信号OUTの立下りタイミングのディレイはほぼPチャネルトランジスタの特性のみに依存させることができる。

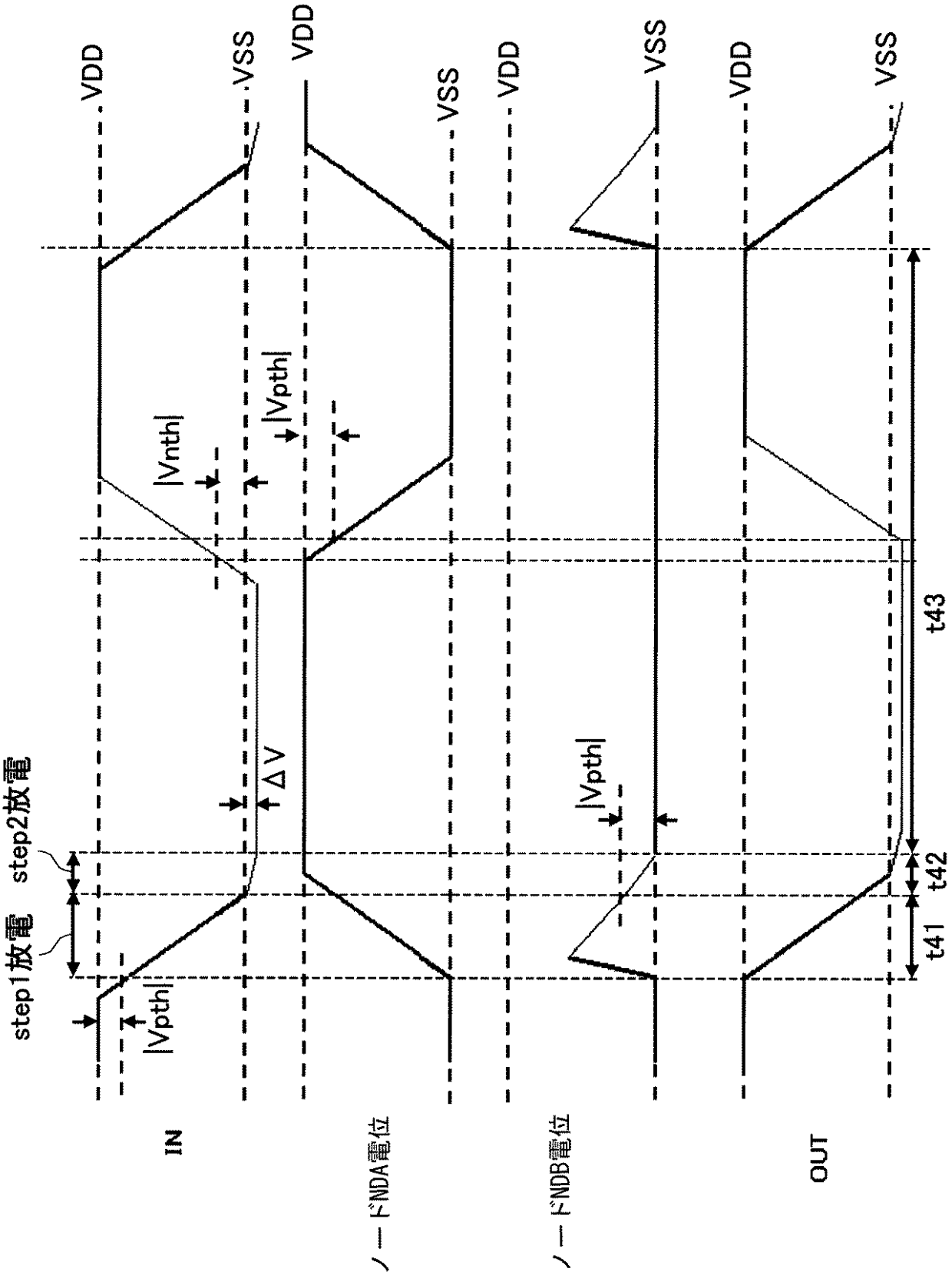
期間t43では、入力信号INがVSSレベルからVDDに変化するときにVSS+|Vnth|レベルにな

ると、トランジスタQn41がオンし、ノードNDAが引き下げられる。
ノードNDA電位がVDD-|Vpth|まで下るとトランジスタQp42がオンし、出力OUTが引き上げられる。
よって、入力信号INの立ち上がりタイミングに対して出力信号OUTの立ち上がりタイミングのディレイ量はPch Tr, Nch Trの両方の特性に依存する。
ただしこれは問題とならない。その理由は、立下りタイミングのディレイ量が片トランジスタの特性だけに依存しているので絶縁性基板上で形成されるトランジスタの特性を検知するのに十分であるからだ。
【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】００４１
【補正方法】変更
【補正の内容】
【００４１】
回路入力INがトランジスタQn５１とQp51のゲートに接続されるとともに次段のトランジスタQn53、Qn54のゲートに接続されている。トランジスタQn51とQp51で構成されるインバータの出力をノードNDAと呼び、トランジスタQn51、Qn52のゲートに接続される。
トランジスタQn51、Qn52のソースが負側電源VSSに接続されている。トランジスタQp51, Qp52のソースおよびトランジスタQn54のドレインが正側電源VDDに接続されている。
また、トランジスタQn53のソースがQn52のドレインに接続し、回路出力信号OUTを導出され、ドレインがトランジスタQp52のドレイン、Qn54のソースに接続され、その接続をノードNDBと呼ぶことにする。
【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】００４４
【補正方法】変更
【補正の内容】
【００４４】
次に、期間t52では、入力信号INがVDDレベルまで上がったときにノードNDBが出力信号OUTとショートしているためノードNDBの電位は高くてもVDD-|Vnth|である(トランジスタQn53によるオン抵抗がトランジスタQp54とQp52によるCMOSスイッチのオン抵抗より十分に低く設定しておく)。
ノードNDAがVSSレベルのためトランジスタQp52がオンし、ノードNDB電位がVDDまでさらに上がり続ける。
入力信号INがノードNDBとの間にいくつの寄生容量（たとえば、トランジスタQn53のゲート・ドレイン容量Cgd、Qn54のゲート・ソース容量Cgs）があり、これらのカップリング（Coupling）を受けて、入力信号INの電位がVDDより高い電位まで上がる。
また、トランジスタQn53のソース・ドレイン容量Csdより出力OUTもノードNDBの電位変化に引き上げられる。同様に入力信号INも前段の出力部のトランジスタのソース・ドレイン容量Csdで引き上げられる。この引き上げられる分はΔVとする。ΔVはNチャネルトランジスタ特性だけに依存すると言える。この期間t52をstep21充電と呼ぶこととする。
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】００５０
【補正方法】変更
【補正の内容】
【００５０】
本変形例に係るディレイバッファ回路６０は、第１～４のPチャネルMOSトランジスタQp61～Qp64および第１～4のNチャネルMOSトランジスタQn61～Qn64を有する。
このとき、ディレインバータ回路INV61は、NチャネルMOSトランジスタQn62～Qn64およ

びPチャネルMOSトランジスタQn64～Qp64を有する。
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】００６５
【補正方法】変更
【補正の内容】
【００６５】
この液晶表示装置１００は、図１３に示すように、透明絶縁基板、たとえばガラス基板１０１上に、液晶セルを含む複数の画素がマトリクス状に配置された有効表示部１０２、図１３において有効画素部１０２の上下に配置された一対の水平駆動回路（Ｈドライバ）１０３Ｕ，１０３Ｄ、図１３において有効表示部１０２の側部に配置された垂直駆動回路（Ｖドライバ）１０４、複数の基準電圧を発生する一つの基準電圧発生回路１０５、およびデータ処理回路１０６、半導体制御回路２００等が集積されている。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】００６６
【補正方法】変更
【補正の内容】
【００６６】
このように、図１３の駆動回路一体型表示装置１００は、２つの水平駆動回路１０３Ｕ，１０３Ｄを有効画素部１０２の両サイド（図１３では上下）に配置しているが、これは、データ線の奇数ラインと偶数ラインとに分けて駆動するためである。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】００９１
【補正方法】変更
【補正の内容】
【００９１】
また、ケース＜１＞になった場合、制御信号がＨレベル（ハイレベル）になり、なんらかの要因（温特、周波数、供給電源電圧など）でパネル特性が悪化してきて、（たとえば、ドレイン・ソース電流Ｉｄｓで表現）領域Ｂに移ってきた場合、ヒステリシス性生成回路２４０により前の出力状態を保持するので制御信号はＨレベルである。
さらに特性が悪化してきて領域Ａに移ってきた場合、遅延信号S23，S24のサンプリングされた結果がローレベルとなり、ヒステリシス性生成回路２４０を通した制御信号Ｓ２４０がローレベルになる。
領域Ａから領域Ｂに再び戻り制御信号は前の状態を保持するのでローレベルである。さらに、領域Ｂから領域Ｃに戻り制御信号はハイレベルとなる。
このようにヒステリシス性を持たせることによって、不安定な制御信号が出力されない(安定な制御信号を出力可能である。表示装置の画質や駆動システムに安定な制御システムを実現できる。
【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】００９５
【補正方法】変更
【補正の内容】
【００９５】
制御信号がＨレベル（前記図２１より引用する。トランジスタ特性が良いことを意味する）のときに電圧比較回路３１０を有効とし、ＤＣ／ＤＣコンバータ３１１の出力電圧VDD2を低減させる。
制御信号がＬレベル（前記図２１より引用する。トランジスタ特性が悪いことを意味す

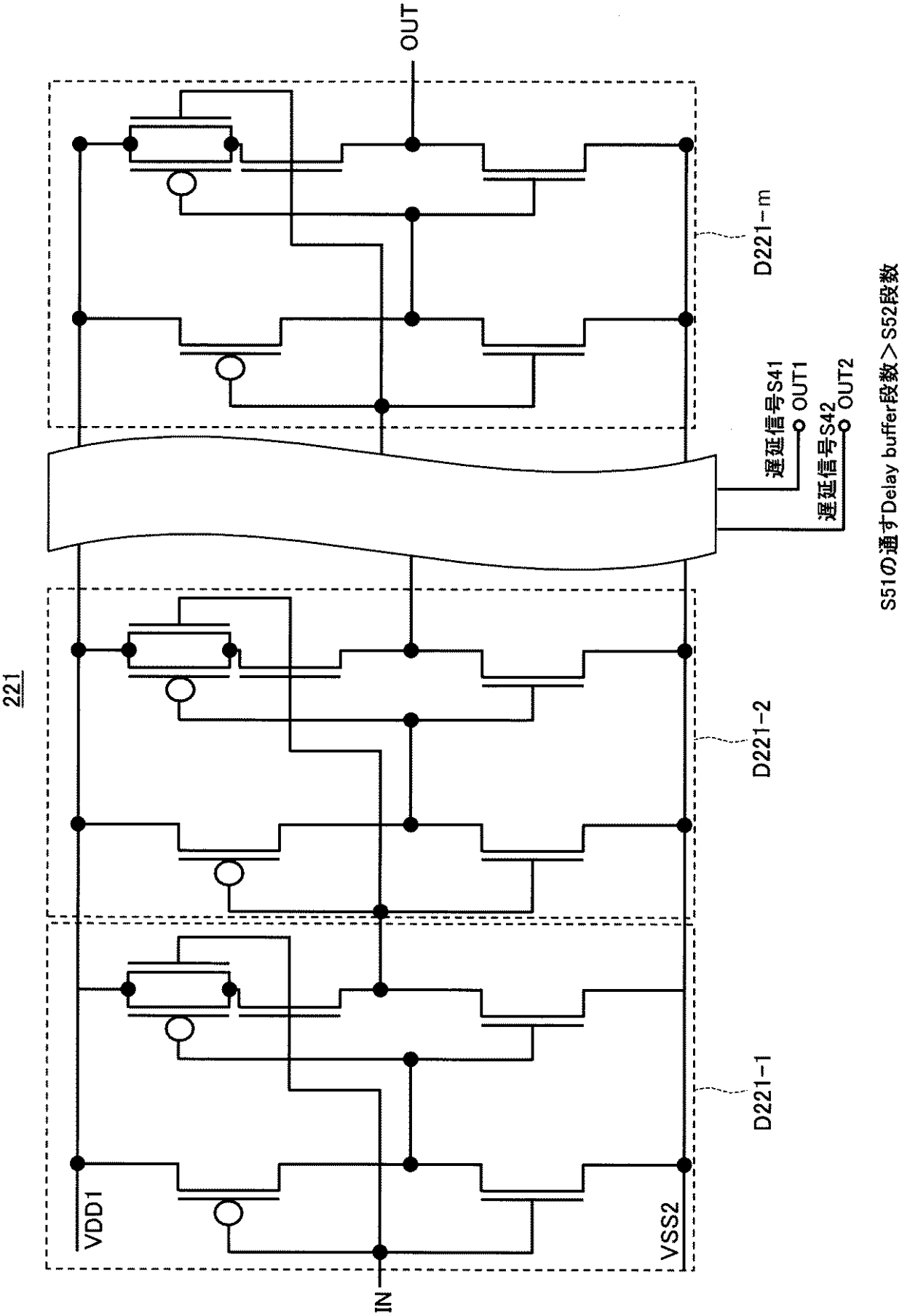
る）のときに電圧比較回路を無効させ、ＤＣ／ＤＣコンバータ３１１の出力電圧VDD2を低減させなく、全パワーを出力させる。
【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】００９７
【補正方法】変更
【補正の内容】
【００９７】
遅延回路列からの出力信号を複数に使用することによりトランジスタの能力レベルを何段に検出することができる。
複数の制御信号（図２３では２つ）ＣＴＬ１、ＣＴＬ２を出力させて、図２２のように電圧比較回路を有効・無効の選択だけではなく、電圧比較回路３１０Ａのレグレーション値（Regulation voltage）を複数に設定することができる。
トランジスタの能力はとても良いときレグレーション値をとても低く設定し、多少良いときレグレーション値を多少低く設定し、多少悪いときレグレーション値を多少高く設定する等、様々な設定ができる。
【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】０１０３
【補正方法】変更
【補正の内容】
【０１０３】
図２５のデータ処理回路３５０(図１３のデータ処理回路１０６等に相当)は、複数のディレイバッファＤＢ、スイッチ３５１，３５２、シフトレジスタ３５３、およびラッチ回路３５４を有する。ラッチ回路３５４は、インバータ３５４１，３５４２、スイッチ４５４４，３５４４を有する。
【手続補正１５】
【補正対象書類名】図面
【補正対象項目名】図８
【補正方法】変更
【補正の内容】

【図８】



【手続補正１６】
【補正対象書類名】図面
【補正対象項目名】図１７
【補正方法】変更

【補正の内容】
【図１７】


OUT
D221-m
遅延信号S41
OUT1
遅延信号S42
OUT2
S51の通すDelay buffer段数＞S52段数
221
D221-2
D221-1
VDD1
VSS2
IN