

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5579358号
(P5579358)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl.

F I

H O 1 L 21/76 (2006. 01)

H O 1 L 21/76 L

H O 1 L 21/318 (2006. 01)

H O 1 L 21/318 B

請求項の数 8 (全 9 頁)

(21) 出願番号 特願2006-345124 (P2006-345124)
 (22) 出願日 平成18年12月22日 (2006. 12. 22)
 (65) 公開番号 特開2007-184588 (P2007-184588A)
 (43) 公開日 平成19年7月19日 (2007. 7. 19)
 審査請求日 平成21年11月30日 (2009. 11. 30)
 (31) 優先権主張番号 11/321, 206
 (32) 優先日 平成17年12月29日 (2005. 12. 29)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 500587067
 アギア システムズ インコーポレーテッド
 アメリカ合衆国, 18109 ペンシルヴァニア, アレンタウン, アメリカン パークウェイ エヌイー 1110
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 頑丈なシャロー・トレンチ分離構造およびシャロー・トレンチ分離構造を形成する方法

(57) 【特許請求の範囲】

【請求項 1】

シャロー・トレンチ分離構造を形成する方法であって、
 半導体層内に開口部を形成する工程と、
 前記開口部内および前記半導体層の上に第 1 の誘電体材料を堆積させる工程と、
 前記第 1 の誘電体材料の一部を除去して分離構造を形成する工程であって、前記分離構造は前記半導体層および前記分離構造の間に少なくとも 1 つのボイドを有する、分離構造を形成する工程と、
 前記分離構造および前記半導体層の上にコンフォーマルな第 2 の誘電体材料を堆積させる工程であって、前記少なくとも 1 つのボイドが前記コンフォーマルな第 2 の誘電体材料で満たされる、コンフォーマルな第 2 の誘電体材料を堆積させる工程と、
 前記コンフォーマルな第 2 の誘電体材料を除去する工程とを含み、
 前記コンフォーマルな第 2 の誘電体材料を除去する工程の後に、前記少なくとも 1 つのボイドに前記コンフォーマルな第 2 の誘電体材料の一部が残留し、前記半導体層よりも上方に延びる前記分離構造の少なくとも一面に前記コンフォーマルな第 2 の誘電体材料の第 1 部分が残留し、前記分離構造の上面を前記コンフォーマルな第 2 の誘電体材料の第 2 部分が覆う、方法。

【請求項 2】

前記開口部内および前記半導体層の上に前記第 1 の誘電体材料を堆積させる前記工程が、前記開口部の側壁に隣接して誘電体ライナ膜を堆積させる工程を含む、請求項 1 に記載

10

20

の方法。

【請求項 3】

前記コンフォーマルな第 2 の誘電体材料を堆積させる前記工程が、前記半導体層の上面よりも上方に延びる前記第 1 の誘電体材料の側壁に前記コンフォーマルな第 2 の誘電体材料を堆積させる工程をさらに含む、請求項 1 に記載の方法。

【請求項 4】

前記コンフォーマルな第 2 の誘電体材料を堆積させる前記工程が、窒化ケイ素、酸化ケイ素または炭化ケイ素を堆積させる工程を含む、請求項 1 に記載の方法。

【請求項 5】

半導体層と、

前記半導体層内に形成されたデバイス分離構造とを含み、前記デバイス分離構造は、前記半導体層内のトレンチに配設された第 1 の誘電体材料を含み、前記トレンチの側壁に隣接する前記第 1 の誘電体材料中にボイドが存在し、さらに、

前記ボイド中にコンフォーマルな第 2 の誘電体材料の一部が存在し、前記半導体層よりも上方に延びる前記デバイス分離構造の少なくとも一面に前記コンフォーマルな第 2 の誘電体材料の第 1 部分が存在し、前記分離構造の上面を前記コンフォーマルな第 2 の誘電体材料の第 2 部分が覆う、集積回路構造。

【請求項 6】

前記半導体層の上面よりも上方に延びる前記第 1 の誘電体材料の上部領域が側壁を含み、前記第 2 の誘電体材料の第 1 部分が前記上部領域の前記側壁上に存在する、請求項 5 に記載の集積回路構造。

【請求項 7】

前記第 2 の誘電体材料の別の一部が前記デバイス分離構造の上面にも存在する、請求項 6 に記載の集積回路構造。

【請求項 8】

前記第 2 の誘電体材料の別の一部が前記デバイス分離構造の上面に存在する、請求項 5 に記載の集積回路構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、集積回路に関し、より詳細には、集積回路内にシャロー・トレンチ分離構造 (STI) 構造を形成する方法およびその方法に従って形成されるシャロー・トレンチ分離構造に関する。

【背景技術】

【0002】

集積回路は通常、半導体基板と、トランジスタなどその基板内のドープ領域を備える半導体デバイスとを含む。これらのドープ領域を電氣的に接続して電気デバイスおよび電気回路を形成するための相互接続構造が半導体基板の上にある。従来の相互接続構造は、誘電体層を導電層と交互に含む。誘電体層中のほぼ垂直な導電性ビアまたはプラグが、導電層中のほぼ水平な導電性トレースまたはランナを接続する。

【0003】

CMOS デバイス (相補型金属酸化膜半導体電界効果トランジスタ) は、互いに反対の導電型にドープされた隣り合うウェル内に形成された n チャネル型および p チャネル型金属酸化膜半導体電界効果トランジスタ (MOSFET) を含む。各 MOSFET は、チャネルによって分離されたソースおよびドレイン領域、チャネルの上に形成されたゲート酸化物、およびゲート酸化物の上に形成されたドープ・ポリシリコン・ゲート電極をさらに含む。適当なゲート電圧によりチャネルが反転してソース領域とドレイン領域の間の電流の流れを可能にする。

【0004】

集積回路基板内では、ドープ領域の望ましくない相互作用によって形成される寄生デバ

10

20

30

40

50

イスの効果を避けるために、いくつかのドーブ領域を電氣的に分離することが必要なことがある。たとえば、寄生バイポーラ構造、たとえば $p-n-p-n$ サイリスタは、CMOS デバイスのウェルおよびドーブ・ソース/ドレイン領域によって形成される。このサイリスタは、通常の CMOS 動作条件下では動作しない（オフ）。しかしながら、あるバイアス条件下では、 $p-n-p$ 領域が $n-p-n$ 領域にベース電流を供給し、それにより CMOS デバイスの 2 つの MOSFET 間にリーク電流の流れが生じ、そのため CMOS デバイスのラッチアップを引き起こす可能性がある。このリーク電流を防ぐために、従来技術では、基板内の隣り合う MOSFET 間に分離構造が形成される。

【0005】

シリコン局所酸化（LOCOS）法に従って、またはシャロー・トレンチ分離（STI）法に従って形成される酸化物（二酸化ケイ素）分離領域は、リーク電流を最小限に抑え、また前述の寄生効果を低減するように、隣り合うトランジスタ（または集積回路内に形成される他のデバイス）のドーブ領域を電氣的に分離する。

【0006】

シリコン局所酸化法を用いると、半導体基板の不活性領域（電界領域）内に陥凹 LOCOS 分離領域が形成される。ある LOCOS 法によれば、窒化ケイ素の層を基板の上に堆積させ、従来のマスキングおよびエッチング工程に従ってパターンニングして、下にある半導体基板領域を露出させる開口部を窒化ケイ素内に形成する。開口部を通して露出した半導体基板を酸化することにより、分離 LOCOS 領域が形成される。窒化ケイ素によってマスクされた領域では酸化は起こらない。

【0007】

STI 構造は、活性デバイスを電氣的に分離するための誘電体で充てんされた基板のトレンチ（深さ約 300 nm）を含む。シャロー・トレンチ分離構造は使用する基板の表面積がより少なく、またより平坦な上面トポグラフィを示すので、LOCOS 構造に勝るいくつかの利点を有する。面積の消費量が減ると、回路の設計者が、集積回路内に単位面積当たりでよりたくさんのトランジスタを含めることが可能になる。より平坦な上面トポグラフィは、適切な寸法の材料層をその上に形成するのに、またフォトリソグラフィによる正確なパターンニングに有益である。

【0008】

STI 構造は、約 0.25 ミクロンを下回るデバイス寸法に特に有用であり、優れた分離も提供する。というのも、STI のトレンチの底に形成されるとがった隅部が、隣り合うドーブ領域間のリーク電流を阻止する傾向にある電圧障壁を形成するからである。LOCOS 領域は一般に、丸みのある隅部を示し、したがって多少のリーク電流を許容してしまうことがある。

【0009】

図 5～8 は、ウエハ上に形成された複数の集積回路のうちの 1 つの集積回路の基板内にシャロー・トレンチ分離構造を形成するための従来の連続する加工工程を示す、共通平面に沿った断面図（原寸に比例して示していない）である。

【0010】

図 5 における半導体基板 30 は、離隔されたドーブ領域 32 を含む。ドーブ領域 32 は、それらの間にあるシャロー・トレンチ分離構造で分離されることが望ましい。応力を低減する二酸化ケイ素層 36（パッド酸化物層 36 とも称される）を、基板 30 の上面 37 の上に堆積または成長させる。次に、二酸化ケイ素層 36 の上に窒化ケイ素層 38 を（典型的には、低圧化学気相成長法に従って）堆積させる。

【0011】

既知のプロセスに従って、フォトレジスト層 40 を堆積させ、露光し、現像してその中に開口部 41 を形成する。

窒化ケイ素層 38 およびパッド酸化物層 36 内に、開口部 41 を通して側壁 47 付きの開口部 46 を形成する。開口部 46 は、好ましくは酸素と C_2F_6 および/または CHF_3 などのフッ素含有ガス（フッ素含有ガスはシリコン基板 30 に対して選択的である）を

10

20

30

40

50

用いるプラズマ・エッチング・プロセスにより形成される。

【 0 0 1 2 】

フォトレジスト層 4 0 を除去し、ウエハを洗浄する。開口部 4 6 をマスクとして用い、通常は臭化水素および塩素を用いたプラズマ・ドライ・エッチングを含むエッチング工程中に、半導体基板 3 0 内に側壁 4 9 付きのトレンチ 4 8 (図 6 参照) を形成する。

誘電体ライナ膜 5 0 をトレンチ 4 8 内に形成しまたは堆積させる。

【 0 0 1 3 】

図 7 に示すように、トレンチ 4 8 内に誘電体材料を堆積させることにより S T I 構造 5 5 を形成する。この材料堆積は、ライナ膜 5 0 にほぼ隣接してトレンチ 4 8 内に比較的低密度の誘電体材料 5 6 A を堆積させる第 1 の工程を含む。第 2 の堆積 (バルク堆積) 工程中は、堆積室に十分な電力を供給して高イオン密度を形成する。これにより材料堆積速度 (およびプロセスのスループット) が増大して、トレンチ 4 8 内に高密度誘電体材料 5 6 B (たとえば、非ドーパケイ酸ガラス) が形成される。後者の堆積は通常、高密度プラズマ非ドーパケイ酸ガラス (H D P U S G) 堆積法に従って行われる。別の実施形態においては、H D P U S G 法の代わりに常圧化学気相成長法 (A P C V D) を使用することもできる。高密度 H D P U S G 材料 5 6 B を堆積させるために、堆積室内で約 10^{11} ~ 約 10^{13} i o n s / c m ³ の範囲のプラズマ・イオン密度を生成し、比較的高材料堆積速度及び高密度材料を生じる。堆積工程中は、窒化ケイ素層 3 8 の上面 5 9 上にも誘電体材料が堆積される。化学的機械研磨 (C M P) 工程により、上面 5 9 から誘電体材料が除去され、この化学的機械研磨は窒化ケイ素層 3 8 上で停止する。この誘電体材料 (たとえば H D P U S G) の C M P 研磨速度は、窒化ケイ素の C M P 研磨速度よりも大きいので、S T I 構造 5 5 の上面 6 0 は、窒化ケイ素層 3 8 の上面 5 9 より陥凹している。

【 0 0 1 4 】

S T I 構造 5 5 の形成を完了するために、フッ化水素 (H F) 洗浄プロセスに従ってウエハを洗浄し、H F ウエット・エッチングなど既知のプロセスを用いて窒化ケイ素層 3 8 およびパッド酸化物層 3 6 を除去し、最後にウエハをもう一度洗浄する。図 8 は、これらの加工工程の完了後の側壁 6 2 を含めた S T I 構造 5 5 の構造要素を示す。便宜上、低密度誘電体材料 5 6 A と高密度誘電体材料 5 6 B は別々に示してはいない。

【 0 0 1 5 】

窒化ケイ素層 3 8 およびパッド酸化物層 3 6 を除去するためのウエット・エッチング・プロセス中に、低密度誘電体材料と高密度誘電体材料の界面にボイド 7 0 (図 8 参照) が形成される。

【 0 0 1 6 】

後のゲート・ポリシリコン層の堆積中に、側壁 6 2 の周りおよびボイド 7 0 中に望ましくないポリシリコン・ストリング (「ラップ・アップ (w r a p - u p s) 」 と称される) が形成される可能性がある。これらのストリングは、短絡またはリーク電流経路を生じ、それにより S T I の分離機能が働かなくなり、そのため集積回路の性能が低下し、その結果信頼性の問題およびデバイス不良がもたらされることがある。界面におけるボイド形成を防ぐプロセス・スキームが望まれる。

【 0 0 1 7 】

ボイド 7 0 の幅および深さを (したがって、ポリシリコン・ストリングが形成される可能性を) 減らそうという努力として、窒化ケイ素層 3 8 およびパッド酸化物層 3 6 を除去するためのウエット・エッチング・プロセスの後の洗浄工程 (典型的にはフッ酸洗浄) の継続時間を短くすることが知られている。しかしながら、洗浄時間を短縮すると、窒化物残渣および汚染物質が基板 3 0 上に残存することがあり、S T I 構造 5 5 および基板 3 0 内で望ましくない短絡またはリーク電流が生じるおそれがあることも知られている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 8 】

本発明の目的は、半導体基板において、トレンチを充てんしている材料のボイド中に誘

10

20

30

40

50

電体材料が配設されたシャロー・トレンチ分離構造およびそのシャロー・トレンチ分離構造を形成する方法を提供することである。

【課題を解決するための手段】

【0019】

一実施形態によれば、本発明は、集積回路内にシャロー・トレンチ分離構造を形成する方法を含む。この方法は、半導体層を設ける工程と、半導体層内に開口部を形成する工程と、開口部に誘電体材料を堆積させる工程と、誘電体材料の上にコンフォーマルに材料を堆積させる工程と、コンフォーマルな材料を除去する工程とを含み、誘電体材料中に形成されることがあるボイドが、コンフォーマルな材料を除去する工程の後に、コンフォーマルな材料によって少なくとも部分的に充てんされる。

10

【0020】

本発明の別の実施形態によれば、集積回路構造が、半導体層と、半導体層内に形成されたデバイス分離構造であって、半導体層内のトレンチに配設された第1の誘電体材料を含み、トレンチの側壁に隣接する第1の誘電体材料中にボイドが存在することがあるデバイス分離構造と、ボイド内の第2の誘電体材料とを含む。

【0021】

本発明についての以下の詳細な説明を図面と併せ読めば、本発明をより容易に理解することができ、また本発明の利点および用途がより容易に明らかになる。

一般的な慣行に従って、記載されているデバイスの様々なフィーチャは原寸に比例して示してはならず、本発明にとって重要な特定のフィーチャを強調するように示してある。図面および明細書を通して、同じ参照文字は同じ要素を示す。

20

【発明を実施するための最良の形態】

【0022】

本発明によるSTI構造の形成に関する特定の方法及び構造を詳細に説明する前に、本発明は、主として要素とプロセス工程の新規な自明でない組合せにあることを理解されたい。当業者には容易に明らかになるであろう詳細によって開示があいまいにならないように、従来通りの一部の要素および工程はあまり詳しく提示されておらず、本発明を理解するのに重要な他の要素および工程を図面および明細書により詳細に説明する。

【0023】

以下の実施形態は、本発明の構造または方法の範囲を定義するものではなく、例示的な構成を提供するものにすぎない。これらの実施形態は、必須ではなく許容であり、また網羅的ではなく例示的である。本発明は、上述の従来プロセスに伴うボイド70の悪影響を回避するSTI構造を形成する方法を含む。

30

図1は、窒化ケイ素層38除去後のSTI構造55を示す。本発明の教示によれば、パッド酸化物層36が基板30の上に残っている。

【0024】

本発明によれば、コンフォーマルな窒化ケイ素層80（厚さ約50nm～100nm）をパッド酸化物層36の上に堆積させ、ボイド70を窒化ケイ素領域80Aで充てんする。図2を参照のこと。一実施形態によれば、LPCVD法を用いて窒化ケイ素層80を堆積させ、それによりボイド70を充てんするためのコンフォーマルな材料層を生成する。コンフォーマルな誘電体材料層（たとえば酸窒化ケイ素）を生成する他の方法をLPCVD法の代わりに使用してボイド70を充てんすることもできる。たとえば、適切に制御したPECVD法を使用して窒化ケイ素のコンフォーマルな層を堆積させることができる。コンフォーマルな炭化ケイ素層（通常、化学気相成長法に従って堆積させる）を使用してボイド70を充てんすることもできる。

40

【0025】

パッド酸化物層36およびトレンチ内の誘電体材料56に達すると終了する、終点が制御された従来のブランケット窒化物エッチ・バック法を用いて窒化ケイ素層80をエッチングする。図2を参照のこと。窒化ケイ素領域80Aは、図のようにボイド70中に残り、少なくとも部分的にボイド70を充てんしている。

50

【0026】

一実施形態においては、窒化物エッチングは2工程プロセスを含む。第1の工程中は、酸素とフッ素含有ガス（たとえば C_2F_6 または CF_4 ）の混合物を、それぞれ約5 sccmおよび約100 sccmの流量でプラズマ・エッチング・チャンバに供給する。チャンバ圧は約100 mTorrであり、エッチング室に供給される電力は約450 Wである。当業者には知られているように、流量、圧力および電力が所与の特定値から少なくとも10%変わっても、エッチング結果が損なわれることはない。

【0027】

次に、所望の選択性を提供するために重合ガス（たとえば約10 sccmの CHF_3 ）、アルゴン（約20 sccm）およびフッ素含有ガス（約10 sccm）の混合物を用いて、下にある半導体基板30に対して選択的なオーバー・エッチング・プロセスを行う。チャンバ圧は約100 mTorrであり、エッチング・チャンバに供給される電力は約300 Wである。流量、圧力および電力は、所与の特定値から少なくとも10%変わってもよい。他のエッチング・プロセスを利用して窒化ケイ素層80をエッチングすることもできることが当業者には理解される。HFウエット・エッチングなど既知のプロセスを用いてパッド酸化物を除去し、ウエハを（たとえばRCA洗浄プロセスを用いて）洗浄する。最終的なSTI構造84を図4に示す。

【0028】

コンフォーマル特性を有するので、窒化ケイ素膜80がボイド70を充てんするだけでなく、エッチ・バックの後に、窒化ケイ素領域80BがSTI構造84の側壁62上に残り、それによりその後の加工中に側壁62が削られまたは劣化されないよう保護される。

【0029】

幅広のSTI構造は、上面59から二酸化ケイ素を除去するためのCMPプロセス中にディッシングの影響を受けやすいことが知られている。ディッシング効果を誇張して図7に示す。コンフォーマルな窒化ケイ素層80の残留物80Cがディッシングされた領域を覆ってより平坦なSTI上面を提供する。これは、フォトリソグラフィおよび後続の材料層の堆積中に有益である。図4を参照のこと。

【0030】

本発明の頑強な手法は、STI構造中でのボイド形成および（エッチング速度など）ランダムなプロセス変動をもたらし、それにより比較的大きな問題のあるボイドを生じさせるおそれがある従来の作製方法の影響を未然に防ぐ。本発明では、再現可能な一貫した方法に従ってボイドのないSTI構造が作製される。ポリシリコン・ストリングが形成される確率が大幅に減少し、デバイスの信頼性が大幅に向上し、デバイスの欠陥率が大幅に低下する。

【0031】

半導体基板内にSTI構造を形成するのに有用なアーキテクチャおよびプロセスを説明してきた。本発明の具体的な用途および例示的な諸実施形態を説明し、論じてきたが、これらは本発明を様々なやり方および様々な回路構造で実施するための基礎となるものである。本発明の範囲内で多数の変形形態が可能である。記載した諸実施形態の1つまたは複数に関連するフィーチャおよび要素は、すべての実施形態に必須の要素と解釈されるものではない。本発明は添付の特許請求の範囲によってのみ限定される。

【図面の簡単な説明】

【0032】

【図1】本発明の教示に従ってシャロー・トレンチ分離構造を形成するための一加工工程中の基板の断面図である。

【図2】本発明の教示に従ってシャロー・トレンチ分離構造を形成するための、上記工程に続く加工工程中の基板の断面図である。

【図3】本発明の教示に従ってシャロー・トレンチ分離構造を形成するための、上記工程に続く加工工程中の基板の断面図である。

【図4】本発明の教示に従ってシャロー・トレンチ分離構造を形成するための、上記工程

10

20

30

40

50

に続く加工工程中の基板の断面図である。

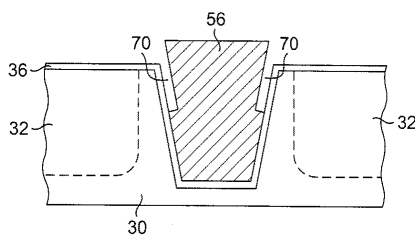
【図5】従来技術のシャロー・トレンチ分離構造を形成するための一加工工程中の基板の断面図である。

【図6】従来技術のシャロー・トレンチ分離構造を形成するための上記工程に続く加工工程中の基板の断面図である。

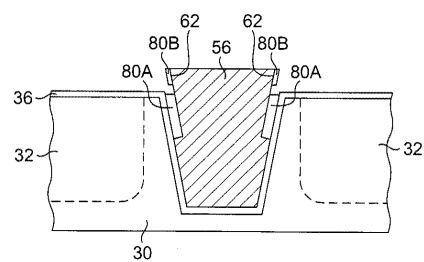
【図7】従来技術のシャロー・トレンチ分離構造を形成するための上記工程に続く加工工程中の基板の断面図である。

【図8】従来技術のシャロー・トレンチ分離構造を形成するための上記工程に続く加工工程中の基板の断面図である。

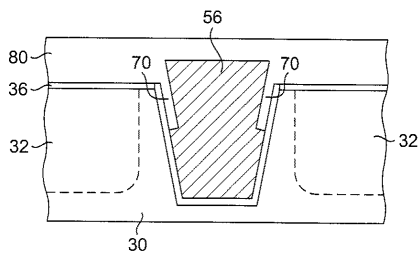
【図1】



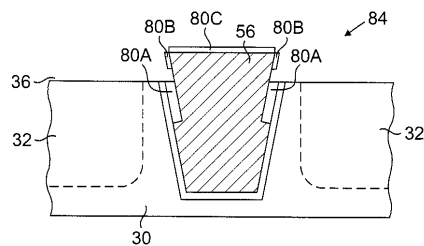
【図3】



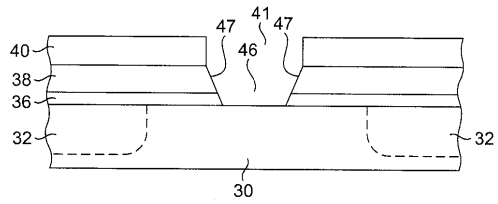
【図2】



【図4】

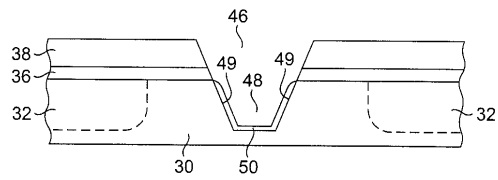


【図 5】



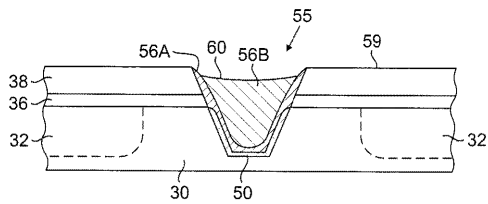
従来技術

【図 6】



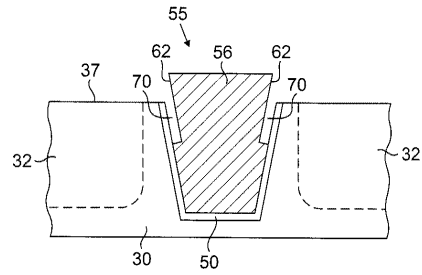
従来技術

【図 7】



従来技術

【図 8】



従来技術

フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 アラン ケー・ナンダ

アメリカ合衆国 3 2 8 2 9 フロリダ, オーランド, レイク ウィンダム アヴェニュー 8 5
7 2

(72)発明者 ネース ロッシ

シンガポール国 2 4 9 4 0 9 シンガポール, フート キアム ロード 3 0, スイート 0 8

(72)発明者 ランピア シング

シンガポール国 7 3 8 2 8 0 シンガポール, ビーチウッド グローヴ 2 8

審査官 右田 勝則

(56)参考文献 特開平 0 8 - 3 3 0 4 1 0 (J P , A)

特開 2 0 0 0 - 2 2 3 7 0 4 (J P , A)

米国特許第 0 6 3 1 9 7 9 4 (U S , B 1)

米国特許出願公開第 2 0 0 1 / 0 0 1 5 0 4 6 (U S , A 1)

特開 2 0 0 5 - 1 6 6 7 0 0 (J P , A)

特開 2 0 0 4 - 3 6 3 4 8 6 (J P , A)

特開平 1 1 - 3 4 0 3 1 3 (J P , A)

特開 2 0 0 0 - 0 5 8 6 3 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 7 6

H 0 1 L 2 1 / 3 1 8