



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I710975 B

(45)公告日：中華民國 109 (2020) 年 11 月 21 日

(21)申請案號：107109411

(22)申請日：中華民國 107 (2018) 年 03 月 20 日

(51)Int. Cl. : **G06N3/06 (2006.01)****G06F9/30 (2018.01)**

(30)優先權：2017/03/22 美國

15/466,296

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：李 佩瑞 V LEA, PERRY V. (US)

(74)代理人：陳長文

(56)參考文獻：

TW 201227545A

US 5165009

審查人員：李京歡

申請專利範圍項數：16 項 圖式數：7 共 55 頁

(54)名稱

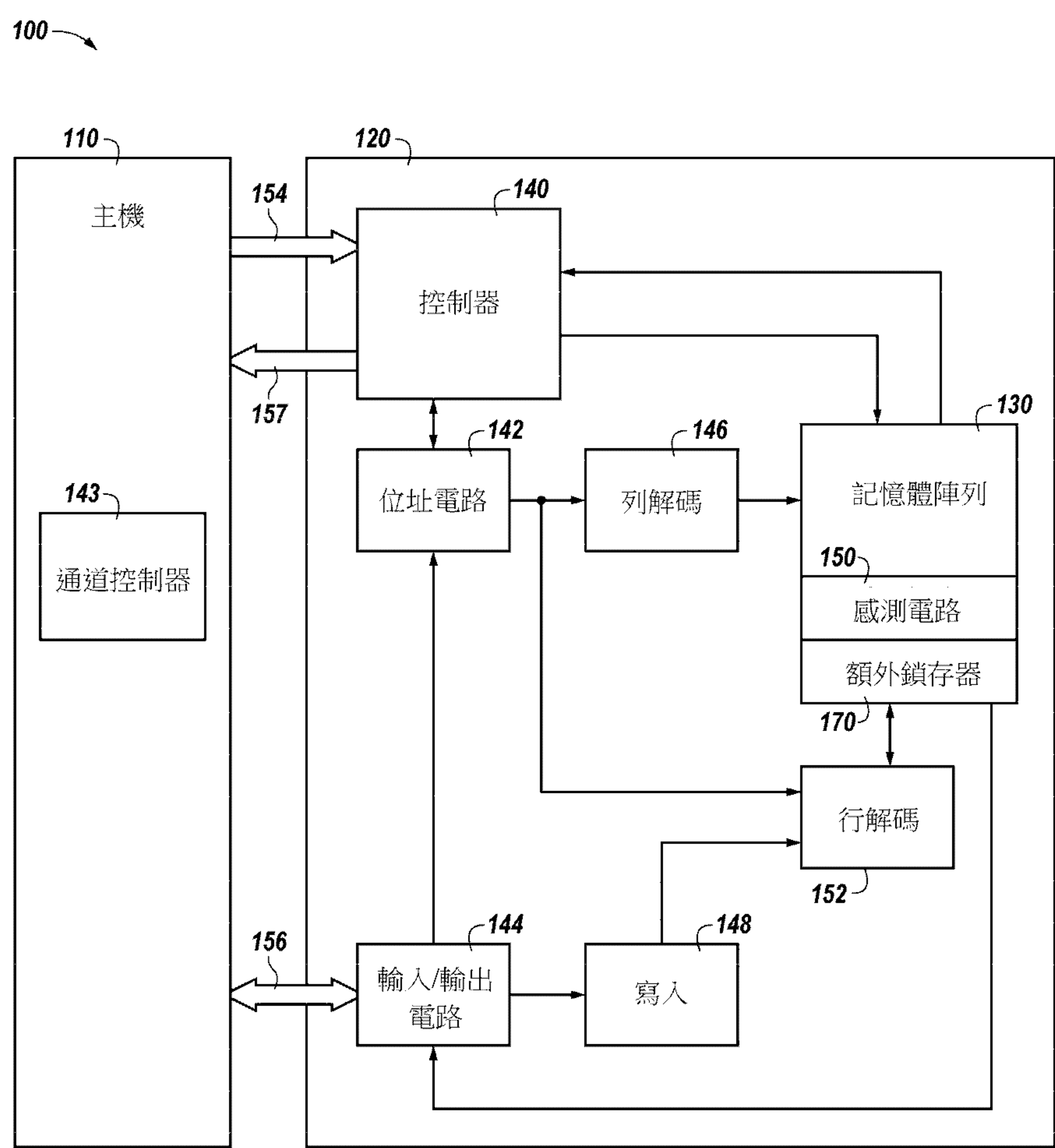
用於操作神經網路的裝置及方法

(57)摘要

本發明包含用於操作神經網路的裝置及方法。一種實例性裝置包含：複數個神經網路，其中該複數個神經網路經組態以接收一特定資料部分，且其中該複數個神經網路中之每一者經組態以在一特定時間週期期間對該特定資料部分進行操作以做出關於該特定資料部分之一特性之一判定。

The present disclosure includes apparatuses and methods for operating neural networks. An example apparatus includes a plurality of neural networks, wherein the plurality of neural networks are configured to receive a particular portion of data and wherein each of the plurality of neural networks is configured to operate on the particular portion of data during a particular time period to make a determination regarding a characteristic of the particular portion of data.

指定代表圖：



【圖1A】

符號簡單說明：

- 100 . . . 計算系統/系統
- 110 . . . 主機
- 120 . . . 記憶體器件/器件
- 130 . . . 記憶體陣列/陣列/記憶體胞元陣列
- 140 . . . 控制器
- 142 . . . 位址電路
- 143 . . . 通道控制器
- 144 . . . 輸入/輸出電路
- 146 . . . 列解碼器
- 148 . . . 寫入電路
- 150 . . . 感測電路
- 152 . . . 行解碼器
- 154 . . . 控制匯流排
- 156 . . . 資料匯流排
- 157 . . . 帶外匯流排
- 170 . . . 額外鎖存器/額外邏輯電路/邏輯



I710975

【發明摘要】

【中文發明名稱】

用於操作神經網路的裝置及方法

【英文發明名稱】

APPARATUSES AND METHODS FOR OPERATING NEURAL NETWORKS

【中文】

本發明包含用於操作神經網路的裝置及方法。一種實例性裝置包含：複數個神經網路，其中該複數個神經網路經組態以接收一特定資料部分，且其中該複數個神經網路中之每一者經組態以在一特定時間週期期間對該特定資料部分進行操作以做出關於該特定資料部分之一特性之一判定。

【英文】

The present disclosure includes apparatuses and methods for operating neural networks. An example apparatus includes a plurality of neural networks, wherein the plurality of neural networks are configured to receive a particular portion of data and wherein each of the plurality of neural networks is configured to operate on the particular portion of data during a particular time period to make a determination regarding a characteristic of the particular portion of data.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

100	計算系統/系統
110	主機
120	記憶體器件/器件
130	記憶體陣列/陣列/記憶體胞元陣列
140	控制器
142	位址電路
143	通道控制器
144	輸入/輸出電路
146	列解碼器
148	寫入電路
150	感測電路
152	行解碼器
154	控制匯流排
156	資料匯流排
157	帶外匯流排
170	額外鎖存器/額外邏輯電路/邏輯

【發明說明書】

【中文發明名稱】

用於操作神經網路的裝置及方法

【英文發明名稱】

APPARATUSES AND METHODS FOR OPERATING NEURAL NETWORKS

【技術領域】

本發明一般而言係關於記憶體器件，且更特定而言，係關於操作神經網路。

【先前技術】

記憶體器件通常提供為電腦或其他電子系統中之內部半導體積體電路。存在諸多不同類型之記憶體，包含揮發性及非揮發性記憶體。揮發性記憶體可需要電力以維持其資料(例如，主機資料、錯誤資料等)且包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、同步動態隨機存取記憶體(SDRAM)及閘流體隨機存取記憶體(TRAM)以及其他。非揮發性記憶體在不被供電時可藉由存留所儲存資料而提供永久資料，且可包含NAND快閃記憶體、NOR快閃記憶體及電阻可變記憶體(諸如相變隨機存取記憶體(PCRAM))、電阻式隨機存取記憶體(RRAM)及磁阻式隨機存取記憶體(MRAM) (諸如自旋轉矩轉移隨機存取記憶體(STT RAM))以及其他。

電子系統通常包含若干個處理資源(例如，一或多個處理器)，該等處理資源可擷取並執行指令且將所執行指令之結果儲存至一適合位置。一處理器可包括(舉例而言)可用於藉由對資料(例如，一或多個運算元)執行一

操作而執行指令之若干個功能單元，諸如算術邏輯單元(ALU)電路、浮動點單元(FPU)電路及一組合邏輯區塊。如本文中所使用，一操作可為(舉例而言)一布林(Boolean)運算，諸如AND、OR、NOT、NAND、NOR及XOR及/或其他操作(例如，反轉、移位、算術、統計以及諸多其他可能操作)。舉例而言，功能單元電路可用於經由若干個操作而對運算元執行算術操作，諸如加法、減法、乘法及除法。

在將指令提供至功能單元電路以供執行時，可涉及一電子系統中之若干個組件。舉例而言，該等指令可由一處理資源(諸如一控制器及/或主機處理器)執行。資料(例如，將對其執行指令之運算元)可儲存於可由功能單元電路存取之一記憶體陣列中。在功能單元電路開始對資料執行指令之前，可自記憶體陣列擷取指令及/或資料並對其進行定序及/或緩衝。此外，由於可在一個或多個時脈循環中透過功能單元電路執行不同類型之操作，因此亦可對指令及/或資料之中間結果進行定序及/或緩衝。用以在一或多個時脈循環中完成一操作之一序列可稱為一操作循環。完成一操作循環所消耗之時間花費在一計算裝置及/或系統之處理及計算效能以及電力消耗方面。

在諸多例項中，處理資源(例如，處理器及相關聯功能單元電路)可在記憶體陣列外部，且經由處理資源與記憶體陣列之間的一匯流排而存取資料以執行一組指令。可在一記憶體中處理(PIM)器件中改良處理效能，其中可在一記憶體內部及/或附近(例如，直接在與記憶體陣列相同之一晶片上)實施一處理及/或邏輯資源。一記憶體中處理(PIM)器件可藉由減少及消除外部通信而節省時間且亦可節約電力。

【發明內容】

【圖式簡單說明】

圖1A係根據本發明之若干項實施例之呈包含一記憶體器件之一電子系統之形式之一裝置的一方塊圖。

圖1B係根據本發明之若干項實施例之呈包含一記憶體器件之一電子系統之形式之一裝置的另一方塊圖，該記憶體器件具有位於在一陣列之記憶體庫區段本端之一資料路徑中之一共用輸入/輸出(I/O)線。

圖2係圖解說明根據本發明之若干項實施例之神經網路之一示意圖。

圖3係圖解說明根據本發明之若干項實施例之一記憶體器件之感測電路的一示意圖，該感測電路包含一計算組件。

圖4係圖解說明根據本發明之若干項實施例之用於位於一陣列之一資料路徑中之複數個共用I/O線之電路的一示意圖。

圖5係圖解說明根據本發明之若干項實施例之一記憶體器件之一控制器之一實例的一方塊圖。

圖6係圖解說明根據本發明之若干項實施例之一記憶體器件之感測電路的一示意圖。

圖7係圖解說明根據本發明之若干項實施例之由圖3中所展示之一感測電路實施之可選擇邏輯運算結果之一邏輯表。

【實施方式】

本發明包含用於操作神經網路之裝置及方法。一實例性裝置包含複數個神經網路，其中複數個神經網路經組態以接收一特定資料部分且其中複數個神經網路中之每一者經組態以在一特定時間週期期間對該特定資料部分進行操作以做出關於該特定資料部分之一特性之一判定。在某些實施例中，複數個神經網路可包含記憶體中處理(PIM)架構。

本發明闡述使用獨立神經網路來對資料進行分類。在若干項實施例中，可使複數個神經網路同時對一特定資料部分進行操作。該特定資料部分可為一影像、一影像之部分、聲音或情感。可獨立地訓練每一神經網路而非訓練一個大的網路。此可提供較佳準確度，此乃因每一獨立神經網路可傳回類似或相異結果。

在若干項實施例中，複數個神經網路可包含PIM架構。如此，複數個神經網路可以一固定點或二進位加權網路對一PIM器件進行操作且複數個神經網路可為單位元網路。先前方法使用一單個32位元網路來執行神經網路功能。

在若干項實施例中，複數個神經網路可接收一特定資料部分且耦合至該複數個神經網路之一控制器可基於該複數個神經網路之結果而權衡資料辨識之一準確度。在若干項實施例中，控制器使用一表決方案來權衡資料辨識之準確度。控制器可自複數個神經網路中之每一者接收一表決且可基於複數個神經網路中之每一者之特定訓練而權衡該表決。

在若干項實施例中，複數個神經網路可包含耦合至感測電路之一記憶體胞元陣列，該感測電路包含一感測放大器及一計算組件，該感測電路用以做出關於特定資料部分之特性之判定。在若干項實施例中，複數個神經網路包含經由複數個輸入/輸出(I/O)線而耦合至感測電路之一記憶體胞元陣列，該複數個I/O線被共用為一資料路徑以使與該陣列相關聯之資料路徑中計算操作做出關於特定資料部分之特性之判定。

在本發明之以下詳細說明中，參考形成本發明之一部分且其中以圖解說明方式展示可如何實踐本發明之一或多項實施例之隨附圖式。充分詳細地闡述該等實施例以使得熟習此項技術者能夠實踐本發明之實施例，且

應理解，可利用其他實施例且可做出程序、電及/或結構改變，而不背離本發明之範疇。

如本文中所使用，諸如「X」、「Y」、「N」、「M」等標誌符(特定而言關於圖式中之元件符號)指示可包含如此標記之若干個特定特徵。亦應理解，本文中所使用之術語僅出於闡述特定實施例之目的，而非意欲為限制性的。除非內容脈絡另外明確指定，否則如本文中所使用，單數形式「一(a、an)」及「該(the)」可包含單數個及複數個指示物兩者。另外，「若干個」、「至少一個」及「一或多個」(例如，若干個記憶體陣列)可係指一或多個記憶體陣列，而「複數個」意欲係指此等事物中之一者以上。此外，在此申請案通篇中，詞語「可(can及may)」在一許可意義上(亦即，具有...之可能性、能夠...)而非在一強制意義上(亦即，必須)使用。術語「包含(include)」及其派生詞意指「包含但不限於」。視內容脈絡情況，術語「耦合(coupled及coupling)」意指實體上直接或間接連接或者對命令及/或資料進行存取及移動(傳輸)。視內容脈絡情況，術語「資料」與「資料值」在本文中可互換地使用且可具有相同含義。

如本文中所闡述，複數個共用I/O線155可經由耦合至每一陣列之選擇邏輯而由記憶體胞元之複數個子陣列、記憶體區段、象限、列及/或特定行可選擇地共用。舉例而言，感測電路150及/或額外鎖存器170(包含針對若干個行之一可選擇子集(例如，總數目個行之八個(8個)、十六個(16個)等行子集)中之每一者之一感測放大器及選擇邏輯)可以可選擇地耦合至複數個共用I/O線155中之每一者以使資料值移動至複數個共用I/O線之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N。在某些實施例中，可選擇地耦合至複數個

共用I/O線155中之每一者之複數個計算組件131-1、...、131-M可對應於可選擇地耦合至複數個共用I/O線之若干個行(例如，2K個、1K個等)。除非內容脈絡另外明確指定，否則由於單數形式「一(a、an)」及「該(the)」可在本文中包含單數個及複數個指示物兩者，因此「一共用I/O線」可用於係指「一對互補共用I/O線」。此外，「共用I/O線」係「複數個共用I/O線」之一縮略語。

本文中之各圖遵循其中第一個數字或前幾個數字對應於圖編號且剩餘數字識別圖中之一元件或組件之一編號慣例。可藉由使用類似數字而識別不同圖之間的類似元件或組件。舉例而言，在圖1A中108可指代元件「08」，且在圖2中可將一類似元件指代為208。如將瞭解，可添加、交換及/或消除本文中之各項實施例中所展示之元件以便提供本發明之若干個額外實施例。另外，圖中所提供之元件之比例及/或相對標度意欲圖解說明本發明之特定實施例且不應被視為具一限制意義。

圖1A係根據本發明之若干項實施例之呈包含一記憶體器件120之一計算系統100之形式之一裝置的一方塊圖，該記憶體器件包含一記憶體陣列130。如本文中所使用，一記憶體器件120、控制器140、記憶體陣列130、感測電路150及/或若干個額外鎖存器170亦可單獨地視為一「裝置」。

如本文中所使用，額外鎖存器意欲意指額外功能性(例如，放大器、選擇邏輯)，該等額外功能性感測、耦合及/或移動(例如，讀取、儲存、快取)一陣列中之記憶體胞元之資料值且不同於圖1B、圖3至圖4及圖6至圖7中所展示之位於複數個共用I/O線155之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N。如圖

1B中所展示之位於在陣列本端之複數個共用輸入/輸出(I/O)線155之一資料路徑中之邏輯條帶124-1、...、124-N可與記憶庫121-1中之記憶體胞元之各種記憶庫區段123-1、...、123-N相關聯。記憶庫121-1可為記憶體器件120上之複數個記憶庫中之一者。

圖1A中之系統100包含耦合(例如，連接)至記憶體器件120之一主機110。主機110可為一主機系統，諸如一個人膝上型電腦、一桌上型電腦、一數位相機、一智慧型電話或一記憶卡讀取器以及各種其他類型之主機。主機110可包含一系統母板及/或底板，且可包含若干個處理資源(例如，一或多個處理器、微處理器或某一其他類型之控制電路)。系統100可包含單獨積體電路，或者主機110及記憶體器件120兩者可位於同一積體電路上。系統100可(舉例而言)係一伺服器系統及/或一高效能計算(HPC)系統及/或其一部分。雖然圖1A中所展示之實例圖解說明具有一馮諾依曼(Von Neumann)架構之一系統，但可以非馮諾依曼架構實施本發明之實施例，該等非馮諾依曼架構可不包含通常與一馮諾依曼架構相關聯之一或多個組件(例如，CPU、ALU等)。

為清晰起見，系統100已被簡化以聚焦於與本發明特定相關之特徵。記憶體陣列130可為一DRAM陣列、SRAM陣列、STT RAM陣列、PCRAM陣列、TRAM陣列、RRAM陣列、NAND快閃陣列及/或NOR快閃陣列以及其他類型之陣列。陣列130可包含記憶體胞元，該等記憶體胞元經配置成藉由存取線(其可在本文中稱為字線或選擇線)耦合之列及藉由感測線(其可在本文中稱為資料線或數位線)耦合之行。雖然在圖1A中展示一單個陣列130，但實施例並不如此受限制。舉例而言，記憶體器件120可包含若干個陣列130(例如，若干個DRAM胞元記憶庫、NAND快閃胞元

等)。

記憶體器件120可包含用以鎖存位址信號之位址電路142，該等位址信號由I/O電路144經由一資料匯流排156（例如，連接至主機110之一I/O匯流排）而提供（例如，經由區域I/O線及全域I/O線而提供至外部ALU電路及/或DRAM DQ）。如本文中所使用，DRAM DQ可使得能夠經由一匯流排（例如，資料匯流排156）而將資料輸入至一記憶庫及/或自該記憶庫輸出資料（例如，自及/或至控制器140及/或主機110）。在一寫入操作期間，可將一電壓（高=1，低=0）施加至一DQ（例如，一接腳）。可將此電壓轉化為一適當信號並儲存於一選定記憶體胞元中。在一讀取操作期間，一旦完成存取且啟用輸出（例如，藉由使輸出啟用信號為低），自一選定記憶體胞元讀取之一資料值便可出現在DQ處。在其他時間，DQ可處於一高阻抗狀態中，使得DQ不產生或彙集電流且不向系統呈現一信號。當兩個或兩個以上器件（例如，記憶庫）共用一經組合資料匯流排時，此亦可減少DQ競爭，如本文中所闡述。此等DQ與位於在陣列130本端之一資料路徑中之複數個共用I/O線155（圖1B中）分離且不同。

狀態及異常資訊可（舉例而言）透過一帶外（OOB）匯流排157（例如，高速介面（HSI））而自記憶體器件120之控制器140被提供至一通道控制器143，該狀態及異常資訊可繼而自通道控制器143被提供至主機110。通道控制器143可包含一邏輯組件，該邏輯組件用以在每一各別記憶庫之陣列中分配複數個位置（例如，子陣列之控制器）以儲存用於與複數個記憶體器件120中之每一者之操作相關聯之各種記憶庫之記憶庫命令、應用指令（例如，用於操作序列）及引數（PIM命令）。通道控制器143可將命令（例如，PIM命令）分派至複數個記憶體器件120以將彼等程式指令儲存於一記憶體

器件120之一給定記憶庫121 (圖1B)中。

位址信號透過位址電路142而接收且由一系列解碼器146及一行解碼器152解碼以存取記憶體陣列130。可藉由使用感測電路150之若干個感測放大器來感測感測線(數位線)上之電壓及/或電流改變而自記憶體陣列130感測(讀取)資料，如本文中所闡述。一感測放大器可自記憶體陣列130讀取並鎖存資料之一頁(例如，一系列)。如本文中所闡述之額外計算電路可耦合至感測電路150且可結合感測放大器而使用以感測、儲存(例如，快取及/或緩衝)、執行計算功能(例如，操作)及/或移動資料。I/O電路144可用於經由資料匯流排156 (例如，一64位元寬之資料匯流排)而與主機110進行雙向資料通信。寫入電路148可用於將資料寫入至記憶體陣列130。

控制器140 (例如，圖5中所展示之記憶庫控制邏輯、定序器及時序電路)可解碼由控制匯流排154自主機110提供之信號(例如，命令)。此等信號可包含可用於控制對記憶體陣列130執行之操作(包含資料感測、資料儲存、資料移動(例如，複製、傳送及/或輸送資料值)、資料寫入及/或資料抹除操作以及其他操作)之晶片啟用信號、寫入啟用信號及/或位址鎖存信號。在各種實施例中，控制器140可負責執行來自主機110之指令且存取記憶體陣列130。控制器140可為一狀態機、一定序器或某一其他類型之控制器。控制器140可控制一陣列(例如，記憶體陣列130)之一列中之移位資料(例如，向右或向左)且執行微碼指令以執行諸如計算操作(例如，AND、OR、NOR、XOR、加法、減法、乘法、除法等)之操作。

下文(例如，在圖3及圖4中)進一步闡述感測電路150之實例。舉例而言，在某些實施例中，感測電路150可包含若干個感測放大器及若干個計算組件，該若干個計算組件可用作一累加器且可用於在每一子陣列中(例

如，對與互補感測線相關聯之資料)執行操作。

在某些實施例中，感測電路150可用於使用儲存於記憶體陣列130中之資料作為輸入而執行操作且參與將用於複製、傳送、輸送、寫入、邏輯及/或儲存操作之資料移動至記憶體陣列130中之一不同位置而無需經由一感測線位址存取來傳送該資料(例如，無需激發一行解碼信號)。如此，各種計算功能可使用感測電路150且在感測電路150內執行，而非(或與其相關聯地)藉由感測電路150外部之處理資源(例如，藉由與主機110相關聯之一處理器及/或其他處理電路，諸如位於器件120上(諸如位於控制器140上或別處)之ALU電路)執行。然而，另外，根據本發明之實施例對資料值執行計算功能，該等資料值移動至來自陣列之若干列之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N。並且作為一實例，根據實施例，與激發陣列中之若干列所需之60奈秒(ns)之一實例性時間相比，計算操作可在不必將資料值往回移動至若干列中之情況下在計算單元中被控制於2奈秒(ns)之速度。

在各種先前方法中，舉例而言，與一運算元相關聯之資料將經由感測電路自記憶體被讀取且經由I/O線(例如，經由區域I/O線及/或全域I/O線)被提供至外部ALU電路。外部ALU電路可包含若干個暫存器且將使用運算元執行計算功能，且結果將經由I/O電路144被往回傳送至陣列。

相比而言，根據本發明之實施例對資料值執行計算功能，該等資料值經由複數個共用I/O線155而自陣列之若干列移動至位於在陣列本端之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N。另外，感測電路150可經組態以對儲存於記憶體陣列130中之資料執行操作且在不啟用耦合至感測電路150之一I/O線(例

如，一區域I/O線)之情況下將結果往回儲存至記憶體陣列130。然而，與激發陣列中之若干列所需之(例如) 60奈秒(ns)之一實例性時間相比，計算操作一旦被載入便可在不必將資料值往回移動至若干列中之情況下在計算單元中被控制為更快的(例如，以2奈秒(ns)之速度)。感測電路150可與陣列之記憶體胞元同間距地形成。與複數個共用I/O線155之資料路徑相關聯之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N具有一間距，該間距等於資料路徑之間距且隨數位線與記憶體胞元之陣列之一間距而變。舉例而言，計算組件具有一間距，該間距係數位線與記憶體胞元之陣列之間距之一整數倍。

舉例而言，本文中所闡述之感測電路150可與一對互補感測線(例如，數位線)同間距地形成。作為一實例，一對互補記憶體胞元可具有一胞元大小，該胞元大小具有一 $6F^2$ 間距(例如， $3F \times 2F$)，其中F係一特徵大小。若用於互補記憶體胞元之一對互補感測線之間距係 $3F$ ，則感測電路係同間距指示該感測電路(例如，每一對各別互補感測線之一感測放大器及對應計算組件)形成為配合於互補感測線之 $3F$ 間距內。同樣，與複數個共用I/O線155之資料路徑相關聯之計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N具有一間距，該間距隨互補感測線之 $3F$ 間距而變。舉例而言，計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N將具有一間距，該間距係數位線與記憶體胞元之陣列之 $3F$ 間距之一整數倍。

相比而言，各種先前系統之處理資源之電路(例如，一計算引擎，諸如一ALU)可並不符合與一記憶體陣列相關聯之間距規則。舉例而言，一記憶體陣列之記憶體胞元可具有一 $4F^2$ 或 $6F^2$ 胞元大小。如此，與先前系統

之ALU電路相關聯之器件(例如，邏輯閘)可不能夠與記憶體胞元同間距地形成(例如，與感測線同間距地形成)，此可影響(舉例而言)晶片大小及/或記憶體密度。在某些計算系統及子系統(例如，一中央處理單元(CPU))之內容脈絡中，可在並非與記憶體(例如，陣列中之記憶體胞元)同間距及/或同晶片之一位置中處理資料，如本文中所闡述。舉例而言，可由與一主機相關聯(舉例而言)而非與記憶體同間距之一處理資源處理資料。

如此，在若干項實施例中，在陣列130及感測電路150外部之電路不需要執行計算功能，此乃因感測電路150可執行適當操作以執行此等計算功能或可在不使用一外部處理資源之情況下在陣列本端之複數個共用I/O線之一資料路徑中執行此等操作。因此，感測電路150及/或位於複數個共用I/O線155之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N可用於至少在某種程度上補充或替換此一外部處理資源(或至少此一外部處理資源之頻寬消耗)。在某些實施例中，感測電路150及/或位於複數個共用I/O線155之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N可用於執行除由一外部處理資源(例如，主機110)執行之操作之外的操作(例如，執行指令)。舉例而言，主機110及/或感測電路150可限於僅執行特定操作及/或特定數目個操作。

本文中所闡述之操作可包含與一具有記憶體中處理(PIM)能力之器件相關聯之操作。具有PIM能力之器件操作可使用基於位元向量之操作。如本文中所使用，術語「位元向量」意欲意指一位元向量記憶體器件(例如，一PIM器件)上之實體上連續儲存於一記憶體胞元陣列之一列中之實體上連續數目個位元。因此，如本文中所使用，一「位元向量操作」意欲

意指對係虛擬位址空間(例如，由一PIM器件使用)之一連續部分之一位元向量執行之一操作。舉例而言，PIM器件中之一列虛擬位址空間可具有16K個位元之一位元長度(例如，對應於一DRAM組態中之16K個互補記憶體胞元對)。如本文中所闡述，針對此一16K位元列，感測電路150可包含一對應16K個處理元件(例如，計算組件，如本文中所闡述)，該對應16K個處理元件與可選擇地耦合至16位元列中之對應記憶體胞元之感測線同間距地形成。PIM器件中之一計算組件可作為一單位元處理元件(PE)而對由感測電路150感測(例如，由與計算組件配對之一感測放大器感測及/或儲存於該感測放大器中，如本文中所闡述)之記憶體胞元之列之位元向量的一單個位元進行操作。類似地，位於複數個共用I/O線155之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N可作為一單位元處理元件(PE)而對在一陣列中所感測之記憶體胞元之列之位元向量的一單個位元進行操作。

啟用一I/O線可包含啟用(例如，接通、啟動)具有耦合至一解碼信號(例如，一行解碼信號)之一閘極及耦合至I/O線之一源極/汲極之一電晶體。然而，實施例不限於啟用一I/O線。舉例而言，在若干項實施例中，感測電路(例如，150)可用於在不啟用陣列之行解碼線之情況下執行操作。

然而，複數個共用I/O線155可經啟用以便將資料值載入至位於複數個共用I/O線155之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N，其中計算操作可被控制為更快的。舉例而言，在計算單元中之複數個計算組件131-1、...、131-M及/或邏輯條帶124-1、...、124-N中，可以2奈秒(ns)之速度執行計算操

作。此速度提高可歸因於不必以用於激發陣列中之若干列之相關聯時間(例如，60奈秒(ns))將資料值往回移動至若干列中。

圖1B係根據本發明之若干項實施例之一記憶體器件之一記憶體庫121-1的一方塊圖。舉例而言，記憶體庫121-1可表示一記憶體器件120之一實例性記憶體庫。如圖1B中所展示，一記憶體庫121-1可包含複數個主要記憶體行(水平地展示為X)(例如，在一實例性DRAM記憶體庫中，16,384個行)。另外，記憶體庫121-1可被劃分成記憶體庫區段(例如，32個子陣列之象限) 123-1、123-2、...、123-N。每一記憶體庫區段可與位於複數個共用I/O線155之一資料路徑中之一計算單元中之邏輯條帶124-1、...、124-N中的複數個計算組件131-1、...、131-M相關聯。記憶體庫區段123-1、...、123-N中之每一者可包含複數個列(垂直地展示為Y)(例如，在一實例性DRAM記憶體庫中，每一區段可為包含32個子陣列之一象限，該32個子陣列各自可包含512個列)。實例性實施例不限於此處所闡述之行及列之實例性水平及/或垂直定向或者其實例性數目。

如圖1B中所展示，記憶體庫121-1可被劃分成複數個記憶體庫區段123-1、...、123-N。每一記憶體庫區段可具有與其相關聯的位於複數個共用I/O線155之一資料路徑中之一計算單元中之複數個計算組件131-1、...、131-M及邏輯條帶124-1、...、124-N。記憶體庫121-1可包含一控制器140，該控制器用以引導對資料值進行操作，該等資料值載入至位於複數個共用I/O線155之一資料路徑中之一計算單元中之邏輯條帶124-1、...、124-N中的複數個計算組件131-1、...、131-M。

圖2係圖解說明根據本發明之若干項實施例之神經網路之一示意圖。控制器240可對應於圖1A中所展示之控制器140。

如圖2之實例性實施例中所展示，一記憶體器件220中之複數個神經網路296-1、...、296-M可接收一特定資料部分且耦合至複數個神經網路296-1、...、296-M之一控制器240可基於複數個神經網路296-1、...、296-M之結果而權衡資料辨識之一準確度。在若干項實施例中，複數個神經網路296-1、...、296-M可同時接收指令以對特定資料部分進行操作。

在若干項實施例中，控制器240使用一表決方案來權衡資料辨識之準確度。控制器240可自複數個神經網路296-1、...、296-M中之每一者接收一表決。可由控制器240權衡來自複數個神經網路296-1、...、296-M中之每一者之表決。可基於複數個神經網路296-1、...、296-M中之每一者之特定訓練而權衡來自複數個神經網路296-1、...、296-M中之每一者之表決。舉例而言，複數個神經網路296-1、...、296-M中之每一者針對影像資料之特定訓練可包含對模糊影像、低光影像、人影像、貓影像、牌照影像等之資料辨識。若複數個神經網路296-1、...、296-M中之一者經訓練以準確地識別狗而在識別貓時較不準確且表決影像正展示一貓，並且複數個神經網路296-1、...、296-M中之一第二者經訓練以準確地識別貓且表決影像正展示一老鼠，則控制器可基於複數個神經網路296-1、...、296-M中之每一者之特定訓練而權衡該等表決並提供一輸出。在此情形中，控制器將不會做出偏向於一貓之權衡，此乃因複數個神經網路296-1、...、296-M中之第一者經訓練以在識別狗時係準確的且識別出一貓，並且複數個神經網路296-1、...、296-M中之第二者經訓練以在識別貓時係準確的且並未識別出一貓。表決方案可為一多數決規則，其中複數個神經網路296-1、...、296-M中之多數對一結果達成一致。表決方案可為一平均值，其中對每一神經網路之結果求平均。另一選擇係，若在複數個神經網

路296-1、...、296-M當中不存在對結果之一致決策，則可摒棄一輸出。根據此表決方案，複數個神經網路296-1、...、296-M中之每一者必須表決出相同結果以使控制器240提供一輸出。

在若干項實施例中，複數個神經網路296-1、...、296-M接收一資料部分、判定特定資料部分之一特性且判定該特性之一訓練置信度因子。複數個神經網路296-1、...、296-M可基於複數個神經網路中之每一者之訓練而判定該特性之訓練置信度因子。耦合至複數個神經網路296-1、...、296-M之一控制器240可基於複數個神經網路中之每一者之訓練置信度因子而權衡資料辨識之一準確度。控制器240可基於資料辨識之準確度而判定特定資料部分之一特性。

在若干項實施例中，複數個神經網路296-1、...、296-M中之每一者可為128兆位元組(MB)或更小。另外，可離線訓練複數個神經網路296-1、...、296-M。

圖3係圖解說明根據本發明之若干項實施例之感測電路350之一示意圖。感測電路350可對應於圖1A中所展示之感測電路150。

如圖3之實例性實施例中所展示，一記憶體胞元可包含一儲存元件(例如，電容器)及一存取器件(例如，電晶體)。舉例而言，一第一記憶體胞元可包含電晶體302-1及電容器303-1，且一第二記憶體胞元可包含電晶體302-2及電容器303-2等。在此實施例中，記憶體陣列330係1T1B (一個電晶體、一個電容器)記憶體胞元之一DRAM陣列，但可使用其他組態實施例(例如，具有每記憶體胞元兩個電晶體及兩個電容器之2T2C)。在若干項實施例中，記憶體胞元可為破壞性讀取記憶體胞元(例如，讀取儲存於胞元中之資料會破壞資料，使得原本儲存於胞元中之資料在被讀取之後

再新)。

記憶體陣列330之胞元可配置成由存取(字)線304-X (列X)、304-Y (列Y)等耦合之列及由互補感測線對(例如，圖3中所展示之數位線DIGIT(D)及DIGIT(D)_)耦合之行。對應於每一對互補感測線之個別感測線亦可分別稱為數位線305-1 (針對DIGIT (D))及305-2 (針對DIGIT (D)_)，或圖4中之對應元件符號。雖然在圖3中僅展示一對互補數位線，但本發明之實施例並不如此受限制，且一記憶體胞元陣列可包含額外記憶體胞元行及數位線(例如，4,096個、8,192個、16,384個等)。

雖然將列及行圖解說明為在一平面中正交地定向，但實施例並不如此受限制。舉例而言，列與行可相對於彼此以任何可行之三維組態進行定向。舉例而言，列與行可相對於彼此以任何角度進行定向、可在一實質上水平平面或一實質上垂直平面中進行定向及/或可以一摺疊式拓撲以及其他可能三維組態進行定向。

記憶體胞元可耦合至不同數位線及字線。舉例而言，一電晶體302-1之一第一源極/汲極區域可耦合至數位線305-1 (D)，電晶體302-1之一第二源極/汲極區域可耦合至電容器303-1，且一電晶體302-1之一閘極可耦合至字線304-Y。一電晶體302-2之一第一源極/汲極區域可耦合至數位線305-2 (D)_，電晶體302-2之一第二源極/汲極區域可耦合至電容器303-2，且一電晶體302-2之一閘極可耦合至字線304-X。如圖3中所展示之一胞元板可耦合至電容器303-1及303-2中之每一者。胞元板可為可在各種記憶體陣列組態中將一參考電壓(例如，接地)施加至其之一共同節點。

根據本發明之若干項實施例，記憶體陣列330經組態以耦合至感測電路350。在此實施例中，感測電路350包括對應於各別記憶體胞元行(例

如，耦合至各別對互補數位線)之一感測放大器306及一計算組件331。感測放大器306可耦合至該對互補數位線305-1與305-2。計算組件331可經由通過閘307-1及307-2而耦合至感測放大器306。通過閘307-1及307-2之閘極可耦合至操作選擇邏輯313。

操作選擇邏輯313可經組態以包含用於控制通過閘(其耦合不在感測放大器306與計算組件331之間轉置的該對互補數位線)之通過閘邏輯及用於控制交換閘(其耦合在感測放大器306與計算組件331之間轉置的該對互補數位線)之交換閘邏輯。操作選擇邏輯313亦可耦合至該對互補數位線305-1與305-2。操作選擇邏輯313可經組態以基於一選定操作而控制通過閘307-1及307-2之連續性。

感測放大器306可經操作以判定儲存於一選定記憶體胞元中之一資料值(例如，邏輯狀態)。感測放大器306可包括可在本文中稱為一初級鎖存器之一交叉耦合之鎖存器。在圖3中所圖解說明之實例中，對應於感測放大器306之電路包括一鎖存器315，該鎖存器包含耦合至一對互補數位線D 305-1與(D)₋ 305-2之四個電晶體。然而，實施例並不限於此實例。鎖存器315可為一交叉耦合之鎖存器(例如，諸如n通道電晶體(例如，NMOS電晶體) 327-1及327-2之一對電晶體之閘極與諸如p通道電晶體(例如，PMOS電晶體) 329-1及329-2之另一對電晶體之閘極交叉耦合)。包括電晶體327-1、327-2、329-1及329-2之交叉耦合之鎖存器315可稱為初級鎖存器。

在操作中，當正感測(例如，讀取)一記憶體胞元時，數位線305-1 (D)或305-2 (D)₋中之一者上之電壓將稍微大於數位線305-1 (D)或305-2 (D)₋中之另一者上之電壓。一ACT信號及一RNL*信號可被驅動為低以啟

用(例如，激發)感測放大器306。具有較低電壓之數位線305-1 (D)或305-2 (D)_將接通PMOS電晶體329-1或329-2中之一者至大於PMOS電晶體329-1或329-2中之另一者之一程度，藉此將具有較高電壓之數位線305-1 (D)或305-2 (D)_驅動為高至大於另一數位線305-1 (D)或305-2 (D)_被驅動為高之一程度。

類似地，具有較高電壓之數位線305-1 (D)或305-2 (D)_將接通NMOS電晶體327-1或327-2中之一者至大於NMOS電晶體327-1或327-2中之另一者之一程度，藉此將具有較低電壓之數位線305-1 (D)或305-2 (D)_驅動為低至大於另一數位線305-1 (D)或305-2 (D)_被驅動為低之一程度。因此，在一短延遲之後，具有稍微較大電壓之數位線305-1 (D)或305-2 (D)_透過一源極電晶體而被驅動至供應電壓 V_{CC} 之電壓，且另一數位線305-1 (D)或305-2 (D)_透過一漏型(sink)電晶體而被驅動至參考電壓(例如，接地)之電壓。因此，交叉耦合之NMOS電晶體327-1及327-2以及PMOS電晶體329-1及329-2用作一感測放大器對，該感測放大器對放大數位線305-1 (D)及305-2 (D)_上之差動電壓且操作以鎖存自選定記憶體胞元感測到之一資料值。

實施例並不限於圖3中所圖解說明之感測放大器306組態。作為一實例，感測放大器306可為一電流模式感測放大器及一單端感測放大器(例如，耦合至一個數位線之感測放大器)。而且，本發明之實施例並不限於諸如圖3中所展示之摺疊式數位線架構之一摺疊式數位線架構。

可操作感測放大器306連同計算組件331以使用來自一陣列之資料作為輸入來執行各種操作。在若干項實施例中，可在不經由一數位線位址存取而傳送資料(例如，不激發一行解碼信號使得資料經由區域I/O線傳送至

陣列及感測電路外部之電路)之情況下將一操作之結果往回儲存至陣列。如此，本發明之若干項實施例可使得能夠使用少於各種先前方法之電力執行操作及與其相關聯之計算功能。另外，由於若干項實施例消除對跨越區域及全域I/O線傳送資料以便執行計算功能(例如，在記憶體與離散處理器之間)之需要，因此若干項實施例可達成與先前方法相比之一經增加(例如，較快)處理能力。

感測放大器306可進一步包含可經組態以平衡數位線305-1 (D)與305-2 (D)₂之平衡電路314。在此實例中，平衡電路314包括耦合於數位線305-1 (D)與305-2 (D)₂之間的一電晶體324。平衡電路314亦包括各自具有耦合至一平衡電壓(例如， $V_{DD}/2$)之一第一源極/汲極區域之電晶體325-1及325-2，其中 V_{DD} 係與陣列相關聯之一供應電壓。電晶體325-1之一第二源極/汲極區域可耦合至數位線305-1 (D)，且電晶體325-2之一第二源極/汲極區域可耦合至數位線305-2 (D)₂。電晶體324、325-1及325-2之閘極可耦合在一起，且耦合至一平衡(EQ)控制信號線326。如此，啟動EQ會啟用電晶體324、325-1及325-2，此有效地將數位線305-1 (D)及305-2 (D)₂短接在一起且短接至一平衡電壓(例如， $V_{CC}/2$)。

雖然圖3展示包括平衡電路314之感測放大器306，但實施例並不如此受限制，且平衡電路314可與感測放大器306離散地實施、以不同於圖3中所展示之組態之一組態實施或者根本不實施。

如下文進一步闡述，在若干項實施例中，感測電路350 (例如，感測放大器306及計算組件331)可經操作以執行一選定操作，且在不經由一區域或全域I/O線傳送來自感測電路之資料之情況下(例如，在不經由例如啟動一行解碼信號執行一感測線位址存取之情況下)最初將結果儲存於感測

放大器306或計算組件331中之一者中。

執行操作(例如，涉及資料值之布林邏輯運算)係基本且常用的。在諸多較高階操作中使用布林邏輯運算。因此，可利用經改良操作實現之速度及/或功率效率可轉化為較高階功能性之速度及/或功率效率。

如圖3中所展示，計算組件331亦可包括一鎖存器，該鎖存器可在本文中稱為一次級鎖存器364。次級鎖存器364可以類似於上文關於初級鎖存器315所闡述之方式之一方式組態及操作，惟包含於次級鎖存器中之該對交叉耦合之p通道電晶體(例如，PMOS電晶體)可具有耦合至一供應電壓312-2(例如， V_{DD})之其各別源且次級鎖存器之該對交叉耦合之n通道電晶體(例如，NMOS電晶體)可具有選擇性地耦合至一參考電壓312-1(例如，接地，GND)之其各別源使得連續啟用次級鎖存器除外。計算組件331之組態並不限於圖2中所展示之組態，且各種其他實施例係可行的。

如本文中所闡述，一記憶體器件(例如，圖1A中之120)可經組態以經由一資料匯流排(例如，156)及一控制匯流排(例如，154)而耦合至一主機(例如，110)。記憶體器件120中之一記憶庫121可包含記憶體胞元之複數個記憶庫區段(圖1B中之123-1、...、123-N)。記憶庫121可包含經由記憶體胞元之複數個行(圖1B)而耦合至複數個陣列之感測電路(例如，圖1A中之150以及圖3及圖4中之對應元件符號)。感測電路可包含耦合至該等行中之每一者之一感測放大器及一計算組件(例如，分別圖3中之306及331)。

每一記憶庫區段123可與位於在陣列330本端之複數個共用I/O線(圖1B中之155)之一資料路徑中之一計算單元中之複數個邏輯條帶(例如，圖1B中之124-0、124-1、...、124-N-1)相關聯。耦合至記憶庫之一控制器(例如，圖1A至圖1B中之140)可經組態以如本文中所闡述而引導將資料值

移動至位於在陣列330本端之一共用I/O線455 (圖4)之一資料路徑中之一計算單元460 (圖4)中之一邏輯條帶中的一計算組件。

記憶體器件可包含具有複數個計算組件之一邏輯條帶(例如，圖1B中之124)，該複數個計算組件可對應於記憶體胞元之若干複數個行(圖1B)。如結合圖3進一步論述，感測電路350中之若干個感測放大器306及/或計算組件331可以可選擇地耦合(例如，經由圖4中之行選擇電路458-1及458-2)至複數個共用I/O線455 (圖4)。行選擇電路可經組態以藉由可選擇地耦合至複數個(例如，四個、八個及十六個以及其他可能性)感測放大器及/或計算組件而可選擇地感測一陣列之記憶體胞元之一特定行中之資料。

在某些實施例中，一記憶庫中之若干複數個邏輯條帶(例如，圖1B中之124-1、...、124-N)可對應於圖1B中之記憶庫中之若干個記憶庫區段123-1、...、123-N (例如，具有複數個子陣列之一象限)。一邏輯條帶可包含位於在陣列330本端之一共用I/O之一資料路徑中之複數個計算組件，如圖3中所展示之計算組件331。如圖4中將展示，自陣列之一列感測之資料值可藉由行選擇邏輯經由複數個共用I/O線455 (圖4)而並行移動至位於複數個共用I/O線455 (圖4)之一資料路徑中之一計算單元460 (圖4)中之複數個計算組件。在某些實施例中，資料量可對應於至少一千位元寬之複數個共用I/O線。

如本文中所闡述，記憶體胞元陣列可包含DRAM記憶體胞元之一實施方案，其中控制器回應於一命令而經組態以經由一共用I/O線將資料自源位置移動(例如，複製、傳送及/或輸送)至目的地位置。在各種實施例中，源位置可為位於一第一記憶庫中且目的地位置可為位於在陣列330本端之共用I/O線455 (圖4)之一資料路徑中之一計算單元460 (圖4)中。

如圖4中所闡述，裝置可經組態以將資料自一源位置(包含與第一數目個感測放大器及計算組件相關聯之一特定列(例如，圖4中之419)及行位址)移動(例如，複製、傳送及/或輸送)至一共用I/O線(例如，圖4中之455)。另外，裝置可經組態以將資料移動至一目的地位置，包含與位於共用I/O線455 (圖4)之一資料路徑中之一計算單元460 (圖4)相關聯之一特定邏輯條帶。如讀者將瞭解，每一共用I/O線455 (圖4)可實際上包含一對互補共用I/O線(例如，圖4中之共用I/O線及共用I/O線*)。在本文中所闡述之某些實施例中，2048個共用I/O線(例如，互補共用I/O線對)可被組態為一2048位元寬之共用I/O線。在本文中所闡述之某些實施例中，1024個共用I/O線(例如，互補共用I/O線對)可被組態為一1024位元寬之共用I/O線。

圖4係圖解說明根據本發明之若干項實施例之用於一記憶體器件中之資料移動之電路的一示意圖。圖4展示各自耦合至一對各別互補共用I/O線455 (例如，共用I/O線及共用I/O線*)之八個感測放大器(例如，分別以406-0、406-1、...、406-7展示之感測放大器0、1、...、7)。圖4亦展示各自經由各別通過閘407-1及407-2以及數位線405-1及405-2而耦合至一各別感測放大器(例如，如針對感測放大器0以406-0所展示)之八個計算組件(例如，以431-0、431-1、...、431-7展示之計算組件0、1、...、7)。舉例而言，通過閘可如圖3中所展示而連接且可由一操作選擇信號Pass控制。舉例而言，選擇邏輯之一輸出可耦合至通過閘407-1及407-2之閘極以及數位線405-1及405-2。對應之感測放大器與計算組件對可促成以450-0、450-1、...、450-7指示之感測電路之形成。

可將存在於該對互補數位線405-1與405-2上之資料值載入至計算組

件431-0中，如結合圖3所闡述。舉例而言，當啟用通過閘407-1及407-2時，可將該對互補數位線405-1與405-2上之資料值自感測放大器傳遞至計算組件(例如，自406-0傳遞至431-0)。該對互補數位線405-1與405-2上之資料值可為在激發感測放大器406-0時儲存於該感測放大器中之資料值。

圖4中之感測放大器406-0、406-1、...、406-7可各自對應於圖3中所展示之感測放大器306。圖4中所展示之計算組件431-0、431-1、...、431-7可各自對應於圖3中所展示之計算組件331。一個感測放大器與一個計算組件之一組合可促成一DRAM記憶體子陣列425之一部分之感測電路(例如，450-0、450-1、...、450-7)，該感測電路耦合至一共用I/O線455，該共用I/O線由共用I/O線455之一資料路徑中之若干個邏輯條帶共用。

圖4中所圖解說明之實施例之組態係出於清晰之目的而展示且並不限於此等組態。舉例而言，圖4中所圖解說明之感測放大器406-0、406-1、...、406-7與計算組件431-0、431-1、...、431-7及共用I/O線455組合之組態並不限於：感測電路之感測放大器406-0、406-1、...、406-7與計算組件431-0、431-1、...、431-7之組合之一半形成於記憶體胞元(未展示)之行422上方且一半形成於記憶體胞元之行422下方。形成感測電路(其經組態以耦合至一共用I/O線)之感測放大器與計算組件之此等組合之數目亦並不限於八個。另外，共用I/O線455之組態並不限於被分裂成兩個以用於單獨地耦合兩組互補數位線405-1與405-2中之每一者，共用I/O線455之定位亦並不限於在形成感測電路之感測放大器與計算組件之組合之中間(例如，而非位於感測放大器與計算組件之組合之任一端處)。

圖4中所圖解說明之電路亦展示行選擇電路458-1及458-2，該行選擇

電路經組態以相對於一子陣列425之特定行422、與其相關聯之互補數位線405-1及405-2以及共用I/O線455而實施資料移動操作(例如，如由圖1A至圖1B中所展示之控制器140引導)。舉例而言，行選擇電路458-1具有經組態以與對應行(諸如行0 (432-0)、行2、行4及行6)耦合之選擇線0、2、4及6。行選擇電路458-2具有經組態以與對應行(諸如行1、行3、行5及行7)耦合之選擇線1、3、5及7。在各種實施例中，結合圖4所闡述之行選擇電路458表示由多工器(例如，一個八(8)路多工器、十六(16)路多工器等)體現且含於該等多工器中之功能性之至少一部分。

控制器140可耦合至行選擇電路458以控制選擇線(例如，選擇線0)來存取儲存於感測放大器、計算組件中及/或存在於該對互補數位線(例如，405-1與405-2，當經由來自選擇線0之信號啟動選擇電晶體459-1及459-2時)上之資料值。啟動選擇電晶體459-1及459-2 (例如，如由控制器140引導)使得行0 (422-0)之感測放大器406-0、計算組件431-0及/或互補數位線405-1及405-2之耦合能夠將數位線0及數位線0*上之資料值移動至共用I/O線455。舉例而言，經移動資料值可為儲存(快取)於感測放大器406-0及/或計算組件431-0中的來自一特定列419之資料值。來自行0至行7中之每一者之資料值可類似地由控制器140選擇，從而啟動適當選擇電晶體。

此外，啟用(例如，啟動)選擇電晶體(例如，選擇電晶體459-1及459-2)可使得一特定感測放大器及/或計算組件(例如，分別406-0及/或431-0)能夠與一共用I/O線455耦合，使得由一放大器及/或計算組件儲存之資料值可被移動至共用I/O線455 (例如，放置於該共用I/O線上及/或傳送至該共用I/O線)。在某些實施例中，一次選擇一行(例如，行422-0)來耦合至一特定共用I/O線455以移動(例如，複製、傳送及/或輸送)所儲存資料值。在

圖4之實例性組態中，將共用I/O線455圖解說明為一共用差動I/O線對(例如，共用I/O線與共用I/O線*)。因此，選擇行0 (422-0)可產生來自一列(例如，列419)及/或如所儲存於與互補數位線405-1及405-2相關聯之感測放大器及/或計算組件中之兩個資料值(例如，具有值0及/或1之兩個位元)。此等資料值可並行輸入至共用差動I/O線455中之每一共用差動I/O對(例如，共用I/O與共用I/O*)。

圖5係圖解說明根據本發明之若干項實施例之一記憶體器件之一控制器之一實例的一方塊圖。在某些實施方案中，方塊圖提供一具有PIM能力之器件(諸如圖1A至圖2中之記憶體器件120)之一項實例之一部分的更多細節。在圖5之實例中，一控制器540-1、...、540-7 (一般稱為控制器540)可與具有PIM能力之器件520之每一記憶庫521-1、...、521-7 (一般稱為521)相關聯。在圖5之實例中展示八個記憶庫。然而，實施例並不限於此實例性數目。控制器540可表示圖1A中所展示之控制器140。每一記憶庫可包含記憶體胞元(未展示)之一或多個陣列。舉例而言，每一記憶庫可包含一或多個陣列(諸如圖1A中之陣列130)且可包含圖1A中所展示之解碼器、其他電路及暫存器。在圖5中所展示之實例性具有PIM能力之器件520中，控制器540-1、...、540-7展示為具有控制邏輯531-1、...、531-7、定序器532-1、...、532-7及時序電路533-1、...、533-7作為一記憶體器件520之一或多個記憶庫521上之一控制器540之一部分。具有PIM能力之器件520可表示圖1A中所展示之記憶體器件120之一部分。

如圖5之實例中所展示，具有PIM能力之器件520可包含用以接收在具有PIM能力之器件520處之資料、位址、控制信號及/或命令之一高速介面(HSI) 541。在各種實施例中，HSI 541可耦合至與具有PIM能力之器件

520相關聯之一記憶庫仲裁器545。HSI 541可經組態以自一主機(例如，如圖1A中之110)接收命令及/或資料。如圖5之實例中所展示，記憶庫仲裁器545可耦合至複數個記憶庫521-1、...、521-7。

在圖5中所展示之實例中，控制邏輯531-1、...、531-7可呈一微編碼引擎之形式，該微編碼引擎負責自一記憶體胞元陣列(例如，如圖1A中之陣列130之一陣列)(其係每一記憶庫521-1、...、521-7之一部分)提取並執行機器指令(例如，微碼指令)。定序器532-1、...、532-7亦可呈微編碼引擎之形式。另一選擇係，控制邏輯531-1、...、531-7可呈一極大指令字(VLIW)類型處理資源之形式且定序器532-1、...、532-7及時序電路533-1、...、533-7可呈狀態機及電晶體電路之形式。

控制邏輯531-1、...、531-7可將微碼指令解碼成由定序器532-1、...、532-7實施之函數呼叫，例如微碼函數呼叫(uCODE)。微碼函數呼叫可為以下操作：定序器532-1、...、532-7接收並執行以致使PIM器件520使用感測電路(諸如圖1A中之感測電路150)或使用計算組件執行特定邏輯運算。時序電路533-1、...、533-7可提供時序以協調邏輯運算之執行且負責提供對陣列(諸如圖1A中之陣列130)之無衝突存取。

如結合圖1A所闡述，控制器540-1、...、540-7可經由在圖5中展示為555-1、...、555-7之控制線及資料路徑而耦合至與記憶體胞元陣列相關聯之感測電路150、計算單元及/或額外邏輯電路170(包含快取記憶體、緩衝器、感測放大器、經擴展列位址(XRA)鎖存器及/或暫存器)。如此，圖1A中所展示之感測電路150、計算單元及邏輯170可使用在圖5中展示為555-1、...、555-7之共用I/O線而與記憶體胞元陣列130相關聯。控制器540-1、...、540-7可控制陣列之常規DRAM操作(諸如一讀取、寫入、複

製及/或抹除操作等)。然而，另外，微碼指令由控制邏輯531-1、...、531-7擷取並執行且微碼函數呼叫由定序器532-1、...、532-7接收並執行以致使圖1A中所展示之感測電路150及/或計算單元執行額外邏輯運算(諸如加法、乘法或(作為一較特定實例)布林操作(諸如一AND、OR、XOR等))，該等額外邏輯運算係不同的，例如比常規DRAM讀取及寫入操作複雜。因此，在此具有PIM能力之器件520實例中，可對一具有PIM能力之器件520之記憶庫521-1、...、521-7執行微碼指令執行及邏輯運算。

根據實施例，控制邏輯531-1、...、531-7、定序器532-1、...、532-7及時序電路533-1、...、533-7可操作以產生用於一DRAM陣列之操作循環序列及/或引導對記憶體器件520 (例如，對包含於共用I/O線之一資料路徑中之一計算單元中之一記憶庫521-1、...、521-7)執行操作(例如，邏輯運算)。在具有PIM能力之器件520實例中，每一序列可經設計以執行操作(諸如一布林邏輯運算AND、OR、XOR等)，該等操作一起達成一特定功能。舉例而言，操作序列可重複地執行一個一(1)位元加法之一邏輯運算以便計算一多位元總和。每一操作序列可被饋送至耦合至时序電路533-1、...、533-7之一先進/先出(FIFO)緩衝器中以提供與感測電路150、計算單元及/或額外邏輯電路170 (其與記憶體胞元陣列130 (例如，圖1A中所展示之DRAM陣列)相關聯)之時序協調。

在圖5中所展示之實例性具有PIM能力之器件520中，时序電路533-1、...、533-7可提供时序且可提供對來自四(4)個FIFO佇列之陣列之無衝突存取及/或可協調計算單元中之操作之时序。在此實例中，一個FIFO佇列可支援陣列計算、一個FIFO佇列可用於指令提取、一個FIFO佇列用於微碼(例如，Ucode)指令提取且一個FIFO佇列用於DRAM I/O。控制邏輯

531-1、...、531-7及定序器532-1、...、532-7兩者可產生狀態資訊，該狀態資訊經由一FIFO介面往迴路由至記憶庫仲裁器545。記憶庫仲裁器545可彙總此狀態資料且經由介面(HSI) 541將該狀態資料往回報告至一主機110。

圖6係圖解說明根據本發明之若干項實施例之能夠實施一XOR邏輯運算之計算單元電路的一示意圖。圖6展示耦合至一對互補共用I/O線655-1與655-2之一感測放大器606、邏輯運算選擇邏輯613以及經由通過閘607-1及607-2耦合至感測放大器606之一計算組件631。圖6中所展示之感測放大器606可以類似於在圖3中展示為與感測電路350相關聯之感測放大器306 (例如，初級鎖存器)之一方式起作用。圖6中所展示之計算組件631可類似於在圖3中展示為與感測電路350相關聯之計算組件331 (例如，次級鎖存器)而起作用。圖6中所展示之邏輯運算選擇邏輯613可類似於在圖3中展示為與感測電路350相關聯之邏輯運算選擇邏輯313而起作用。通過閘607-1及607-2之閘極可由一邏輯運算選擇邏輯613信號(例如，Pass)控制。舉例而言，邏輯運算選擇邏輯613之一輸出可耦合至通過閘607-1及607-2之閘極。此外，計算組件631可包括經組態以向左及向右移位資料值之一可載入移位暫存器。

根據圖6中所圖解說明之實施例，計算組件631可包括經組態以向左及向右移位資料值之一可載入移位暫存器之各別級(例如，移位胞元)。舉例而言，如在圖6中所圖解說明，移位暫存器之每一計算組件631 (例如，級)包括一對右移位電晶體681與686、一對左移位電晶體689與690以及一對反相器687與688。信號PHASE 1R、PHASE 2R、PHASE 1L及PHASE 2L可施加至各別控制線682、683、691及692以根據本文中所闡述之實施

例啟用/停用與執行邏輯運算及/或移位資料相關聯之對應計算組件631之鎖存器上之回饋。

圖6中所展示之計算單元電路展示耦合至若干個邏輯選擇控制輸入控制線(包含ISO、TF、TT、FT及FF)之操作選擇邏輯613。自邏輯選擇控制輸入線上之邏輯選擇控制信號之狀況以及在經由被確證之一ISO控制信號啟用隔離電晶體650-1及650-2時存在於該對互補共用I/O線655-1及655-2上之資料值而判定自複數個邏輯運算對一邏輯運算之選擇。

根據各種實施例，操作選擇邏輯613可包含四個邏輯選擇電晶體：邏輯選擇電晶體662，其耦合於交換電晶體642之閘極與一TF信號控制線之間；邏輯選擇電晶體652，其耦合於通過閘607-1及607-2之閘極與一TT信號控制線之間；邏輯選擇電晶體654，其耦合於通過閘607-1及607-2之閘極與一FT信號控制線之間；及邏輯選擇電晶體664，其耦合於交換電晶體642之閘極與一FF信號控制線之間。邏輯選擇電晶體662及652之閘極透過隔離電晶體650-1 (具有耦合至一ISO信號控制線之一閘極)耦合至真實感測線。邏輯選擇電晶體664及654之閘極透過隔離電晶體650-2 (亦具有耦合至一ISO信號控制線之一閘極)耦合至互補感測線。

存在於該對互補共用I/O線655-1及655-2上之資料值可經由通過閘607-1及607-2而載入至計算組件631中。計算組件631可包括一可載入移位暫存器。當通過閘607-1及607-2開通時，該對互補共用I/O線655-1及655-2上之資料值(「A」)被傳遞至計算組件631且藉此載入至可載入移位暫存器中。該對互補共用I/O線655-1及655-2上之資料值可為在感測放大器經激發時儲存於感測放大器606中之資料值(「B」)。在此實例中，邏輯運算選擇邏輯信號Pass係高的以將通過閘607-1及607-2開通。

ISO、TF、TT、FT及FF控制信號可操作以基於感測放大器606中之資料值(「B」)及計算組件631中之資料值(「A」)而選擇一邏輯功能來實施。特定而言，ISO、TF、TT、FT及FF控制信號經組態以獨立於存在於該對互補共用I/O線655-1及655-2上之資料值而選擇邏輯功能來實施(但所實施邏輯運算之結果可取決於存在於該對互補共用I/O線655-1及655-2上之資料值)。舉例而言，ISO、TF、TT、FT及FF控制信號選擇邏輯運算來直接實施，此乃因存在於該對互補共用I/O線655-1及655-2上之資料值並未通過邏輯以操作通過閘607-1及607-2之閘極。

另外，圖6展示經組態以在感測放大器606與計算組件631之間交換該對互補共用I/O線655-1及655-2之定向之交換電晶體642。當交換電晶體642開通時，交換電晶體642之感測放大器606側上之該對互補共用I/O線655-1及655-2上之資料值反向耦合至交換電晶體642之計算組件631側上之該對互補共用I/O線655-1及655-2，且藉此載入至計算組件631之可載入移位暫存器中。

當啟動ISO控制信號線且啟動TT控制信號(例如，係高的)(其中真實共用I/O線上之資料值係「1」)或啟動FT控制信號(例如，係高的)(其中互補共用I/O線上之資料值係「1」)時，邏輯運算選擇邏輯613信號Pass可經啟動(例如，係高的)以將通過閘607-1及607-2開通(例如，進行傳導)。

真實共用I/O線上之資料值係一「1」會將邏輯選擇電晶體652及662開通。互補共用I/O線上之資料值係一「1」會將邏輯選擇電晶體654及664開通。若ISO控制信號或各別TT/FT控制信號或者對應共用I/O線(例如，特定邏輯選擇電晶體之閘極耦合至其之共用I/O線)上之資料值並非係高的，則通過閘607-1及607-2將不由一特定邏輯選擇電晶體開通。

當啟動ISO控制信號線且啟動TF控制信號(例如，係高的)(其中真實共用I/O線上之資料值係「1」)或啟動FF控制信號(例如，係高的)(其中互補共用I/O線上之資料值係「1」)時，邏輯運算選擇邏輯信號Pass*可經啟動(例如，係高的)以將交換電晶體642開通(例如，進行傳導)。若各別控制信號或對應共用I/O線(例如，特定邏輯選擇電晶體之閘極耦合至其之共用I/O線)上之資料值並非係高的，則交換電晶體642將不由一特定邏輯選擇電晶體開通。

Pass*控制信號未必與Pass控制信號互補。同時啟動或同時去啟動Pass控制信號及Pass*控制信號兩者係可能的。然而，同時啟動Pass控制信號及Pass*控制信號兩者使該對互補共用I/O線短接在一起，此可為待避免之一破壞性組態。

圖6中所圖解說明之計算單元電路經組態以直接自四個邏輯選擇控制信號選擇複數個邏輯運算中之一者來實施(例如，邏輯運算選擇不取決於存在於該對互補共用I/O線上之資料值)。邏輯選擇控制信號之某些組合可致使通過閘607-1及607-2以及交換電晶體642皆同時開通，此使該對互補共用I/O線655-1及655-2短接在一起。根據本發明之若干項實施例，可由圖6中所圖解說明之計算單元電路實施之邏輯運算可為在圖7中所展示之邏輯表中總結之邏輯運算。

圖7係圖解說明根據本發明之若干項實施例之由位於圖6中所展示之複數個共用I/O線655-1及655-2之一資料路徑中之計算單元電路實施之可選擇邏輯運算結果的一邏輯表。四個邏輯選擇控制信號(例如，TF、TT、FT及FF)連同存在於互補共用I/O線上之一特定資料值一起可用於選擇多個邏輯運算中之一者來實施，涉及儲存於計算單元電路之感測放大器606

(例如，初級鎖存器)及計算組件631 (例如，次級鎖存器)中之開始資料值(「A」及「B」)。該四個控制信號連同存在於互補共用I/O線上之一特定資料值一起控制通過閘607-1及607-2以及交換電晶體642之連續性，此繼而在激發之前/之後影響計算組件631及/或感測放大器606中之資料值。選擇性地控制交換電晶體642之連續性之能力促進實施涉及逆變資料值(例如，逆變運算元及/或逆變結果)之邏輯運算以及其他。

圖7中所圖解說明之邏輯表7-1展示儲存於計算組件631 (例如，次級鎖存器)中之開始資料值(以744展示於欄A中)及儲存於感測放大器606 (例如，初級鎖存器)中之開始資料值(以745展示於欄B中)。邏輯表7-1中之其他3個欄標頭756、770及771係指圖6中所展示之通過閘607-1及607-2以及交換電晶體642之連續性，該等通過閘及交換電晶體可分別取決於四個邏輯選擇控制信號(例如，TF、TT、FT及FF)連同存在於該對互補共用I/O線655-1及655-2上之一特定資料值之狀態而經控制以開通或關斷。「未開通」欄對應於通過閘607-1及607-2以及交換電晶體642皆係處於一未傳導狀況中，「開通真實」對應於通過閘607-1及607-2係處於一傳導狀況中，且「開通反轉」對應於交換電晶體642係處於一傳導狀況中。邏輯表7-1中不反映對應於通過閘607-1及607-2以及交換電晶體642皆係處於一傳導狀況中之組態，此乃因此導致感測線被短接在一起。

經由對通過閘607-1及607-2以及交換電晶體642之連續性之選擇性控制，邏輯表7-1之上部部分之三個欄中之每一者可與邏輯表7-1之下部部分之三個欄中之每一者組合以提供對應於九個不同邏輯運算之 $3 \times 3 = 9$ 個不同結果組合，如藉由以775所展示之各種連接路徑所指示。在圖7中所圖解說明之邏輯表7-2中總結可藉由計算單元電路實施之九個不同可選擇邏

輯運算(包含一XOR邏輯運算)。

圖7中所圖解說明之邏輯表7-2之欄展示包含邏輯選擇控制信號之狀態之一標頭780。舉例而言，一第一邏輯選擇控制信號之狀態提供於表7-2之列776中、一第二邏輯選擇控制信號之狀態提供於表7-2之列777中、一第三邏輯選擇控制信號之狀態提供於表7-2之列778中且一第四邏輯選擇控制信號之狀態提供於表7-2之列779中。在表7-2之列747中總結對應於結果之特定邏輯運算。

儘管本文中已圖解說明及闡述包含感測電路、感測放大器、計算組件、邏輯條帶、共用I/O線、行選擇電路、多工器、鎖存器組件、鎖存器條帶及/或鎖存器等之各種組合及組態之實例性實施例，但本發明之實施例並不限於本文中明確陳述之彼等組合。本文中所揭示之感測電路、感測放大器、計算組件、邏輯條帶、共用I/O線、行選擇電路、多工器、鎖存器組件、鎖存器條帶及/或鎖存器等之其他組合及組態明確地包含於本發明之範疇內。

雖然本文中已圖解說明及闡述了特定實施例，但熟習此項技術者將瞭解，旨在達成相同結果之一配置可替代所展示之特定實施例。本發明意欲涵蓋本發明之一或多項實施例之修改或變化形式。應理解，已以一說明性方式而非一限制性方式做出以上說明。在審閱以上說明後，熟習此項技術者將旋即明瞭以上實施例之組合及本文中未具體闡述之其他實施例。本發明之一或多個實施例之範疇包含其中使用以上結構及程序之其他應用。因此，本發明之一或多個實施例之範疇應參考隨附申請專利範圍連同授權此等申請專利範圍之等效內容之全部範疇來判定。

在前述實施方式中，出於簡化本發明之目的，將某些特徵一起集合

於一單項實施例中。本發明之此方法不應解釋為反映本發明之所揭示實施例必須使用比明確陳述於每一技術方案中更多之特徵之一意圖。而是，如隨附申請專利範圍所反映，發明性標的物在於少於一單個所揭示實施例之所有特徵。因此，據此將隨附申請專利範圍併入至實施方式中，其中每一技術方案獨立地作為一單獨實施例。

【符號說明】

7-1	邏輯表
7-2	邏輯表/表
100	計算系統/系統
110	主機
120	記憶體器件/器件
121-1	記憶庫
123-1...123-N	記憶庫區段
124-1...124-N	邏輯條帶
130	記憶體陣列/陣列/記憶體胞元陣列
131-1...131-M	計算組件
140	控制器
142	位址電路
143	通道控制器
144	輸入/輸出電路
146	列解碼器
148	寫入電路
150	感測電路

152	行解碼器
154	控制匯流排
155	共用輸入/輸出線
156	資料匯流排
157	帶外匯流排
170	額外鎖存器/額外邏輯電路/邏輯
220	記憶體器件
240	控制器
296-1...296-M	神經網路
302-1	電晶體
302-2	電晶體
303-1	電容器
303-2	電容器
304-X	存取線/字線
304-Y	存取線/字線
305-1	數位線/互補數位線
305-2	數位線/互補數位線
306	感測放大器
307-1	通過閘
307-2	通過閘
312-1	參考電壓
312-2	供應電壓
313	操作選擇邏輯

314	平衡電路
315	鎖存器/初級鎖存器
324	電晶體
325-1	電晶體
325-2	電晶體
326	平衡控制信號線
327-1	n通道電晶體/ NMOS電晶體/電晶體
327-2	n通道電晶體/ NMOS電晶體/電晶體
329-1	p通道電晶體/PMOS電晶體/電晶體
329-2	p通道電晶體/PMOS電晶體/電晶體
330	記憶體陣列/陣列
331	計算組件
350	感測電路
364	次級鎖存器
405-1	數位線/互補數位線
405-2	數位線/互補數位線
406-0...406-7	感測放大器
407-1	通過閘
407-2	通過閘
419	列
422-0	行
425	動態隨機存取記憶體子陣列/子陣列
431-0...431-7	計算組件

450-0...450-7	感測電路
455	共用輸入/輸出線/差動輸入/輸出線
458-1	行選擇電路
458-2	行選擇電路
459-1	選擇電晶體
459-2	選擇電晶體
460	計算單元
520	具有記憶體中處理能力之器件/記憶體器件/記憶體 中處理器件
521-1	記憶體庫
521-7	記憶體庫
531-1	控制邏輯
531-7	控制邏輯
532-1	定序器
532-7	定序器
533-1	時序電路
533-7	時序電路
540-1	控制器
540-7	控制器
541	高速介面
545	記憶體庫仲裁器
555-1	控制線/資料路徑/共用輸入/輸出線
555-7	控制線/資料路徑/共用輸入/輸出線

606	感測放大器
607-1	通過閘
607-2	通過閘
613	邏輯運算選擇邏輯/操作選擇邏輯
631	計算組件
642	交換電晶體
650-1	隔離電晶體
650-2	隔離電晶體
652	邏輯選擇電晶體
654	邏輯選擇電晶體
655-1	互補共用輸入/輸出線
655-2	互補共用輸入/輸出線
662	邏輯選擇電晶體
664	邏輯選擇電晶體
681	右移位電晶體
682	控制線
683	控制線
686	右移位電晶體
687	反相器
688	反相器
689	左移位電晶體
690	左移位電晶體
691	控制線

692	控制線
744	開始資料值
745	開始資料值
747	列
756	欄標頭
770	欄標頭
771	欄標頭
775	連接路徑
776	列
777	列
778	列
779	列
780	標頭
A	資料值/欄
ACT	信號
B	資料值/欄
DIGIT(D)	數位線
DIGIT(D)_	數位線
EQ	平衡
FF	邏輯選擇控制輸入控制線/信號控制線/控制信號/ 邏輯選擇控制信號
FT	邏輯選擇控制輸入控制線/信號控制線/控制信號/ 邏輯選擇控制信號

GND	接地
ISO	邏輯選擇控制輸入控制線/信號控制線/控制信號/ 控制信號線
PASS	操作選擇信號/邏輯運算選擇邏輯信號
PASS*	邏輯運算選擇邏輯信號/控制信號
PHASE 1L	信號
PHASE 1R	信號
PHASE 2L	信號
PHASE 2R	信號
RNL*	信號
TF	邏輯選擇控制輸入控制線/控制信號/邏輯選擇控制 信號
TT	邏輯選擇控制輸入控制線/控制信號/邏輯選擇控制 信號
V _{DD}	供應電壓
V _{DD} /2	平衡電壓

【發明申請專利範圍】

【第1項】

一種用於操作神經網路之裝置，其包括：

複數個神經網路，其中該複數個神經網路中之每一者包含耦合至具有一感測放大器及一計算組件之感測電路之一記憶體胞元陣列，且其中該複數個神經網路中之每一者經組態以：

接收不同的訓練；

判定一特定資料部分之一特性；

基於該複數個神經網路中之每一者之該不同的訓練以判定該特定資料部分之該特性之一訓練置信度(confidence)因子；及

一控制器，其經耦合至該複數個神經網路，其中該控制器經組態以：

使用一表決方案(voting scheme)而基於該複數個神經網路中之每一者之該訓練置信度因子以判定資料辨識之一準確度(accuracy)；及

基於該資料辨識之該準確度以判定該特定資料部分之該特性。

【第2項】

如請求項1之裝置，其中該複數個神經網路經組態以包含記憶體中處理(PIM)架構。

【第3項】

如請求項1之裝置，其中該複數個神經網路包含經由複數個輸入/輸出(I/O)線而耦合至感測電路之一記憶體胞元陣列，該複數個I/O線被共用為一資料路徑以使與該陣列相關聯之資料路徑中計算操作，該陣列經組態以做出關於該特定資料部分之該特性之該判定。

【第4項】

如請求項1至3中任一項之裝置，其中該複數個神經網路經組態以獨立地被訓練。

【第5項】

如請求項1至3中任一項之裝置，其中該複數個神經網路經組態以同時對該特定資料部分進行操作。

【第6項】

如請求項1至3中任一項之裝置，其中該複數個神經網路經組態以同時接收指令以對該特定資料部分進行操作。

【第7項】

如請求項1至3中任一項之裝置，其中該複數個神經網路經組態而以一固定點或二進位加權網路進行操作。

【第8項】

一種用於操作神經網路之裝置，其包括：

複數個神經網路，其中該複數個神經網路中之每一者包含耦合至具有一感測放大器及一計算組件之感測電路之一記憶體胞元陣列，且其中該複數個神經網路之每一者經組態以：

接收不同的訓練；

接收一特定資料部分；

判定該特定資料部分之一特性；及

基於該複數個神經網路中之每一者之該不同的訓練以判定該特定資料部分之該特性之一訓練置信度因子；及

一控制器，其中該控制器耦合至該複數個神經網路且經組態以：

使用一表決方案而基於該複數個神經網路中之每一者之該訓練置信度因子以判定資料辨識之一準確度；及

基於該資料辨識之該準確度以判定該特定資料部分之該特性。

【第9項】

如請求項8之裝置，其中該控制器經組態以自該複數個神經網路中之每一者接收一表決。

【第10項】

如請求項9之裝置，其中基於特定資料部分之類型及該複數個神經網路中之每一者之特定訓練而評估來自該複數個神經網路中之每一者之該表決。

【第11項】

如請求項8至10中任一項之裝置，其中由該控制器基於該資料辨識之該準確度而提供一輸出。

【第12項】

如請求項11之裝置，其中若在該複數個神經網路當中不存在對該資料辨識之該準確度之一致決策，則摒棄該輸出。

【第13項】

一種用於操作神經網路之方法，其包括：

不同地訓練複數個神經網路中之每一者，其中該複數個神經網路中之每一者包含耦合至具有一感測放大器及一計算組件之感測電路之一記憶體胞元陣列，該計算組件經組態以做出關於資料之特性之判定；

判定該複數個神經網路中之每一者處之一特定資料部分之一特性；

基於該複數個神經網路中之每一者之該不同的訓練以判定該特定資

料部分之該特性之一訓練置信度因子；

在一控制器處使用一表決方案而基於該複數個神經網路中之每一者之該訓練置信度因子以判定資料辨識之一準確度；及

在該控制器處基於該資料辨識之該準確度以判定該特定資料部分之該特性。

【第14項】

如請求項13之方法，其中該方法包含獨立地訓練該複數個神經網路中之每一者。

【第15項】

一種用於操作神經網路之方法，其包括：

不同地訓練複數個神經網路中之每一者，其中該複數個神經網路中之每一者包含耦合至具有一感測放大器及一計算組件之感測電路之一記憶體胞元陣列，該計算組件經組態以做出關於資料之特性之判定；

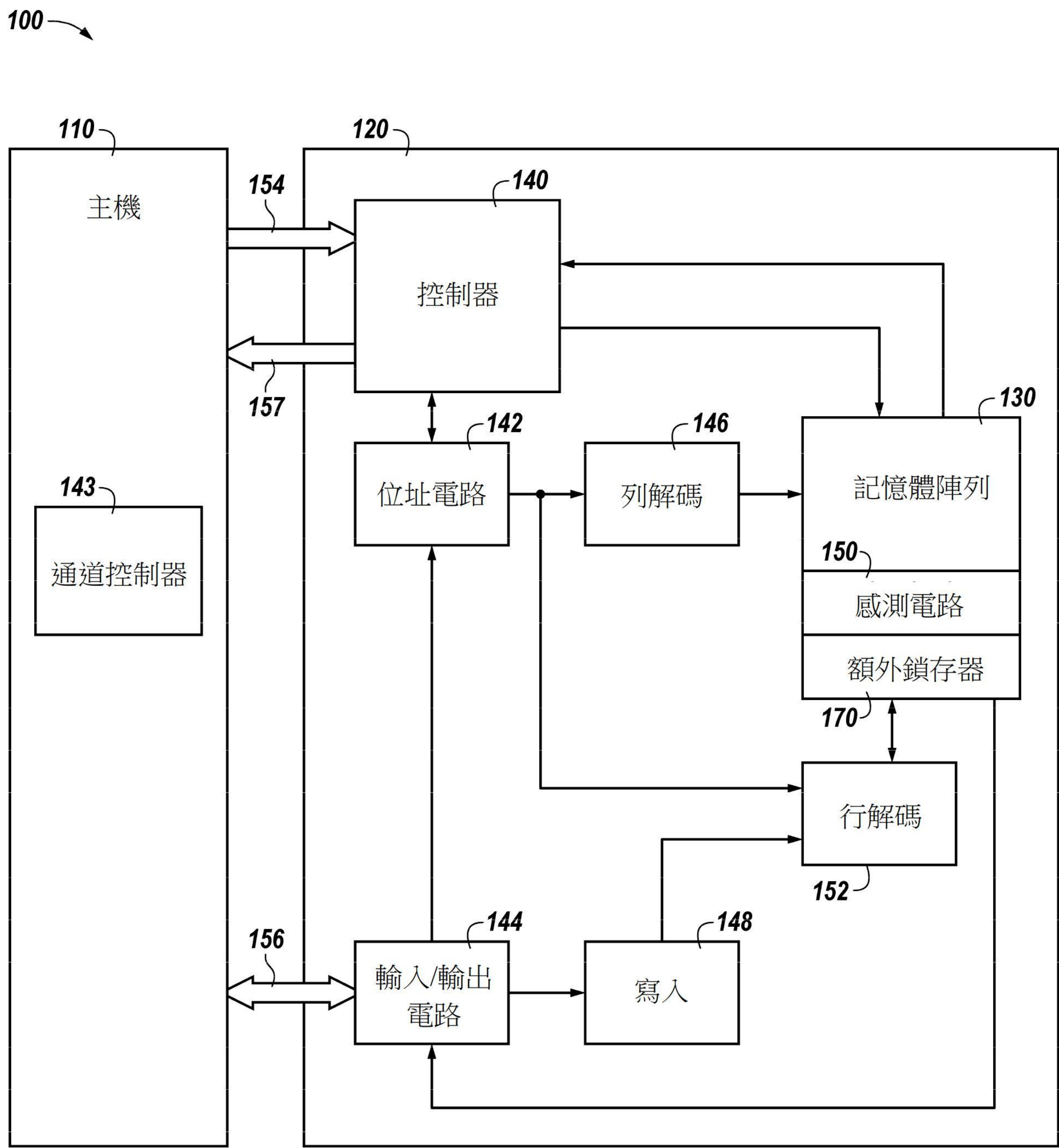
操作該複數個神經網路，其中該複數個神經網路中之每一者接收一特定資料部分，判定該特定資料部分之一特性，及基於該複數個神經網路中之每一者之該不同的訓練以判定該特定資料部分之該特性之一訓練置信度因子；及

操作一控制器，其中該控制器使用一表決方案而基於該複數個神經網路中之每一者之該訓練置信度因子以判定資料辨識之一準確度，且其中該控制器基於該資料辨識之該準確度以判定該特定資料部分之該特性。

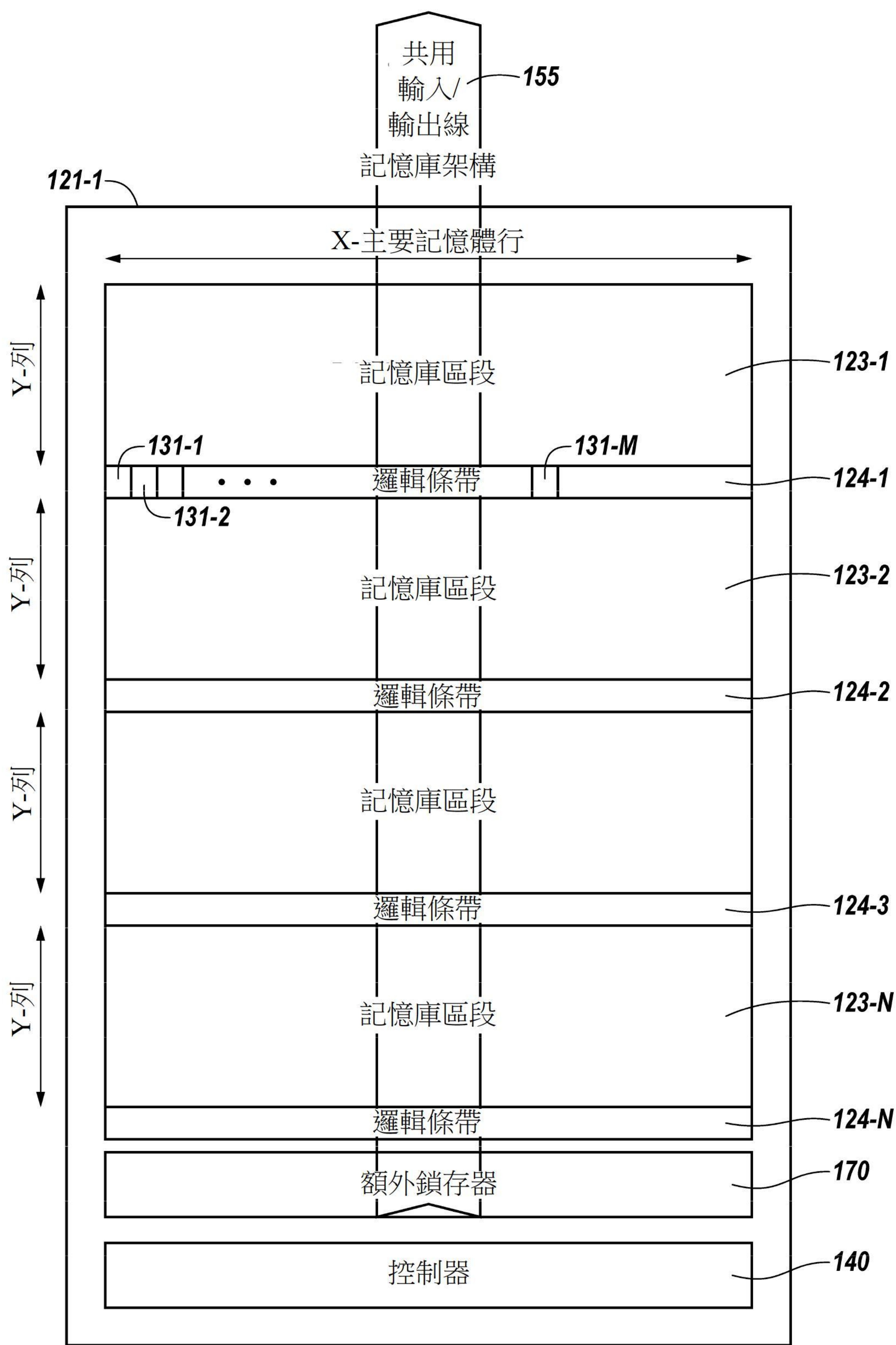
【第16項】

如請求項15之方法，其中基於該資料辨識之該準確度而提供一輸出，且其中若在該複數個神經網路當中不存在對該資料辨識之該準確度之一致決策，則不提供輸出。

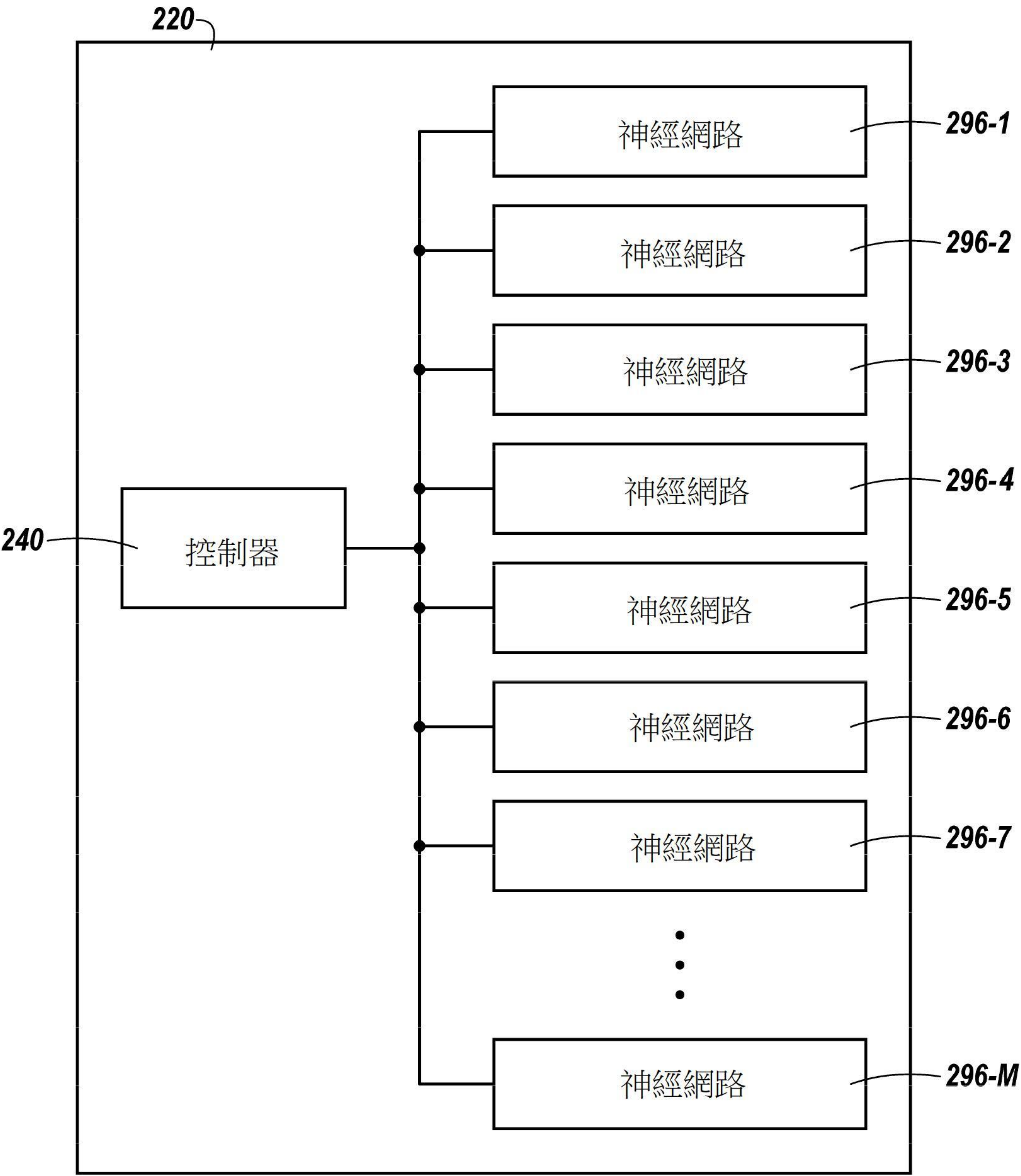
【發明圖式】



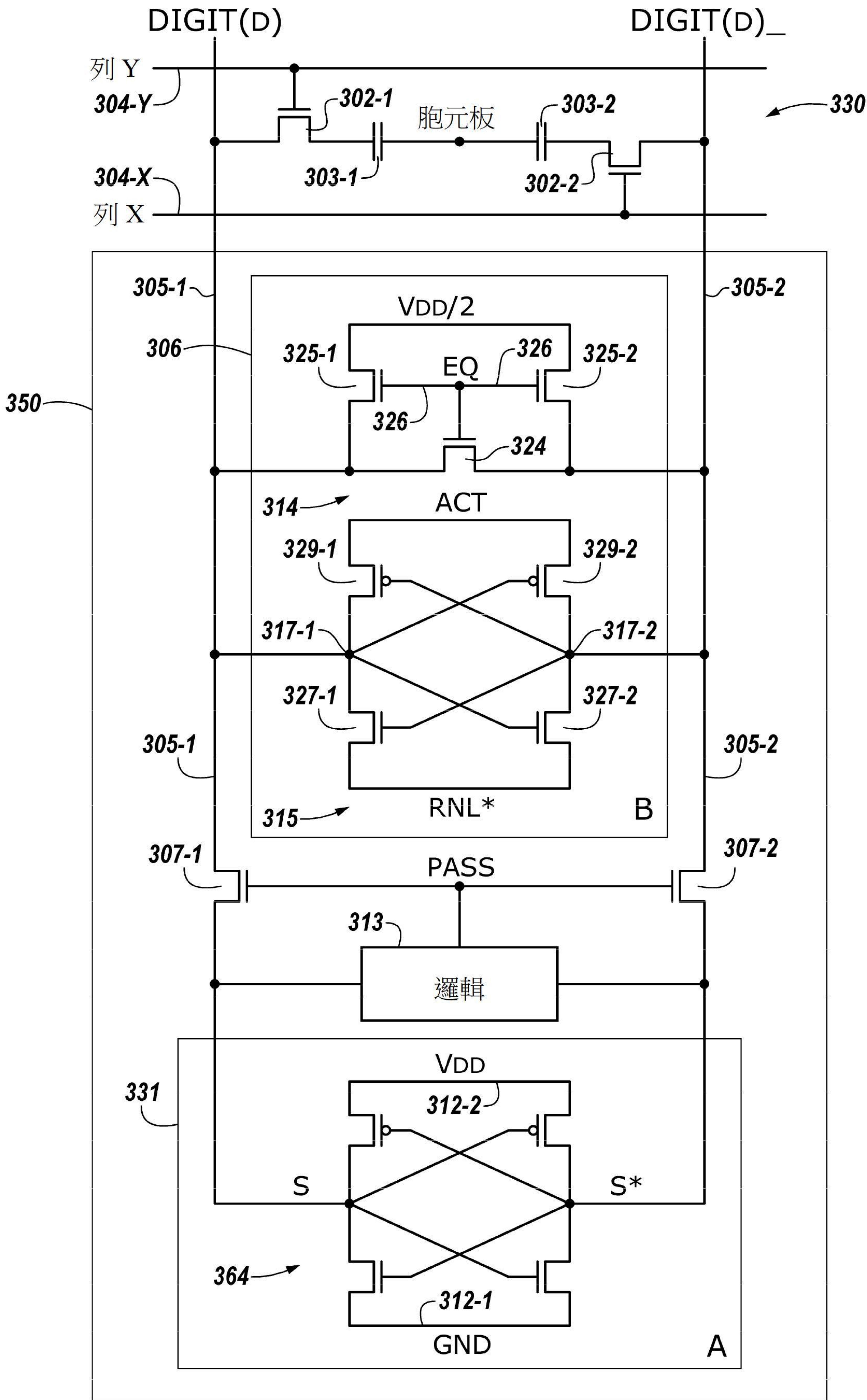
【圖1A】



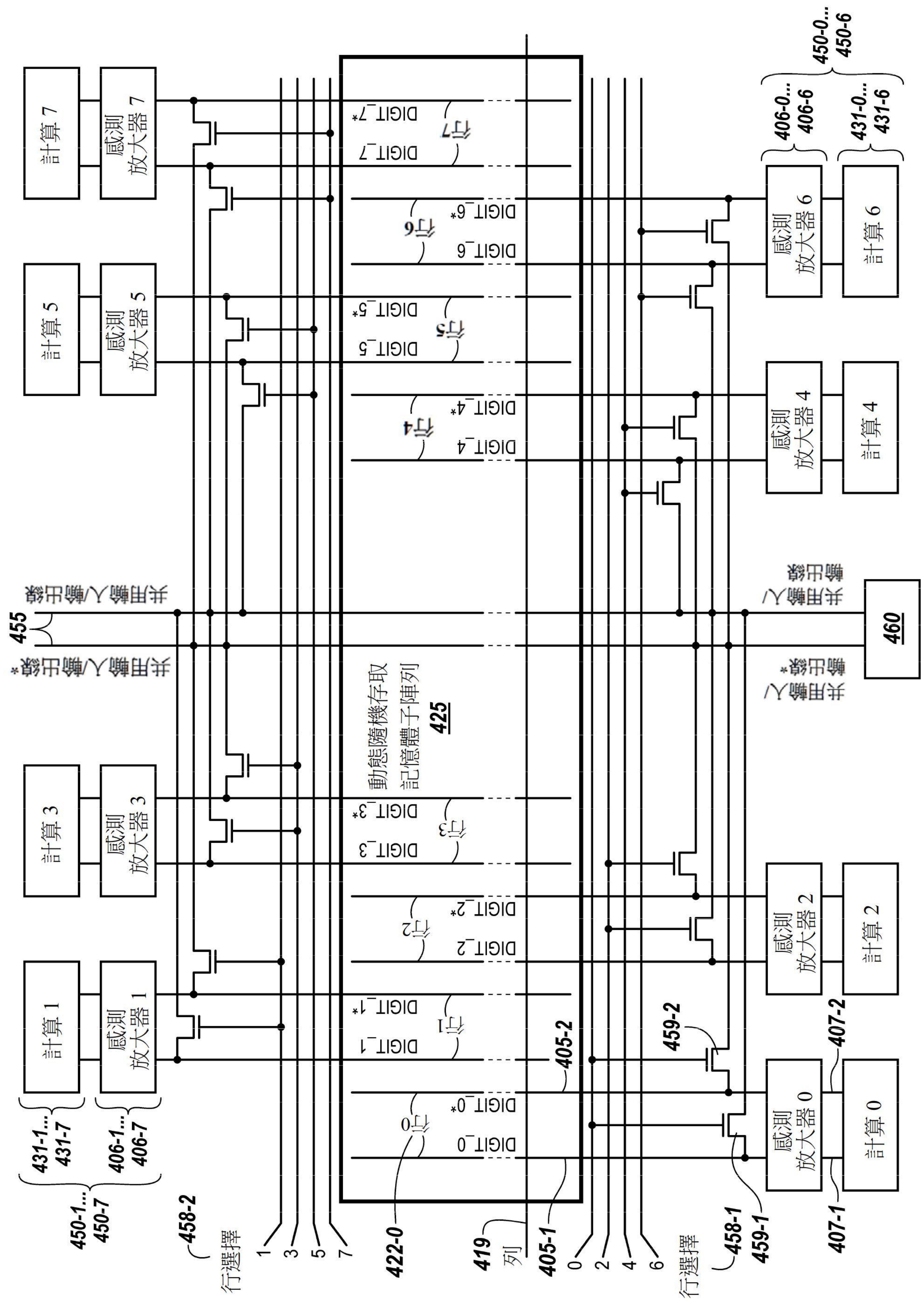
【圖1B】



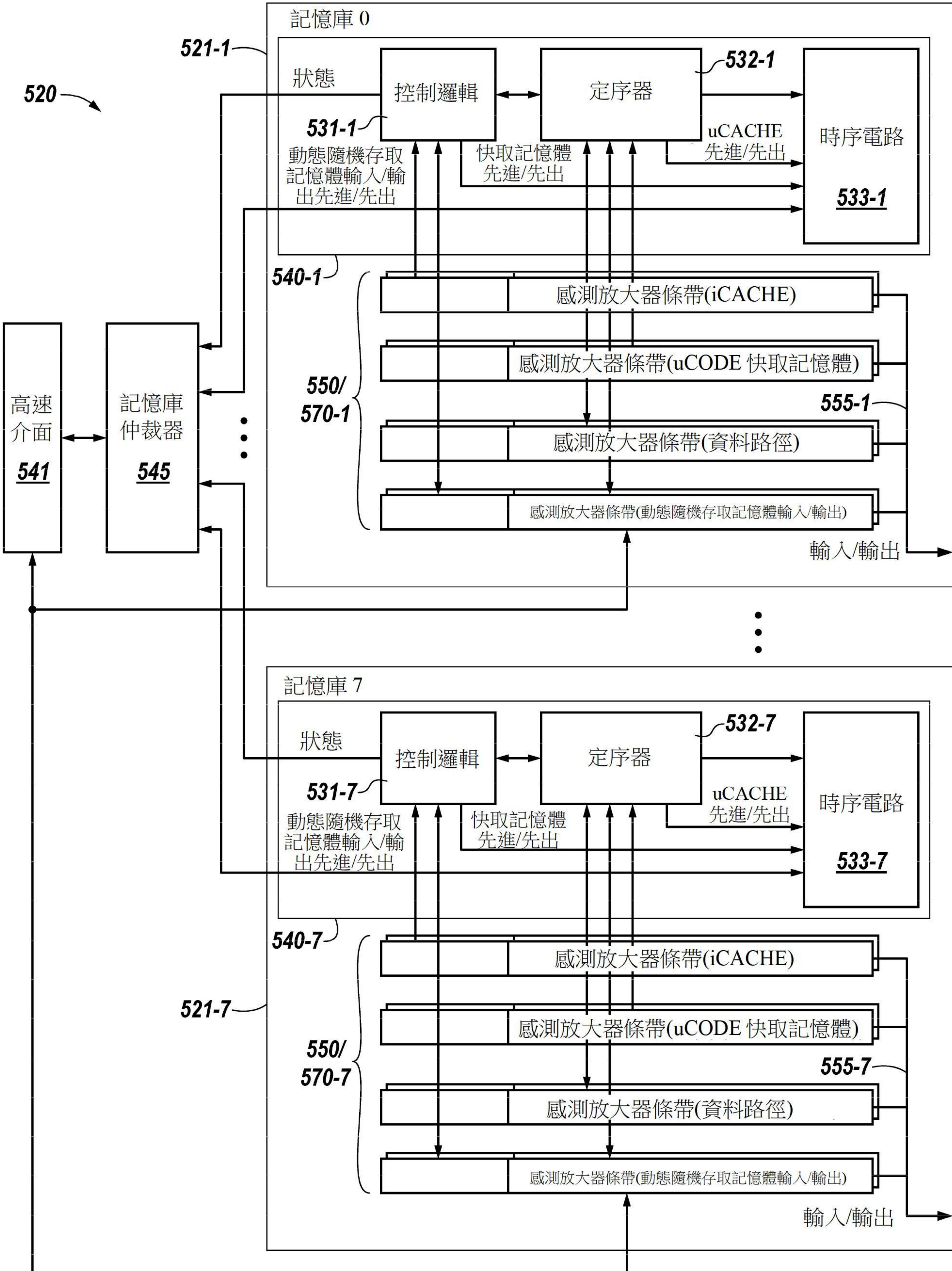
【圖2】



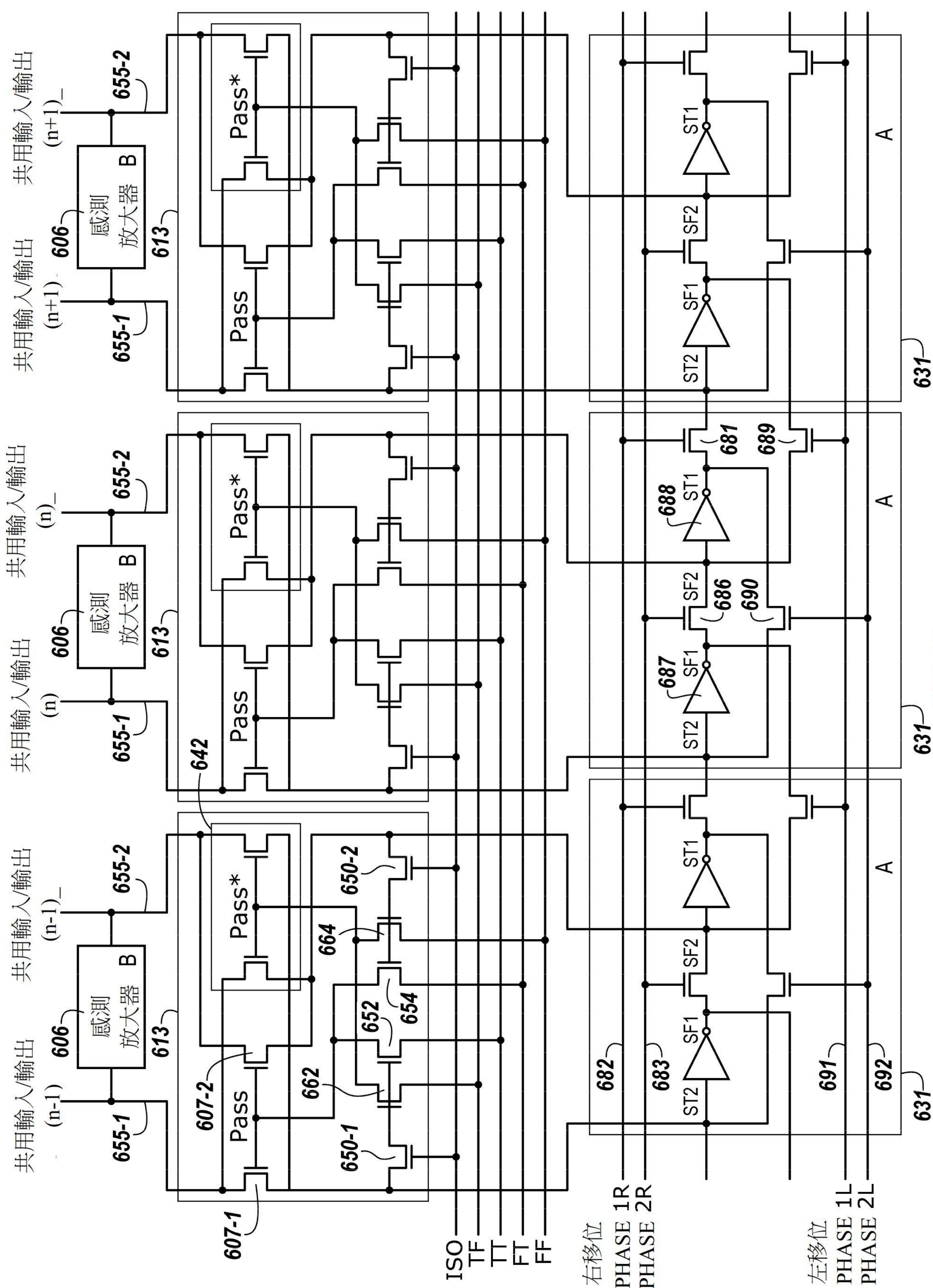
【圖3】



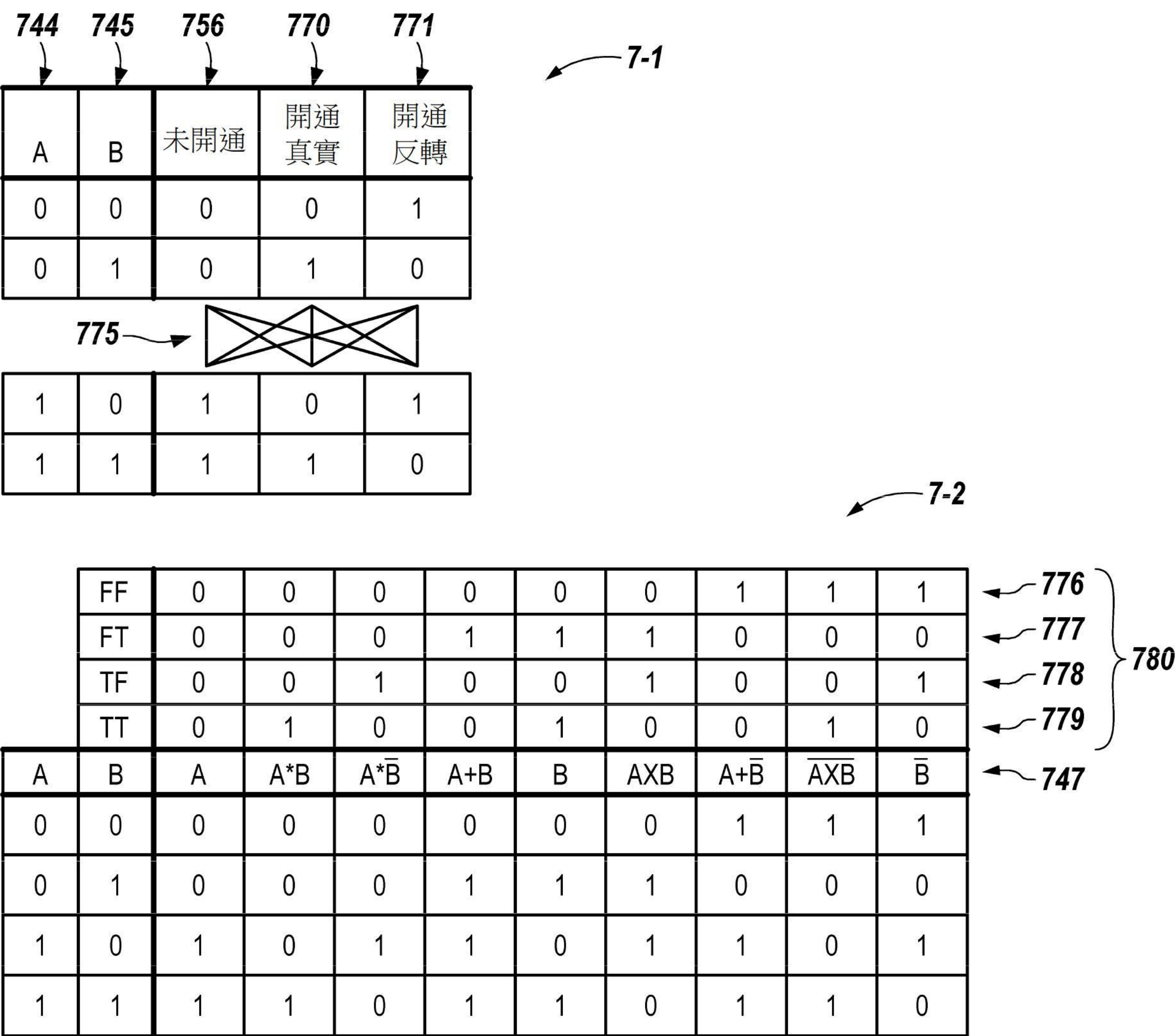
【圖 4】



【圖5】



【回】



【圖7】