(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 6 月 28 日(28.06.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/086517 A1

(51) 国際特許分類:
H01L 33/62 (2010.01) *H01L 33/00* (2010.01)

(21) 国際出願番号: PCT/JP2011/079055

(22) 国際出願日: 2011 年 12 月 15 日(15.12.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-283366 2010 年 12 月 20 日(20.12.2010) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 **(ROHM CO., LTD.)** [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山本 浩貴 **(YAMAMOTO, Hiroki)** [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 稲岡 耕作, 外 **(INAOKA, Kosaku** et al.); 〒5410054 大阪府大阪市中央区南本町２丁目６番１２号 サンマリオンＮＢＦタワー２１階 あい特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

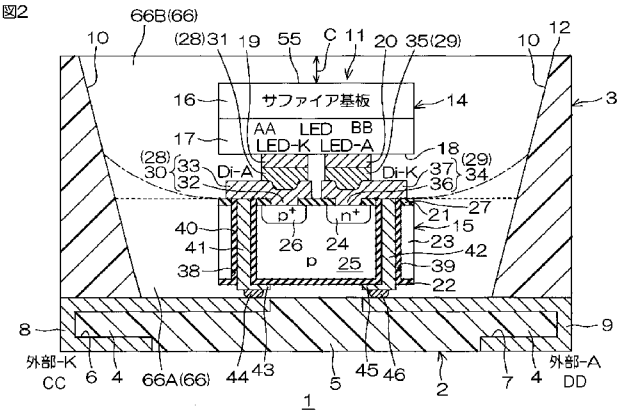
WO 2012/086517 A1

(54) **Title**: LIGHT-EMITTING ELEMENT UNIT, AND LIGHT-EMITTING ELEMENT PACKAGE

(54) 発明の名称 : 発光素子ユニットおよび発光素子パッケージ

[図2]

図2



16 SAPPHIRE SUBSTRATE
17 LED
AA LED-K
BB LED-A
CC EXTERNAL-K
DD EXTERNAL-A

(57) **Abstract**: This light-emitting element unit contains: a semiconductor light-emitting element provided with a front surface having a first n-side electrode and a first p-side electrode, and a rear surface from which light is extracted; a conductive substrate having a front surface and a rear surface; and a support element formed on the front surface of the conductive substrate and having a second n-side electrode and a second p-side electrode. The semiconductor light-emitting element is supported on the support element in a face-down posture, in which the front surface of the semiconductor light-emitting element faces downward, by joining the first n-side electrode with the second n-side electrode and joining the first p-side electrode with the second p-side electrode. The support element is provided with: an n-side external electrode and a p-side external electrode formed on the rear surface of the conductive substrate; a conductive via which penetrates the conductive substrate from the from to the rear surface thereof and which electrically connects the second n-side electrode with the n-side external electrode and/or electrically connects the second p-side electrode with the p-side external electrode; and an insulating film formed between the via and the conductive substrate so as to cover the side surface of the via.

(57) 要約:

[続葉有]

本発明の発光素子ユニットは、表面および裏面を有し、当該裏面から光が取り出され、当該表面に第１ｎ側電極および第１ｐ側電極を有する半導体発光素子と、表面および裏面を有する導電性基板と、前記導電性基板の前記表面に形成された第２ｎ側電極および第２ｐ側電極とを有する支持素子とを含み、前記半導体発光素子は、前記第１ｎ側電極と前記第２ｎ側電極、および前記第１ｐ側電極と前記第２ｐ側電極がそれぞれ接合されることにより、前記表面を下方に向けたフェイスダウン姿勢で前記支持素子に支持されており、前記支持素子は、前記導電性基板の前記裏面に形成されたｎ側外部電極およびｐ側外部電極と、前記導電性基板を前記表面から前記裏面まで貫通し、前記第２ｎ側電極と前記ｎ側外部電極との間および／または前記第２ｐ側電極と前記ｐ側外部電極との間を電気的に接続する導電性のビアと、前記ビアと前記導電性基板との間に前記ビアの側面を覆うように形成された絶縁膜とを有する。

明　細　書

発明の名称 ： 発光素子ユニットおよび発光素子パッケージ

技術分野

[0001] 本発明は、発光素子ユニットおよび発光素子パッケージに関する。

背景技術

[0002] 特許文献１に開示された発光装置は、白色のアルミナセラミックス基板からなる絶縁基板と、当該絶縁基板上に互いに隣接して搭載された発光素子およびツェナーダイオードと、発光素子およびツェナーダイオードを封止する樹脂封止部とを備えている。ツェナーダイオードは、発光素子に並列に接続されており、たとえば、発光素子に対して過大な逆方向電流が流れることを防止する。

先行技術文献

特許文献

[0003] 特許文献1：特開２００８－８５１１３号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献１の発光装置では、発光素子およびツェナーダイオードが互いに隣接して搭載されているので、これら２つの素子を搭載できるスペースを有する絶縁基板が必要である。そのため、発光装置全体としての構造が大型化するという不具合がある。

一方、発光素子およびツェナーダイオードをスタック構造にできれば、絶縁基板上のスペースが素子１つ分で済むので、装置全体としての小型化（シュリンク化）を図ることができるかもしれない。

[0005] しかしながら、発光素子とツェナーダイオードとの接続構造、発光素子への電力の供給方法等の課題が残る。

本発明の目的は、半導体発光素子および支持素子のスタック構造により小型化を図ることができ、さらに、半導体発光素子に対して電力を正常に供給

できる発光素子ユニットおよび当該発光素子ユニットを備える発光素子パッケージを提供することである。

課題を解決するための手段

[0006] 上記目的を達成するための本発明の発光素子ユニットは、表面および裏面を有し、当該裏面から光が取り出され、当該表面に第１ｎ側電極および第１ｐ側電極を有する半導体発光素子と、表面および裏面を有する導電性基板と、前記導電性基板の前記表面に形成された第２ｎ側電極および第２ｐ側電極とを有する支持素子とを含み、前記半導体発光素子は、前記第１ｎ側電極と前記第２ｎ側電極、および前記第１ｐ側電極と前記第２ｐ側電極がそれぞれ接合されることにより、前記表面を下方に向けたフェイスダウン姿勢で前記支持素子に支持されており、前記支持素子は、前記導電性基板の前記裏面に形成されたｎ側外部電極およびｐ側外部電極と、前記導電性基板を前記表面から前記裏面まで貫通し、前記第２ｎ側電極と前記ｎ側外部電極との間および／または前記第２ｐ側電極と前記ｐ側外部電極との間を電気的に接続する導電性のビアと、前記ビアと前記導電性基板との間に前記ビアの側面を覆うように形成された絶縁膜とを有する。

[0007] この構成によれば、半導体発光素子は、電極の形成面（表面）を下方に向けた、いわゆるフェイスダウン姿勢で支持素子に接合されている。これにより、半導体発光素子および支持素子をスタック構造にできるので、構造の小型化（シュリンク化）を図ることができる。

さらに、半導体発光素子の第１ｎ側電極および第１ｐ側電極それぞれに接合された第２ｎ側電極および第２ｐ側電極のうち少なくとも一方は、支持素子の導電性基板を厚さ方向に貫通するビアによって外部電極（ｎ側外部電極、ｐ側外部電極）に電気的に接続されている。そして、第２ｎ側電極および／または第２ｐ側電極と外部電極とを導通させるビアは、その側面が絶縁膜で覆われることによって、導電性基板に対して絶縁されている。そのため、外部電極からビアを介して半導体発光素子に電力を供給する際、ビアと導電性基板とが短絡することを防止することができる。その結果、半導体発光素

子に対して電力を正常に供給することができる。

[0008] また、本発明の発光素子ユニットでは、前記ビアに接続された前記第２ｎ側電極および前記第２ｐ側電極は、前記導電性基板の前記表面に沿って敷設され、前記導電性基板および前記ビアそれぞれに接続された配線と、当該配線上に形成され、前記第１ｎ側電極または前記第１ｐ側電極に接合されたバンプとを含むことが好ましい。

この構成によれば、導電性基板とビアとが配線によって接続されているので、配線のパターンを適宜変更することにより、ビアの形成位置の自由度を広げることができる。これにより、導電性基板において、ダイオード等が形成される素子形成領域と、ビアが形成されるビア形成領域とを分離することができる。その結果、小型化された発光素子ユニットにおいても、素子形成領域を阻害せずに、導電性基板を貫通するビアを形成することができる。

[0009] また、本発明の発光素子ユニットは、前記配線における前記ビアの接続位置と前記バンプとの接続位置との間に介挿された抵抗素子をさらに含むことが好ましい。

この構成によれば、抵抗素子が半導体発光素子に対して直列に接続されているので、当該抵抗素子の抵抗値を適切に設定することにより、半導体発光素子に流れる電流を、当該発光素子の定格電流に良好に制御することができる。

[0010] また、本発明の発光素子ユニットでは、前記バンプに接続された前記第１ｎ側電極および前記第１ｐ側電極は、前記バンプと同一の金属材料からなるバンプ状に形成されていることが好ましい。その金属材料は、Ａｕであってもよい。

また、本発明の発光素子ユニットでは、前記配線は、Ａｌからなっていてもよい。

本発明の発光素子ユニットでは、前記導電性基板が、前記第２ｎ側電極が接続されたｐ型領域と、前記第２ｐ側電極が接続されたｎ型領域とを有し、前記支持素子が、当該ｎ型領域と当該ｐ型領域とのｐｎ接合を有するツェナ

ーダイオードを含む場合、前記ビアは、前記第２ｎ側電極および前記第２ｐ側電極それぞれに接続されたｎ側ビアおよびｐ側ビアを含むことが好ましい。

[0011] この構成により、半導体発光素子に対してツェナーダイオードを並列に接続することができる。そのため、半導体発光素子に対して過大な逆方向電流が流れることを防止することができる。

たとえば、前記導電性基板が、前記ｐ型領域としてのｐ型半導体基板であり、前記ｎ型領域が、当該ｐ型半導体基板の表層部にフローティングされた領域である場合、前記ｐ側ビアは、フローティングされた前記ｎ型領域に接触しないように前記ｐ型半導体基板を貫通していることが好ましい。

[0012] これらの構成によれば、ツェナーダイオードのｐｎ接合を形成するｎ型領域（フローティング領域）が、ｎ側ビアによって阻害されていない。そのため、ツェナーダイオードは、半導体発光素子を過電流から保護する働きを十分に発揮することができる。

また、前記ｐ型半導体基板が、その表層部において前記ｎ型領域に隣接して形成され、前記第２ｎ側電極が接続されたp^+型コンタクト領域を含む場合、前記ｐ側ビアは、前記ｎ型領域に対して前記p^+型コンタクト領域とは反対側に形成されており、前記ｎ側ビアは、前記p^+型コンタクト領域に対して前記ｎ型領域とは反対側に形成されていることが好ましい。具体的には、前記ｎ側ビア、前記ｎ型領域、前記p^+型コンタクト領域および前記ｐ側ビアが、平面視において同一直線上に配置されていてもよい。

[0013] また、本発明の発光素子ユニットでは、前記導電性基板が、複数の前記半導体発光素子をそれぞれ駆動させる駆動回路を有し、前記支持素子が、複数の前記半導体発光素子を支持する駆動素子を含み、前記ビアが、前記第２ｎ側電極および前記第２ｐ側電極それぞれに電気的に接続されていることが好ましい。

この構成によれば、１つの駆動素子に対して複数の半導体発光素子をスタック構造できるので、構造の小型化（シュリンク化）を図ることができる。

[0014] また、複数の前記半導体発光素子は、互いに発光波長が異なる発光素子であってもよい。具体的には、複数の前記半導体発光素子は、赤色ＬＥＤ素子、緑色ＬＥＤ素子および青色ＬＥＤ素子を含んでいてもよい。その場合、前記赤色ＬＥＤ素子、前記緑色ＬＥＤ素子および前記青色ＬＥＤ素子それぞれの前記第１ｎ側電極が、共通の前記第２ｎ側電極に接続されていることが好ましい。

[0015] そして、本発明の発光素子ユニットを、カソード端子およびアノード端子を有するベース基板で支持し、その周囲を樹脂ケースで取り囲むことにより、本発明の発光素子パッケージを構成することができる。

図面の簡単な説明

[0016] [図1]本発明の第１実施形態に係るＬＥＤパッケージの模式的な斜視図である。

[図2]図１に示すＬＥＤパッケージの断面図であって、図１のＡ－Ａ切断面における断面を示す。

[図3]図２に示すＬＥＤチップの底面図およびダイオードチップの平面図である。

[図4A]図２に示すＬＥＤ素子ユニットの製造工程の一部を示す断面図であって、図２と同じ位置での切断面を示す。

[図4B]図４Ａの次の工程を示す図である。

[図4C]図４Ｂの次の工程を示す図である。

[図4D]図４Ｃの次の工程を示す図である。

[図4E]図４Ｄの次の工程を示す図である。

[図4F]図４Ｅの次の工程を示す図である。

[図4G]図４Ｆの次の工程を示す図である。

[図4H]図４Ｇの次の工程を示す図である。

[図4I]図４Ｈの次の工程を示す図である。

[図5]図２のダイオードチップの変形例を示す図である。

[図6]図２のカソード端子およびアノード端子の変形例を示す図である。

[図7]図３のｎ側ビアおよびｐ側ビアの変形例を示す図である。

[図8]図２のＬＥＤチップおよびダイオードチップの変形例を示す図であって、図８（ａ）がダイオードチップの平面図、図８（ｂ）がＬＥＤチップの底面図をそれぞれ示す。

[図9]図８のダイオードチップの底面図である。

[図10]図２のＬＥＤチップおよびダイオードチップの変形例を示す図であって、図８（ａ）がダイオードチップの平面図、図８（ｂ）がＬＥＤチップの底面図をそれぞれ示す。

[図11]本発明の第２実施形態に係るＬＥＤ素子ユニットの模式的な断面図である。

[図12]本発明の第３実施形態に係るＬＥＤ素子ユニットの模式図であって、図１２（ａ）が全体の平面図、図１２（ｂ）がＬＥＤドライバの平面図、図１２（ｃ）がＬＥＤチップの底面図をそれぞれ示す。

[図13]図１２（ａ）に示すＬＥＤ素子ユニットの断面図であって、図１２（ａ）のＢ－Ｂ切断面における断面を示す。

[図14]図１２（ａ）に示すＬＥＤ素子ユニットの断面図であって、図１２（ａ）のＣ－Ｃ切断面における断面を示す。

[図15]ＬＥＤパッケージを搭載したＬＥＤランプの概略構成図である。

発明を実施するための形態

[0017] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

＜第１実施形態＞

図１は、本発明の第１実施形態に係るＬＥＤパッケージの模式的な斜視図である。

ＬＥＤパッケージ１は、たとえば、信号機、電光掲示板、液晶ディスプレイのバックライト、自動車および自転車のランプ等の各種照明、電子写真式プリンタの感光用光源などに用いられる。

[0018] ＬＥＤパッケージ１は、ベース基板２と、ベース基板２上に取り付けられた樹脂ケース３とを備えている。

ベース基板２は、端部に凸条４を有する絶縁性基板５の凸条４に対して、凹条６，７を有する金属製のカソード端子８およびアノード端子９を嵌合させることにより、全体として長方形板状に形成したものである。カソード端子８およびアノード端子９はそれぞれ、ベース基板２の長手方向の各端部を形成している。

[0019] 樹脂ケース３は、ベース基板２の中央部を取り囲むように、ベース基板２の周縁に沿う四角環を形成する壁状に形成されている。壁状の樹脂ケース３の４つの内面１０（ベース基板２の中央部側の面）は、互いに対向する一対の面がそれぞれ、ベース基板２の表面から頂部へ向かって広がるテーパー面とされている。内面１０は、リフレクタ（反射板）として機能する。

[0020] そして、樹脂ケース３に取り囲まれたベース基板２の中央部に、発光素子ユニットとしてのＬＥＤ素子ユニット１１が搭載されている。ＬＥＤ素子ユニット１１で発生した光は、樹脂パッケージの開放面１２（ベース基板２とは反対側の面）から放射される。樹脂ケース３で取り囲まれた部分には、図２に示すように、ＬＥＤ素子ユニット１１を覆うように、透光性樹脂６６が注入されていてもよい。具体的には、樹脂ケース３の下部にダイオードチップ１５を覆うように白色樹脂６６Ａが注入され、樹脂ケース３の上部にＬＥＤチップ１４を覆うように波長変換樹脂６６Ｂが注入されていることが好ましい。ＬＥＤチップ１４の下方に白色樹脂６６Ａを設けることにより、光の吸収を抑え、発光高率を高めることができる。なお、波長変換樹脂６６Ｂは、レンズ形状を有していてもよく、白色樹脂６６Ａは、たとえば、図２に一点鎖線で示すように、その周囲の部分が中央の部分に比べて厚くなるように湾曲して形成されていてもよい。すなわち、白色樹脂６６Ａは、ダイオードチップ１５を覆う部分が相対的に薄く、樹脂ケース３との接触部分が相対的に厚くてもよい。

[0021] 図２は、図１に示すＬＥＤパッケージの断面図であって、図１のＡ－Ａ切断面における断面を示す。また、図３は、図２に示すＬＥＤチップの底面図およびダイオードチップの平面図である。

ベース基板２の中央部には、ＬＥＤ素子ユニット１１が設けられている。

ＬＥＤ素子ユニット１１は、半導体発光素子としてのＬＥＤチップ１４と、当該ＬＥＤチップ１４を支持する支持素子としてのダイオードチップ１５とを備えている。

[0022] ＬＥＤチップ１４は、透明基板としてのサファイア基板１６の一主面にIII族窒化物半導体層からなる発光ダイオード構造（ＬＥＤ層１７）を形成したものである。

ＬＥＤ層１７の表面１８には、第１ｎ側電極としてのＬＥＤカソード電極１９および第１ｐ側電極としてのＬＥＤアノード電極２０が形成されている。ＬＥＤカソード電極１９およびＬＥＤアノード電極２０は、Ａｕからなるバンプ状に形成されており、互いに隣接して設けられている。なお、以下で説明において、「ｎ側」および「ｐ側」とは、ＬＥＤチップ１４のカソード側（ｎ側）およびアノード側（ｐ側）を基準としている。

[0023] ＬＥＤ層１７から発生した光は、サファイア基板１６を透過して樹脂パッケージの開放面１２から放射される（図１参照）。

ダイオードチップ１５は、表面２１および裏面２２を有する導電性基板としてのｐ型シリコン基板２３（たとえば、ｐ型不純物濃度が$1\times10^{19}cm^{-3}$程度）を備えている

。ｐ型シリコン基板２３におけるＬＥＤチップ１４との対向面（表面２１）側の表層部には、n^+型領域２４（たとえば、ｎ型不純物濃度が$1\times10^{20}cm^{-3}$程度）が形成されている。n^+型領域２４は、ｐ型シリコン基板２３において、たとえば、平面視四角状の島としてフローティングされた領域である。

[0024] これにより、ｐ型シリコン基板２３には、n^+型領域２４と、当該n^+型領域２４を除くｐ型領域２５とが形成され、これらn^+型領域２４とｐ型領域２５とのｐｎ接合を有するツェナーダイオードの構造が形成されている。このような構造を有するツェナーダイオードは、n^+型領域２４とｐ型領域２５との濃度関係によって定まるツェナー電圧を有している。当該ツェナーダイオードに所定の逆方向電圧が加わると、n^+型領域２４とｐ型領域２５との界面で

ツェナー降伏が起こる。すなわちダイオードチップ１５は、ＬＥＤチップ１４の保護素子として機能する。したがって、ＬＥＤチップ１４およびダイオードチップ１５は、互いに協働して保護回路を有する発光素子回路を構成している。

[0025] また、ｐ型シリコン基板２３の表層部には、ｐ型領域２５よりも高いｐ型不純物濃度を有するｐ$^{+}$型コンタクト領域２６（たとえば、ｐ型不純物濃度が１×１０^{20}ｃｍ$^{-3}$程度）が形成されている。ｐ$^{+}$型コンタクト領域２６は、ｎ$^{+}$型領域２４と同様に、たとえば、平面視四角状の島としてフローティングされた領域であり、ｎ$^{+}$型領域２４に隣接して形成されている。

[0026] ｐ型シリコン基板２３の表面２１には、SiO_2からなる表面保護膜２７が形成されている。

表面保護膜２７上には、第２ｎ側電極としてのダイオードアノード電極２８および第２ｐ側電極としてのダイオードカソード電極２９が形成されている。

ダイオードアノード電極２８は、Ａｌからなるｎ側配線３０と、Ａｕからなるｎ側バンプ３１とを備えている。

[0027] ｎ側配線３０は、ｐ$^{+}$型コンタクト領域２６の直上に位置し、表面保護膜２７を貫通してｐ$^{+}$型コンタクト領域２６に接続されたｎ側コンタクト部３２と、平面視において当該ｎ側コンタクト部３２からｎ$^{+}$型領域２４とは反対側に引き出されたｎ側引出し部３３とを一体的に有している。Ａｌからなるｎ側引出し部３３は、ｐ$^{+}$型コンタクト領域２６とｎ側ビア４１（後述）とを接続する中継配線として機能するとともに、ダイオードチップ１５の表面上において光の反射板として機能する。したがって、ｎ側引出し部３３の面積を大きくするほど光の反射面積が大きくなるので、光の反射率を向上させることができる。なお、ダイオードチップ１５の側面に、たとえば、絶縁膜を設けた上で、さらに反射膜を形成し、反射率をさらに向上させるようにしてもよい。

[0028] ｎ側バンプ３１は、ｎ側配線３０のｎ側コンタクト部３２上に接合されて

おり、ｐ+型コンタクト領域２６の直上に配置されている。

ダイオードカソード電極２９は、Ａｌからなるｐ側配線３４と、Ａｕからなるｐ側バンプ３５とを備えている。

ｐ側配線３４は、ｎ+型領域２４の直上に位置し、表面保護膜２７を貫通してｎ+型領域２４に接続されたｐ側コンタクト部３６と、平面視において当該ｐ側コンタクト部３６からｐ+型コンタクト領域２６とは反対側に引き出されたｐ側引出し部３７とを一体的に有している。Ａｌからなるｐ側引出し部３７は、ｎ+型領域２４とｐ側ビア４２（後述）とを接続する中継配線として機能するとともに、ダイオードチップ１５の表面上において光の反射板として機能する。したがって、ｐ側引出し部３７の面積を大きくするほど光の反射面積が大きくなるので、光の反射率を向上させることができる。

[0029] ｐ側バンプ３５は、ｐ側配線３４のｐ側コンタクト部３６上に接合されており、ｎ+型領域２４の直上に配置されている。

ｐ型シリコン基板２３には、その裏面２２から表面保護膜２７を貫通し、ｎ側配線３０およびｐ側配線３４それぞれに達するｎ側ビアホール３８およびｐ側ビアホール３９が形成されている。ｎ側ビアホール３８およびｐ側ビアホール３９は、たとえば、平面視四角状に形成されている。

[0030] また、ｎ側ビアホール３８は、ｐ+型コンタクト領域２６に接触しないようにｐ+型コンタクト領域２６の側方を通過し、平面視においてｎ側引出し部３３に重なる位置に配置されている。また、ｐ側ビアホール３９は、ｎ+型領域２４に接触しないようにｎ+型領域２４の側方を通過し、平面視においてｐ側引出し部３７に重なる位置に配置されている。具体的には、ｎ側ビアホール３８およびｐ側ビアホール３９は、ｎ+型領域２４およびｐ+型コンタクト領域２６とともに同一直線（図３の一点鎖線Ｌ）上に、平面視で重ならないように配置されている。

[0031] これにより、ｎ側ビアホール３８とｐ+型コンタクト領域２６との間、およびｐ側ビアホール３９とｎ+型領域２４との間には、それぞれ一定の間隔が設けられている。

ｎ側ビアホール３８およびｐ側ビアホール３９の内面ならびにｐ型シリコン基板２３の裏面２２には、SiO_2からなる絶縁膜４０が一体的に形成されている。

そして、ｎ側ビアホール３８およびｐ側ビアホール３９における絶縁膜４０の内側を埋め尽くすように、Ｃｕからなるｎ側ビア４１およびｐ側ビア４２が形成されている。ｎ側ビア４１はｎ側引出し部３３に接続され、ｐ側ビア４２はｐ側引出し部３７に接続されることとなる。また、ｎ側ビア４１およびｐ側ビア４２は、ｐ型シリコン基板２３の表面２１から裏面２２へ向かう方向に径が徐々に小さくなるテーパービアであってもよい。

[0032] また、絶縁膜４０におけるｐ型シリコン基板２３の裏面２２上の部分には、ｎ側ビア４１からｐ型シリコン基板２３の裏面２２に沿って引き出されたｎ側アイランド４３が、ｎ側ビア４１と一体的に形成されている。このｎ側アイランド４３には、ｎ側外部電極としての半田からなるｎ側外部バンプ４４が接合されている。

また、絶縁膜４０におけるｐ型シリコン基板２３の裏面２２上の部分には、ｐ側ビア４２からｐ型シリコン基板２３の裏面２２に沿って引き出されたｐ側アイランド４５が、ｐ側ビア４２と一体的に形成されている。このｐ側アイランド４５には、ｐ側外部電極としての半田からなるｐ側外部バンプ４６が接合されている。

[0033] そして、ＬＥＤチップ１４は、バンプ状のＬＥＤカソード電極１９とｎ側バンプ３１（ダイオードアノード電極２８）、およびバンプ状のＬＥＤアノード電極２０とｐ側バンプ３５（ダイオードカソード電極２９）がそれぞれ接合されることにより、ＬＥＤ層１７の表面１８を下方に向けたフェイスダウン姿勢でダイオードチップ１５に下方から支持されている。これにより、ＬＥＤチップ１４およびダイオードチップ１５のスタック構造からなるＬＥＤ素子ユニット１１が構成されている。このＬＥＤ素子ユニット１１では、ｎ側外部バンプ４４およびｐ側外部バンプ４６に対して、ＬＥＤ層１７のＬＥＤカソード電極１９およびＬＥＤアノード電極２０と、ツェナーダイオー

ドのｎ$^+$型領域２４およびｐ型領域２５とが並列に接続されることとなる。

[0034] そして、ＬＥＤ素子ユニット１１は、ダイオードチップ１５のｎ側外部バンプ４４がカソード端子８における樹脂ケース３に対してベース基板２の中央部側にはみ出した部分に接続され、ｐ側外部バンプ４６がアノード端子９における樹脂ケース３に対してベース基板２の中央部側にはみ出した部分に接続されることにより、ベース基板２の中央部に配置されている。

[0035] ＬＥＤ素子ユニット１１のサファイア基板１６の天面５５と樹脂ケース３の開放面１２（頂部）との間には、ＬＥＤ素子ユニット１１がパッケージ化された状態において、適当なクリアランスＣが設けられている。

図４Ａ～図４Ｉは、図２に示すＬＥＤ素子ユニットの製造工程の一部を工程順に示す断面図であって、図２と同じ位置での切断面を示す。

[0036] ＬＥＤ素子ユニット１１の製造は、ｐ型シリコン基板２３が個片に切り分けられる前のウエハ５６の状態で進められる。まず、図４Ａに示すように、公知のイオンインプランテーション技術により、ｐ型シリコン基板２３の表層部にｎ$^+$型領域２４およびｐ$^+$型コンタクト領域２６が形成される。次に、熱酸化により、ｐ型シリコン基板２３の表面２１に、SiO_2からなる表面保護膜２７が形成される。次に、公知のパターニング技術により表面保護膜２７がパターニングされ、ｎ$^+$型領域２４およびｐ$^+$型コンタクト領域２６を露出させる開口が表面保護膜２７に形成される。次に、スパッタ法により、表面保護膜２７上の全域にＡｌ層が堆積される。次に、公知のパターニング技術により、当該堆積したＡｌ層をパターニングすることにより、所定パターンのｎ側配線３０およびｐ側配線３４が形成される。

[0037] 次に、図４Ｂに示すように、ｎ側配線３０およびｐ側配線３４に、Ａｕからなるｎ側バンプ３１およびｐ側バンプ３５が形成される。次に、ｐ型シリコン基板２３が裏面２２側から研削され、薄くされる。たとえば、７００μｍ厚のｐ型シリコン基板２３が、１３０μｍ厚程度にまで薄くされる。次に、ｐ型シリコン基板２３の裏面２２からｐ型シリコン基板２３および表面保護膜２７をエッチングすることにより、ｎ側配線３０およびｐ側配線３４そ

れぞれに達するｎ側ビアホール３８およびｐ側ビアホール３９が形成される。

[0038] 次に、図４Ｃに示すように、ＣＶＤ（Chemical Vapor Deposition）法により、ｎ側ビアホール３８およびｐ側ビアホール３９の内面、ならびにｐ型シリコン基板２３の裏面２２に、SiO_2からなる絶縁膜４０が形成される。

次に、図４Ｄに示すように、エッチングにより、当該絶縁膜４０におけるｎ側配線３０およびｐ側配線３４上の部分が選択的に除去される。

[0039] 次に、絶縁膜４０上にＴｉからなるバリア膜（図示せず）が形成され、当該バリア膜上に、スパッタ法により、Ｃｕからなるシード膜（図示せず）が形成される。次に、図４Ｅに示すように、当該Ｃｕシード膜およびＴｉバリア膜上に、ｎ側アイランド４３およびｐ側アイランド４５を形成すべき部分に開口を有するレジスト１３が形成される。その後、レジスト１３の開口から露出するＣｕシード膜から、ｎ側ビアホール３８およびｐ側ビアホール３９内およびｐ型シリコン基板２３の裏面２２にＣｕをめっき成長させる。これにより、図４Ｅに示すように、ｎ側ビア４１、ｐ側ビア４２、ｎ側アイランド４３およびｐ側アイランド４５が同時に形成される。

[0040] 次に、図４Ｆに示すように、レジスト１３が剥離され、レジスト１３が形成されていた部分に露出する余分なＣｕシード膜が除去される。続いて、ｎ側アイランド４３およびｐ側アイランド４５に、半田からなるｎ側外部バンプ４４およびｐ側外部バンプ４６が形成される。

次に、図４Ｇに示すように、ウエハ５８の状態のサファイア基板１６上にＬＥＤ層１７が形成されたＬＥＤウエハ５９に対して、サファイア基板１６からダイシングブレード５７が進出されることにより、各ＬＥＤチップ１４の周縁に沿って設定されたダイシングライン上でＬＥＤチップ１４が切断される。これにより、ウエハ５８が各ＬＥＤチップ１４に個片化される。

[0041] 次に、図４Ｈに示すように、個片化された各ＬＥＤチップ１４のＬＥＤカソード電極１９およびＬＥＤアノード電極２０が、ｎ側バンプ３１およびｐ側バンプ３５に対して１対１で接合される。

次に、ｐ型シリコン基板２３の裏面２２側からダイシングブレード６０が進出されることにより、図４Ｉに示すように、各ダイオードチップ１５の周縁に沿って設定されたダイシングライン上でｐ型シリコン基板２３が切断される。これにより、ＬＥＤチップ１４およびダイオードチップ１５のスタック構造を有するＬＥＤ素子ユニット１１が得られる。

[0042] 以上のように、このＬＥＤパッケージ１によれば、ＬＥＤチップ１４は、ＬＥＤ層１７の電極の形成面（表面１８）を下方に向けた、いわゆるフェイスダウン姿勢でダイオードチップ１５に接合されている。これにより、ＬＥＤチップ１４およびダイオードチップ１５をスタック構造にできるので、ＬＥＤ素子ユニット１１の小型化（シュリンク化）を図ることができる。

[0043] さらに、ＬＥＤチップ１４のＬＥＤカソード電極１９およびＬＥＤアノード電極２０それぞれに接合されたダイオードアノード電極２８およびダイオードカソード電極２９が、ｐ型シリコン基板２３を厚さ方向に貫通するｎ側ビア４１およびｐ側ビア４２によって、ｎ側外部バンプ４４およびｐ側外部バンプ４６にそれぞれ接続されている。

そして、ｎ側ビア４１およびｐ側ビア４２は、その側面が絶縁膜４０で覆われることによって、ｐ型シリコン基板２３に対して絶縁されている。そのため、ｎ側外部バンプ４４およびｐ側外部バンプ４６からビア（ｎ側ビア４１およびｐ側ビア４２）を介してＬＥＤチップ１４に電力を供給する際、ビア（ｎ側ビア４１およびｐ側ビア４２）とｐ型シリコン基板２３とが短絡することを防止することができる。その結果、ＬＥＤチップ１４に対して電力を正常に供給することができる。

[0044] また、ｎ側配線３０およびｐ側配線３４が、それぞれ引出し部（ｎ側引出し部３３およびｐ側引出し部３７）を有しており、当該引出し部３３，３７にｎ側ビア４１およびｐ側ビア４２が接続されている。これにより、引出し部３３，３７のパターンを適宜変更することにより、ｎ側ビア４１およびｐ側ビア４２の形成位置の自由度を広げることができる。

[0045] すなわち、この第１実施形態のように、ｎ側ビア４１およびｐ側ビア４２

を、ｎ+型領域２４およびｐ+型コンタクト領域２６に接触しないように設けることができる。そのため、小型化されたＬＥＤ素子ユニット１１においても、ｎ+型領域２４およびｐ+型コンタクト領域２６が阻害されない。その結果、ｐ型シリコン基板２３に形成されたツェナーダイオードは、ＬＥＤチップ１４を過電流から保護する働きを十分に発揮することができる。

[0046] また、ＬＥＤチップ１４で発生した熱を、Ａｕ（熱伝導率が約３２０Ｗ／（ｍ・Ｋ））からなるｎ側バンプ３１およびｐ側バンプ３５、ＡＩ（熱伝導率が約２３６Ｗ／（ｍ・Ｋ））からなるｎ側配線３０およびｐ側配線３４、Ｃｕ（熱伝導率が約３９８Ｗ／（ｍ・Ｋ））からなり、ボンディングワイヤに比べて太いｎ側ビア４１およびｐ側ビア４２、ならびに半田（熱伝導率が約７０～８０Ｗ／（ｍ・Ｋ））からなるｎ側外部バンプ４４およびｐ側外部バンプ４６を介して、ベース基板２に放散させることができるため、放熱性を向上させることができる。

[0047] また、図２において、ダイオードアノード電極２８およびダイオードカソード電極２９が、ベース基板２のカソード端子８およびアノード端子９それぞれに対してボンディングワイヤを利用して接続される構成であると、ダイオードチップ１５と当該ボンディングワイヤの熱膨張係数の違いによってボンディングワイヤが断線するおそれがある。これに対し、この実施形態の構成では、図２に示すように、ダイオードアノード電極２８およびダイオードカソード電極２９が、ベース基板２のカソード端子８およびアノード端子９それぞれに対してｎ側外部バンプ４４およびｐ側外部バンプ４６を利用して接続されている。これにより、上記ボンディングワイヤの断線等による接続不良の発生を低減することができる。

[0048] また、ダイオードチップ１５は、図５に示すような薄型チップであってもよい。この場合、ダイオードチップ１５の厚さを、たとえば、５０μｍ～１００μｍとして、厚さ方向のｎ側ビア４１およびｐ側ビア４２の長さを短くすることができるので、ダイオードチップ１５の表面から裏面へ向かう方向への熱伝導性を向上させることができる。

また、ＬＥＤパッケージ１において、カソード端子８およびアノード端子９は、図６に示すように、それ自体が長方形板状に形成されたリード端子であってもよい。この場合、ｎ側外部バンプ４４およびｐ側外部バンプ４６が直接リード端子に接続されることとなるので、ＬＥＤパッケージ１の熱伝導性を向上させることができる。

[0049] また、ダイオードチップ１５において、ｎ側ビア４１およびｐ側ビア４２は、できるだけ大きな径で形成されていることが好ましく、また、図７に示すように、ダイオードチップ１５に複数本形成されていてもよい。これにより、ダイオードチップ１５の表面から裏面へ向かう方向への熱伝導性を向上させることができる。

また、ＬＥＤ素子ユニット１１では、ダイオードチップ１５は、複数のＬＥＤチップ１４に接続されるように設けられていてもよい。この場合、ｎ側配線３０およびｐ型配線３４は、図８に示すように、各ＬＥＤチップ１４に対して１つずつ設けられていてもよい。この場合、ｎ側アイランド４３およびｐ側アイランド４５は、図９に示すように、各ｎ側配線３０および各ｐ側配線３４に接続されたｎ側ビア４１およびｐ側ビア４２を一括して接続するように設けられていてもよいし、各ｎ側ビア４１および各ｐ側ビア４２に対して１つずつ設けられていてもよい。また、ｎ側配線３０およびｐ型配線３４は、図１０に示すように、全てのＬＥＤチップ１４の共通の配線として設けられていてもよい。この場合、ｎ側バンプ３１およびｐ側バンプ３５は、各ＬＥＤチップ１４に対して１つずつ設けられていてもよい。また、より多くのＬＥＤチップ１４を用いる場合には、多層配線を用いるようにしてもよい。

＜第２実施形態＞

図１１は、本発明の第２実施形態に係るＬＥＤ素子ユニットの模式的な断面図である。なお、図１１において、前述の図２に示す各部に対応する部分には、それらの各部と同一の参照符号を付している。また、以下では、同一の参照符号を付した部分についての詳細な説明を省略する。

[0050] 第２実施形態のＬＥＤ素子ユニット６１では、表面保護膜２７の上に、SiO_2からなる第１層間絶縁膜６２および第２層間絶縁膜６３が順に積層されている。

ｎ側配線３０およびｐ側配線３４は、第２層間絶縁膜６３の表面から第２層間絶縁膜６３、第１層間絶縁膜６２および表面保護膜２７を貫通して、n^+型領域２４およびp^+型コンタクト領域２６にそれぞれ接続されている。

[0051] ｎ側配線３０のｎ側引出し部３３は、その引出し方向を横切る方向に沿って分断されている。第１層間絶縁膜６２上には、当該分断されたｎ側引出し部３３の間に跨るように、ポリシリコンからなる抵抗素子６４が形成されている。

抵抗素子６４は、分断された各ｎ側引出し部３３に対して、プラグ６５により接続されている。これにより、抵抗素子６４は、ｎ側配線３０におけるｎ側ビア４１の接続位置とｎ側バンプ３１の接続位置（ｎ側コンタクト部３２の位置）との間に直列に接続されることになる。

[0052] 第２実施形態のＬＥＤ素子ユニット６１によっても、第１実施形態のＬＥＤ素子ユニット６１と同様の作用効果を発現することができる。

さらに、ＬＥＤ素子ユニット６１では、抵抗素子６４がｎ側配線３０に直列に接続されているので、当該抵抗素子６４の抵抗値を適切に設定することにより、ＬＥＤチップ１４に流れる電流を、当該ＬＥＤチップ１４の定格電流に良好に制御することができる。

[0053] なお、この第２実施形態では、第１層間絶縁膜６２を省略し、抵抗素子６４を表面保護膜２７上に形成してもよい。

＜第３実施形態＞

図１２は、本発明の第３実施形態に係るＬＥＤ素子ユニットの模式図であって、図１２（ａ）が全体の平面図、図１２（ｂ）がＬＥＤドライバの平面図、図１２（ｃ）がＬＥＤチップの底面図をそれぞれ示す。図１３は、図１２（ａ）に示すＬＥＤ素子ユニットの断面図であって、図１２（ａ）のＢ－Ｂ切断面における断面を示す。図１４は、図１２（ａ）に示すＬＥＤ素子ユ

ニットの断面図であって、図１２（ａ）のＣ－Ｃ切断面における断面を示す。なお、図１２（ａ）～（ｃ）、図１３および図１４において、前述の図２および図３に示す各部に対応する部分には、それらの各部と同一の参照符号を付している。また、以下では、同一の参照符号を付した部分についての詳細な説明を省略する。

[0054] 第３実施形態のＬＥＤ素子ユニット８１は、複数のＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂと、これら複数のＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂを一括して支持する駆動素子としてのＬＥＤドライバ８３とを備えている。

複数のＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂは、互いに発光波長が異なる、赤色ＬＥＤチップ８２Ｒ（発光波長が６１５ｎｍ～６６５ｎｍ）、緑色ＬＥＤチップ８２Ｇ（発光波長が５１５ｎｍ～５４０ｎｍ）および青色ＬＥＤチップ８２Ｂ（発光波長が４４５ｎｍ～４８０ｎｍ）である。なお、緑色ＬＥＤチップ８２Ｇは、サファイア基板１６に代えて、ＳｉＣ基板４７を有しており、このＳｉＣ基板４７の一主面にＬＥＤ層１７を形成したものである。また、赤色ＬＥＤチップ８２Ｒは、サファイア基板１６に代えて、ＧａＡｓ基板４８を有しており、このＧａＡｓ基板４８の一主面にＬＥＤ層１７を形成したものである。

[0055] ＬＥＤドライバ８３は、個々のＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂを駆動させる駆動ＩＣ８４（駆動回路）が形成されたシリコン基板８５を有している。シリコン基板８５の表面８６には、SiO_2からなる表面保護膜９０が形成されている。

表面保護膜９０上には、第２ｎ側電極としてのカソード電極８８および第２ｐ側電極としてのアノード電極８９Ｒ，８９Ｇ，８９Ｂが互いに隣接して形成されている。カソード電極８８は、３つのＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂに対して共通の電極となっている。一方、アノード電極８９Ｒ，８９Ｇ，８９Ｂは、各ＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂに対して一つずつ合計３対設けられている。

[0056] アノード電極８９Ｒ，８９Ｇ，８９Ｂは、それぞれ各ＬＥＤチップ８２Ｒ

，８２Ｇ，８２Ｂに対して一つずつ設けられた、アノード配線９４Ｒ，９４Ｇ，９４Ｂとアノードバンプ９５Ｒ，９５Ｇ，９５Ｂとを備えている。

各アノード配線９４Ｒ，９４Ｇ，９４Ｂは、アノードバンプ９５Ｒ，９５Ｇ，９５Ｂがコンタクトされるアノードコンタクト部９６Ｒ，９６Ｇ，９６Ｂと、平面視において当該アノードコンタクト部９６Ｒ，９６Ｇ，９６Ｂからカソード電極８８とは反対側に引き出されたアノード引出し部９７Ｒ，９７Ｇ，９７Ｂとを一体的に有している。

[0057] シリコン基板８５には、その裏面８７から表面保護膜９０を貫通し、カソード電極８８およびアノード配線９４Ｒ，９４Ｇ，９４Ｂそれぞれに達するカソードビアホール９８およびアノードビアホール９９Ｒ，９９Ｇ，９９Ｂが形成されている。カソードビアホール９８およびアノードビアホール９９Ｒ，９９Ｇ，９９Ｂは、たとえば、平面視四角状に形成されている。また、カソードビアホール９８は、共通のカソード電極８８に対して一つ設けられている。一方、アノードビアホール９９Ｒ，９９Ｇ，９９Ｂは、各ＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂに対して一つずつ合計３つ設けられている。

[0058] また、アノードビアホール９９Ｒ，９９Ｇ，９９Ｂは、平面視においてアノード引出し部９７Ｒ，９７Ｇ，９７Ｂに重なる位置に配置されている。

カソードビアホール９８およびアノードビアホール９９Ｒ，９９Ｇ，９９Ｂの内面ならびにシリコン基板８５の裏面８７には、SiO_2からなる絶縁膜１００が一体的に形成されている。

[0059] そして、カソードビアホール９８およびアノードビアホール９９Ｒ，９９Ｇ，９９Ｂにおける絶縁膜１００の内側を埋め尽くすように、Ｃｕからなるカソードビア１０１およびアノードビア１０２Ｒ，１０２Ｇ，１０２Ｂが形成されている。カソードビア１０１はカソード電極８８に接続され、アノードビア１０２Ｒ，１０２Ｇ，１０２Ｂはアノード引出し部９７Ｒ，９７Ｇ，９７Ｂに接続されることとなる。

[0060] また、絶縁膜１００におけるシリコン基板８５の裏面８７上の部分には、カソードビア１０１からシリコン基板８５の裏面８７に沿って引き出された

カソードアイランド１０３が、カソードビア１０１と一体的に形成されている。このカソードアイランド１０３には、カソード外部電極としての半田からなるカソード外部バンプ１０４が接合されている。

また、絶縁膜１００におけるシリコン基板８５の裏面８７上の部分には、アノードビア１０２Ｒ，１０２Ｇ，１０２Ｂからシリコン基板８５の裏面８７に沿って引き出されたアノードアイランド１０５Ｒ，１０５Ｇ，１０５Ｂが、アノードビア１０２Ｒ，１０２Ｇ，１０２Ｂと一体的に形成されている。このアノードアイランド１０５Ｒ，１０５Ｇ，１０５Ｂには、アノード外部電極としての半田からなるアノード外部バンプ１０６Ｒ，１０６Ｇ，１０６Ｂが接合されている。

[0061] そして、赤色ＬＥＤチップ８２Ｒ、緑色ＬＥＤチップ８２Ｇおよび青色ＬＥＤチップ８２Ｂは、バンプ状のＬＥＤカソード電極１９とカソード電極８８、およびバンプ状のＬＥＤアノード電極２０とアノードバンプ９５Ｒ，９５Ｇ，９５Ｂがそれぞれ接合されることにより、ＬＥＤ層１７の表面１８を下方に向けたフェイスダウン姿勢でＬＥＤドライバ８３に下方から支持されている（図１２（ａ）および図１３）。

[0062] 以上のように、このＬＥＤ素子ユニット８１によれば、複数のＬＥＤチップ（赤色ＬＥＤチップ８２Ｒ、緑色ＬＥＤチップ８２Ｇおよび青色ＬＥＤチップ８２Ｂ）は、ＬＥＤ層１７の電極の形成面（表面１８）を下方に向けた、いわゆるフェイスダウン姿勢でＬＥＤドライバ８３に接合されている。これにより、ＬＥＤチップ８２Ｒ，８２Ｇ，８２ＢおよびＬＥＤドライバ８３をスタック構造にできるので、ＬＥＤ素子ユニット８１の小型化（シュリンク化）を図ることができる。

[0063] さらに、各ＬＥＤチップ８２Ｒ，８２Ｇ，８２ＢのＬＥＤカソード電極１９およびＬＥＤアノード電極２０それぞれに接合されたカソード電極８８およびアノード電極８９Ｒ，８９Ｇ，８９Ｂが、シリコン基板８５を厚さ方向に貫通するカソードビア１０１およびアノードビア１０２Ｒ，１０２Ｇ，１０２Ｂによって、カソード外部バンプ１０４およびアノード外部バンプ１０

６Ｒ，１０６Ｇ，１０６Ｂにそれぞれ接続されている。

[0064] そして、カソードビア１０１およびアノードビア１０２Ｒ，１０２Ｇ，１０２Ｂは、その側面が絶縁膜１００で覆われることによって、シリコン基板８５に対して絶縁されている。そのため、カソード外部バンプ１０４およびアノード外部バンプ１０６Ｒ，１０６Ｇ，１０６Ｂからビア（カソードビア１０１およびアノードビア１０２Ｒ，１０２Ｇ，１０２Ｂ）を介してＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂに電力を供給する際、ビア（カソードビア１０１およびアノードビア１０２Ｒ，１０２Ｇ，１０２Ｂ）とシリコン基板８５とが短絡することを防止することができる。その結果、ＬＥＤチップ８２Ｒ，８２Ｇ，８２Ｂに対して電力を正常に供給することができる。

[0065] 以上、本発明の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。

たとえば、ＬＥＤチップとともにスタック構造される素子としては、前述の第１～第３実施形態に例示した素子（ダイオードチップ１５、ＬＥＤドライバ８３）に限らず、可変抵抗素子などであってもよい。

[0066] また、各ビアの側面を被覆する絶縁膜４０，１００は、SiO_2に限らず、ＳｉＮなどであってもよい。

また、前述の第１および第２実施形態では、カソード側（ｎ側）およびアノード側（ｐ側）の両方にｐ型シリコン基板２３を貫通するビア（ｎ側ビア４１およびｐ側ビア４２）を形成したが、一方を省略することもできる。

[0067] また、第１～第３実施形態においては、各半導体領域の導電型を反転した構成が採用されてもよい。すなわち、ダイオードチップ１５において、ｎ型（第１導電型）の領域がｐ型（第２導電型）の領域であり、かつ、ｐ型の領域がｎ型の領域である構成が採用されてもよい。

また、第２ｎ側電極２８とｎ側外部バンプ４４とを接続する配線、第２ｐ側電極２９とｐ側外部バンプ４６とを接続する配線、カソード電極８８とカソード外部バンプ１０４とを接続する配線等は、それぞれシリコン基板２３，８５を貫通するビアでなくてもよい。たとえば、第１実施形態のＬＥＤ素

子ユニット１１のダイオードチップ１５において、シリコン基板２３の側面に沿って形成された配線等であってもよい。

[0068] また、第１実施形態では、ＬＥＤ素子ユニット１１がベース基板２上に搭載された例を示したが、ＬＥＤ素子ユニット１１は、ｎ側外部バンプ４４およびｐ側外部バンプ４６をそれぞれリードフレームのリードに接続することにより、ベース基板２等を介さずにリードフレームに直接搭載されていてもよい。

また、第１～第３実施形態で図示されたＬＥＤチップ１４，８２Ｒ，８２Ｇ，８２Ｂは模式的なものであり、これらのＬＥＤチップ１４，８２Ｒ，８２Ｇ，８２Ｂとしては、一般的な構造のＬＥＤ素子を用いることができる。

[0069] また、第１～第３実施形態のＬＥＤパッケージ１またはＬＥＤ素子ユニット１１，６１，７１，８１単体の応用製品の一例としては、たとえば、ＬＥＤランプ、バックライト、７セグメント表示器、ドットマトリクス表示器等が挙げられる。ＬＥＤランプの構成の一例としては、図１５に示すように、基板６７上に、ＬＥＤパッケージ１が複数設置された構成（Ｒは抵抗であり、Ｃはキャパシタ）が挙げられる。図１５の構成では、ＬＥＤパッケージ１に代えてＬＥＤ素子ユニット１１，６１，７１，８１単体を設置してもよい。

[0070] 本発明の実施形態は、本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

また、本発明の各実施形態において表した構成要素は、本発明の範囲で組み合わせることができる。

[0071] 本出願は、２０１０年１２月２０日に日本国特許庁に提出された特願２０１０－２８３６６号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0072] １・・・ＬＥＤパッケージ、２・・・ベース基板、３・・・樹脂ケース、８・・・カソード端子、９・・・アノード端子、１１・・・ＬＥＤ素子ユニット、１４　ＬＥＤチップ、１５・・・ダイオードチップ、１７・・・ＬＥＤ層、１８・・・（ＬＥＤ層の）表面、１９・・・ＬＥＤカソード電極、２０・・・ＬＥＤアノード電極、２１・・・（ｐ型シリコン基板の）表面、２２・・・（ｐ型シリコン基板の）裏面、２３・・・ｐ型シリコン基板、２４・・・n^+型領域、２５・・・ｐ型領域、２６・・・p^+型コンタクト領域、２８・・・ダイオードアノード電極、２９・・・ダイオードカソード電極、３０・・・ｎ側配線、３１・・・ｎ側バンプ、３４・・・ｐ側配線、３５・・・ｐ側バンプ、４０・・・絶縁膜、４１・・・ｎ側ビア、４２・・・ｐ側ビア、４４・・・ｎ側外部バンプ、４６・・・ｐ側外部バンプ、６１・・・ＬＥＤ素子ユニット、６４・・・抵抗素子、８１・・・ＬＥＤ素子ユニット、８２Ｒ・・・赤色ＬＥＤチップ、８２Ｇ・・・緑色ＬＥＤチップ、８２Ｂ・・・青色ＬＥＤチップ、８３・・・ＬＥＤドライバ、８４・・・駆動ＩＣ、８５・・・シリコン基板、８６・・・（シリコン基板の）表面、８７・・・（シリコン基板の）裏面、８８・・・カソード電極、８９Ｒ，８９Ｇ，８９Ｂ・・・アノード電極、９４Ｒ，９４Ｇ，９４Ｂ・・・アノード配線、９５Ｒ，９５Ｇ，９５Ｂ・・・アノードバンプ、１００・・・絶縁膜、１０１・・・カソードビア、１０２Ｒ，１０２Ｇ，１０２Ｂ・・・アノードビア、１０５・・・カソード外部バンプ、１０６Ｒ，１０６Ｇ，１０６Ｂ・・・アノード外部バンプ

請求の範囲

[請求項1] 表面および裏面を有し、当該裏面から光が取り出され、当該表面に第１ｎ側電極および第１ｐ側電極を有する半導体発光素子と、

表面および裏面を有する導電性基板と、前記導電性基板の前記表面に形成された第２ｎ側電極および第２ｐ側電極とを有する支持素子とを含み、

前記半導体発光素子は、前記第１ｎ側電極と前記第２ｎ側電極、および前記第１ｐ側電極と前記第２ｐ側電極がそれぞれ接合されることにより、前記表面を下方に向けたフェイスダウン姿勢で前記支持素子に支持されており、

前記支持素子は、

前記導電性基板の前記裏面に形成されたｎ側外部電極およびｐ側外部電極と、

前記導電性基板を前記表面から前記裏面まで貫通し、前記第２ｎ側電極と前記ｎ側外部電極との間および／または前記第２ｐ側電極と前記ｐ側外部電極との間を電気的に接続する導電性のビアと、

前記ビアと前記導電性基板との間に前記ビアの側面を覆うように形成された絶縁膜とを有する、発光素子ユニット。

[請求項2] 前記ビアに接続された前記第２ｎ側電極および前記第２ｐ側電極は、

前記導電性基板の前記表面に沿って敷設され、前記導電性基板および前記ビアそれぞれに接続された配線と、

当該配線上に形成され、前記第１ｎ側電極または前記第１ｐ側電極に接合されたバンプとを含む、請求項１に記載の発光素子ユニット。

[請求項3] 前記配線における前記ビアの接続位置と前記バンプとの接続位置との間に介挿された抵抗素子をさらに含む、請求項２に記載の発光素子ユニット。

[請求項4] 前記バンプに接続された前記第１ｎ側電極および前記第１ｐ側電極が、前記バンプと同一の金属材料からなるバンプ状に形成されている、請求項２または３に記載の発光素子ユニット。

[請求項5] 前記バンプが、Ａｕからなる、請求項２～４のいずれか一項に記載の発光素子ユニット。

[請求項6] 前記配線が、ＡｌからなるＡｌ、請求項２～５のいずれか一項に記載の発光素子ユニット。

[請求項7] 前記導電性基板が、前記第２ｎ側電極が接続されたｐ型領域と、前記第２ｐ側電極が接続されたｎ型領域とを有し、

前記支持素子が、当該ｎ型領域と当該ｐ型領域とのｐｎ接合を有するツェナーダイオードを含み、

前記ビアは、前記第２ｎ側電極および前記第２ｐ側電極それぞれに接続されたｎ側ビアおよびｐ側ビアを含む、請求項１～６のいずれか一項に記載の発光素子ユニット。

[請求項8] 前記導電性基板が、前記ｐ型領域としてのｐ型半導体基板であり、

前記ｎ型領域が、当該ｐ型半導体基板の表層部にフローティングされた領域である、請求項７に記載の発光素子ユニット。

[請求項9] 前記ｐ側ビアが、フローティングされた前記ｎ型領域に接触しないように前記ｐ型半導体基板を貫通している、請求項８に記載の発光素子ユニット。

[請求項10] 前記ｐ型半導体基板は、その表層部において前記ｎ型領域に隣接して形成され、前記第２ｎ側電極が接続されたp^+型コンタクト領域を含み、

前記ｐ側ビアが、前記ｎ型領域に対して前記p^+型コンタクト領域とは反対側に形成されており、

前記ｎ側ビアが、前記p^+型コンタクト領域に対して前記ｎ型領域とは反対側に形成されている、請求項９に記載の発光素子ユニット。

[請求項11] 前記ｎ側ビア、前記ｎ型領域、前記p^+型コンタクト領域および前

記ｐ側ビアが、平面視において同一直線上に配置されている、請求項９または１０に記載の発光素子ユニット。

[請求項12] 前記導電性基板が、複数の前記半導体発光素子をそれぞれ駆動させる駆動回路を有し、

前記支持素子が、複数の前記半導体発光素子を支持する駆動素子を含み、

前記ビアが、前記第２ｎ側電極および前記第２ｐ側電極それぞれに電気的に接続されている、請求項１～６のいずれか一項に記載の発光素子ユニット。

[請求項13] 複数の前記半導体発光素子が、互いに発光波長が異なる発光素子である、請求項１２に記載の発光素子ユニット。

[請求項14] 複数の前記半導体発光素子が、赤色ＬＥＤ素子、緑色ＬＥＤ素子および青色ＬＥＤ素子を含む、請求項１２または１３に記載の発光素子ユニット。

[請求項15] 前記赤色ＬＥＤ素子、前記緑色ＬＥＤ素子および前記青色ＬＥＤ素子それぞれの前記第１ｎ側電極が、共通の前記第２ｎ側電極に接続されている、請求項１４に記載の発光素子ユニット。

[請求項16] 請求項１～１５のいずれか一項に記載の発光素子ユニットと、

前記発光素子ユニットを支持し、前記発光素子ユニットの前記ｎ側外部電極および前記ｐ側外部電極それぞれに電気的に接続されたカソード端子およびアノード端子を有するベース基板と、

前記ベース基板上に形成され、前記発光素子ユニットを取り囲む樹脂ケースとを含む、発光素子パッケージ。

[請求項17] 表面および裏面を有し、当該表面に第１ｎ側電極および第１ｐ側電極を有する半導体素子と、

表面および裏面を有する導電性基板と、前記導電性基板の前記表面に形成された第２ｎ側電極および第２ｐ側電極とを有する支持素子とを含み、

前記半導体素子は、前記第１ｎ側電極と前記第２ｎ側電極、および前記第１ｐ側電極と前記第２ｐ側電極がそれぞれ接合されることにより、前記表面を下方に向けたフェイスダウン姿勢で前記支持素子に支持されており、

前記支持素子は、

前記導電性基板の前記裏面に形成されたｎ側外部電極およびｐ側外部電極と、

前記第２ｎ側電極と前記ｎ側外部電極との間および／または前記第２ｐ側電極と前記ｐ側外部電極との間を電気的に接続する配線と、

前記配線と前記導電性基板との間に形成された絶縁膜とを有する、半導体装置。

[請求項18] 前記配線は、前記導電性基板を前記表面から前記裏面まで貫通する導電性のビアを含む、請求項１７に記載の半導体装置。

[請求項19] 前記導電性基板は、前記半導体素子を保護する素子を含む、請求項１７または１８に記載の半導体装置。

[請求項20] カソード端子およびアノード端子を有するベース基板と、

表面および裏面を有する導電性基板、前記導電性基板の前記表面に形成されたｎ側電極およびｐ側電極、および前記導電性基板の前記裏面に形成され、前記カソード端子および前記アノード端子にそれぞれ電気的に接続されるｎ側外部電極およびｐ側外部電極を有する支持素子と、

表面および裏面を有し、当該裏面から光が取り出され、当該表面にカソード側電極およびアノード側電極を有しており、前記カソード側電極と前記ｎ側電極および前記アノード側電極と前記ｐ側電極がそれぞれ接合されることにより、前記表面を下方に向けたフェイスダウン姿勢で前記支持素子に支持されて、前記支持素子と協働して保護回路を有する発光素子回路を構成する半導体発光素子と、

前記ベース基板の前記支持素子の搭載面側に形成され、前記支持素

子および前記半導体発光素子を取り囲む樹脂ケースとを含む、表面実装型発光素子ユニット。

[請求項21] 前記ｎ側電極および前記ｐ側電極は、

前記導電性基板の前記表面に沿って敷設され、前記導電性基板に接続された配線と、

当該配線上に形成され、前記カソード側電極または前記アノード側電極に接合されたバンプとを含む、請求項２０に記載の表面実装型発光素子ユニット。

[請求項22] 前記配線における前記導電性基板の接続位置と前記バンプとの接続位置との間に介挿された抵抗素子をさらに含む、請求項２１に記載の表面実装型発光素子ユニット。

[請求項23] 前記バンプに接続された前記カソード側電極および前記アノード側電極が、前記バンプと同一の金属材料からなるバンプ状に形成されている、請求項２２に記載の表面実装型発光素子ユニット。

[請求項24] 前記バンプが、Ａｕからなる、請求項２２または２３に記載の表面実装型発光素子ユニット。

[請求項25] 前記配線が、ＡＩからなる、請求項２１～２４のいずれか一項に記載の表面実装型発光素子ユニット。

[請求項26] 前記導電性基板が、前記ｎ側電極が接続されたｐ型領域と、前記ｐ側電極が接続されたｎ型領域とを有し、

前記支持素子が、当該ｎ型領域と当該ｐ型領域とのｐｎ接合を有するツェナーダイオードを含む、請求項２０～２５のいずれか一項に記載の表面実装型発光素子ユニット。

[請求項27] 前記導電性基板が、前記ｐ型領域としてのｐ型半導体基板であり、

前記ｎ型領域が、当該ｐ型半導体基板の表層部にフローティングされた領域である、請求項２６に記載の表面実装型発光素子ユニット。

[請求項28] 前記導電性基板が、複数の前記半導体発光素子をそれぞれ駆動させる駆動回路を有し、

前記支持素子が、複数の前記半導体発光素子を支持する駆動素子を含む、請求項２０～２７のいずれか一項に記載の表面実装型発光素子ユニット。

[請求項29] 複数の前記半導体発光素子が、互いに発光波長が異なる発光素子である、請求項２８に記載の表面実装型発光素子ユニット。

[請求項30] 複数の前記半導体発光素子が、赤色ＬＥＤ素子、緑色ＬＥＤ素子および青色ＬＥＤ素子を含む、請求項２８または２９に記載の表面実装型発光素子ユニット。

[請求項31] 前記赤色ＬＥＤ素子、前記緑色ＬＥＤ素子および前記青色ＬＥＤ素子それぞれの前記カソード側電極が、共通の前記ｎ側電極に接続されている、請求項３０に記載の表面実装型発光素子ユニット。

[請求項32] 前記導電性基板は、前記導電性基板の前記表面から前記裏面まで貫通し、前記ｎ側電極と前記ｎ側外部電極との間および前記ｐ側電極と前記ｐ側外部電極との間をそれぞれ電気的に接続する、ｎ側ビアおよびｐ側ビアを含む、請求項２０～３１のいずれか一項に記載の表面実装型発光素子ユニット。

[請求項33] 前記ｐ側ビアが、フローティングされた前記ｎ型領域に接触しないように前記ｐ型半導体基板を貫通している、請求項２７に係る請求項３２に記載の表面実装型発光素子ユニット。

[請求項34] 前記ｐ型半導体基板は、その表層部において前記ｎ型領域に隣接して形成され、前記ｎ側電極が接続されたp^+型コンタクト領域を含み、

前記ｐ側ビアが、前記ｎ型領域に対して前記p^+型コンタクト領域とは反対側に形成されており、

前記ｎ側ビアが、前記p^+型コンタクト領域に対して前記ｎ型領域とは反対側に形成されている、請求項３３に記載の表面実装型発光素子ユニット。

[請求項35] 前記ｎ側ビア、前記ｎ型領域、前記p^+型コンタクト領域および前

記ｐ側ビアが、平面視において同一直線上に配置されている、請求項３４に記載の表面実装型発光素子ユニット。

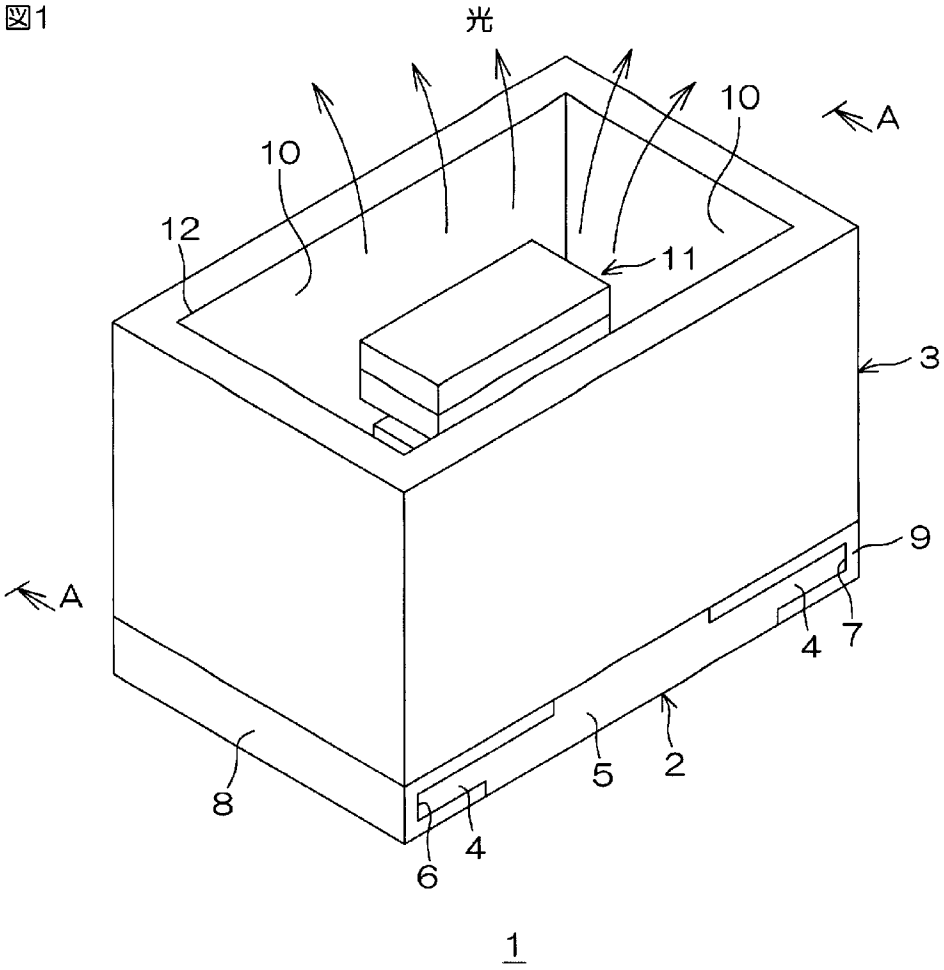
［請求項36］ 少なくとも前記支持素子の少なくとも一部を覆うように前記樹脂ケース内に注入された白色樹脂と、

前記樹脂ケース内において前記半導体発光素子の周囲に注入された波長変換樹脂とさらに含む、請求項２０に記載の表面実装型発光素子ユニット。

［請求項37］ 前記白色樹脂の厚さは、前記支持素子を覆う部分が相対的に薄く、前記樹脂ケースに接触する部分が相対的に厚い、請求項３６に記載の表面実装型発光素子ユニット。

[図1]

図1



[図2]

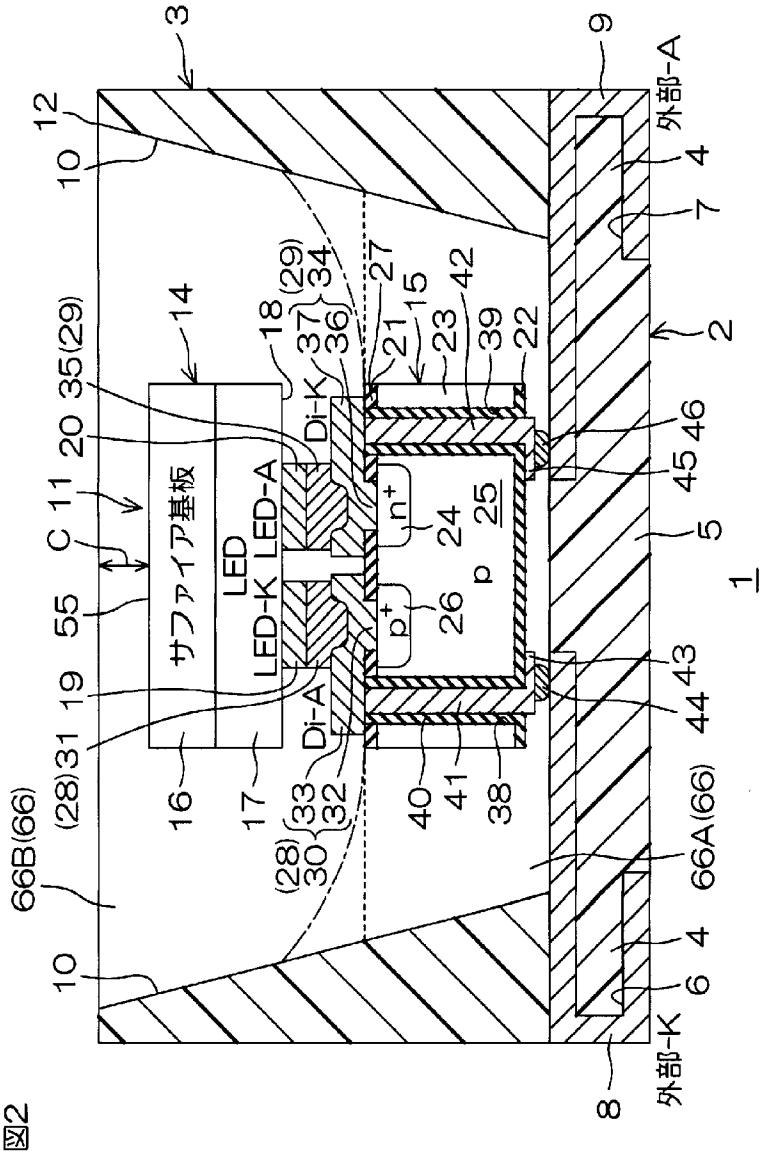
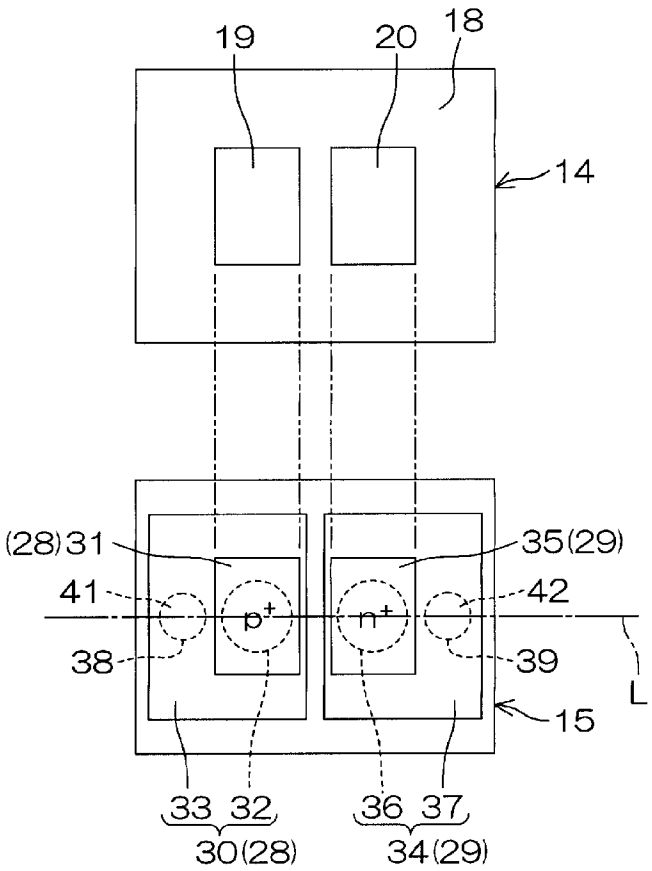

3
9
外部-A
12
10
4
7
2
14
18
(29)
34
27
15
42
35(29)
37
36
21
23
39
22
20
Di-K
46
C
11
45
n+
24
25
5
55
LED
LED-K
LED-A
サファイア基板
p
p+
26
1
19
43
44
(28)31
Di-A
16
17
(33)
32
40
41
38
66B(66)
(28)
30
66A(66)
10
4
6
外部-K
8

図2

[図3]

図3



[図4A]

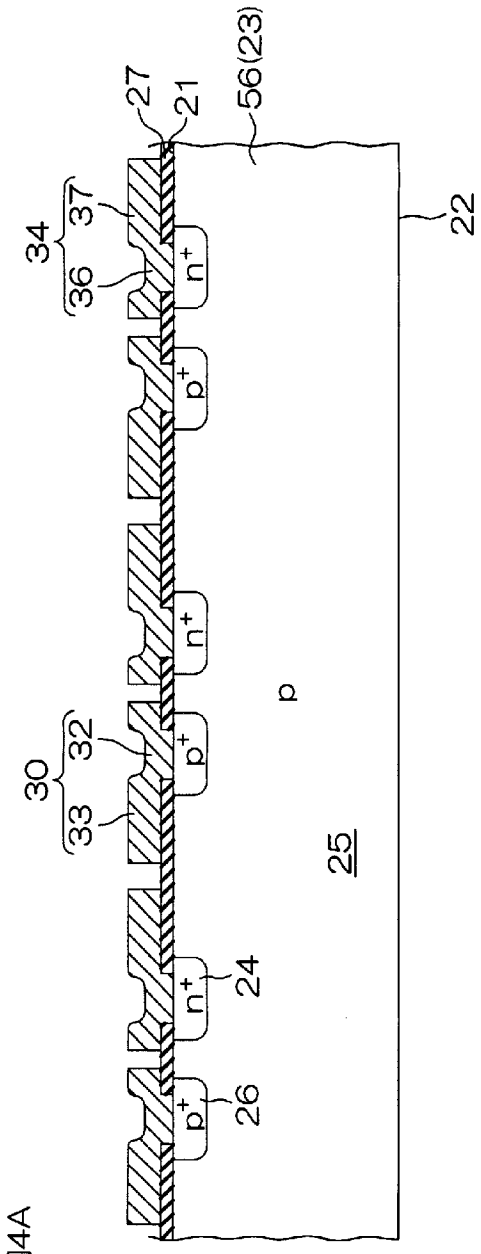


図4A

[図4B]

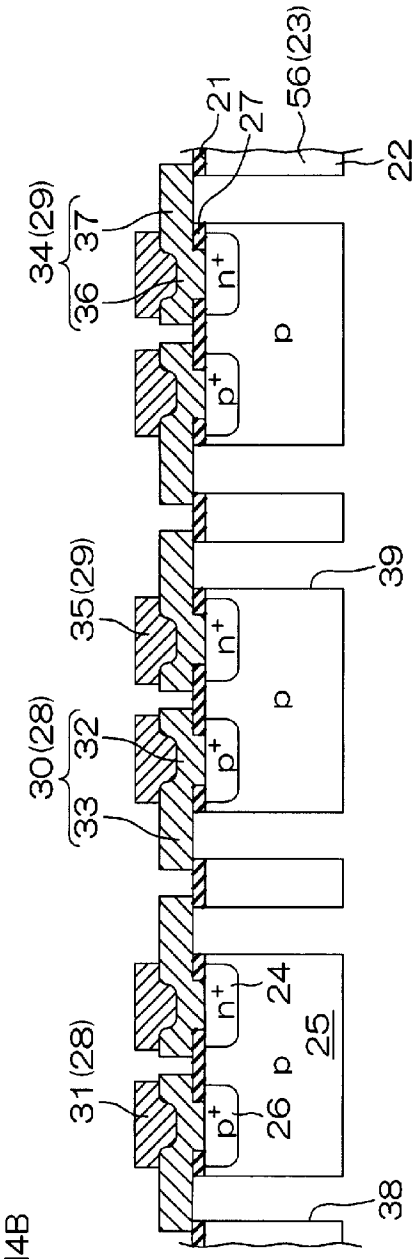


図4B

[図4C]

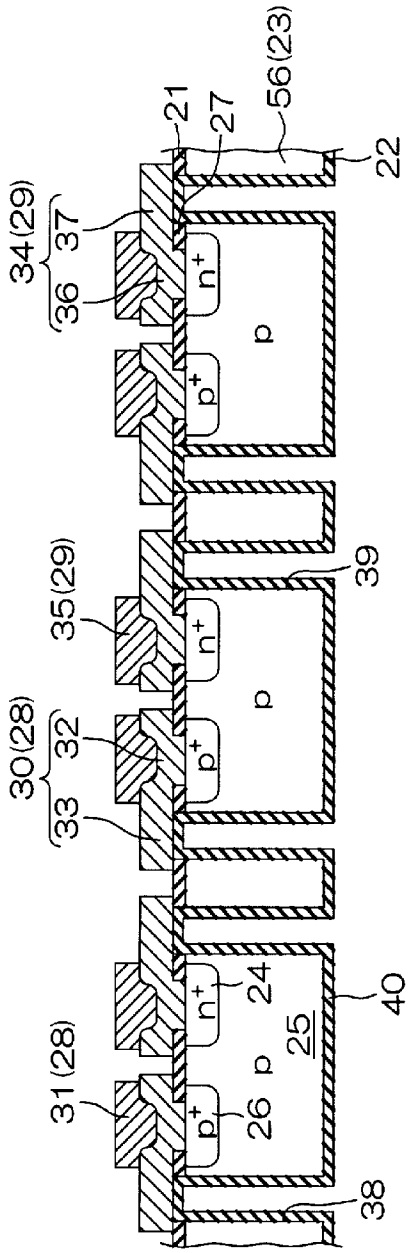

21
27
56(23)
22
34(29)
37
36
n+
p
p+
39
35(29)
n+
p
30(28)
32
p+
33
n+
24
40
31(28)
25
p
26
p+
38

図4C

[図4D]

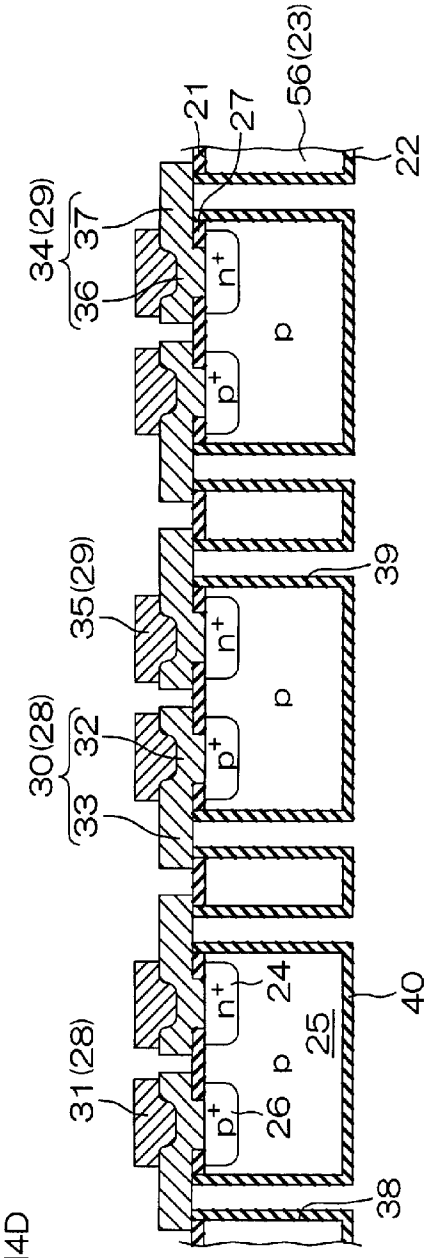


図4D

[図4E]

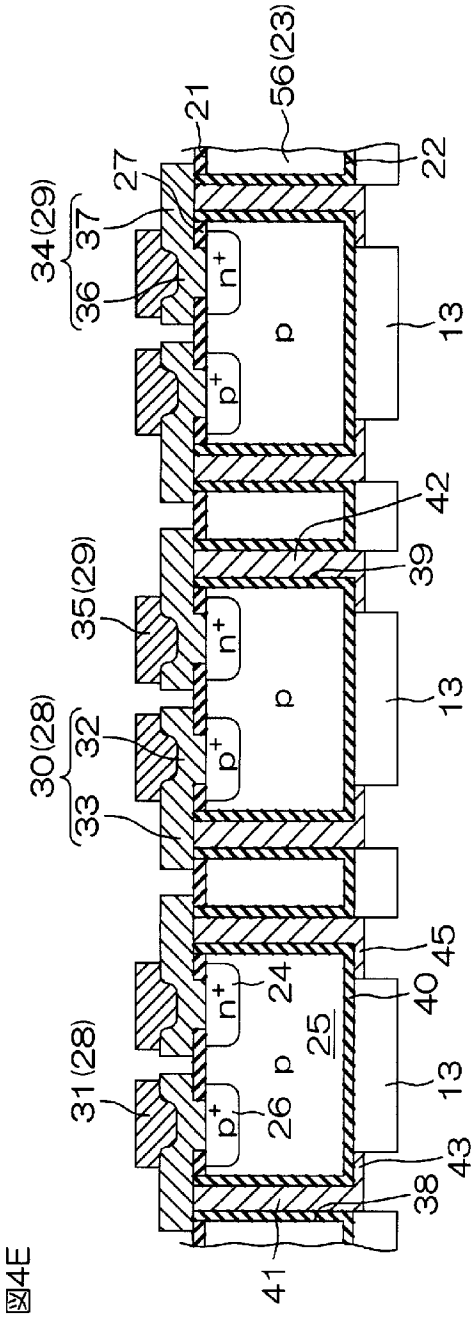

56(23)
21
22
27
34(29)
37
36
n+
p+
p
13
42
39
35(29)
30(28)
32
33
45
24
40
25
31(28)
26
43
38
41

図4E

[図4F]

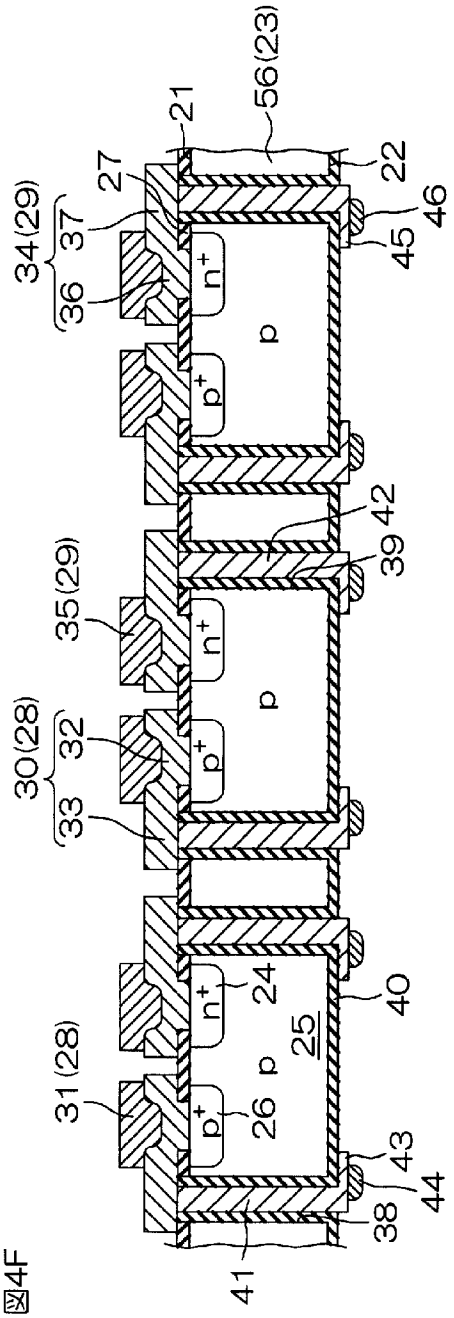

56(23)
21
22
27
34(29)
37
36
46
45
n+
p+
p
42
39
35(29)
30(28)
32
33
24
40
25
31(28)
26
43
44
38
41

図4F

[図4G]

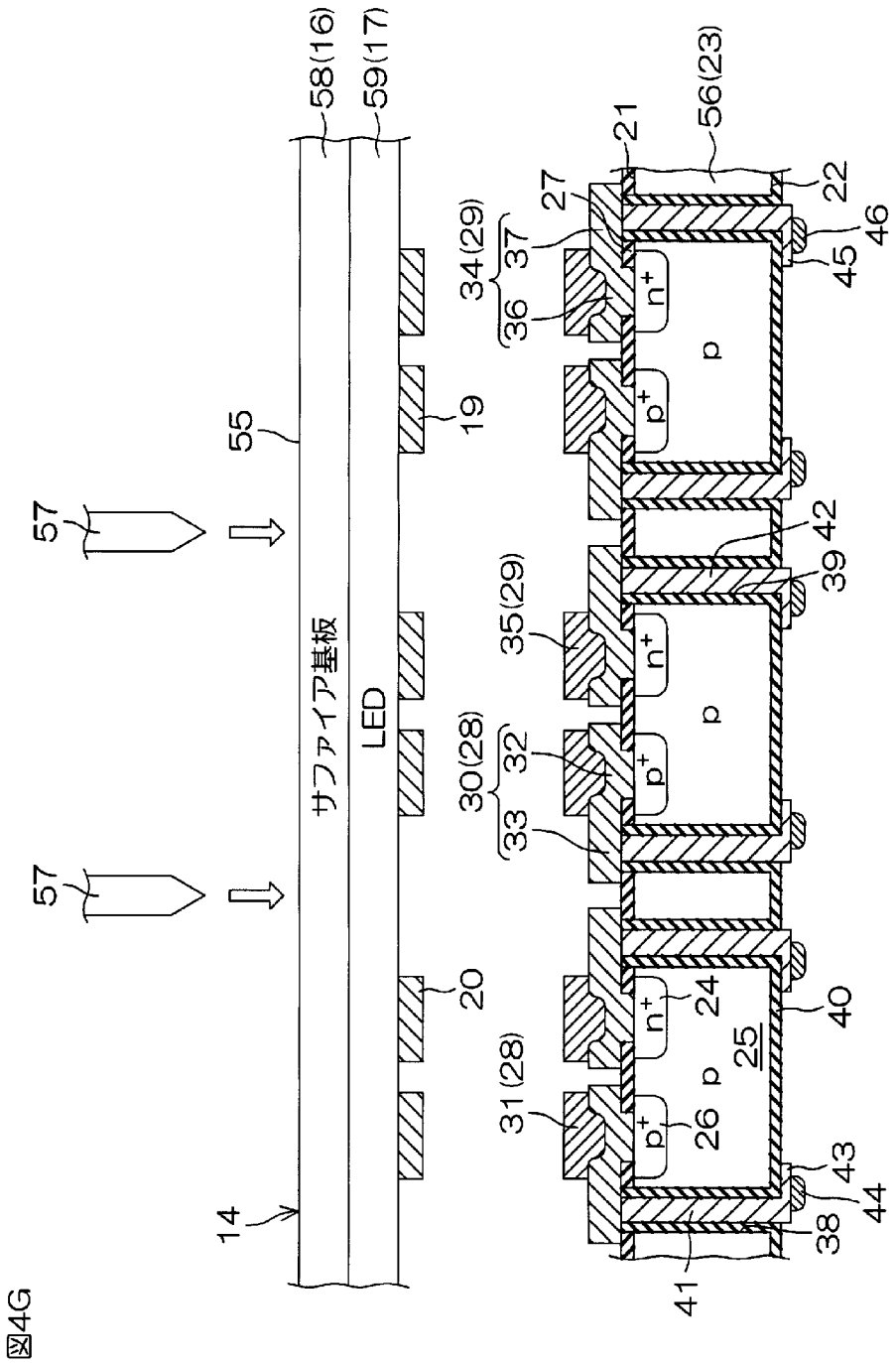

58(16)
59(17)
56(23)
21
27
22
34(29)
37
46
45
36
n+
p+
p
19
55
57
42
39
35(29)
30(28)
32
33
24
40
25
31(28)
26
43
44
38
41
14
20
サファイア基板
LED

図4G

[図4H]

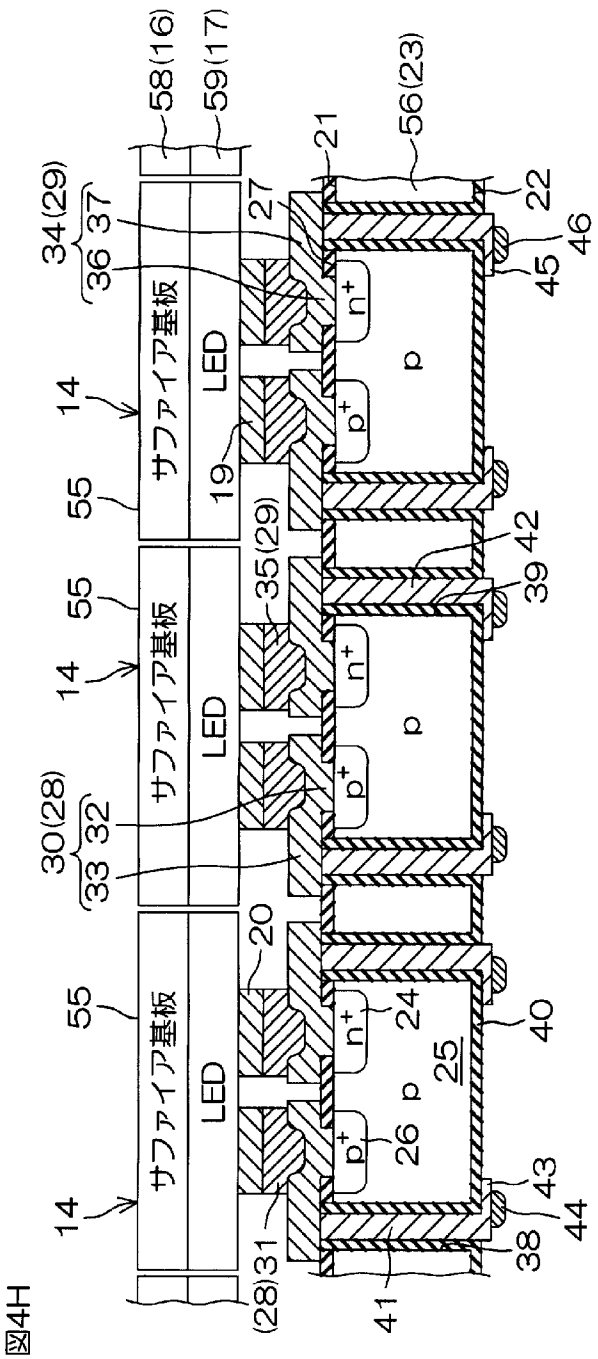

58(16)
59(17)
56(23)
21
22
46
45
34(29)
37
36
27
14
55
サファイア基板
LED
19
n+
p+
p
35(29)
42
39
30(28)
32
33
20
24
25
26
40
43
44
38
31
(28)
41

図4H

[図4I]

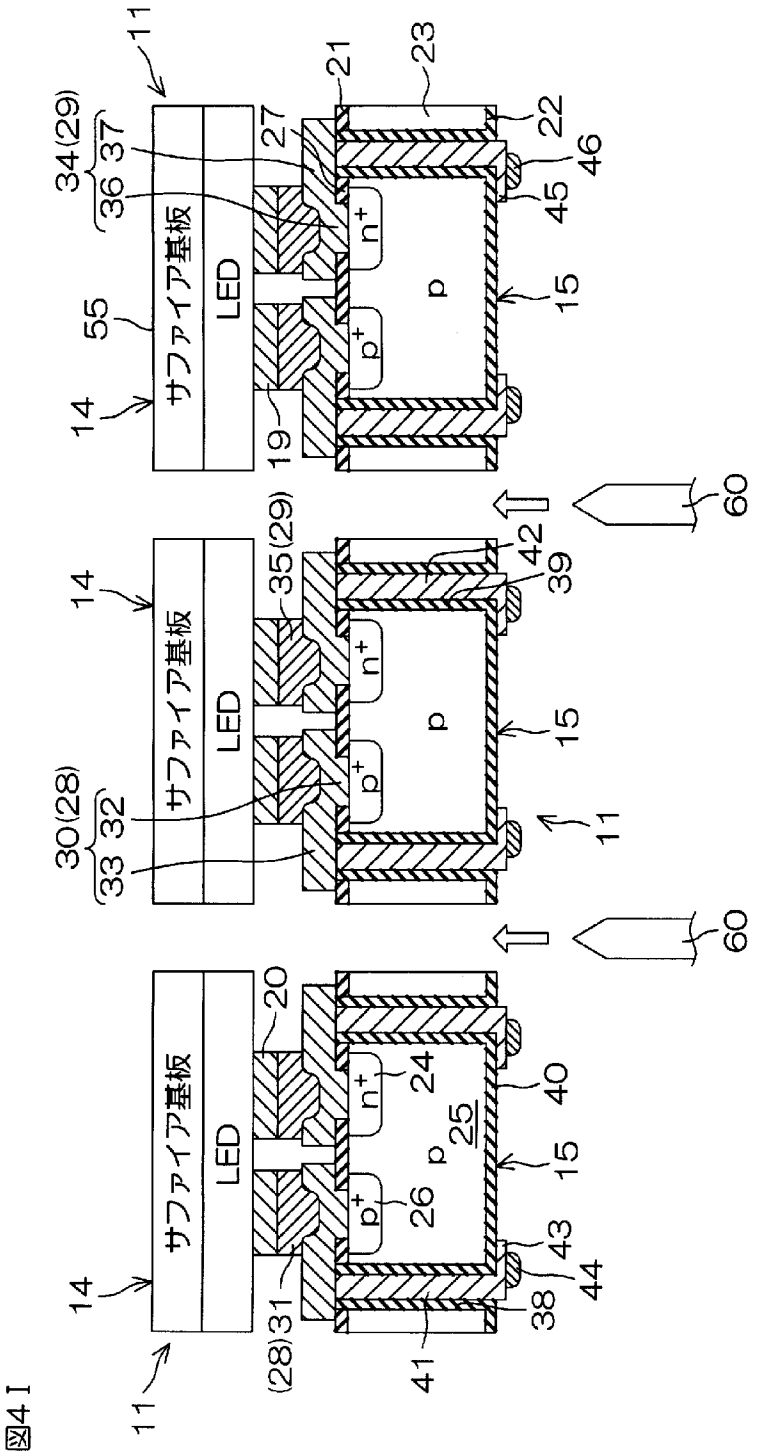

11
34(29)
37
36
27
21
23
22
46
45
15
55
14
19
サファイア基板
LED
n+
p+
p
60
35(29)
42
39
30(28)
32
33
20
24
25
26
40
43
44
38
31
41
(28)

図4I

[図5]

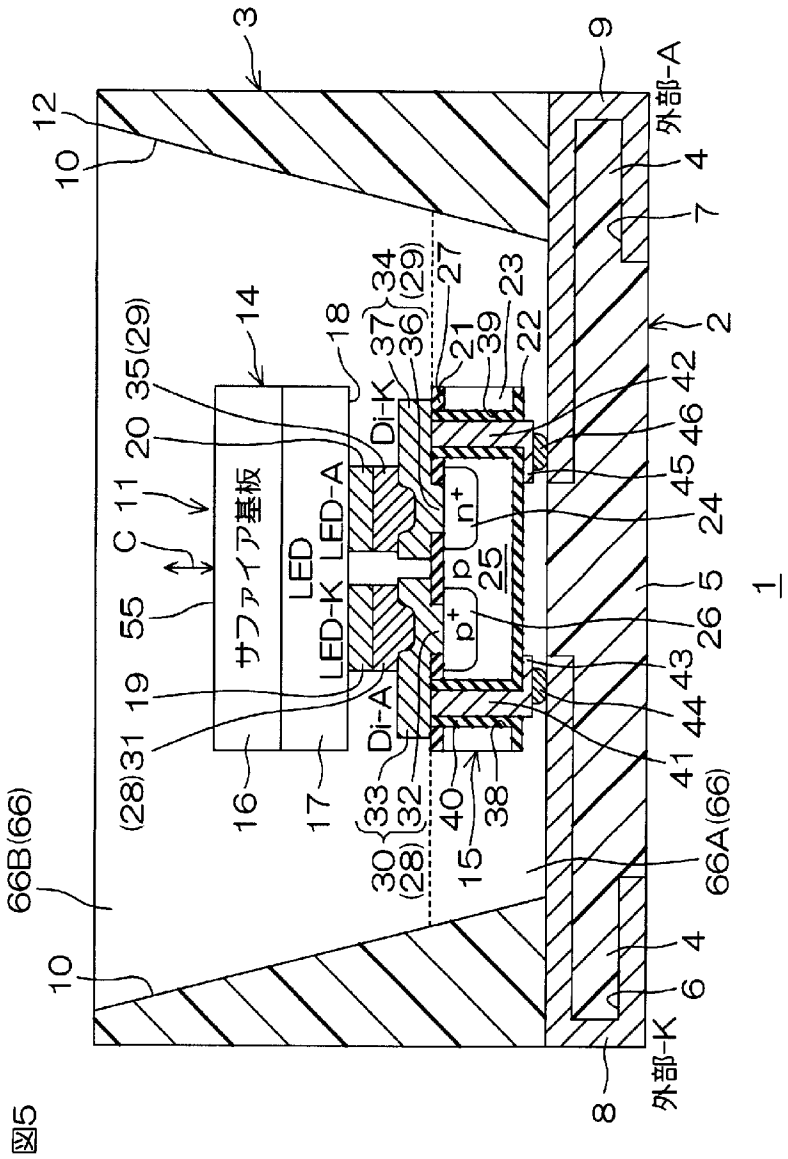

3
9
12
10
外部-A
4
7
2
34
(29)
27
23
14
18
37
36
21
39
22
35(29)
Di-K
42
20
46
45
11
C
24
55
サファイア基板
LED
LED-K
LED-A
n+
p
25
5
1
19
p+
26
43
(28)31
Di-A
44
41
16
17
33
32
40
38
66A(66)
66B(66)
30
(28)
15
10
4
6
外部-K
8

図5

[図6]

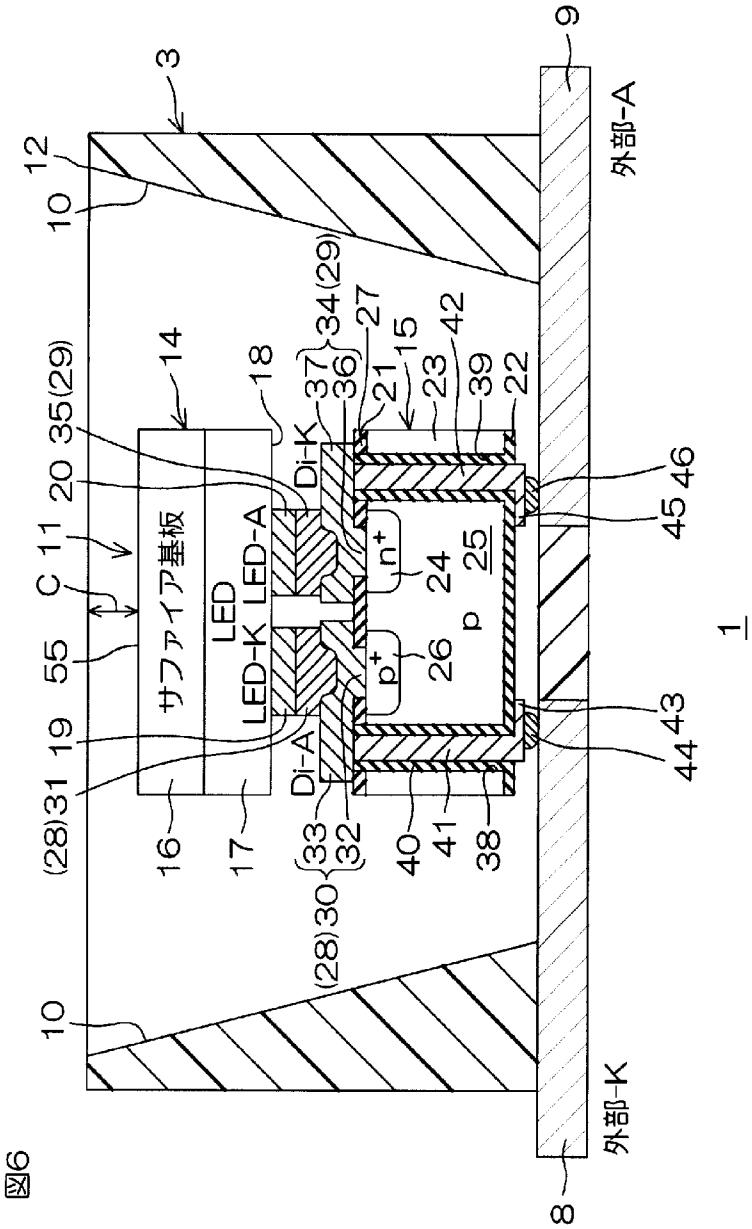
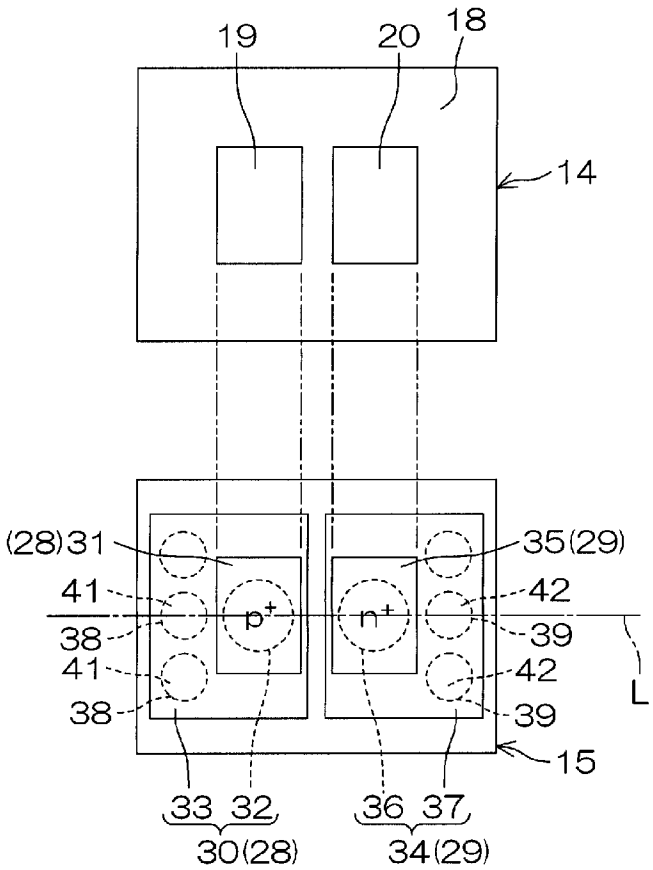

3
9
12
10
外部-A
34(29)
27
15
42
14
18
37
36
21
23
39
22
35(29)
Di-K
20
46
45
11
C
LED
LED-K
LED-A
n+
24
25
55
p
26
p+
19
43
44
(28)31
Di-A
16
17
33
32
40
41
38
(28)30
10
外部-K
8
1

図6

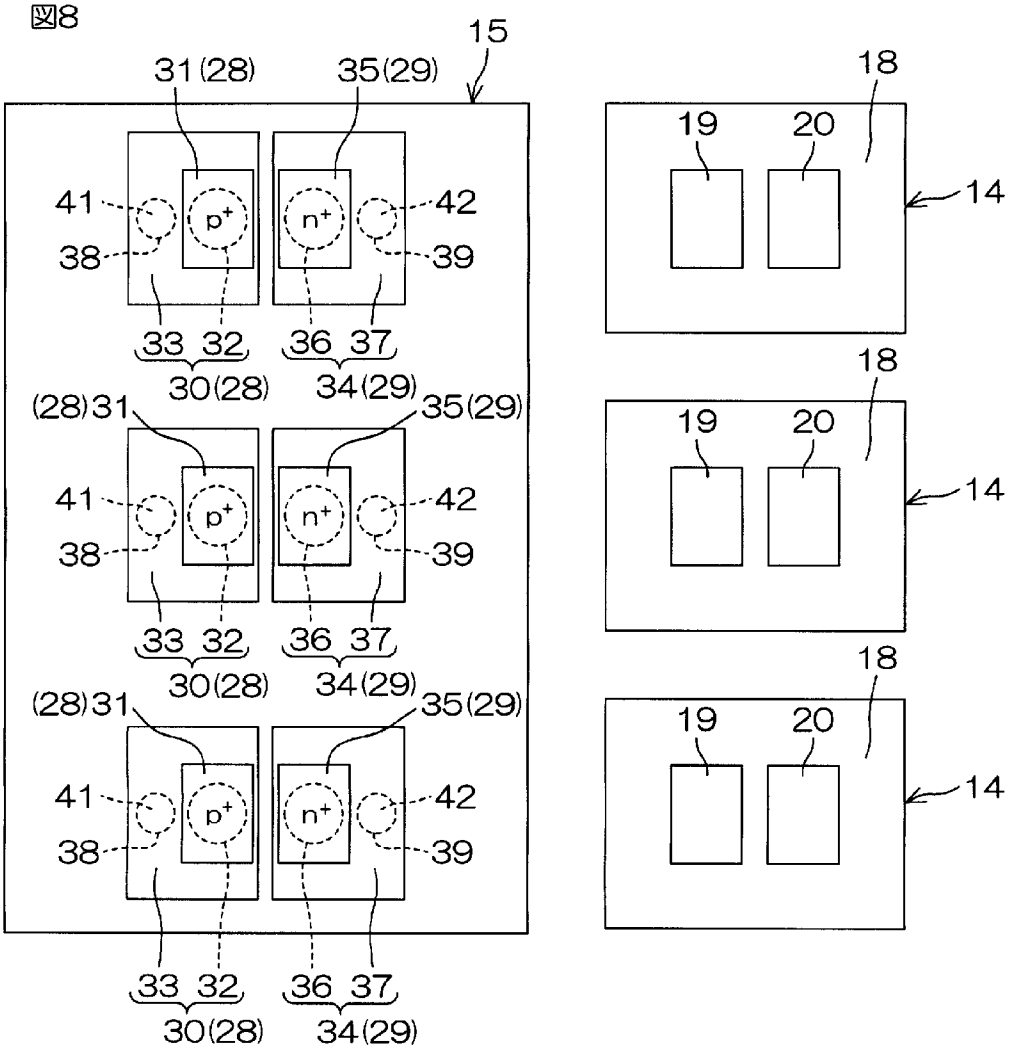
[図7]

図7


19
20
18
14
(28)31
35(29)
41
42
38
39
41
42
38
39
L
15
33 32
36 37
30(28)
34(29)

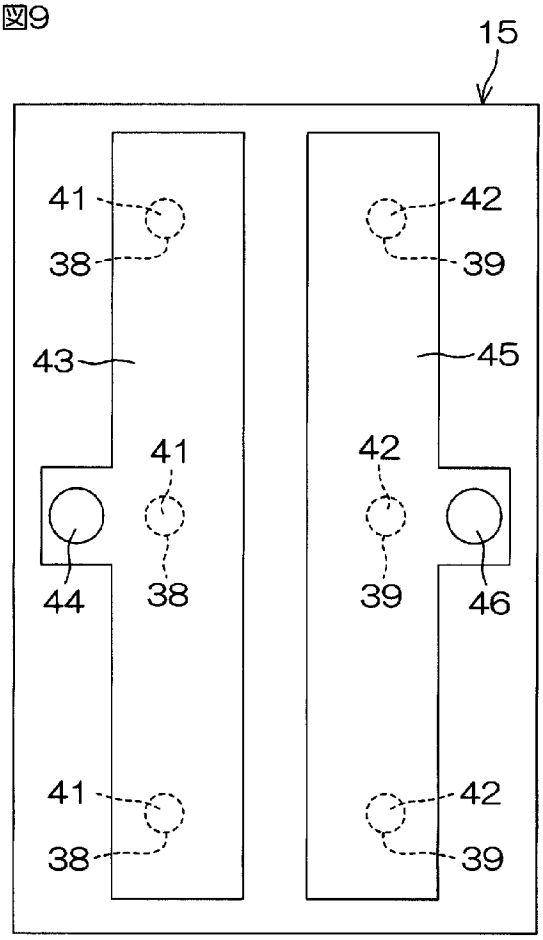
[図8]

図8


15
31(28)
35(29)
41
42
38
39
p+
n+
33 32
36 37
30(28)
34(29)
(28)31
35(29)
18
19
20
14

[図9]

図9



[図10]

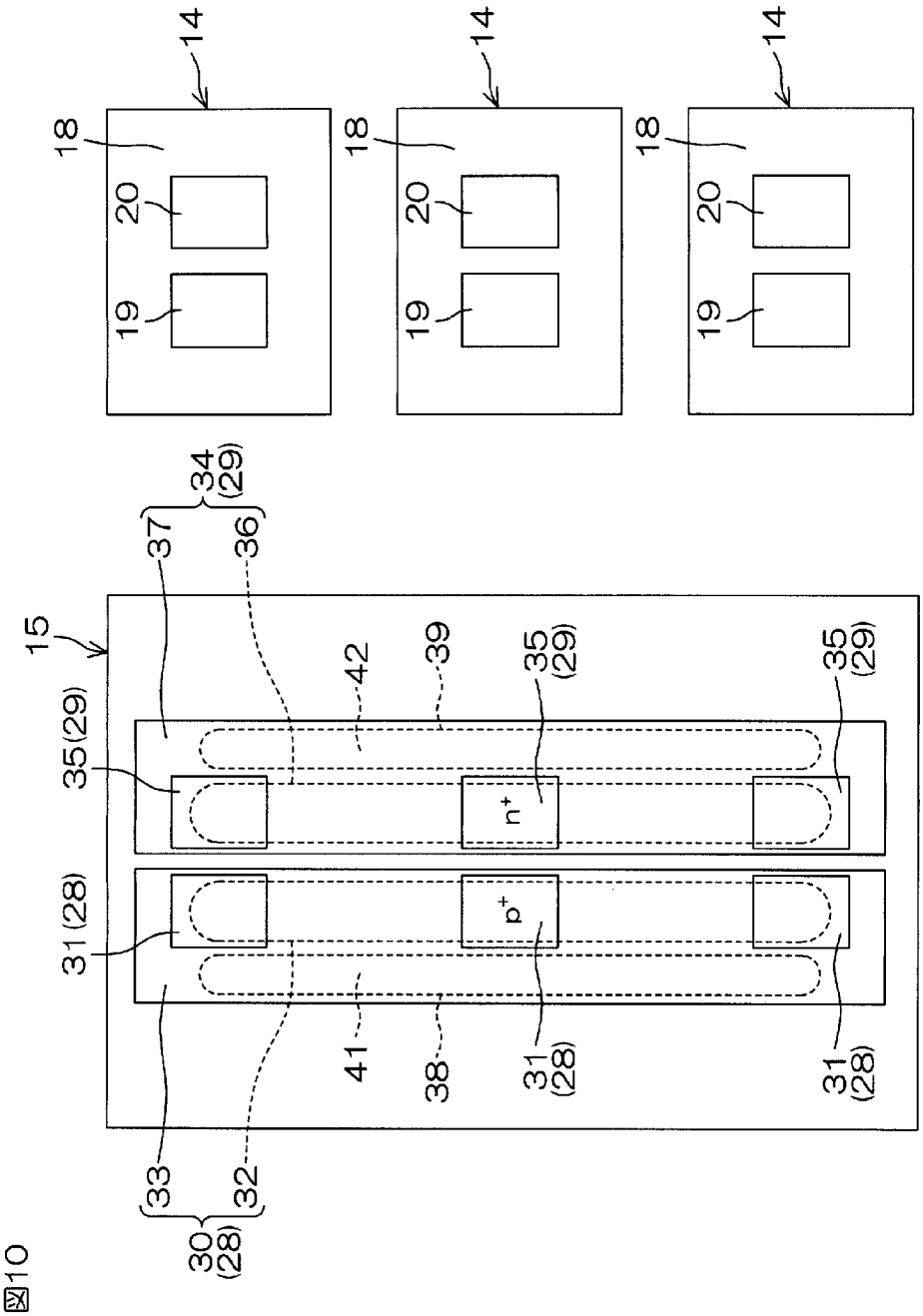


図10

[図11]

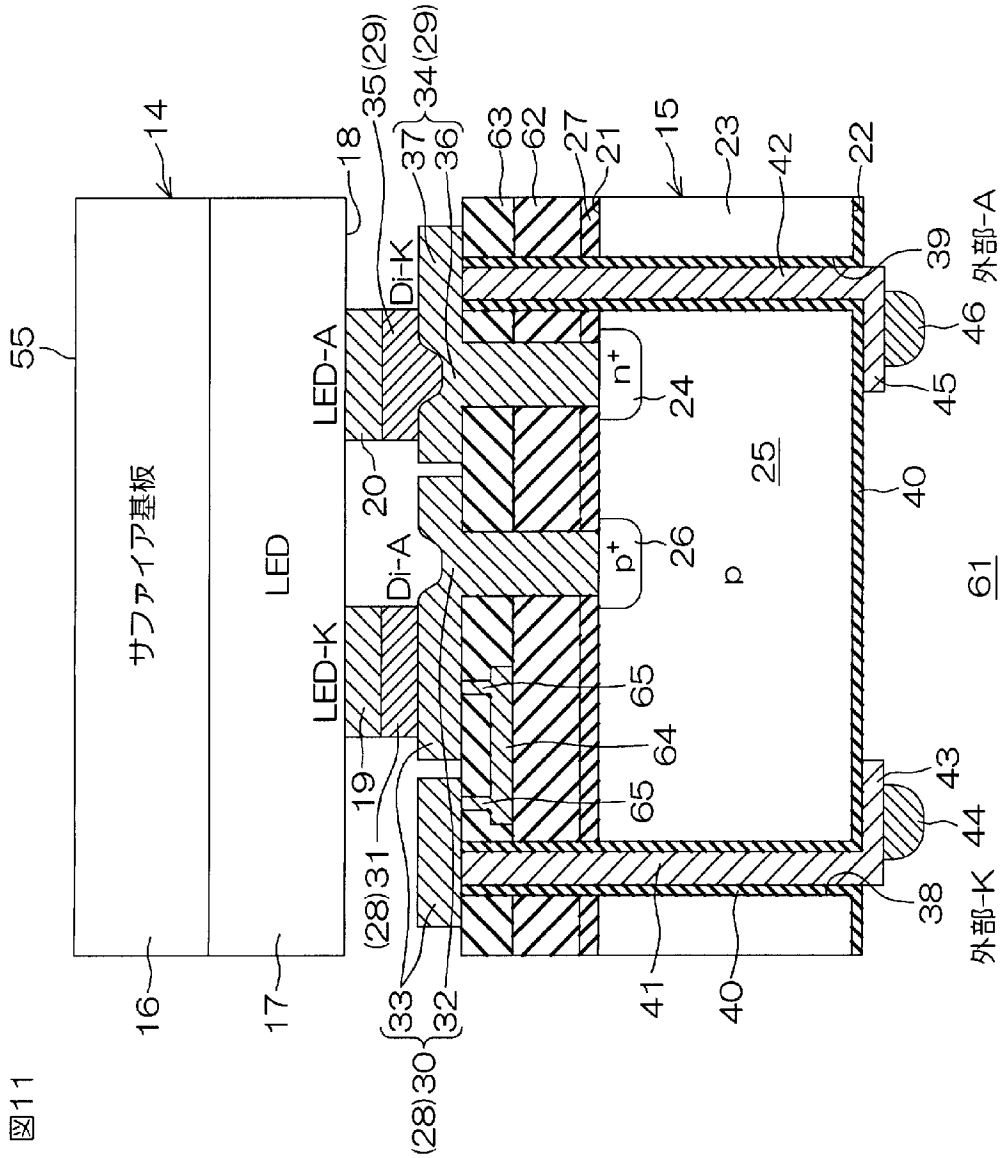

サファイア基板
LED
LED-A
LED-K
Di-A
Di-K
外部-A
外部-K
n+
p+
p
25
61
55
14
18
35(29)
34(29)
37
36
63
62
27
21
15
23
42
22
39
46
45
24
40
26
20
65
64
19
31
(28)
33
32
(28)30
16
17
41
43
44
38

図11

[図12]

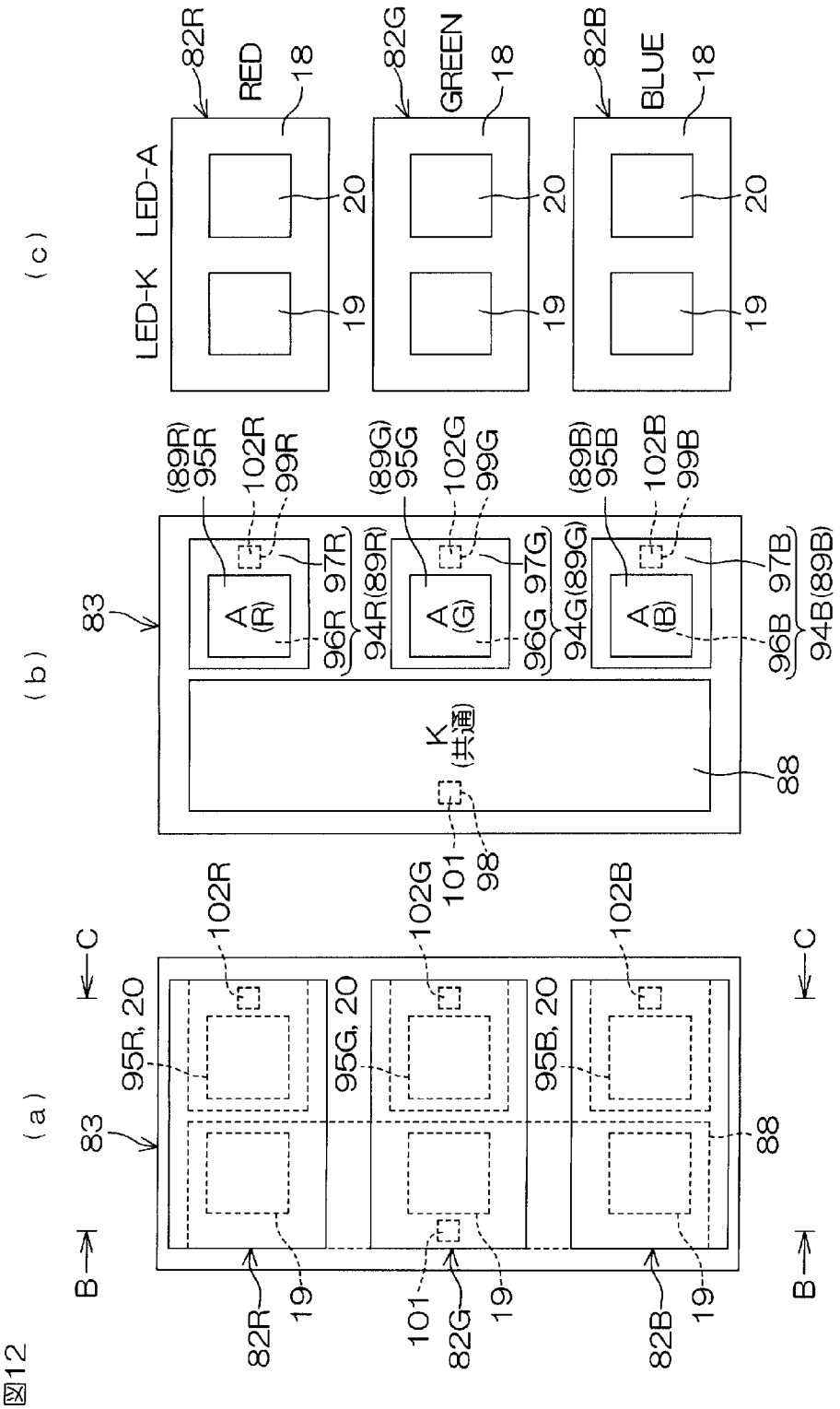

(a)
(b)
(c)
C
B
83
88
95R, 20
95G, 20
95B, 20
102R
102G
102B
101
98
19
82R
82G
82B
K (共通)
A (R)
A (G)
A (B)
96R 97R
94R(89R)
96G 97G
94G(89G)
96B 97B
94B(89B)
(89R) 95R
(89G) 95G
(89B) 95B
99R
99G
99B
LED-A
LED-K
RED
GREEN
BLUE
18
20

図12

[図13]

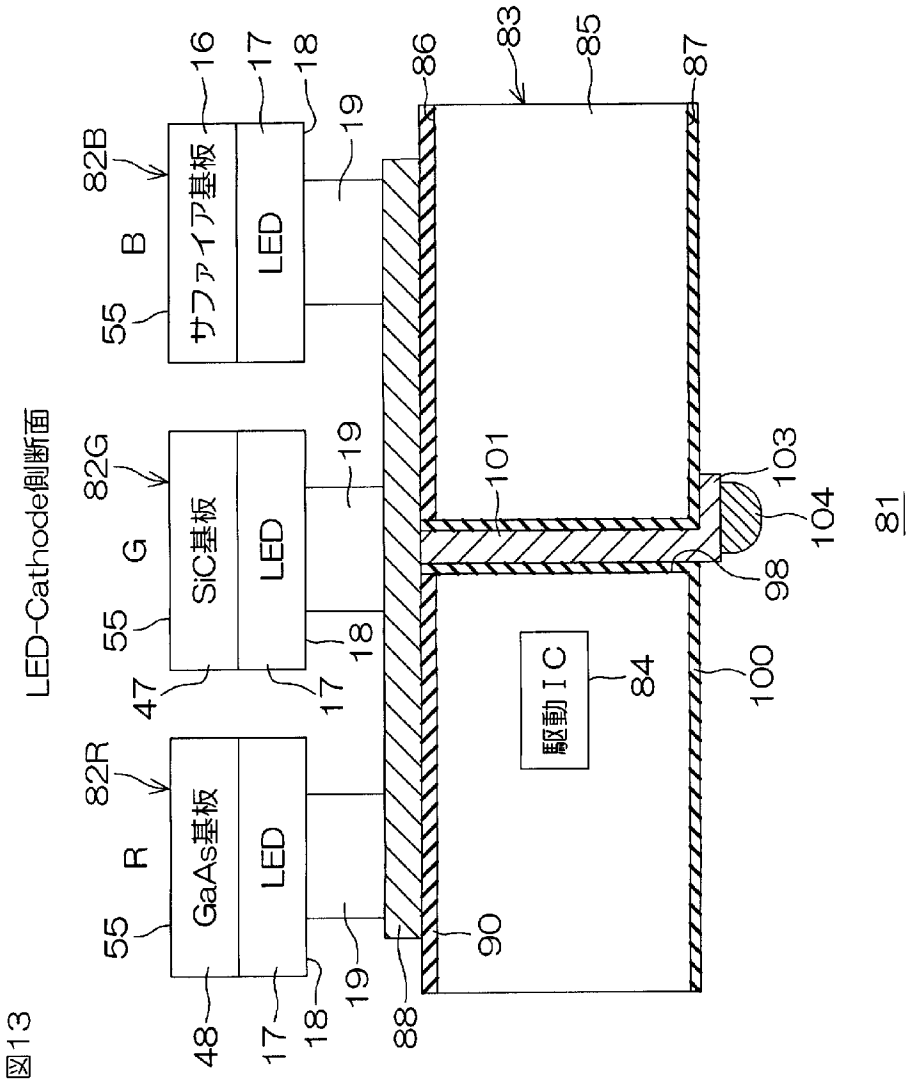

LED-Cathode側断面
82B
B
55
サファイア基板
LED
16
17
18
19
82G
G
SiC基板
47
82R
R
GaAs基板
48
86
83
85
87
101
103
104
98
駆動IC
84
100
90
88
81

図13

[図14]

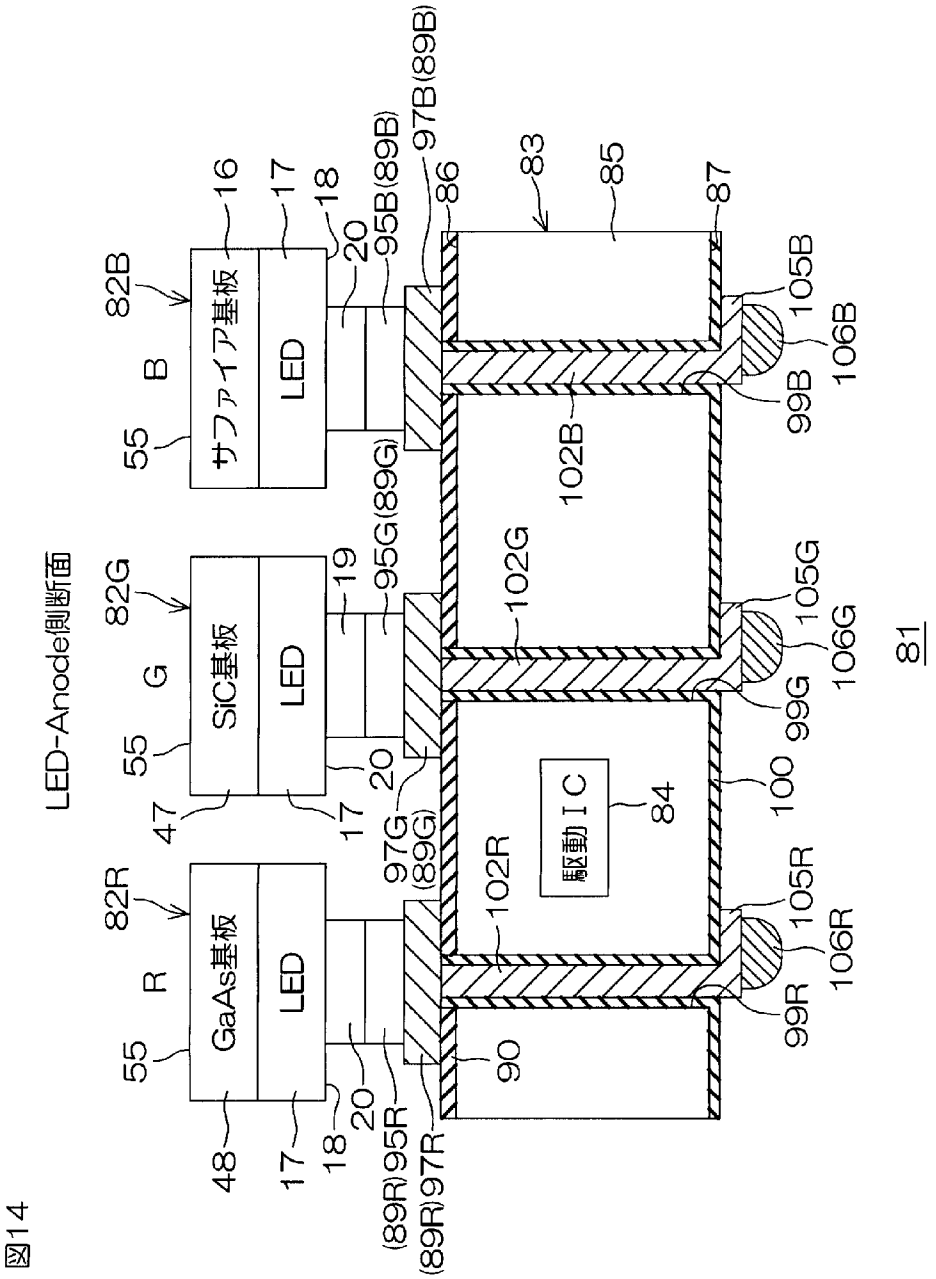
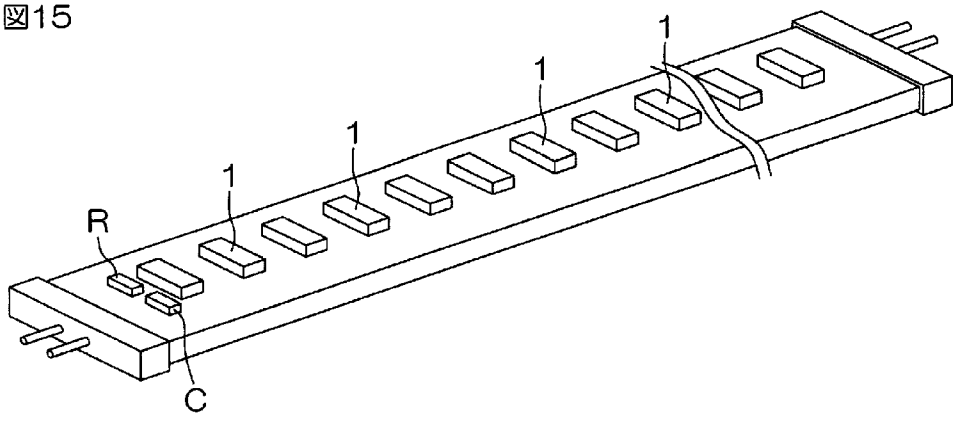

LED-Anode側断面
82B
B
55
サファイア基板
LED
16
17
18
20
95B(89B)
97B(89B)
86
83
85
87
105B
106B
99B
102B
82G
G
55
SiC基板
LED
19
95G(89G)
102G
105G
106G
99G
47
17
20
97G
(89G)
100
82R
R
55
GaAs基板
LED
102R
駆動IC
84
105R
106R
99R
48
17
18
20
(89R)95R
(89R)97R
90
81

図14

[図15]

図15



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/079055

A. CLASSIFICATION OF SUBJECT MATTER
H01L33/62(2010.01)i, *H01L33/00*(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-235792 A (Matsushita Electric Industrial Co., Ltd.), 02 October 2008 (02.10.2008), paragraph [0098]; fig. 15 (Family: none)	1,2,5-7, 17-19 3
X Y	JP 2009-130237 A (Panasonic Corp.), 11 June 2009 (11.06.2009), paragraphs [0054] to [0056]; fig. 1 (Family: none)	1,2,5-7, 17-19 3
Y	JP 2007-180096 A (Citizen Fine Tech Kabushiki Kaisha), 12 July 2007 (12.07.2007), paragraph [0041]; fig. 8 to 10 (Family: none)	3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 March, 2012 (13.03.12)	19 March, 2012 (19.03.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/079055

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-237458 A (Lumileds Lighting U.S., L.L.C.), 31 August 2001 (31.08.2001), entire text; all drawings & US 6514782 B1 & EP 1161772 B1 & WO 2001/047039 A1 & DE 10213701 A & AU 2738901 A & TW 554549 B	1-3,5-7, 17-19
A	JP 2009-094319 A (Mitsubishi Chemical Corp.), 30 April 2009 (30.04.2009), entire text; all drawings (Family: none)	1-3,5-7, 17-19
A	JP 2008-277409 A (Matsushita Electric Industrial Co., Ltd.), 13 November 2008 (13.11.2008), entire text; all drawings (Family: none)	1-3,5-7, 17-19
A	WO 2006/019090 A1 (Tokuyama Corp.), 23 February 2006 (23.02.2006), entire text; all drawings & EP 1795514 A1 & WO 2006/019090 A1 & KR 10-2007-0043989 A & CN 101006031 A	1-3,5-7, 17-19
A	JP 2005-057265 A (Lumileds Lighting U.S., L.L.C.), 03 March 2005 (03.03.2005), entire text; all drawings & US 2005/0023548 A1 & EP 1503433 A2	1-3,5-7, 17-19

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/079055

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1-3, 5-7 and 17-19

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

It was revealed that the matter common to the inventions of claims 1-37 are not novel, since the matter is disclosed in JP 2008-235792 A (Matsushita Electric Industrial Co., Ltd.), 2 October 2008 (02.10.2008), paragraph [0098], fig. 15, and JP 2009-130237 A (Panasonic Corp.), 11 June 2009 (11.06.2009), paragraphs [0054]-[0056], fig. 1.

As a result, the above-said common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since the common matter does not make a contribution over the prior art.

Therefore, there is no matter common to all of the inventions of claims 1-37.

Since there is no other common matter which is considered to be a special technical feature within the meaning of PCT Rule 13.2, second sentence, any technical relationship within the meaning of PCT Rule 13 cannot be found among those different inventions.

Consequently, it is obvious that the inventions of claims 1-37 do not comply with the requirement of unity of invention. Therefore, the present application involves the following six inventions.

Claims 1-3, 5-7 and 17-19

Light emitting element unit having a support element which includes a resistance element inserted between via and a bump.

Claim 4

Light emitting element unit formed in a bump-like shape wherein an n-side electrode and a p-side electrode are composed of a metal material same as that of a bump.

Claims 8-10

Light emitting element unit wherein a conductive substrate is p-type and which has a support element including an n-type region floated in the surface layer part thereof.

Claim 11

Light emitting element unit having a support element wherein an n-side via, an n-type region, a p+-type contact region and a p-side via are arranged on the same straight line.

Claim 12-15

Light emitting element unit equipped with a plurality of light emitting elements wherein a conductive substrate has a drive circuit.

Claims 16 and 20-37

Light element package having a resin case; and light emitting element unit.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７９０５５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L33/62(2010.01)i, H01L33/00(2010.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2008-235792 A (松下電器産業株式会社) 2008.10.02, 段落番号【００９８】、図１５	1, 2, 5-7, 17-19
Y	(ファミリーなし)	3
X	JP 2009-130237 A (パナソニック株式会社) 2009.06.11, 段落番号【００５４】－【００５６】、図１	1, 2, 5-7, 17-19
Y	(ファミリーなし)	3

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．０３．２０１２	１９．０３．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｋ　３４９８
松崎　義邦
電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-180096 A (シチズンファインテック株式会社) 2007.07.12, 段落番号【００４１】、図８－１０ (ファミリーなし)	3
A	JP 2001-237458 A (ルミレッズ　ライティング　ユーエス　リミテッドライアビリティ　カンパニー) 2001.08.31, 全文、全図 & US 6514782 B1 & EP 1161772 B1 & WO 2001/047039 A1 & DE 10213701 A & AU 2738901 A & TW 554549 B	1-3, 5-7, 17-19
A	JP 2009-094319 A (三菱化学株式会社) 2009.04.30, 全文、全図 (ファミリーなし)	1-3, 5-7, 17-19
A	JP 2008-277409 A (松下電器産業株式会社) 2008.11.13, 全文、全図 (ファミリーなし)	1-3, 5-7, 17-19
A	WO 2006/019090 A1 (株式会社トクヤマ) 2006.02.23, 全文、全図 & EP 1795514 A1 & WO 2006/019090 A1 & KR 10-2007-0043989 A & CN 101006031 A	1-3, 5-7, 17-19
A	JP 2005-057265 A (ルミレッズ　ライティング　ユーエス　リミテッドライアビリティ　カンパニー) 2005.03.03, 全文、全図 & US 2005/0023548 A1 & EP 1503433 A2	1-3, 5-7, 17-19

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７９０５５

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 ＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 ＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 ＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

別紙参照

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

１－３，５－７，１７－１９

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項１－３７に係る発明の共通の事項は、文献 JP 2008-235792 A (松下電器産業株式会社) 2008.10.02, 段落番号【００９８】、図１５、文献 JP 2009-130237 A (パナソニック株式会社) 2009.06.11, 段落番号【００５４】－【００５６】、図１に開示されているから、新規でないことが明らかとなった。

結果として、共通の事項は、先行技術の域を出ないから、ＰＣＴ規則１３．２の第２文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、請求項１－３７に係る発明全てに共通の事項はない。

ＰＣＴ規則１３．２の第２文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にＰＣＴ規則１３の意味における技術的な関連を見いだすことはできない。

よって、請求項１－３７に係る発明は、発明の単一性の要件を満たしていないことが明らかである。従って、本願は下記の６発明を含む。

請求項１－３，５－７，１７－１９
ビアとバンプの間に介挿された抵抗素子を含む支持素子を有する発光素子ユニット。

請求項４
ｎ側およびｐ側電極がバンプと同一の金属材料からなるバンプ状に形成された発光素子ユニット。

請求項８－１０
導電性基板がｐ型で、ｎ型領域が表層部にフローティングされた支持素子を有する発光素子ユニット。

請求項１１
ｎ側ビア、ｎ型領域、ｐ＋型コンタクト領域、ｐ側ビアが同一直線上に配置された支持素子を有する発光素子ユニット。

請求項１２－１５
導電性基板が駆動回路を有し、複数の発光素子を備える発光素子ユニット。

請求項１６，２０－３７
樹脂ケースを有する発光素子パッケージおよび発光素子ユニット。