

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-236461

(P2004-236461A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl.⁷

H02M 3/28

F I

H02M 3/28

H02M 3/28

Q

H

テーマコード (参考)

5H730

審査請求 有 請求項の数 7 O L (全 60 頁)

(21) 出願番号 特願2003-23678 (P2003-23678)

(22) 出願日 平成15年1月31日(2003.1.31)

(71) 出願人 000000273

オンキヨー株式会社

大阪府寝屋川市日新町2番1号

(74) 代理人 100086380

弁理士 吉田 稔

(74) 代理人 100103078

弁理士 田中 達也

(74) 代理人 100105832

弁理士 福元 義和

(74) 代理人 100115369

弁理士 仙波 司

(74) 代理人 100117167

弁理士 塩谷 隆嗣

(74) 代理人 100117178

弁理士 古澤 寛

最終頁に続く

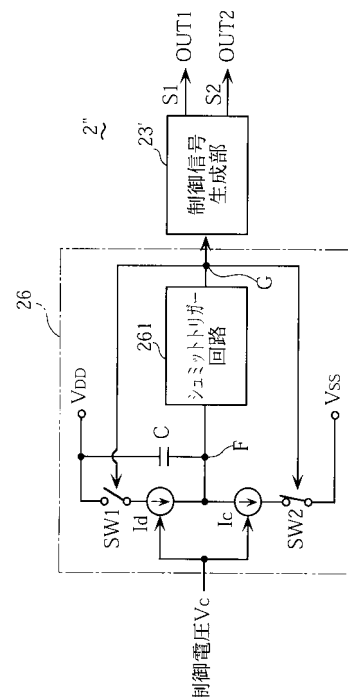
(54) 【発明の名称】 スイッチング制御装置およびこのスイッチング制御装置を備えたスイッチング電源

(57) 【要約】

【課題】 負荷が過度に軽負荷となる場合にも PFM 制御と PWM 制御を組合せてスイッチング電源の定電圧制御を好適に行えるようにする。

【解決手段】 シュミットトリガー回路 261 の出力によりスイッチ SW1, SW2 を交互に切り換えてコンデンサ C の充放電を繰り返すことにより充電中にハイとなり、放電中とローになるパルス信号がシュミットトリガー回路 261 から出力される。コンデンサ C の充放電電流は、負荷が所定の軽負荷より重いときは放電電流が最大値に固定され、充電電流が負荷が軽くなるのに応じて増加し、負荷が所定の軽負荷より軽くなると、放電電流は負荷が軽くなるのに応じて減少し、充電電流は増大するように制御電圧 V_c により制御される。制御信号生成部 23' でパルス信号から 1 つおきにパルスを除去した第 1 のパルス信号とパルス信号からこの第 1 のパルス信号を除去した第 2 のパルス信号が生成され、スイッチングの制御信号として出力される。

【選択図】 図 9



【特許請求の範囲】

【請求項 1】

少なくとも 2 個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源のスイッチング制御装置であって、

上記スイッチング電源の出力電圧と制御すべき目標電圧との偏差を示す偏差信号を入力する入力手段と、

上記スイッチング素子をオン状態にする第 1 のレベルと上記スイッチング素子の全てをオフ状態にする第 2 のレベルとが交互に反転してなるパルス信号であって、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは、上記第 2 のレベルの時間であるデットタイムが所定の時間に固定され、上記第 1 のレベルの時間であるオンタイムのみが上記偏差の増加に応じて減少するパルス信号を生成し、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは、上記デットタイムが上記偏差の増加に応じて増大するとともに、上記オンタイムが上記偏差の増加に応じて減少するパルス信号を生成するパルス信号生成手段と、

上記パルス信号生成手段で生成されたパルス信号から、上記第 1 のレベルのパルスを 1 つ置きに除去した第 1 のパルス信号を上記スイッチング素子の一方の制御信号として生成するとともに、上記パルス信号から上記第 1 のパルス信号を除去した第 2 のパルス信号を上記スイッチング素子の他方の制御信号として生成する制御信号生成手段と、

を備えたことを特徴とするスイッチング制御装置。

【請求項 2】

上記パルス信号生成手段は、上記パルス信号の周期に相当する周期を有し、かつ、上記偏差信号に基づき上記偏差の増加に応じて当該周期が減少する第 3 のパルス信号を生成するクロック周期制御手段と、

上記クロック周期制御手段で生成される第 3 のパルス信号の立下りもしくは立上りのタイミングで上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の時間よりも長く、かつ、上記偏差の増加に応じて増加するデットタイムを生成し、このデットタイムを上記第 3 のパルス信号のオフタイムとして挿入することにより上記パルス信号を生成するデットタイム制御手段とからなるものであることを特徴とする請求項 1 記載のスイッチング制御装置。

【請求項 3】

上記クロック周期制御手段は、

第 1 のコンデンサと、

上記偏差の増加に応じて増加する充電電流で上記第 1 のコンデンサを充電する第 1 の充電回路と、

上記第 1 のコンデンサの蓄積電荷を放電させる第 1 の放電回路と、

上記第 1 の放電回路により上記第 1 のコンデンサが放電され、当該第 1 のコンデンサの電圧が第 1 の閾値に達すると、出力電圧が第 1 の出力レベルに反転し、上記第 1 の充電回路により上記第 1 のコンデンサが充電され、当該第 1 のコンデンサの電圧が第 1 の閾値とは異なる第 2 の閾値に達すると、出力電圧が上記第 1 の出力レベルとは異なる第 2 の出力レベルに反転する信号を出力する第 1 のヒステリシスコンパレータと、

上記第 1 のヒステリシスコンパレータの出力信号が上記第 1 の出力レベルのとき、上記第 1 の充電回路を動作させ、上記第 2 の出力レベルのとき、上記第 1 の放電回路を動作させる第 1 の充放電制御回路とからなり、

上記デッドタイム制御手段は、

第 2 のコンデンサと、

上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上

記偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、
上記第1のヒステリシスコンパレータの出力信号が上記第2の出力レベルに反転すると、上記第2の放電回路により上記第2のコンデンサを放電させた後、上記第2の充電回路により当該第2のコンデンサの充電を開始させる第2の充放電制御回路と、
上記第2の放電回路により上記第2のコンデンサが放電され、当該第2のコンデンサの電圧が第3の閾値に達すると、出力電圧が第3の出力レベルに反転し、上記第2の充電回路により上記第2のコンデンサが充電され、当該第2のコンデンサの電圧が第3の閾値とは異なる第4の閾値に達すると、出力電圧が上記第3の出力レベルとは異なる第4の出力レベルに反転する信号を上記パルス信号として出力する第2のヒステリシスコンパレータと、
からなることを特徴とする請求項2記載のスイッチング制御装置。

【請求項4】

上記パルス信号生成手段は、
第1のリセット信号が入力される毎にローレベルからハイレベルに反転し、そのハイレベル状態を上記偏差信号に基づき上記偏差の増加に応じて減少するオンタイムに相当する時間だけ保持した後、ローレベルに反転し、そのローレベル信号を第2のリセット信号として出力するハイレベル信号生成手段と、
上記第2のリセット信号が出力される毎にハイレベルからローレベルに反転し、そのローレベル状態を、上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは上記偏差の増加に応じて増加するデットタイムに相当する時間だけ保持した後、ハイレベルに反転し、そのハイレベル信号を上記第1のリセット信号として出力するローレベル信号生成手段と、
からなることを特徴とする請求項1記載のスイッチング制御装置。

【請求項5】

上記ハイレベル信号生成手段は、
第1のコンデンサと、
上記偏差の増加に応じて増加する充電電流値で上記第1のコンデンサを充電する第1の充電回路と、
上記第1のリセット信号が入力されると、上記第1のコンデンサの蓄積電荷を放電させる第1の放電回路と、
上記第1の放電回路により上記第1のコンデンサが放電され、当該第1のコンデンサの電圧が第5の閾値に達すると、出力電圧がハイレベルに反転し、上記第1の充電回路により上記第1のコンデンサが充電され、当該第1のコンデンサの電圧が上記第5の閾値とは異なる第6の閾値に達すると、出力電圧がローレベルに反転する信号を出力する第1のヒステリシスコンパレータと、
上記第1のヒステリシスコンパレータの出力電圧がローレベルに反転すると、そのローレベル信号を第2のリセット信号として上記ローレベル信号生成手段に出力する第1のリセット信号出力回路と、
からなり、
上記ローレベル信号生成手段は、
第2のコンデンサと、
上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記偏差が所定の閾値を超えたときは当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、
上記第1のリセット信号出力回路から上記第2のリセット信号が入力されると、上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、
上記第2の放電回路により上記第2のコンデンサが放電され、当該第2のコンデンサの電圧が第7の閾値に達すると、出力電圧が第5の出力レベルに反転し、上記第2の充電回路

により上記第2のコンデンサが充電され、当該第2のコンデンサの電圧が上記第7の閾値とは異なる第8の閾値に達すると、出力電圧が上記第5の出力レベルとは異なる第6の出力レベルに反転する信号を出力する第2のヒステリシスコンパレータと、
上記第2のヒステリシスコンパレータの出力電圧が上記第6の出力レベルに反転すると、その第6の出力レベルの信号を上記第1のリセット信号として上記ハイレベル信号生成手段に出力する第2のリセット信号出力回路と、
からなることを特徴とする請求項4記載のスイッチング制御装置。

【請求項6】

上記パルス信号生成手段は、
コンデンサと、

10

上記偏差の増加に応じて増加する充電電流で上記コンデンサを充電する充電回路と、
上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する放電電流により上記コンデンサの蓄積電荷を放電させる放電回路と、

上記放電回路により上記コンデンサが放電され、当該コンデンサの電圧が第9の閾値に達すると、出力電圧がハイレベルに反転し、上記充電回路により上記コンデンサが充電され、当該コンデンサの電圧が上記第9の閾値とは異なる第10の閾値に達すると、出力電圧がローレベルに反転する信号を出力するヒステリシスコンパレータと、

20

上記ヒステリシスコンパレータの出力がハイレベルのとき、上記コンデンサを充電させ、
上記ヒステリシスコンパレータの出力がローレベルのとき、上記コンデンサを放電させる充放電制御回路と、

からなることを特徴とする請求項1記載のスイッチング制御装置。

【請求項7】

少なくとも2個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源であって、請求項1～6のいずれかに記載されたスイッチング制御装置を備えたことを特徴とするスイッチング電源。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、直流電源から出力される電圧をスイッチ素子により所定の周期で断続することにより出力電圧の安定化を図るスイッチング電源とそのスイッチング電源のスイッチング制御装置に関するものである。

【0002】

【従来の技術】

従来、商用電源を整流／平滑して直流電源を生成し、この直流電源の電圧をスイッチング回路により交流電圧に変換した後、高周波トランスにより昇圧もしくは降圧して出力端側に伝達し、出力端側で再度整流／平滑して所望の直流電圧を安定供給するスイッチング電源が知られている。そして、例えば特許第3243666号に示されるように、スイッチングノイズやスイッチング損失を低減するために高周波トランスの一次巻線にLCの共振回路を直列接続したソフトスイッチング方式のスイッチング電源が知られている。

40

【0003】

図14は、従来のスイッチング電源の一例を示す図である。

【0004】

同図に示すスイッチング電源1は、ソフトスイッチング方式を用いたスイッチング電源回路である。スイッチング電源1は、商用電源を整流／平滑して生成された直流電源Eが供給される入力端子INにスイッチング回路101が接続され、このスイッチング回路10

50

1の後段に直列共振回路102を介して高周波トランスTの一次巻線が接続されている。高周波トランスTの二次巻線には4個のダイオードのブリッジ回路からなる整流回路103が接続され、その後段にチョークコイルとコンデンサの直並列回路からなる平滑回路104が接続されている。

【0005】

また、スイッチング回路101内の各スイッチング素子SW11～SW14には、スイッチング制御装置2から当該スイッチング素子SW11～SW14のスイッチング動作を制御するための制御信号S1、S2が入力されるようになっている。なお、スイッチング制御装置2には、出力端OUTに接続された誤差増幅回路4により検出される出力電圧Voutと定電圧制御すべき目標電圧Voとの偏差信号がフォトカップラーなどのアイソレータ3を介して入力されており、スイッチング制御装置2は、この偏差信号に基づいて出力電圧Voutを目標電圧Voに調整するための制御信号S1、S2を生成し、スイッチング回路101に入力する。

10

【0006】

スイッチング回路101は、4個のMOS-FET (Metal Oxide Semiconductor-Field Effect Transistor)などのスイッチング素子SW11～SW14のブリッジ回路で構成されている。このスイッチング回路102のスイッチング素子SW11、SW12の接続点aとスイッチング素子SW13、SW14の接続点a'との間に直列共振回路102と高周波トランスTの一次巻線との直列回路が接続されている。

20

【0007】

スイッチング回路101は、スイッチング素子SW11、SW14とスイッチング素子SW12、SW13とをそれぞれペアとして、スイッチング制御装置2から入力される図15に示す制御信号S1、S2により、各ペアのスイッチング素子が交互にオン・オフされ、これにより高周波トランスTの一次巻線に直流電源の電圧が交互に極性を反転させて印加される（すなわち、パルス状の交流電圧に変換されて印加される）ようになっている。

【0008】

なお、図15において、制御信号S1は、スイッチング素子SW11、SW14のオン・オフ切り換えをするための制御信号で、スイッチング素子SW11、SW14はハイレベルの期間にオン状態となり、ローレベルの期間にオフ状態となる。また、制御信号S2は、スイッチング素子SW12、SW13のオン・オフ切り換えをするための制御信号で、スイッチング素子SW12、SW13はハイレベルの期間にオン状態となり、ローレベルの期間にオフ状態となる。制御信号S1、S2が同時にローレベルとなる期間Tdは、スイッチング素子SW11、SW12もしくはSW12、SW14が同時にオンとなってスイッチング回路101に過大な貫通電流が流れないようにするために必要な時間で、デットタイムと呼ばれるものである。

30

【0009】

各スイッチング素子SWi (i=11, 12, 13, 14)には、それぞれコンデンサCi (i=11, 12, 13, 14)とダイオードDi (i=11, 12, 13, 14)とが並列に接続されている。なお、ダイオードDiは、スイッチング素子SWiに内蔵されていてもよく、コンデンサCiは、スイッチング素子SWiの接合容量や端子間容量で構成してもよい。各スイッチング素子SWiに並列接続されているコンデンサCiとダイオードDiは、ソフトスイッチングを行わすための素子で、より具体的には各スイッチング素子SWiをオン・オフスイッチングする際にゼロ電圧スイッチング（各スイッチング素子SWiの両端電圧がゼロのときにスイッチングさせること）をさせるための素子である。

40

【0010】

すなわち、コンデンサCiは、高周波トランスTの一次巻線および直列共振回路102のコイルのインダクタンスとで直列共振回路を構成し、ターン・オフ時のスイッチング素子SWiの両端電圧を正弦波状にすることによりスイッチングオフ時のサージ電圧を抑制す

50

る機能を果たす。また、ダイオード D_i は、ターン・オフ時に上記インダクタンスに蓄積された電流エネルギーを当該ダイオード D_i に流すことによりスイッチング素子 SW_i の両端電圧をゼロにしてゼロ電圧スイッチングを可能にする。

【0011】

直列共振回路 102 は、コンデンサ C_{15} とコイル L_{11} の直列回路からなり、高周波トランス T の一次巻線の一方端子に直列に接続されている。直列共振回路 102 は、高周波トランス T の一次巻線に交互に極性を反転させて印加される電圧もしくは電流の波形を正弦波状にすることにより高周波成分を低減してスイッチング時に発生するノイズを低減するとともに、直列共振回路 102 のフィルタ効果により EMI などによるスイッチング制御への悪影響を抑制する機能を果たす。

10

【0012】

高周波トランス T は、入力電圧を所望の電圧に変換するものである。一次巻線と二次巻線の巻線比を $n_1 : n_2$ とし、一次巻線に印加される電圧を E_1 とすると、二次巻線には $E_2 = E_1 \cdot n_1 / n_2$ の電圧が誘起される。二次巻線に誘起された交流電圧 E_2 は、整流回路 103 により直流電圧に変換され、さらに平滑回路 104 によりリップルが除去されて出力端 OUT から負荷に出力される。

【0013】

スイッチング電源 1 は、直列共振回路 102 の共振特性より、直列共振回路 102 の共振周波数 f_o より僅かに高い周波数 f_d でスイッチング制御が行われたとき、出力電圧が最大となる。従って、スイッチング電源 1 は、出力端 OUT に接続される負荷が最も重いときに、最大出力電圧が負荷に印加すべき規定電圧 V_o (定電圧制御の目標電圧) となるように設計され、負荷が変動した場合は、スイッチング周波数 f_d を制御することにより常に負荷への供給電圧が目標電圧 V_o に調整されるようになっている (PFM (Pulse Frequency Modulation) 制御)。

20

【0014】

すなわち、負荷が変動した場合、スイッチング電源 1 の出力電圧 V_{out} は目標電圧 V_o より高くなるため、図 16 の特性 (イ) に示すように、スイッチング周波数 f_d を直列共振回路 102 の共振周波数 f_o からずらすことにより振幅伝達特性を低下させて出力電圧 V_{out} が常に目標電圧 V_o となるように制御される。

【0015】

なお、図 16 は、スイッチング電源 1 の出力電圧のスイッチング周波数特性で、縦軸は共振周波数 f_o 近傍のスイッチング周波数 f_d での出力電圧を基準にした他のスイッチング周波数 f_d での出力電圧の比を振幅伝達特性として表したものである。特性 (イ) ~ (チ) は、負荷の軽重をパラメータとした振幅伝達特性で、負荷が軽くなるのに応じて振幅伝達特性の先鋭度 Q が低下している様子を示している。すなわち、(イ) → (ロ) → (ハ) ... → (ト) → (チ) の順に負荷は軽くなっている。

30

【0016】

【特許文献 1】

特許第 3243666 号

【0017】

【発明が解決しようとする課題】

ところで、上記従来 of スwitching 電源は、PFM 制御により出力電圧の定電圧制御を行っているのですが、負荷が過度に軽負荷となった場合は、スイッチング電源回路の振幅伝達特性が、例えば図 16 の (ヘ) (ト) のようになり、スイッチング周波数 f_d を変更しても出力電圧 V_{out} を目標電圧 V_o に制御することができなくなることがある。また、図 16 の (チ) に示すように、高周波トランス T の励磁インダクタンスと入力容量の並列共振などの影響で逆に出力電圧 V_{out} を上昇させる場合もある。

40

【0018】

このような問題を解消するため、PWM (Pulse Width Modulation) 制御により定電圧制御をする方法が考えられるが、この方法では、制御信号 S_1 , S

50

2のデューティ比の変化に応じてデッドタイム T_d が変化し、必要以上にデッドタイム T_d が長くなると、ゼロ電圧スイッチングが困難になるという別の問題が生じる。

【0019】

従って、好ましくはP F M制御とP W M制御とを組合せ、負荷が所定の負荷の範囲にあるときは可能な限りP F M制御を行い、負荷がP F M制御では定電圧制御が困難となる軽負荷の状態になると、P W M制御に自動的かつ連続的に移行する制御を行うことが望ましいが、従来、そのようなスイッチング電源のスイッチング制御装置は提案されておらず、商品化もされていない。

【0020】

本発明は、上記課題に鑑みてなされたものであり、負荷の軽重に関係なく好適に定電圧制御が可能で、スイッチング制御装置およびその制御装置を備えたスイッチング電源を提供するものである。 10

【0021】

【課題を解決するための手段】

本発明は、少なくとも2個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源のスイッチング制御装置であって、上記スイッチング電源の出力電圧と制御すべき目標電圧との偏差を示す偏差信号を入力する入力手段と、上記スイッチング素子をオン状態にする第1のレベルと上記スイッチング素子の全てをオフ状態にする第2のレベルとが交互に反転してなるパルス信号であって、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは、上記第2のレベルの時間であるデットタイムが所定の時間に固定され、上記第1のレベルの時間であるオンタイムのみが上記偏差の増加に応じて減少するパルス信号を生成し、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは、上記デットタイムが上記偏差の増加に応じて増大するとともに、上記オンタイムが上記偏差の増加に応じて減少するパルス信号を生成するパルス信号生成手段と、上記パルス信号生成手段で生成されたパルス信号から、上記第1のレベルのパルスを1つ置きに除去した第1のパルス信号を上記スイッチング素子の一方の制御信号として生成するとともに、上記パルス信号から上記第1のパルス信号を除去した第2のパルス信号を上記スイッチング素子の他方の制御信号として生成する制御信号生成手段とを備えたものである（請求項1）。 20 30

【0022】

上記構成によれば、スイッチング電源に接続された負荷の変化によって当該スイッチング電源の出力電圧が目標電圧（定電圧制御における目標電圧）から変化しようとするとき、スイッチング制御装置によりスイッチング回路のスイッチング素子をオン・オフ切換する制御信号のスイッチング周波数もしくはデューティ比が出力電圧と目標電圧との偏差に応じて変化され、スイッチング電源の出力電圧は目標電圧に保持される。

【0023】

具体的には、パルス信号生成手段で、出力電圧と目標電圧との偏差が所定値以下のときは、デットタイムが所定の時間に固定され、オンタイムのみが偏差の増加に応じて減少するパルス信号（周波数だけが上昇するパルス信号。P F M信号）が生成され、出力電圧と目標電圧との偏差が所定値を超えたときは、デットタイムが偏差の増加に応じて増大するとともに、オンタイムが上記偏差の増加に応じて減少するパルス信号（周波数が増加するとともに、デューティ比も減少するパルス信号。（P W M + P F M）信号）が生成され、制御信号生成手段で、そのパルス信号から第1のレベルのパルスを1つ置きに除去した第1のパルス信号がスイッチング素子の一方の制御信号として生成されるとともに、パルス信号から第1のパルス信号を除去した第2のパルス信号がスイッチング素子の他方の制御信号として生成され、スイッチング回路に入力される。 40

【0024】

これにより、負荷がスイッチング電源に対して所定の負荷の範囲では、負荷が変化して出 50

力電圧が増大しようとする、制御信号の周波数を変化させることにより共振回路の共振特性を利用してその出力電圧の増大が抑制され、出力電圧は目標電圧に制御される。一方、負荷がスイッチング電源に対して所定の負荷未満の軽負荷になると、制御信号の周波数を変化させるとともに、デットタイムが増加するようにデューティ比を変化させることにより、共振回路の共振特性に加えて変圧器への印加電圧の平均値を低下させて出力電圧の増大が抑制され、出力電圧は目標電圧に制御される。

【0025】

なお、上記パルス信号生成手段は、上記パルス信号の周期に相当する周期を有し、かつ、上記偏差信号に基づき上記偏差の増加に応じて当該周期が減少する第3のパルス信号を生成するクロック周期制御手段と、上記クロック周期制御手段で生成される第3のパルス信号の立下りもしくは立上りのタイミングで上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の時間よりも長く、かつ、上記偏差の増加に応じて増加するデットタイムを生成し、このデットタイムを上記第3のパルス信号のオフタイムとして挿入することにより上記パルス信号を生成するデットタイム制御手段とからなる構成にするとよい（請求項2）。 10

【0026】

より具体的には、上記クロック周期制御手段は、第1のコンデンサと、上記偏差の増加に応じて増加する充電電流で上記第1のコンデンサを充電する第1の充電回路と、上記第1のコンデンサの蓄積電荷を放電させる第1の放電回路と、上記第1の放電回路により上記第1のコンデンサが放電され、当該第1のコンデンサの電圧が第1の閾値に達すると、出力電圧が第1の出力レベルに反転し、上記第1の充電回路により上記第1のコンデンサが充電され、当該第1のコンデンサの電圧が第1の閾値とは異なる第2の閾値に達すると、出力電圧が上記第1の出力レベルとは異なる第2の出力レベルに反転する信号を出力する第1のヒステリシスコンパレータと、上記第1のヒステリシスコンパレータの出力信号が上記第1の出力レベルのとき、上記第1の充電回路を動作させ、上記第2の出力レベルのとき、上記第1の放電回路を動作させる第1の充放電制御回路とからなり、上記デッドタイム制御手段は、第2のコンデンサと、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、上記第1のヒステリシスコンパレータの出力信号が上記第2の出力レベルに反転すると、上記第2の放電回路により上記第2のコンデンサを放電させた後、上記第2の充電回路により当該第2のコンデンサの充電を開始させる第2の充放電制御回路と、上記第2の放電回路により上記第2のコンデンサが放電され、当該第2のコンデンサの電圧が第3の閾値に達すると、出力電圧が第3の出力レベルに反転し、上記第2の充電回路により上記第2のコンデンサが充電され、当該第2のコンデンサの電圧が第3の閾値とは異なる第4の閾値に達すると、出力電圧が上記第3の出力レベルとは異なる第4の出力レベルに反転する信号を上記パルス信号として出力する第2のヒステリシスコンパレータとからなる構成にするとよい（請求項3）。 20 30 40

【0027】

上記構成によれば、クロック周期制御手段でパルス信号の周期に相当する周期を有し、かつ、偏差信号に基づき電圧と目標電圧との偏差の増加に応じて当該周期が減少する第3のパルス信号が生成され、この第3のパルス信号の立下りもしくは立上りのタイミングで、偏差信号に基づき、上記偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは所定の時間よりも長く、かつ、上記偏差の増加に応じて増加するデットタイムが生成され、このデットタイムを第3のパルス信号のオフタイムとして挿入することにより、パルス信号が生成される。

【0028】

第3のパルス信号は、第1のコンデンサの充放電動作による当該コンデンサの電圧変化を 50

用いて第1のヒステリシスコンパレータの出力電圧を第1の出力レベルと第2の出力レベルとに交互に反転させることにより生成される。また、デッドタイムは、第2のコンデンサの充電動作による当該コンデンサの電圧変化を用いて第2のヒステリシスコンパレータにより生成されるが、第3のパルスの立下りもしくは立上りのタイミング（オンタイムの終了タイミング）で第2のコンデンサの充電動作を開始させ、所定のデッドタイムが生成されると、第2のヒステリシスコンパレータの出力電圧を第3の出力レベルから第4の出力レベルに反転させるので、第2のヒステリシスコンパレータからは第3のパルス信号のオンタイムに相当する第4の出力レベルと当該第2のヒステリシスコンパレータで生成されたデッドタイムに相当する第3の出力レベルとが交互に反転するパルス信号が出力される。

10

【0029】

また、上記パルス信号生成手段は、第1のリセット信号が入力される毎にローレベルからハイレベルに反転し、そのハイレベル状態を上記偏差信号に基づき上記偏差の増加に応じて減少するオンタイムに相当する時間だけ保持した後、ローレベルに反転し、そのローレベル信号を第2のリセット信号として出力するハイレベル信号生成手段と、上記第2のリセット信号が出力される毎にハイレベルからローレベルに反転し、そのローレベル状態を、上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは上記偏差の増加に応じて増加するデッドタイムに相当する時間だけ保持した後、ハイレベルに反転し、そのハイレベル信号を上記第1のリセット信号として出力するローレベル信号生成手段とからなるにしてもよい（請求項4）。

20

【0030】

より具体的には、上記ハイレベル信号生成手段は、第1のコンデンサと、上記偏差の増加に応じて増加する充電電流で上記第1のコンデンサを充電する第1の充電回路と、上記第1のリセット信号が入力されると、上記第1のコンデンサの蓄積電荷を放電させる第1の放電回路と、上記第1の放電回路により上記第1のコンデンサが放電され、当該第1のコンデンサの電圧が第5の閾値に達すると、出力電圧がハイレベルに反転し、上記第1の充電回路により上記第1のコンデンサが充電され、当該第1のコンデンサの電圧が上記第5の閾値とは異なる第6の閾値に達すると、出力電圧がローレベルに反転する信号を出力する第1のヒステリシスコンパレータと、上記第1のヒステリシスコンパレータの出力電圧がローレベルに反転すると、そのローレベル信号を第2のリセット信号として上記ローレベル信号生成手段に出力する第1のリセット信号出力回路とからなり、上記ローレベル信号生成手段は、第2のコンデンサと、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記偏差が所定の閾値を超えたときは当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、上記第1のリセット信号出力回路から上記第2のリセット信号が入力されると、上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、上記第2の放電回路により上記第2のコンデンサが放電され、当該第2のコンデンサの電圧が第7の閾値に達すると、出力電圧が第5の出力レベルに反転し、上記第2の充電回路により上記第2のコンデンサが充電され、当該第2のコンデンサの電圧が上記第7の閾値とは異なる第8の閾値に達すると、出力電圧が上記第5の出力レベルとは異なる第6の出力レベルに反転する信号を出力する第2のヒステリシスコンパレータと、上記第2のヒステリシスコンパレータの出力電圧が上記第6の出力レベルに反転すると、その第6の出力レベルの信号を上記第1のリセット信号として上記ハイレベル信号生成手段に出力する第2のリセット信号出力回路とからなる構成にしてもよい（請求項5）。

30

40

【0031】

上記構成によれば、ハイレベル信号生成手段により、偏差信号に基づき偏差の増加に応じて減少するオンタイムを有するハイレベル信号が生成され、このハイレベル信号のオンタイム終了タイミングで、ローレベル信号生成手段により、出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは当

50

該偏差の増加に応じて増加するデッドタイムを有するローレベル信号が生成され、以下、ハイレベル信号生成手段及びローレベル信号生成手段でハイレベル信号とローレベル信号とを交互に生成することでパルス列信号が生成される。

【0032】

ハイレベル信号は、第1のコンデンサの充電動作による当該コンデンサの電圧変化を用いて第1のヒステリシスコンパレータにより充電開始から第1のコンデンサの電圧が第6の閾値に達するまでの時間だけハイレベルを出力させることにより生成される。一方、ローレベル信号は、第2のコンデンサの充電動作による当該コンデンサの電圧変化を用いて第2のヒステリシスコンパレータにより充電開始から第2のコンデンサの電圧が第8の閾値に達するまでの時間だけ第5の出力レベルを出力させることにより生成される。そして、第1のヒステリシスコンパレータがローレベルに反転すると、そのローレベル信号を第2のリセット信号としてローレベル信号生成手段に入力して第2のコンデンサの瞬時放電及び充電を開始させる一方、第2のヒステリシスコンパレータが第6の出力レベルに反転すると、その第6の出力レベルの信号を第1のリセット信号としてハイレベル信号生成手段に入力して第1のコンデンサの瞬時放電及び充電を開始させることにより、第1のヒステリシスコンパレータからオンタイムに相当するハイレベルとデッドタイムに相当するローレベルとが交互に反転するパルス信号が出力される。

10

【0033】

また、上記パルス信号生成手段は、コンデンサと、上記偏差の増加に応じて増加する充電電流で上記コンデンサを充電する充電回路と、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する放電電流により上記コンデンサの蓄積電荷を放電させる放電回路と、上記放電回路により上記コンデンサが放電され、当該コンデンサの電圧が第9の閾値に達すると、出力電圧がハイレベルに反転し、上記充電回路により上記コンデンサが充電され、当該コンデンサの電圧が上記第9の閾値とは異なる第10の閾値に達すると、出力電圧がローレベルに反転する信号を出力するヒステリシスコンパレータと、上記ヒステリシスコンパレータの出力がハイレベルのとき、上記コンデンサを充電させ、上記ヒステリシスコンパレータの出力がローレベルのとき、上記コンデンサを放電させる充放電制御回路とからなる構成にしてもよい（請求項6）。

20

30

【0034】

上記構成によれば、ヒステリシスコンパレータで規定された第9の閾値電圧と第10の閾値電圧とに基づいてコンデンサの充電動作と放電動作の切り換えが制御される。充電動作によりコンデンサの電圧が第10の閾値電圧にまで変化すると、ヒステリシスコンパレータの出力信号はローレベルに変化し、コンデンサの放電動作が開始される。この放電動作によりコンデンサの電圧が第9の閾値電圧にまで変化すると、ヒステリシスコンパレータの出力信号はハイレベルに変化し、コンデンサの充電動作が開始され、以下、ヒステリシスコンパレータの出力レベルが変化する毎にコンデンサの充電動作と放電動作とが繰り返される。

【0035】

コンデンサの充電電流値は偏差の増加に応じて増加するように制御されるため、充電電流値が増大すると、その充電時間が短くなり、ヒステリシスコンパレータの出力信号がハイレベルとなる時間は偏差の増加に応じて減少する。また、コンデンサの放電電流値は、出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、当該偏差が所定値を超えたときは偏差の増加に応じて減少するように制御されるため、その放電時間は、偏差が所定の閾値以下のときは所定の時間に固定され、偏差が所定値を超えたときは、その所定の時間よりも長く、かつ、偏差の増加に応じて長くなる。従って、ヒステリシスコンパレータの出力信号がローレベルとなる時間は偏差が所定の閾値以下のときは最も短い時間に固定され、偏差が所定値を超えたときは偏差の増加に応じて長くなる。

40

【0036】

50

これにより、ヒステリシスコンパレータから、偏差が所定の閾値以下のときはデッドタイムが最小時間に固定され、オンタイムのみが偏差の増加に応じて減少し、偏差が所定の閾値を超えたときはデッドタイムが偏差の増加に応じて増大し、オンタイムが偏差の増加に応じて減少するパルス信号が出力される。

【0037】

また、本発明は、少なくとも2個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源であって、請求項1～6のいずれかに記載されたスイッチング制御装置を備えたものである（請求項7）。 10

【0038】

上記構成のスイッチング電源によれば、負荷が所定の負荷の範囲では、スイッチング制御装置からスイッチング回路にデッドタイムが最小値に固定され、オンタイムのみが増加する制御信号（スイッチング周波数のみを制御した信号）が出力されるため、共振回路による出力特性を利用してP F M制御により好適に出力電圧を目標電圧に制御することができる。また、負荷が所定の負荷よりも軽負荷となる範囲では、スイッチング制御装置からスイッチング回路に負荷が軽くなるのに応じてデッドタイムが長くなるとともに、オンタイムが短くなる制御信号（スイッチング周波数とデューティ比の両方を制御した信号）が出力されるため、P F M制御とP W M制御とを組み合わせた制御により好適に出力電圧を目標電圧に制御することができる。従って、負荷の軽重に関係なく出力電圧を制御すべき電圧に定電圧制御が可能なスイッチング電源が実現される。 20

【0039】

【発明の実施の形態】

以下、本発明の好ましい実施の形態について図面を参照して説明する。

【0040】

<第1実施形態>

図1は、本発明に係るスイッチング制御装置の第1実施形態のブロック構成を示す図である。

【0041】

本発明に係るスイッチング制御装置は、負荷のインピーダンスが所定のインピーダンスより小さいときは（負荷が予め設定された重負荷の範囲のとき）、スイッチング回路101のスイッチング素子SW11、SW14とスイッチング素子SW12、SW13とを交互にオン・オフ切換えする制御を、デッドタイム T_d を所定の値に固定してスイッチング周波数 f_d だけを負荷に応じて変化させるP F M制御を行い、負荷のインピーダンスが所定のインピーダンス以上のときは（負荷が予め設定された重負荷の範囲よりも軽負荷のとき）は、負荷に応じてデッドタイム T_d を変化させるようにデューティ比を変化させるP W M制御を行うようになっている。 30

【0042】

第1実施形態に係るスイッチング制御装置2は、クロック周期制御部21、オフ期間制御部22および制御信号生成部23で構成されている。第1実施形態に係るスイッチング制御装置2は、図2に示すように、オン期間 T_{ON} の矩形波信号 S_s を、オフ期間 T_{OFF} を設けて配列したパルス信号 S_0 を生成し（図2の上段の信号参照）、このパルス信号 S_0 から1つおきに矩形波信号 S_s を除去した制御信号 S_1 を生成するとともに、パルス信号 S_0 から制御信号 S_1 のパルスを除去した制御信号 S_2 を生成して（図2下段の信号参照）、それぞれスイッチング電源1のスイッチング回路101のスイッチング素子SW11、SW14とスイッチング素子SW12、SW13とに供給する構成を有している。図2の制御信号 S_1 と制御信号 S_2 との関係から明らかなように、オフ期間 T_{OFF} は、デッドタイム T_d に相当している。 40

【0043】

クロック周期制御部 21 は、図 3 に示すように、パルス信号 S_0 の周期 T ($=$ オン期間 $T_{ON} +$ オフ期間 T_{OFF}) と同一の周期を有するパルス信号 S_0' を生成し、このパルス信号 S_0' のオン期間 T_{ON}' を負荷が軽くなるのに応じて短くするように制御するものである。パルス信号 S_0' のオフ期間 T_{OFF}' は負荷の変化に関係なく固定された極めて短い期間で、このため、実質的にオン期間 T_{ON}' を負荷変動に応じて制御することによりパルス信号 S_0 の周期 T を負荷変動に応じて制御するようになっている。なお、パルス信号 S_0' の周期を変えるのであれば、オフ期間 T_{OFF}' のみを変化させてもよく、両期間 T_{ON}' , T_{OFF}' を変化させるようにしてもよい。クロック周期制御部 21 は、本発明に係るクロック周期制御手段に相当している。

【0044】

10

オフ期間制御部 22 は、クロック周期制御部 21 で生成されるパルス信号 S_0' の立ち下がりタイミングでパルス信号 S_0 のオフ時間 T_{OFF} (デッドタイム T_d) に相当する時間を生成して当該パルス信号 S_0' に挿入することによりパルス信号 S_0 を生成するものである。オフ期間制御部 22 は、負荷が所定の負荷よりも重いときはオフ時間 T_{OFF} を所定の時間に固定し、負荷が所定の負荷以上に軽くなると、負荷の変化に応じてオフ時間 T_{OFF} を長くするように変化させる。オフ期間制御部 22 は、本発明に係るデッドタイム制御手段に相当している。

【0045】

第 1 実施形態に係るスイッチング制御装置 2 は、上記のように、負荷が軽くなるのに応じて周期 T が短くなるパルス信号 S_0' が生成され、このパルス信号 S_0' の立下りタイミ 20
ングに、負荷が所定の負荷よりも重いときは、所定の時間に固定され、負荷が所定の負荷以上に軽いときは負荷の変化に応じて時間が長くなるオフ時間を挿入してパルス信号 S_0 が生成するため、パルス信号 S_0 は、負荷が所定の負荷よりも重いときは、オン期間 T_{ON} のみが負荷が軽くなるのに応じて短くなり、負荷が所定の負荷以上に軽いときは、負荷が軽くなるのに応じてオン期間 T_{ON} が短くなる一方、オフ期間 T_{OFF} が長くなるパルス信号となる。

【0046】

制御信号生成部 23 は、オフ期間制御部 22 で生成されるパルス信号 S_0 から 1 つおきに矩形波信号 S_s を除去した制御信号 S_1 を生成するとともに、パルス信号 S_0 から制御信号 S_1 のパルスを除去した制御信号 S_2 を生成し、それぞれスイッチング回路 101 のス 30
イッチング素子 SW_{11} , SW_{14} とスイッチング素子 SW_{12} , SW_{13} とに出力するものである。制御信号生成部 23 は、本発明に係る制御信号生成手段に相当している。制御信号生成部 23 からは、負荷が所定の負荷よりも重いときは、デッドタイム T_d が所定の時間に固定され、負荷が軽くなるのに応じて周期 T が短くなるように変化する制御信号 S_1 , S_1 が出力され、負荷が所定の負荷よりも軽くなると、負荷が軽くなるのに応じて周期 T が短くなるとともに、デューティ比 ($T_{ON} / (T_{ON} + T_{OFF})$) が小さくなる (デッドタイム T_d が増加する) ように変化する制御信号 S_1 , S_1 が出力される。

【0047】

図 4 は、第 1 実施形態に係るスイッチング制御装置 2 の具体的な回路構成を示す図である。また、図 5 は、図 4 に示すスイッチング制御装置 2 の動作を示す波形図である。 40

【0048】

図 5 は、負荷が所定の重負荷の範囲よりも軽負荷となる場合の制御信号 S_1 , S_2 の変化の様子を示したものである。同図において、「 I_c , I_1 」は、制御信号 I_c とカレントミラー回路 212 のトランジスタ Q_1 のコレクタ電流 I_1 の波形を示し、「 V_1 , V_r 」は、カレントミラー回路 212 のトランジスタ Q_1 のコレクタ電圧 V_1 と差動アンプ 221 のトランジスタ Q_7 のベースに印加される基準電圧 V_r の波形を示している。また、「 V_2 」は、シュミットトリガー回路 213 (ヒステリシスコンパレータ) の入力端 A の電圧波形、「 V_3 」は、シュミットトリガー回路 213 の出力端 B の電圧波形、「 V_4 」は、J-K フリップフロップ回路 214 の Q 端子の出力電圧波形、「 V_5 」は、シュミットトリガー回路 222 の入力端 C の電圧波形、「 V_6 」は、シュミットトリガー回路 222 50

の入力端 D の電圧波形、「V 7」は、NOT 回路 NOT 5 の出力電圧波形、「V 8」は、NOT 回路 NOT 6 の出力電圧波形を示している。

【0049】

以下、図 4、図 5 を参照しながら、スイッチング制御装置 2 の構成と動作について説明する。

【0050】

クロック周期制御部 21 は、誤差増幅回路 4 で検出される偏差信号を制御電流 I_c としてフォトカプラ PC からなる入力回路 211 により入力し、当該制御電流 I_c の変化に応じた充電電流 I_1' をカレントミラー回路 212 で生成し、その充電電流 I_1' でコンデンサ C1 を充電する一方、トランジスタ Q4 と抵抗 r_2 とによりコンデンサ C1 を放電することにより当該コンデンサ C1 の充電時間をオン期間 T_{ON}' とし、放電時間をオフ期間 T_{OFF}' とするパルス信号 S_0' を生成するようになっている。

10

【0051】

また、シュミットトリガー回路 213 によりコンデンサ C1 の充放電時の電圧レベルの変化から放電タイミングを制御することによりオン期間 T_{ON}' が充電電流 I_1' に比例して短くなるようになっている。すなわち、コンデンサ C1 は、トランジスタ Q3 のオン期間に充電され、トランジスタ Q4 のオフ期間に放電される。トランジスタ Q3、Q4 は、シュミットトリガー回路 213 の出力電圧信号により同時に一方がオンのとき他方がオフになるように交互に切り換えられ、これによりトランジスタ C1 は充電動作と放電動作とが交互に繰り返されるようになっている。

20

【0052】

シュミットトリガー回路 213 の出力電圧信号は、コンデンサ C1 の充電動作により入力端 A の電圧 V2 が所定の閾値 $V_{(H-L)_1}$ に低下すると、L レベルに反転し、これによりトランジスタ Q3 はオフ、トランジスタ Q4 はオンになり、コンデンサ C1 の放電が開始される。一方、コンデンサ C1 の放電動作により入力端 A の電圧 V2 が所定の閾値 $V_{(L-H)_1}$ ($> V_{(H-L)_1}$) に上昇すると、シュミットトリガー回路 213 の出力電圧信号は、H レベルに反転し、これによりトランジスタ Q3 はオン、トランジスタ Q4 はオフになり、コンデンサ C1 の充電が開始される。コンデンサ C1 の充電動作は、充電電流 I_1' が大きいほど、入力端 A の電圧 V2 は早く所定の閾値 $V_{(H-L)_1}$ に低下するから、充電電流 I_1' の増大に応じて、すなわち、負荷が軽くなるのに比例して充電時間は短くなる。

30

【0053】

クロック周期制御部 21 の具体的な回路構成について説明すると、フォトカプラ PC の出力端子は、カレントミラー回路 212 を構成する pnp 型トランジスタ Q1 のコレクタに抵抗 R1 を介して接続された抵抗 R2 の両端に接続されている。制御電流 I_c の電流量に応じてフォトカプラ PC の抵抗値が変化し、これにより抵抗 R2 とフォトカプラ PC との合成抵抗値が変化してトランジスタ Q1 のコレクタに流れる電流 I_1 が変化するようになっている。

【0054】

カレントミラー回路 212 は、コンデンサ C1 を制御電流 I_c の大きさに応じた電流で充電するために当該電流を生成するための回路である。カレントミラー回路 212 は、2 個の pnp 型トランジスタ Q1、Q2 のベース間を互に接続した構成をなし、両トランジスタ Q1、Q2 のエミッタは抵抗 r_1 を介してそれぞれ V_{DD} 電源に接続され、トランジスタ Q1 のコレクタは、抵抗 R1、R2 の直列回路を介して V_{SS} ライン（本実施形態では 0V ライン）に接続されている。

40

【0055】

一方、トランジスタ Q2 のコレクタは、pnp 型トランジスタ Q3 を介してコンデンサ C1 の一方端に接続されている。また、コンデンサ C1 の他方端はシュミットトリガー回路 213 の入力端 A に接続され、トランジスタ Q3 のベースはバイアス抵抗を介して V_{DD} 電源に接続されるとともに、抵抗およびコンデンサの並列回路と NOT 回路 NOT 4 を介

50

してシュミットトリガー回路 2 1 3 の出力端 B に接続されている。

【0056】

すなわち、トランジスタ Q 3 は、シュミットトリガー回路 2 1 3 の出力信号（電圧信号）によりオン・オフが制御されるようになっている。具体的には、シュミットトリガー回路 2 1 3 の出力端 B が H レベルになると、N O T 回路 N O T 4 によりトランジスタ Q 3 のベースは L レベルとなるから、トランジスタ Q 3 はオンになり、出力端 B が L レベルとなると、N O T 回路 N O T 4 によりトランジスタ Q 3 のベースは H レベルとなるから、トランジスタ Q 3 はオフになる。

【0057】

従って、カレントミラー回路 2 1 2 のトランジスタ Q 1 のコレクタに制御電流 I_c の変化に比例した電流 I_1 が流れると、トランジスタ Q 2 のコレクタにもこれと同じ値の電流 I_1' が流れ、この電流 I_1' はトランジスタ Q 3 を介してコンデンサ C 1 に充電電流として流れることになるが、トランジスタ Q 3 はシュミットトリガー回路 2 1 3 の出力信号（電圧信号）によりオン・オフが制御されるから、コンデンサ C 1 の充電動作は、トランジスタ Q 3 によって制御される。すなわち、コンデンサ C 1 は、シュミットトリガー回路 2 1 3 の出力端 B が H レベルの期間、トランジスタ Q 3 を介して充電電流 I_1' が供給され、充電される。

【0058】

また、コンデンサ C 1 の両端には N O T 回路 N O T 1 が接続されるとともに、コンデンサ C 1 の一方端は、トランジスタ Q 4 のコレクタに接続されている。さらにトランジスタ Q 4 のエミッタは抵抗 r_2 を介して V_{SS} ラインに接続されている。

【0059】

さらにトランジスタ Q 4 のベースは、抵抗およびコンデンサの並列回路と N O T 回路 N O T 4 を介してシュミットトリガー回路 2 1 3 の出力端 B に接続されている。すなわち、トランジスタ Q 4 は、シュミットトリガー回路 2 1 3 の出力信号（電圧信号）によりオン・オフが制御されるようになっている。具体的には、シュミットトリガー回路 2 1 3 の出力端 B が H レベルになると、N O T 回路 N O T 4 によりトランジスタ Q 4 のベースは L レベルとなるから、トランジスタ Q 4 はオフになり、出力端 B が L レベルとなると、N O T 回路 N 4 によりトランジスタ Q 4 のベースは H レベルとなるから、トランジスタ Q 4 はオンになる。

【0060】

トランジスタ Q 4 がオンになると、コンデンサ C 1 の一方端は当該トランジスタ Q 4 および抵抗 r_2 を介して V_{SS} ラインに接続されるから、コンデンサ C 1 の充電電荷は当該トランジスタ Q 4 および抵抗 r_2 を介して放電される。そして、トランジスタ Q 3 とトランジスタ Q 4 とは、一方がオンのとき、他方はオフとなるから、シュミットトリガー回路 2 1 3 の出力端 B のレベルが反転する毎にコンデンサ C 1 の充電動作と放電動作とが繰り返されることになる（図 5 の V_2 の波形参照）。

【0061】

シュミットトリガー回路 2 1 3 は、入力端 A が H レベルから L レベルに変化するときは所定の閾値 $V_{(H-L)_1}$ にまで低下すると、出力端 B を H レベルから L レベルの反転し、入力端 A が L レベルから H レベルに変化するときは所定の閾値 $V_{(L-H)_1}$ ($> V_{(H-L)_1}$) にまで上昇すると、出力端 B を L レベルから H レベルの反転する回路で、入力レベル降下時の出力レベルの反転閾値 $V_{(H-L)_1}$ と入力レベル上昇時の出力レベルの反転閾値 $V_{(L-H)_1}$ とにヒステリシスを持たせることによりコンデンサ C 1 の充電開始タイミングと放電開始タイミングを制御する回路である。

【0062】

シュミットトリガー回路 2 1 3 は、2 個の N O T 回路 N O T 2, N O T 3 の直列回路にコンデンサと抵抗とをそれぞれ並列に接続し、入力側に入力抵抗を接続した回路で構成されている。シュミットトリガー回路 2 1 3 の入力端 A には、コンデンサ C 1 の他方端が接続されているので、入力端 A のレベルはコンデンサ C 1 の充放電動作によって変化する。

【0063】

シュミットトリガー回路213の出力端BがHレベルの状態では、コンデンサC1の充電動作が行われるが、この充電動作によりコンデンサC1の充電電圧が上昇すると、それに応じて入力端Aのレベルが低下する。そして、入力端Aの電圧 V_2 が $V_2 = V_{(H-L)}_1$ になると、シュミットトリガー回路213の出力端BがLレベルに反転し、コンデンサC1の充電動作は放電動作に切り換えられ、この放電動作によりコンデンサC1の放電電圧が低下すると、それに応じて入力端Aのレベルが上昇する。そして、入力端Aの電圧 V_2 が $V_2 = V_{(L-H)}_1$ になると、シュミットトリガー回路213の出力端BがHレベルに反転し、コンデンサC1の放電動作は充電動作に切り換えられ、以下、上記充放電動作が繰り返される（図5の V_2 の波形参照）。

10

【0064】

J-Kフリップフロップ回路214は、シュミットトリガー回路213からの出力信号（図5の V_3 の波形参照）から上述したパルス信号 S_0' に相当する信号を生成する回路である。J-Kフリップフロップ回路214の／CK端子にはシュミットトリガー回路213の出力信号（オン期間 T_{ON}' ＋オフ期間 T_{OFF}' を周期とするパルス信号）が入力され、／CK端子がHからLに変化するたびにQ端子がH、／Q端子がLに変化し、／CLR端子にクリア信号（Lレベル信号）が入力されると、Q端子はL、／Q端子がHに変化する。従って、Q端子からはシュミットトリガー回路213の出力信号の立ち下がりに同期して一瞬Hレベルに上昇するパルス信号 S_0' が出力される（図5の V_4 の波形参照）。

20

【0065】

オフ期間制御部22は、J-Kフリップフロップ回路214から入力されるパルス信号 S_0' の立ち下がりタイミングで、抵抗 R_d による充電電流 I_d と差動アンプ221からの出力電流 I_2 との合計電流 $I_s = (I_d + I_2)$ でコンデンサC2の充電を開始し、シュミットトリガー回路222によりコンデンサC2の充放電タイミングを制御して当該コンデンサC2の充電時間から負荷状態の変化に応じて変化するオフ期間 T_{OFF} を生成し、パルス信号 S_0' に挿入してパルス信号 S_0 を生成するようにしている。

【0066】

すなわち、差動アンプ221の出力電流 I_2 は、制御電流 I_c が所定の閾値以下のときは、最大値となり、制御電流 I_c が所定の閾値よりも大きいときは制御電流 I_c の増加に応じて減少するようになっている。このため、制御電流 I_c が所定の閾値以下の範囲、すなわち、負荷状態が所定の負荷の範囲（図5ではa点より左側の領域）では、コンデンサC2の充電電流 I_s は最大となるため、コンデンサC2の充電速度は最大となる。一方、制御電流 I_c が所定の閾値よりも大きい範囲、すなわち、負荷状態が所定の負荷より軽い負荷となると（図5ではa点より右側の領域）、コンデンサC2の充電電流 I_s は制御電流 I_c の増加に応じて減少するため、コンデンサC2の充電速度は制御電流 I_c の増加に応じて低下する。

30

【0067】

従って、コンデンサC2が充電を開始してからその両端電圧が所定の電圧にまで変化する時間をオフ期間 T_{OFF} にするようにすれば、負荷状態が所定の負荷の範囲では、所定の最小値となり、負荷状態が所定の負荷より軽い負荷となると、負荷が軽くなるのに比例して長くなるオフ期間 T_{OFF} が生成され、当該オフ期間 T_{OFF} を有するパルス信号 S_0 が生成される。

40

【0068】

オフ期間制御部22の具体的な回路構成について説明すると、J-Kフリップフロップ回路214のQ端子にnpn型トランジスタQ8のベースが抵抗とコンデンサの並列回路を介して接続され、トランジスタQ8のエミッタは V_{SS} ラインに接続され、コレクタは抵抗 R_d を介して V_{DD} 電源に接続されている。また、トランジスタQ8のコレクターエミッタ間にはコンデンサC2が並列に接続され、トランジスタQ8のコレクタにはシュミットトリガー回路222が接続されている。シュミットトリガー回路222は、シュミット

50

トリガー回路 213 と同一の回路構成で構成されている。トランジスタ Q8 は、J-K フリップフロップ回路 214 の Q 端子が H レベルに反転するタイミングでコンデンサ C2 を短絡して蓄積電荷を放電させるための素子である。

【0069】

また、差動アンプ 221 は、pnp 型トランジスタ Q6、Q7 の両エミッタを抵抗 Re を介して V_{DD} 電源に接続してなるもので、トランジスタ Q6 のベースは、クロック周期制御部 21 のカレントミラー回路 212 のトランジスタ Q1 のコレクタ及びベースに接続されている。また、トランジスタ Q7 のベースには基準電圧 V_r が印加され、トランジスタ Q7 のコレクタはコンデンサ C2 とトランジスタ Q8 との接続点 C に接続されている。

【0070】

さらにシュミットトリガー回路 222 の出力端 D は、J-K フリップフロップ回路 214 の CLR 端子と、制御信号生成部 23 の J-K フリップフロップ回路 231 の CK 端子と、2 つの AND 回路 AND1、AND2 の入力端に接続されている。

【0071】

オフ期間制御部 22 では、J-K フリップフロップ回路 214 の CK 端子の入力信号が L レベルに立ち下がると、Q 端子が H レベルに反転し、これによりトランジスタ Q8 がオンになり、コンデンサ C2 の蓄積電荷がトランジスタ Q8 を介して瞬時に放電される。これによりシュミットトリガー回路 222 の入力端 C の電圧 V_5 が瞬時に低下し、電圧 V_5 がシュミットトリガー回路 222 によって規定される所定の閾値 $V_{(H-L)_2}$ まで低下すると、シュミットトリガー回路 222 の出力端 D のレベルは H レベルから L レベルに反転する。

【0072】

出力端 D のレベルが H レベルから L レベルに反転すると、J-K フリップフロップ回路 214 の CLR 端子にクリア信号が入力されるから、J-K フリップフロップ回路 214 の Q 端子の出力レベルが L レベルに反転され、これによりトランジスタ Q8 がオフになり、コンデンサ C2 の放電動作は充電動作に切り換えられる。このとき、コンデンサ C2 は、抵抗 Re を流れる電流 Id と差動アンプ 221 から出力される電流 I2 の合計電流 Is により充電が行なわれる。

【0073】

コンデンサ C2 の充電動作が開始されると、シュミットトリガー回路 222 の入力端 C の電圧 V_5 は充電電流 Is に応じた速度で上昇し、電圧 V_5 がシュミットトリガー回路 222 によって規定される所定の閾値 $V_{(L-H)_2}$ ($> V_{(H-L)_2}$) にまで上昇すると、シュミットトリガー回路 222 の出力端 D のレベルは L レベルから H レベルに反転する。従って、シュミットトリガー回路 222 の出力端 D ではパルス信号 S0' の立ち下がりタイミングで L レベルに反転し、その後、コンデンサ C2 の充電電圧が所定の閾値 $V_{(L-H)_2}$ にまで上昇する時間（オフ期間 T_{OFF} に相当）が経過した時、H レベルに反転する信号、すなわち、パルス信号 S0 に相当する信号が出力される。

【0074】

ところで、クロック周期制御部 21 のカレントミラー回路 212 では、トランジスタ Q1 のコレクタ電圧 V_1 は、制御電流 Ic の変動によって抵抗 R2 の部分の合成抵抗値が変化するため、制御電流 Ic の変化に応じて変化する。すなわち、制御電流 Ic の増加に応じてコレクタ電圧 V_1 は低下する。従って、カレントミラー回路 212 の電流 I1 が小さく、 $V_1 > \text{基準電圧 } V_r$ となっている場合、差動アンプ 221 のトランジスタ Q6 はオフ状態となり、トランジスタ Q7 から出力される電流 I2 は抵抗 Re を流れる電流 $I_e = (V_{DD} - V_r - V_{be7}) / R_e$ (V_{be7} はトランジスタ Q7 のベース・エミッタ間電圧) と等しくなる。

【0075】

一方、カレントミラー回路 212 の電流 I1 が増加し、 V_1 が基準電圧 V_r 以下、すなわち $(V_{DD} - V_1)$ が $(V_{DD} - V_r)$ 以上になると、差動アンプ 221 のトランジスタ Q6 に電流が流れるようになるため、電流 I_e はトランジスタ Q6 と Q7 とに分流すること

10

20

30

40

50

になる。トランジスタQ6のコレクタ電流は、V1（トランジスタQ6のベース電圧）に比例するから、制御電流Icの増加に応じてトランジスタQ6の分流量が増加し、トランジスタQ7のコレクタ電流I2は減少することになる。すなわち、トランジスタQ7のコレクタ電流I2は、制御電流Icの増加に応じてIe～0の範囲で変化することになる。

【0076】

従って、コンデンサC2の充電電流Is = (Id + I2)は、負荷が所定の負荷の範囲（図5のa点より左側の領域）では、Ie（最大値）となり、負荷が所定の負荷よりも軽負荷の範囲（図5のa点より右側の領域）では、制御電流Icの増加に応じてIeからIdに減少するから、コンデンサC2の充電速度は変化し、これに応じてオフ期間T_{OFF}も変化することになる（図5のV5, V6の波形参照）。

10

【0077】

制御信号生成部23は、J-Kフリップフロップ回路231と、2組の（AND回路AND1 + NOT回路NOT5）と（AND回路AND2 + NOT回路NOT6）とで構成されている。J-Kフリップフロップ回路231の／CK端子は、シュミットトリガー回路222の出力端Dに接続され、J端子、K端子、／CLR端子および／PR端子はV_{DD}電源に接続されている。また、J-Kフリップフロップ回路231のQ端子は、AND回路AND1に入力端に接続され、／Q端子は、AND回路AND2に入力端に接続されている。

【0078】

J-Kフリップフロップ回路231は、／CK端子がHレベルからLレベルに反転するタイミングで、Q端子および／Q端子の出力レベルが反転し、Q端子の出力信号と／Q端子の出力信号とは互に位相が180度反転している。従って、AND回路AND1によりQ端子の出力信号と／CK端子への入力信号との論理積を取り、AND回路AND2により／Q端子の出力信号と／CK端子への入力信号との論理積を取ることにより、AND回路AND1で、例えば／CK端子に入力されるパルス信号S0の奇数番目の矩形波信号Ssだけが取り出され、NOT回路NOT5から制御信号S1として出力され、AND回路AND2で／CK端子に入力されるパルス信号S0の偶数番目の矩形波信号Ssだけが取り出され、NOT回路NOT6から制御信号S1として出力される。

20

【0079】

以上より、第1実施形態に係るスイッチング制御装置2では、負荷が軽くなるのに応じて制御電流Icが増加する場合、コレクタ電圧V1が基準電圧Vrを超えない範囲では、デットタイムTdは最小の時間に固定され、オン期間T_{ON}だけが制御電流Icの増加に応じて減少する制御信号S1, S2が出力される（aより左側の領域におけるV7, V8の波形参照）。一方、コレクタ電圧V1が基準電圧Vrを超えると、デットタイムTdおよび制御信号S1, S2のオン期間T_{ON}の両方が制御電流Icの増加に応じて減少する制御信号S1, S2が出力される（aより左側の領域におけるV7, V8の波形参照）。

30

【0080】

<第2実施形態>

図6は、本発明に係るスイッチング制御装置の第2実施形態のブロック構成を示す図である。

40

【0081】

第1実施形態に係るスイッチング制御装置は、矩形波信号Ssを生成した後、オフ期間T_{OFF}（デットタイムTd）を生成し、矩形波信号Ssからオフ期間T_{OFF}を削除することでパルス信号S0を生成し、その後、このパルス信号S0から制御信号S1と制御信号S2とを分離する構成であるが、第2実施形態に係るスイッチング制御装置2'は、矩形波信号Ssとオフ期間T_{OFF}とを独立して調整してパルス信号S0を生成し、その後、このパルス信号S0から制御信号S1と制御信号S2とを分離する構成としたものである。第2実施形態に係るスイッチング制御装置は、第1実施形態に係るスイッチング制御装置よりも回路構成がコンパクトになるとともに、より軽負荷まで電圧制御が可能になる利点がある。

50

【0082】

図6は、その構成をブロック図で示したもので、制御信号生成部23'は第1実施形態に係るスイッチング制御装置2の制御信号生成部23と同一の動作を行う。また、オン期間設定部24は、制御信号Icに基づいてパルス信号S0に含まれる矩形波信号Ssのオン期間 T_{ON} を設定し、オフ期間設定部25は、制御信号Icに基づいてパルス信号S0に含まれる矩形波信号間のオフ期間 T_{OFF} を設定する。オン期間設定部24は本発明に係るハイレベル信号生成手段に相当し、オフ期間設定部25は本発明に係るローレベル信号生成手段に相当している。

【0083】

図7は、第2実施形態に係るスイッチング制御装置2'の具体的な回路構成を示す図である。 10

【0084】

図7において、フォトカプラPCは、制御電流Icを入力する素子である。 V_{DD} 電源と V_{SS} ($< V_{DD}$ 、例えば0V)ラインとの間に接続された抵抗R1、ダイオードD1及び抵抗R2、R3の直列回路は、制御電流Icを制御電圧Vcに変換する回路である。また、コンデンサC1は当該コンデンサC1の充電動作を利用してオン期間 T_{ON} を設定するための素子であり、npn型トランジスタQ1はコンデンサC1の充電電流を制御する素子であり、pnp型トランジスタQ2はコンデンサC1の蓄積電荷の放電を制御する素子である。さらにシュミットトリガー回路241は、コンデンサC1が充電を開始してからオン期間 T_{ON} に相当するタイミングでリセット信号(図6のオフ期間設定部25のr 20
e s e t 2に入力される信号)を生成するものである。すなわち、シュミットトリガー回路241は、コンデンサC1の充電動作により入力端Fの電圧V1が所定の閾値 $V_{(H-L)_1}$ (なお、図8では V_{th1} で表している)に低下すると、出力端GのレベルがHレベルからLレベルに反転し、このLレベルの信号がNOT回路NOT1を介してリセット信号としてオフ期間制御部25に入力される。なお、NOT回路NOT1は、シュミットトリガー回路241の出力電圧のレベルを反転する回路である。

【0085】

フォトカプラPCの出力端子は、抵抗R3の両端に接続され、制御電流Icが変化すると、フォトカプラPCの抵抗値が変化し、これにより抵抗R3とフォトカプラPCとの合成抵抗値が変化して抵抗R1とダイオードD1のアノードとの接続点Eの電圧が変化するよう 30
になっている。この接続点Eの電圧が、図6におけるオン時間設定部24とオフ期間設定部25に入力される制御電圧Vcとなっている。そして、この接続点Eに接続されるトランジスタQ1のベースが図6に示すブロック図のオン期間設定部24の入力端in1に相当し、トランジスタQ3のベースが同ブロック図のオフ期間設定部25の入力端in2に相当している。

【0086】

トランジスタQ1は、ベースが接続点Eに接続され、コレクタはコンデンサC1を介して V_{DD} 電源に接続され、エミッタは抵抗R4を介して V_{SS} ラインに接続されている。また、トランジスタQ2は、エミッタが V_{DD} 電源に接続され、コレクタはトランジスタQ1のコレクタに接続され、ベースは抵抗R9を介して後述するオフ期間設定部25側のシュミットトリガー回路252の出力端Kに接続されている。なお、トランジスタQ2のベ 40
ースには抵抗を介してバイアス電圧が供給されている。トランジスタQ2のベースは、図6に示すブロック図のオン期間設定部24のリセット信号の入力端r e s e t 1に相当している。

【0087】

シュミットトリガー回路241は、2個のNOT回路の直列回路に抵抗を並列に接続し、さらにこの並列回路に入力抵抗を接続した構成で、その入力端はトランジスタQ1及びトランジスタQ2の両コレクタの接続点Fに接続され、その出力端Gは、後述する制御信号生成部23'側のフリップフロップ回路231'の/C K端子に接続されている。この出力端Gは、図6に示すブロック図のオン期間設定部24の出力端u1に相当している。 50

【0088】

そして、上述した抵抗 R_1 、ダイオード D_1 及び抵抗 R_2 、 R_3 の直列回路からシュミットトリガー回路241及びNOT回路NOT1までの回路はオン期間設定部24を構成している。

【0089】

一方、コンデンサ C_2 は当該コンデンサ C_2 の充電動作を利用してオフ期間 T_{OFF} を設定するための素子で、npn型トランジスタ Q_3 、 Q_4 、抵抗 R_5 、 R_6 、 R_7 からなる差動アンプ251は制御電流 I_c に応じた充電電流をコンデンサ C_2 に供給する回路であり、トランジスタ Q_5 はコンデンサ C_2 の蓄積電荷の放電を制御する素子である。さらにシュミットトリガー回路252は、コンデンサ C_2 が充電を開始してからオン期間 T_{OFF} に相当するタイミングでリセット信号（図6のオン期間設定部24のreset1に入力される信号）を生成するものである。すなわち、シュミットトリガー回路251は、コンデンサ C_2 の充電動作により入力端Jの電圧 V_2 が所定の閾値 $V_{(H-L)_2}$ （なお、図8では V_{th2} で表している）に低下すると、出力端KのレベルがHレベルからLレベルに反転し、このLレベルの信号がリセット信号としてオフ期間制御部24に入力される。

【0090】

差動アンプ251を構成する各素子は、トランジスタ Q_3 、 Q_4 の両エミッタが抵抗 R_5 を介して V_{SS} ラインに接続され、トランジスタ Q_3 のコレクタは V_{DD} 電源に直接接続される一方、トランジスタ Q_4 のコレクタはコンデンサ C_2 を介して V_{DD} 電源に接続され、さらにトランジスタ Q_3 のベースは接続点Eに接続され、トランジスタ Q_4 のベースは V_{DD} 電源と V_{SS} ライン間に接続された抵抗 R_6 、 R_7 の直列回路の中間接続点Iに接続されている。この接続点Iは、図6のブロック図のオフ期間設定部25の基準電圧入力端in3に相当し、この入力端in3には V_{DD} 電源を抵抗 R_6 、 R_7 で分圧した基準電圧 $V_r (= V_{DD} \cdot R_6 / (R_6 + R_7))$ が入力される。

【0091】

差動アンプ251では、トランジスタ Q_3 のベースに印加される制御電圧 V_c が $V_c < V_r$ であれば、トランジスタ Q_3 はオフ状態で、トランジスタ Q_4 はオン状態となり、抵抗 R_5 を流れる電流は全てコンデンサ C_2 に流れるため、コンデンサ C_2 の充電電流は最大となる。一方、制御電圧 V_c が基準電圧 V_r 以上になると、トランジスタ Q_3 もオン状態になり、抵抗 R_5 を流れる電流はトランジスタ Q_3 、 Q_4 で分離されるため、コンデンサ C_2 の充電電流は、トランジスタ Q_3 のコレクタ電流に応じて変化する。すなわち、制御電圧 V_c （トランジスタ Q_3 のベース電圧）の増加に応じてトランジスタ Q_3 のコレクタ電流が増加し、コンデンサ C_2 の充電電流は減少する。従って、制御電圧 V_c が基準電圧 V_r よりも低い範囲では、コンデンサ C_2 の充電速度は最大になり、制御電圧 V_c が基準電圧 V_r 以上の範囲では、コンデンサ C_2 の充電速度は制御電圧 V_c の増加に応じて減少する。

【0092】

トランジスタ Q_5 のエミッタは V_{DD} 電源に接続され、コレクタは抵抗 R_8 を介して V_{SS} ラインに接続されるとともに、シュミットトリガー回路252の入力端Jと差動アンプ251のトランジスタ Q_4 のコレクタに接続されている。また、トランジスタ Q_5 のベースは抵抗 R_{10} とダイオード D_3 を介してシュミットトリガー回路252の出力端Kに接続されるとともに、抵抗 R_{10} とダイオード D_2 を介してオン期間設定部24のNOT回路NOT1の出力端Hに接続されている。トランジスタ Q_5 のベースは、図6のブロック図のオフ期間設定部25のリセット端子reset2に相当している。なお、トランジスタ Q_5 のベースには抵抗 R_{11} を介してバイアス電圧が供給されている。

【0093】

シュミットトリガー回路252はシュミットトリガー回路241と同一の回路構成で構成され、その入力端Jは差動アンプ251のトランジスタ Q_4 のコレクタに接続され、その出力端K（NOT回路の出力端）は、抵抗 R_9 を介してトランジスタ Q_2 のベースに接続

されるとともに、ダイオード D 3 と抵抗 R 1 0 を介してトランジスタ Q 5 のベースに接続されている。この出力端 K は、図 6 に示すブロック図のオフ期間設定部 2 5 のリセット信号の出力端 u 2 に相当している。そして、上述した差動アンプ 2 5 1 からシュミットトリガー回路 2 5 2 までの回路はオフ期間設定部 2 5 を構成している。

【0094】

J-K フリップフロップ回路 2 3 1' は、第 1 実施形態に係る J-K フリップフロップ回路 2 3 1 と同一の構成をなし、同一の動作を行なう。すなわち、J-K フリップフロップ回路 2 3 1' は、パルス信号 S 0 の立ち上がりもしくは立ち下がりのいずれか一方に同期して出力の H/L が反転する信号を Q 端子から出力するとともに、Q 端子出力を反転した信号を /Q 端子から出力する。J-K フリップフロップ回路 2 3 1' の /CK 端子はオン
10
期間設定部 2 4 のシュミットトリガー回路 2 4 1 の出力端 G に接続され、Q 端子及び /Q 端子はそれぞれ NOR 回路 NOR 2 の一方入力端と NOR 回路 NOR 1 の一方入力端に接続されている。

【0095】

NOR 回路 NOR 1 は、オン期間設定部 2 4 の NOT 回路 NOT 1 から出力されるパルス信号 S 0 の位相を反転した信号と J-K フリップフロップ回路 2 3 1' の /Q 端子からの出力信号との否定論理和を取ることにより制御信号 S 1 を生成して出力する回路である。NOR 回路 NOR 2 は、オン期間設定部 2 4 の NOT 回路 NOT 1 から出力されるパルス
20
信号 S 0 の位相を反転した信号と J-K フリップフロップ回路 2 3 1' の Q 端子からの出力信号との否定論理和を取ることにより制御信号 S 2 を生成して出力する回路である。NOR 回路 NOR 1 の他方入力端と NOR 回路 NOR 2 の他方入力端とは NOT 回路 NOT 1 の出力端 H に接続されている。

【0096】

そして、J-K フリップフロップ回路 2 3 1' 及び NOR 回路 NOR 1, NOR 2 は、制御信号生成部 2 3' を構成し、J-K フリップフロップ回路 2 3 1' の /CK 端子は制御信号生成部 2 3' の入力端子に相当し、NOR 回路 NOR 1, NOR 2 の出力端子はそれぞれ制御信号生成部 2 3' の出力端子 OUT 1 と出力端子 OUT 2 に相当している。

【0097】

次に、図 8 の波形図を用いて、図 7 に示すスイッチング制御装置 2' の動作を説明する。

【0098】

図 8 も図 5 と同様、負荷が所定の負荷の範囲からそれを超えて軽負荷となる場合の制御信号 S 1, S 2 の変化の様子を示したものである。同図において、「Vc/Vr」は、トランジスタ Q 1 のベースに印可される制御電圧 Vc と差動アンプ 2 5 1 のトランジスタ Q 4 のベースに印加される基準電圧 Vr の波形を示している。また、「V1」は、シュミットトリガー回路 2 4 1 の入力端 F の電圧波形、「V2」は、シュミットトリガー回路 2 5 2 の入力端 J の電圧波形を示している。また、「G 点」、「H 点」、「K 点」は、それぞれシュミットトリガー回路 2 4 1 の出力端 G、NOT 回路 NOT 1 の出力端 H、シュミットトリガー回路 2 5 2 の出力端 K の電圧波形を示し、「Q 出力」、「/Q 出力」は、それぞれ J-K フリップフロップ回路 2 3 1' の Q 端子と /Q 端子の出力波形を示し、「S 1」
40
、「S 2」はそれぞれ NOR 回路 NOR 1 と NOR 回路 NOR 2 の出力波形を示している。

【0099】

トランジスタ Q 2 がオフ状態では、トランジスタ Q 1 のコレクタにはベース電圧 Vc とエミッタ抵抗 R 4 によって決定される電流 Ie が流れ、この電流 Ie によりコンデンサ C 1 が充電される。トランジスタ Q 2 がオンになると、コンデンサ C 1 の充電電荷が当該トランジスタ Q 2 により瞬時に放電される。コンデンサ C 1 の充電電荷が放電されると、シュミットトリガー回路 2 4 1 の入力端 F の電圧 V1 は所定の閾値 $V_{(L-H)1}$ ($< V_{DD}$ 、図 8 では省略している。) に瞬時に上昇し、これによりシュミットトリガー回路 2 4 1 の出力端 G は L レベルから H レベルに反転し、NOT 回路 NOT 1 の出力端 H は L レベルとなる。

10

20

30

40

50

【0100】

NOT回路NOT1の出力端HがLレベルになると、ダイオードD2によりトランジスタQ5のベースがLレベルとなり、当該トランジスタQ5がオンになる。これによりシュミットトリガー回路252の入力端Jの電圧V2は電源電圧 V_{DD} （例えば5V）に瞬時に上昇し、シュミットトリガー回路252の出力端KがHレベル（オン期間制御部24へのリセット信号入力）となるので、トランジスタQ2がオフになり、コンデンサC1の充電が開始される。すなわち、オフ期間制御部25からオン期間制御部24にリセット信号が入力され、オン期間制御部24におけるコンデンサC1の充電動作（すなわち、オン期間 T_{ON} の生成動作）が開始される。

【0101】

10

シュミットトリガー回路241の入力端Fの電圧V1はコンデンサC1の充電に応じて低下し、当該シュミットトリガー回路241により規定される閾値 $V_{(H-L)1}$ （図8の V_{th1} ）まで低下すると、当該シュミットトリガー回路241の出力端Gの出力電圧はHレベルからLレベルに反転する（図8において、V1の右下がり部分の波形とG点のパルス信号の立下がり点を参照）。

【0102】

一方、NOT回路NOT1の出力端HがLレベルになると、トランジスタQ5がオンになり、コンデンサC2の蓄積電荷がトランジスタQ5により瞬時に放電される。シュミットトリガー回路241の入力端Fの電圧V1が $V1 > V_{(H-L)1}$ の期間は、シュミットトリガー回路241の出力端Gの出力電圧はHレベル、NOT回路NOT1の出力電圧はLレベルであるから、トランジスタQ5はオン状態に保持され、シュミットトリガー回路252の入力端Jの電圧V2は、電源電圧 V_{DD} となっている。そして、 $V1 = V_{(H-L)1}$ になると、シュミットトリガー回路241の出力電圧はHレベルからLレベルに反転し、NOT回路NOT1の出力電圧はLレベルからHレベルに反転するから（オフ期間制御部25へのリセット信号入力）、トランジスタQ5がオフになり、これによりコンデンサC2の充電が開始される（図8のV2の波形参照）。

20

【0103】

すなわち、オン期間制御部24からオフ期間制御部25にリセット信号が入力され、オフ期間制御部25におけるコンデンサC2の充電動作（すなわち、オフ期間 T_{OFF} の生成動作）が開始される。

30

【0104】

シュミットトリガー回路252の入力端Jの電圧V2はコンデンサC2の充電に応じて低下し、当該シュミットトリガー回路252により規定される閾値 $V_{(H-L)2}$ （図8の V_{th2} ）まで低下すると、当該シュミットトリガー回路252の出力電圧はHレベルからLレベルに反転する（図8において、V2の右下がり部分の波形とK点のパルス信号の立下がり点を参照）。シュミットトリガー回路252の出力電圧がLレベルになると、ダイオードD3によりトランジスタQ5のベースがLレベルとなり、当該トランジスタQ5がオンになってコンデンサC2の蓄積電荷が瞬時に放電されるとともに、シュミットトリガー回路252の入力端Jの電圧V2は電源電圧 V_{DD} （例えば5V）に瞬時に上昇し、シュミットトリガー回路252の出力端KがHレベル（オン期間制御部24へのリセット信号入力）となるので、トランジスタQ2がオフになり、コンデンサC1の充電が開始される。

40

【0105】

すなわち、コンデンサC1のみの充電を開始し、コンデンサC1の充電動作により電圧V1が電源電圧 V_{DD} から閾値 $V_{(H-L)1}$ に低下すると（オン期間 T_{ON} の生成）、更にコンデンサC2の充電を開始し、コンデンサC2の充電動作により電圧V2が電源電圧 V_{DD} から閾値 $V_{(H-L)2}$ に低下すると（オフ期間 T_{OFF} の生成）、コンデンサC1及びコンデンサC2の充電動作を停止し、両コンデンサC1、C2の蓄積電荷を瞬時に放電するという動作が繰り返される（図8のV1、V2の波形参照）。そして、このコンデンサC1、C2の充放電動作の繰り返しによりシュミットトリガー回路241の出力

50

端 G からは図 2 に示すパルス信号 S 0 に相当する信号が出力される（図 8 の G 点の信号参照）。

【0106】

シュミットトリガー回路 241 から出力されるパルス信号 S 0 は、J-K フリップフロップ回路 231' の /CK 端子に入力され、このパルス信号 S 0 の立ち下がりに同期して出力の H/L が反転する信号が Q 端子から出力されるとともに、Q 端子出力を反転した信号が /Q 端子から出力される（図 8 の Q 出力、/Q 出力参照）。

【0107】

そして、NOR 回路 NOR 1 では、Q 端子の出力電圧と出力端 H の電圧とが L レベルのとき H レベルとなり、それ以外るとき L レベルとなる信号が制御信号 S 1 として出力され、NOR 回路 NOR 2 では、/Q 端子の出力電圧と出力端 H の電圧とが L レベルのとき H レベルとなり、それ以外るとき L レベルとなる信号が制御信号 S 2 として出力される（図 8 の S 1, S 2 の波形参照）。 10

【0108】

図 8 の波形図に示すように、制御電圧 V_c が基準電圧 V_r よりも低い範囲では、コンデンサ C 2 の充電電流は最大となるため、電圧 V_2 が V_{DD} から所定の閾値 $V_{(L-H)_2}$ まで変化するコンデンサ C 2 の充電時間は最小となり、デッドタイム T_{OFF} は固定されるが、コンデンサ C 1 の充電電流は制御電圧 V_c の増大に応じて増加するため、電圧 V_1 が V_{DD} から所定の閾値 $V_{(L-H)_1}$ まで変化するコンデンサ C 1 の充電時間は制御電圧 V_c の増加に応じて短くなり、制御電圧 V_c の増加に応じて周波数だけが增加する制御信号 S 1, S 2 (PFM 信号) が出力される。一方、制御電圧 V_c が基準電圧 V_r 以上の範囲では、コンデンサ C 2 の充電電流は制御電圧 V_c の増大に応じて減少するため、電圧 V_2 が V_{DD} から所定の閾値 $V_{(L-H)_2}$ まで変化するコンデンサ C 2 の充電時間は制御電圧 V_c の増加に応じて長くなり、制御電圧 V_c の増加に応じて周波数とデッドタイム T_{OFF} の両方が増加する制御信号 S 1, S 2 ((PFM+PWM) 信号) が出力される。 20

【0109】

<第 3 実施形態>

図 8 は、本発明に係るスイッチング制御装置の第 3 実施形態のブロック構成を示す図である。

【0110】

第 3 実施形態に係るスイッチング制御装置 2'' は、第 2 実施形態に係るスイッチング回路 2' の回路構成を改良したものである。具体的には第 2 実施形態に係るスイッチング回路 2' ではオン期間 T_{ON} とオフ期間 T_{OFF} とを制御するコンデンサとシュミットトリガー回路（ヒステリシスコンパレータ）とをそれぞれ別に設けていたが、第 3 実施形態に係るスイッチング回路 2'' ではオン期間 T_{ON} とオフ期間 T_{OFF} を制御するコンデンサとシュミットトリガー回路（ヒステリシスコンパレータ）とを共通化し、1つのコンデンサの充電時間を用いてオン期間 T_{ON} を生成し、コンデンサの放電時間を用いてオフ期間 T_{OFF} の生成するようにしたものである。 30

【0111】

図 9 は、その構成をブロック図で示したもので、オン期間／オフ期間設定部 26 は、第 2 実施形態に係るスイッチング制御装置 2' のオン期間設定部 24 とオフ期間設定部 25 とを合わせた部分に相当している。また、制御信号生成部は第 2 実施形態に係るスイッチング制御装置 2' の制御信号生成部 23' と同一の回路構成で構成されている。 40

【0112】

オン期間／オフ期間設定部 26 内のコンデンサ C とシュミットトリガー回路 261 とは、それぞれ共通化したコンデンサとヒステリシスコンパレータであり、コンデンサ C の充電電流 I_c と放電電流 I_d とは制御電圧 V_c の変化に応じて変化させるようにしている。具体的には、充電電流 I_c は制御電圧 V_c の増加に応じて増加し、放電電流 I_d は制御電圧 V_c の増加に応じて減少するように変化する。また、コンデンサ C の放電回路と充電回路とにはそれぞれスイッチ SW 1 とスイッチ SW 2 とが設けられ、シュミットトリガー回路 50

261の出力信号によりスイッチSW1とスイッチSW2とを交互に切り換えることによりコンデンサCの充放電動作が交互に行われるようになっている。

【0113】

図10は、第3実施形態に係るスイッチング制御装置2”の具体的な回路構成を示す図である。

【0114】

図10は、図7において、オフ期間設定部25に相当する回路を除去し、それに代えて抵抗R12、npn型トランジスタQ6及び抵抗R13の直列回路を接続するとともに、トランジスタQ1のエミッタ抵抗R4とVssラインとの間にnpn型トランジスタQ7を追加する一方、トランジスタQ2に代えてトランジスタQ8を設け、このトランジスタQ8のオン・オフ制御をシュミットトリガー回路241の出力電圧によって行なうようにしたものである。

【0115】

具体的には、トランジスタQ6は、コレクタが抵抗R12を介してV_{DD}電源に接続され、エミッタが抵抗R13を介してVssラインに接続され、ベースは抵抗R2と抵抗R3との接続点Lに接続されている。また、トランジスタQ7は、コレクタが抵抗R4に接続され、エミッタは直接Vssラインに接続され、ベースは抵抗R17を介してシュミットトリガー回路241の出力端Gに接続されるとともに、抵抗R18を介してVssラインに接続されている。また、トランジスタQ8は、ベースが抵抗R15を介してV_{DD}電源に接続されるとともに、抵抗R16を介してシュミットトリガー回路241の出力端Gに接続され、コレクタがシュミットトリガー回路241の入力端Fに接続され、エミッタがトランジスタQ6のコレクタに接続されている。また、コンデンサC1に抵抗R14が並列に接続されている。

【0116】

次に、図11の波形図を用いて、図10に示すスイッチング制御装置2”の動作を説明する。

【0117】

図11も図5と同様、負荷が所定の重負荷の範囲からそれを超えて軽負荷となる場合の制御信号S1、S2の変化の様子を示したものである。同図において、「V_c & V_c'」は、トランジスタQ1のベースに印可される制御電圧V_cと抵抗R3と抵抗R2との接続点Lの電圧V_c'の波形を示している。また、「V2、V_e」は、トランジスタQ8のベース電圧V2とエミッタ電圧V_e(=V_{DD} - I・R6)の波形、「V1」は、シュミットトリガー回路241の入力端Fの電圧波形を示している。また、「G点」はシュミットトリガー回路241の出力端Gの電圧波形を示し、「Q出力」、「/Q出力」はそれぞれフリップフロップ回路231'のQ端子と/Q端子の出力波形を示し、「S1」、「S2」はそれぞれNOR回路NOR1とNOR回路NOR2の出力波形を示している。

【0118】

トランジスタQ7がオン状態では、トランジスタQ1はベース電圧(制御電圧V_c)とエミッタ抵抗R4によって決定される電流I_{j1}を供給する定電流源として動作し、この電流I_{j1}によってコンデンサC1の充電が行われる。トランジスタQ7がオン状態になるときは、シュミットトリガー回路241の出力端GのレベルがHレベルであるから、トランジスタQ8はオフ状態にあり、コンデンサC1には定電流源からの充電電流I_{j1}と、抵抗R14とシュミットトリガー回路241内の抵抗R19、R20とを流れる放電電流I_{h1}とが流れることになるが、充電電流I_{j1}が放電電流I_{h1}より大きく設定されていれば、結果的にコンデンサC1は充電され、シュミットトリガー回路241の入力端Fの電圧V1はコンデンサC1の充電動作に応じて低下する。

【0119】

そして、シュミットトリガー回路241の入力電圧V1が当該シュミットトリガー回路241によって規定される閾値V_(H-L)まで低下すると、当該シュミットトリガー回路241の出力端Gの出力電圧はHレベルからLレベルに反転する(図11において、V1

の右下がり部分の波形とG点のパルス信号の立下がり点を参照)。

【0120】

シュミットトリガー回路241の出力端GがLレベルになると、トランジスタQ7がオフになり、トランジスタQ1による定電流源からのコンデンサC1への充電電流 I_{j1} の供給は停止され、コンデンサC1は、 V_{DD} 電源からコンデンサC1、シュミットトリガー回路241内の抵抗R19、R20を流れる電流 I_{j2} により充電される。また、シュミットトリガー回路241の出力端GがLレベルになると、トランジスタQ8はオンになり、コンデンサC1の放電経路は抵抗R14及びシュミットトリガー回路241内の抵抗R19、R20の経路に加えて抵抗R12、トランジスタQ8及びシュミットトリガー回路241内の抵抗R19、R20となる。すなわち、放電電流 I_h は、抵抗R14を流れる放電電流 I_{h1} と抵抗R12及びトランジスタQ8を流れる放電電流 I_{h2} との合成となる。

【0121】

すなわち、抵抗R12には、トランジスタQ6のエミッターベース間の電圧を V_{be6} とすると、 $V_{c'} < V_{be6}$ では、電流は流れないが、 $V_{c'}$ が V_{be6} 以上になると、ベース電圧 $V_{c'}$ とエミッタ抵抗R13とによって決定される電流 I が流れる。シュミットトリガー回路241の出力端GがLレベルのときは、 $(I \times R12) < (V_{DD} - V2)$ であれば、トランジスタQ8がオンになり、トランジスタQ8のエミッターベース間の電圧を V_{be8} とすると、そのエミッタ電圧が $(V2 + V_{be8})$ となるように抵抗R12には $(V_{DD} - V2 - V_{be8}) / R12$ の電流が流れる。

【0122】

従って、トランジスタQ8には、抵抗R12に流れる電流から電流 I を差し引いた電流 $(V_{DD} - V2 - V_{be8}) / R12 - I$ が流れ、この電流と抵抗R14を流れる電流の合計電流値によってコンデンサC1は放電される。そして、電流 I が0のときは、放電電流は最大かつ一定となり、コンデンサC1の放電時間は最小となるが、電流 I の増加に応じて放電電流が減少し、コンデンサC1の放電時間も長くなる。そして、 $(I \times R12)$ が $(V_{DD} - V2)$ 以上の場合は、トランジスタQ8はオフになるので、放電電流は抵抗R14を流れる電流だけとなり、放電電流は最小となる。すなわち、コンデンサC1の放電時間は最大となる。

【0123】

充放電経路が切り換えられたとき、放電電流 I_h が充電電流 I_{j2} より大きく設定されていれば、結果的にコンデンサC1は放電され、シュミットトリガー回路241の入力電圧V1はコンデンサC1の放電動作に応じて上昇する。そして、その入力電圧V1がシュミットトリガー回路241によって規定される閾値 $V_{(L-H)}$ まで上昇すると、当該シュミットトリガー回路241の出力端Gの出力電圧はLレベルからHレベルに反転する(図11において、V1の右上がり部分の波形とG点のパルス信号の立上がり点を参照)。

【0124】

シュミットトリガー回路241の出力端Gの出力電圧がHレベルになると、再びトランジスタQ7がオンになるとともに、トランジスタQ8がオフになり、上述したコンデンサC1の充電動作が行われ、以下、コンデンサC1の充電動作と放電動作とが交互に繰り返される。そして、このコンデンサC1の充放電動作の繰り返しによりシュミットトリガー回路241でパルス信号S0のオン期間 T_{ON} とオフ期間 T_{OFF} とが生成され、シュミットトリガー回路241の出力端Gからは図2に示すパルス信号S0に相当する信号が出力される(図11のG点の信号参照)。

【0125】

シュミットトリガー回路241から出力されるパルス信号S0は、J-Kフリップフロップ回路231'の/C K端子に入力され、このパルス信号S0の立ち下がり同期して出力のH/Lが反転する信号がQ端子から出力されるとともに、Q端子出力を反転した信号が/Q端子から出力される(図11のQ出力、/Q出力参照)。

【0126】

10

20

30

40

50

そして、NOR回路NOR1では、Q端子の出力電圧と出力端Hの電圧とがLレベルのときHレベルとなり、それ以外のときLレベルとなる信号（オン期間 T_{ON} のパルスが（オン期間 $T_{ON} + 2 \times$ オフ期間 T_{OFF} ）のオフ期間で連続する信号）が制御信号S1として出力され、NOR回路NOR2では、／Q端子の出力電圧と出力端Hの電圧とがLレベルのときHレベルとなり、それ以外のときLレベルとなる信号が制御信号S2として出力される（図11のS1，S2の波形参照）。

【0127】

上記コンデンサC1の充放電動作において、トランジスタQ1による充電電流 I_{j1} は、ベース電圧（制御電圧 V_c ）によって変化し、制御電圧 V_c が上昇するのに応じて増加する。一方、トランジスタQ8による放電電流 $I_{h2} = (V_{DD} - V_2 - V_{be8}) / R_{12} - I$ は、トランジスタQ6のコレクタ電流 I により変化し、コレクタ電流 I が増加するのに応じて減少する。そして、コレクタ電流 I は、制御電圧 V_c の上昇に応じてトランジスタQ6のベース電圧 $V_{c'}$ が上昇するため、制御電圧 V_c の上昇に応じて増加する。従って、放電電流 I_{h2} は制御電流 V_c の上昇に応じて減少する。

【0128】

このように充電電流 I_{j1} と放電電流 I_h とを制御電圧 V_c の変化に応じて変化させることにより、制御信号S1，S2は、制御電圧 V_c が所定値より大きい範囲（図11のa点より右側の領域）では、制御電圧 V_c が上昇すると、充電電流 I_{j1} は増加して充電時間 T_j が短くなり、オン期間 T_{ON} は短くなる一方、放電電流 I_h が減少して放電時間 T_h が長くなり、オフ期間 T_{ON} は長くなるように変化する（PFM制御＋PWM制御）。また、制御電圧 V_c が所定値以下（図11のa点より左側の領域）では、トランジスタQ8による放電電流 I_{h2} は、ほぼ $(V_{DD} - V_2 - V_{be2}) / R_{12}$ に等しくなって固定されるから、放電電流 I_h は最大となり、制御信号S1，S2は、制御電圧 V_c の変化に関係なく、オフ期間 T_{OFF} （デッドタイム）は最も短い期間に固定され、オン期間 T_{ON} のみが変化する（PFM制御）。

【0129】

従って、第3実施形態に係るスイッチング制御装置2"においても第2実施形態に係るスイッチング制御装置2'と同様の制御信号S1，S2を生成することができる。第3実施形態に係るスイッチング制御装置2"は、第1，第2実施形態に係るスイッチング制御装置2，2"に比して、回路構成が簡素になり、小型化、低価格化が可能になるという利点がある。

【0130】

なお、図10に示す回路構成では、シュミットトリガー回路241のLレベル期間を制御電圧 V_c に対して非線形応答とするために、制御電圧 V_c を抵抗 R_2 と抵抗 R_3 とで分圧して制御電圧 $V_{c'}$ を作成し、トランジスタQ6のベース－エミッタ間電圧 V_{be6} を閾値として使用しているが、図12に示すように、トランジスタQ6のベースをトランジスタQ1のベースに接続する一方、エミッタと抵抗 R_{13} の間に2個のダイオードD2，D3やその他の非線形素子を挿入する構成としてもよい。また、図13に示すように、トランジスタQ6のエミッタを抵抗 R_{21} を介して V_{DD} 電源に接続し、エミッタにバイアスを与えて閾値を作成するようにしてもよい。

【0131】

【発明の効果】

以上説明したように、本発明によれば、出力電圧と目標電圧との偏差が所定値以下の範囲では、デッドタイムを所定の時間に固定し、オンタイムのみが偏差の増加に応じて減少するパルス信号を生成し、出力電圧と目標電圧との偏差が所定値を超える範囲では、デッドタイムが偏差の増加に応じて増大するとともに、オンタイムが偏差の増加に応じて減少するパルス信号を生成し、このパルス信号からオンタイムを1つ置きに除去した第1のパルス信号とパルス信号から第1のパルス信号を除去した第2のパルス信号とを生成して、スイッチング素子の制御信号としてスイッチング電源のスイッチング回路に供給するようにしたので、スイッチング電源に接続される負荷の軽重に関係なく好適に定電圧制御を行うこ

10

20

30

40

50

とができる。

【0132】

特に、負荷が過度な軽負荷となるように変動した場合には、負荷に応じてデッドタイムを長くするPWM制御とスイッチング周波数を高くするPFM制御とを組合せた制御に切り替えられるので、PFM制御だけでは定電圧制御が困難な軽負荷の領域であってもPWM制御と組合せることにより負荷変動に十分に追従した定電圧制御を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るスイッチング制御装置の第1実施形態のブロック構成を示す図である。

10

【図2】パルス信号S0と制御信号S1、S2との関係を示す図である。

【図3】クロック周期制御部で生成されるパルス信号S0'とパルス信号S0との関係を示す図である。

【図4】第1実施形態に係るスイッチング制御装置の具体的な回路構成を示す図である。

【図5】図4に示す具体的回路の各部の信号波形を示す図である。

【図6】本発明に係るスイッチング制御装置の第2実施形態のブロック構成を示す図である。

【図7】第2実施形態に係るスイッチング制御装置の具体的な回路構成を示す図である。

【図8】図7に示す具体的回路の各部の信号波形を示す図である。

【図9】本発明に係るスイッチング制御装置の第3実施形態のブロック構成を示す図である。

20

【図10】第3実施形態に係るスイッチング制御装置の具体的な回路構成を示す図である。

【図11】図10に示す具体的回路の各部の信号波形を示す図である。

【図12】第3実施形態に係るスイッチング制御装置の変形例を示す図である。

【図13】第3実施形態に係るスイッチング制御装置の他の変形例を示す図である。

【図14】従来のスイッチング電源の一例を示す図である。

【図15】スイッチング素子のオン・オフを制御するための制御信号の波形を示す図である。

【図16】スイッチング電源回路の出力電圧の周波数特性を示す図である。

30

【符号の説明】

1 スイッチング電源

101 スイッチング回路

102 共振回路

103 整流回路

104 平滑回路

2 スイッチング制御装置

21 クロック周期制御部

22 オフ期間制御部

23, 23' 制御信号生成部

24 オン期間設定部

25 オフ期間設定部

26 オン期間／オフ期間設定部

211 入力回路

212 カレントミラー回路

213, 222, 241, 252 シュミットトリガー回路

221 差動アンプ

214, 231, 261 J-Kフリップフロップ回路

T トランス

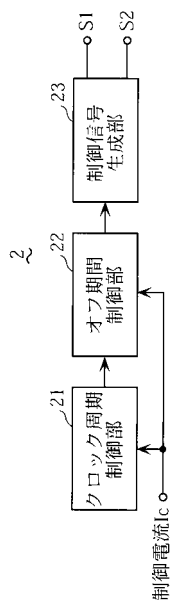
R1～R21 抵抗

40

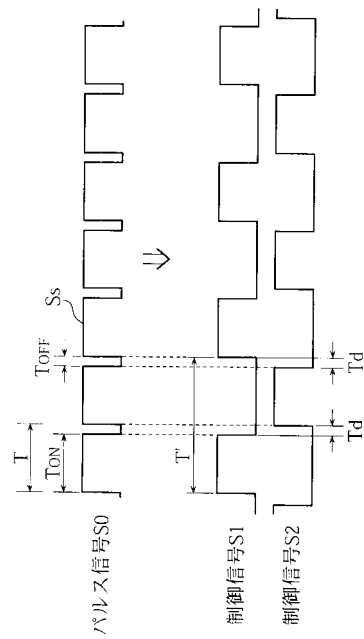
50

C, C 1, C 2, C 1 1 ~ C 1 4 コンデンサ
 D 1 ~ D 3, D 1 1 ~ D 1 4 ダイオード
 NOT 1 ~ NOT 6 NOT回路
 AND 1, AND 2 AND回路
 NOR 1, NOR 2 NOR回路

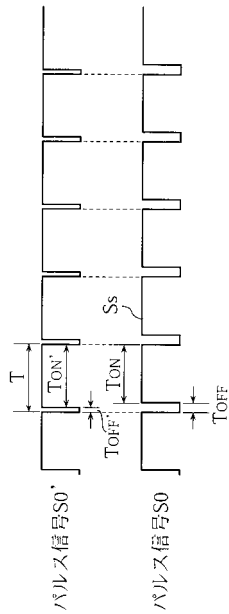
【図 1】



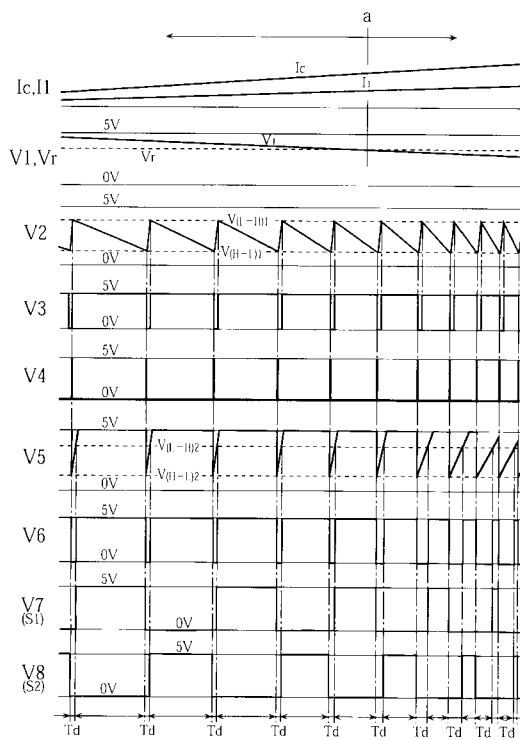
【図 2】



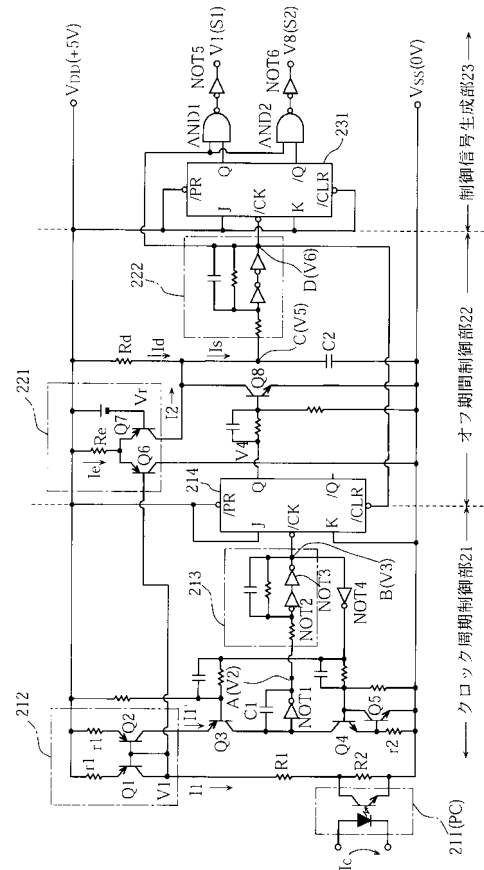
【 図 3 】



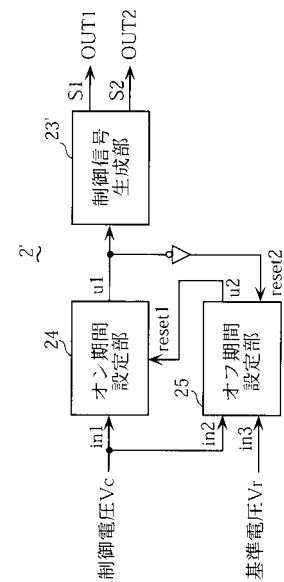
【図 5】



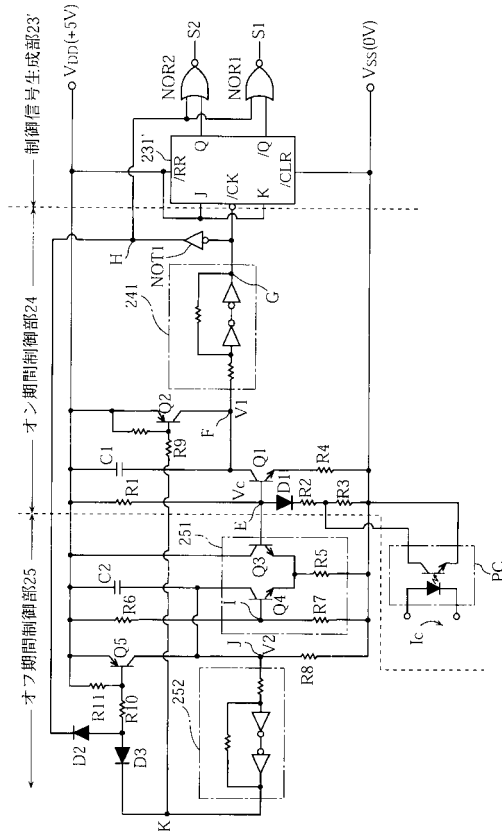
【 図 4 】



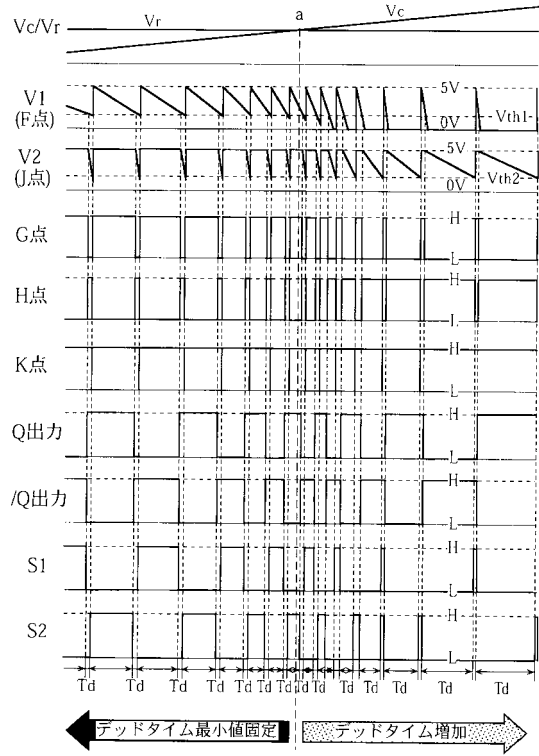
【图 6】



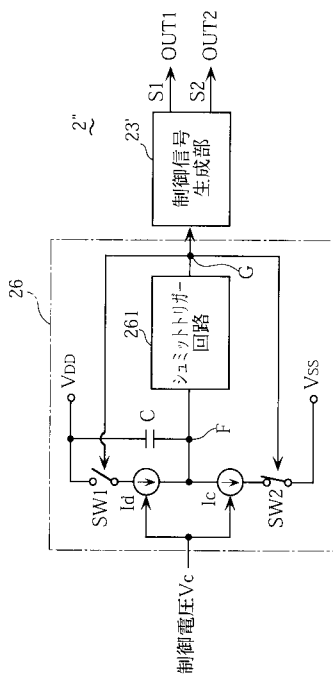
【図 7】



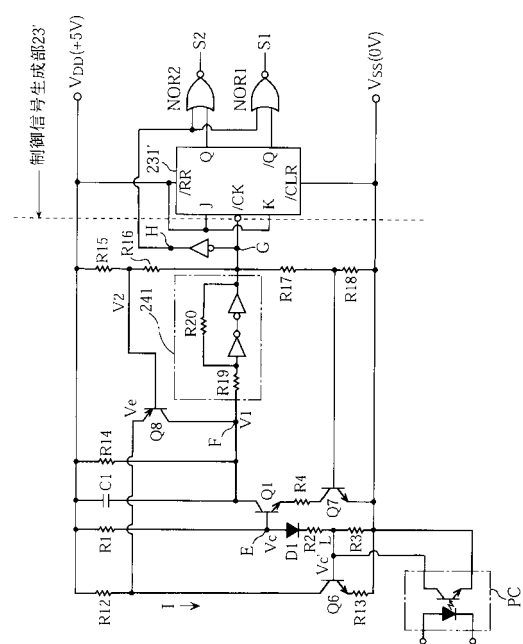
【図 8】



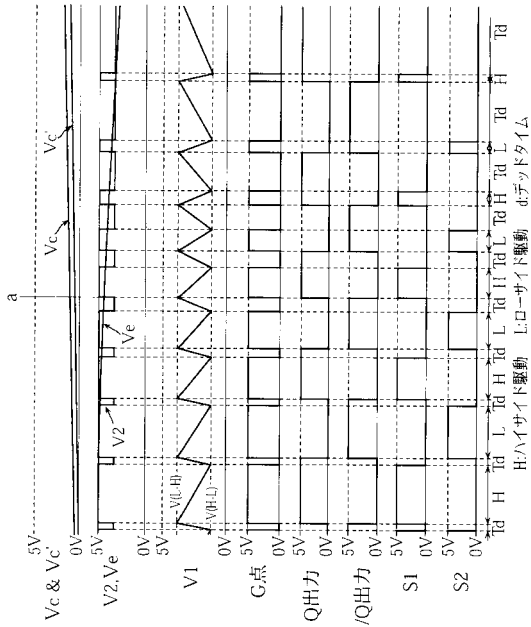
【図 9】



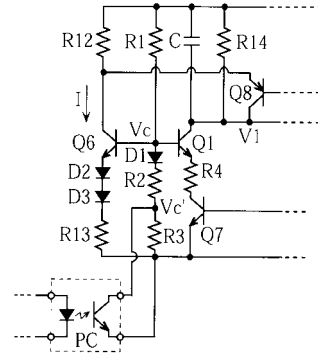
【図 10】



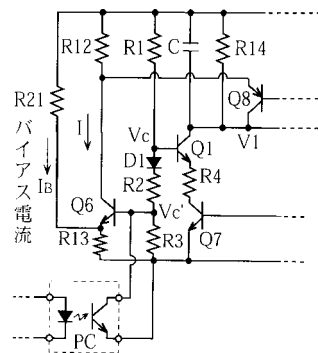
【図 1 1】



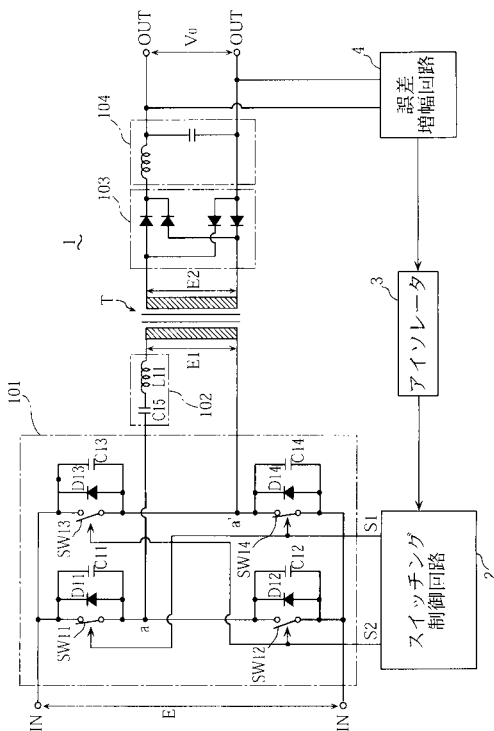
【図 1 2】



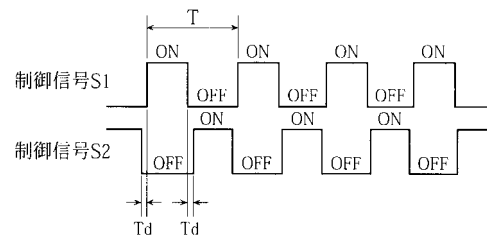
【図 1 3】



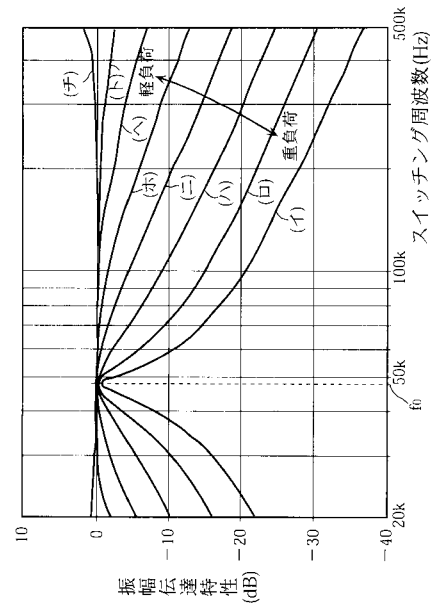
【図 1 4】



【図 1 5】



【図 1 6】



【手続補正書】

【提出日】平成16年4月1日(2004.4.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】少なくとも2個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源のスイッチング制御装置であって、

上記スイッチング電源の出力電圧と制御すべき目標電圧との偏差を示す偏差信号を入力する入力手段と、

上記スイッチング素子をオン状態にする第1のレベルと上記スイッチング素子の全てをオフ状態にする第2のレベルとが交互に反転してなるパルス信号であって、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは、上記第2のレベルの時間であるデッドタイムが所定の時間に固定され、上記第1のレベルの時間であるオンタイムのみが上記偏差の増加に応じて減少するパルス信号を生成し、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは、上記デッドタイムが上記偏差の増加に応じて増大するとともに、上記オンタイムが上記偏差の増加に応じて減少するパルス信号を生成するパルス信号生成手段と、

上記パルス信号生成手段で生成されたパルス信号から、上記第1のレベルのパルスを1つ置きに除去した第1のパルス信号を上記スイッチング素子の一方の制御信号として生成するとともに、上記パルス信号から上記第1のパルス信号を除去した第2のパルス信号を上記スイッチング素子の他方の制御信号として生成する制御信号生成手段と、

を備えたことを特徴とするスイッチング制御装置。

【請求項2】上記パルス信号生成手段は、上記パルス信号の周期に相当する周期を有し、かつ、上記偏差信号に基づき上記偏差の増加に応じて当該周期が減少する第3のパルス信号を生成するクロック周期制御手段と、

上記クロック周期制御手段で生成される第3のパルス信号の立下りもしくは立上りのタイミングで上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の時間よりも長く、かつ、上記偏差の増加に応じて増加するデッドタイムを生成し、このデッドタイムを上記第3のパルス信号のオフタイムとして挿入することにより上記パルス信号を生成するデッドタイム制御手段とからなるものであることを特徴とする請求項1記載のスイッチング制御装置。

【請求項3】上記クロック周期制御手段は、

第1のコンデンサと、

上記偏差の増加に応じて増加する充電電流で上記第1のコンデンサを充電する第1の充電回路と、

上記第1のコンデンサの蓄積電荷を放電させる第1の放電回路と、

上記第1の放電回路により上記第1のコンデンサが放電され、当該第1のコンデンサの電圧が第1の閾値に達すると、出力電圧が第1の出力レベルに反転し、上記第1の充電回路により上記第1のコンデンサが充電され、当該第1のコンデンサの電圧が第1の閾値とは異なる第2の閾値に達すると、出力電圧が上記第1の出力レベルとは異なる第2の出力レベルに反転する信号を出力する第1のヒステリシスコンパレータと、

上記第1のヒステリシスコンパレータの出力信号が上記第1の出力レベルのとき、上記第1の充電回路を動作させ、上記第2の出力レベルのとき、上記第1の放電回路を動作させ

る第1の充放電制御回路とからなり、
上記デッドタイム制御手段は、
第2のコンデンサと、

上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、
上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、
上記第1のヒステリシスコンパレータの出力信号が上記第2の出力レベルに反転すると、
上記第2の放電回路により上記第2のコンデンサを放電させた後、上記第2の充電回路により当該第2のコンデンサの充電を開始させる第2の充放電制御回路と、
上記第2の放電回路により上記第2のコンデンサが放電され、当該第2のコンデンサの電圧が第3の閾値に達すると、出力電圧が第3の出力レベルに反転し、上記第2の充電回路により上記第2のコンデンサが充電され、当該第2のコンデンサの電圧が第3の閾値とは異なる第4の閾値に達すると、出力電圧が上記第3の出力レベルとは異なる第4の出力レベルに反転する信号を上記パルス信号として出力する第2のヒステリシスコンパレータと、
からなることを特徴とする請求項2記載のスイッチング制御装置。

【請求項4】上記パルス信号生成手段は、

第1のリセット信号が入力される毎にローレベルからハイレベルに反転し、そのハイレベル状態を上記偏差信号に基づき上記偏差の増加に応じて減少するオンタイムに相当する時間だけ保持した後、ローレベルに反転し、そのローレベル信号を第2のリセット信号として出力するハイレベル信号生成手段と、
上記第2のリセット信号が出力される毎にハイレベルからローレベルに反転し、そのローレベル状態を、上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは上記偏差の増加に応じて増加するデッドタイムに相当する時間だけ保持した後、ハイレベルに反転し、そのハイレベル信号を上記第1のリセット信号として出力するローレベル信号生成手段と、
からなることを特徴とする請求項1記載のスイッチング制御装置。

【請求項5】上記ハイレベル信号生成手段は、

第1のコンデンサと、

上記偏差の増加に応じて増加する充電電流値で上記第1のコンデンサを充電する第1の充電回路と、

上記第1のリセット信号が入力されると、上記第1のコンデンサの蓄積電荷を放電させる第1の放電回路と、

上記第1の放電回路により上記第1のコンデンサが放電され、当該第1のコンデンサの電圧が第5の閾値に達すると、出力電圧がハイレベルに反転し、上記第1の充電回路により上記第1のコンデンサが充電され、当該第1のコンデンサの電圧が上記第5の閾値とは異なる第6の閾値に達すると、出力電圧がローレベルに反転する信号を出力する第1のヒステリシスコンパレータと、

上記第1のヒステリシスコンパレータの出力電圧がローレベルに反転すると、そのローレベル信号を第2のリセット信号として上記ローレベル信号生成手段に出力する第1のリセット信号出力回路と、

からなり、

上記ローレベル信号生成手段は、

第2のコンデンサと、

上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記偏差が所定の閾値を超えたときは当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、

上記第1のリセット信号出力回路から上記第2のリセット信号が入力されると、上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、

上記第 2 の放電回路により上記第 2 のコンデンサが放電され、当該第 2 のコンデンサの電圧が第 7 の閾値に達すると、出力電圧が第 5 の出力レベルに反転し、上記第 2 の充電回路により上記第 2 のコンデンサが充電され、当該第 2 のコンデンサの電圧が上記第 7 の閾値とは異なる第 8 の閾値に達すると、出力電圧が上記第 5 の出力レベルとは異なる第 6 の出力レベルに反転する信号を出力する第 2 のヒステリシスコンパレータと、
上記第 2 のヒステリシスコンパレータの出力電圧が上記第 6 の出力レベルに反転すると、その第 6 の出力レベルの信号を上記第 1 のリセット信号として上記ハイレベル信号生成手段に出力する第 2 のリセット信号出力回路と、
からなることを特徴とする請求項 4 記載のスイッチング制御装置。

【請求項 6】上記パルス信号生成手段は、
コンデンサと、

上記偏差の増加に応じて増加する充電電流で上記コンデンサを充電する充電回路と、
上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する放電電流により上記コンデンサの蓄積電荷を放電させる放電回路と、
上記放電回路により上記コンデンサが放電され、当該コンデンサの電圧が第 9 の閾値に達すると、出力電圧がハイレベルに反転し、上記充電回路により上記コンデンサが充電され、当該コンデンサの電圧が上記第 9 の閾値とは異なる第 10 の閾値に達すると、出力電圧がローレベルに反転する信号を出力するヒステリシスコンパレータと、
上記ヒステリシスコンパレータの出力がハイレベルのとき、上記コンデンサを充電させ、上記ヒステリシスコンパレータの出力がローレベルのとき、上記コンデンサを放電させる充放電制御回路と、
からなることを特徴とする請求項 1 記載のスイッチング制御装置。

【請求項 7】少なくとも 2 個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源であって、請求項 1～6 のいずれかに記載されたスイッチング制御装置を備えたことを特徴とするスイッチング電源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、直流電源から出力される電圧をスイッチ素子により所定の周期で断続することにより出力電圧の安定化を図るスイッチング電源とそのスイッチング電源のスイッチング制御装置に関するものである。

【0002】

【従来の技術】

従来、商用電源を整流／平滑して直流電源を生成し、この直流電源の電圧をスイッチング回路により交流電圧に変換した後、高周波トランスにより昇圧もしくは降圧して出力端側に伝達し、出力端側で再度整流／平滑して所望の直流電圧を安定供給するスイッチング電源が知られている。そして、例えば特許第 3243666 号に示されるように、スイッチングノイズやスイッチング損失を低減するために高周波トランスの一次巻線に LC の共振回路を直列接続したソフトスイッチング方式のスイッチング電源が知られている。

【0003】

図 14 は、従来のスイッチング電源の一例を示す図である。

【0004】

同図に示すスイッチング電源 1 は、ソフトスイッチング方式を用いたスイッチング電源回路である。スイッチング電源 1 は、商用電源を整流／平滑して生成された直流電源 E が供給される入力端 I_N にスイッチング回路 101 が接続され、このスイッチング回路 101

の後段に直列共振回路 102 を介して高周波トランス T の一次巻線が接続されている。高周波トランス T の二次巻線には 4 個のダイオードのブリッジ回路からなる整流回路 103 が接続され、その後段にチョークコイルとコンデンサの直並列回路からなる平滑回路 104 が接続されている。

【0005】

また、スイッチング回路 101 内の各スイッチング素子 SW11～SW14 には、スイッチング制御装置 2 から当該スイッチング素子 SW11～SW14 のスイッチング動作を制御するための制御信号 S1, S2 が入力されるようになっている。なお、スイッチング制御装置 2 には、出力端 OUT に接続された誤差増幅回路 4 により検出される出力電圧 V_{out} と定電圧制御すべき目標電圧 V_o との偏差信号がフォトカップラーなどのアイソレータ 3 を介して入力されており、スイッチング制御装置 2 は、この偏差信号に基づいて出力電圧 V_{out} を目標電圧 V_o に調整するための制御信号 S1, S2 を生成し、スイッチング回路 101 に入力する。

【0006】

スイッチング回路 101 は、4 個の MOS-FET (Metal Oxide Semiconductor-Field Effect Transistor) などのスイッチング素子 SW11～SW14 のブリッジ回路で構成されている。このスイッチング回路 101 のスイッチング素子 SW11, SW12 の接続点 a とスイッチング素子 SW13, SW14 の接続点 a' との間に直列共振回路 102 と高周波トランス T の一次巻線との直列回路が接続されている。

【0007】

スイッチング回路 101 は、スイッチング素子 SW11, SW14 とスイッチング素子 SW12, SW13 とをそれぞれペアとして、スイッチング制御装置 2 から入力される図 15 に示す制御信号 S1, S2 により、各ペアのスイッチング素子が交互にオン・オフされ、これにより高周波トランス T の一次巻線に直流電源の電圧が交互に極性を反転させて印加される（すなわち、パルス状の交流電圧に変換されて印加される）ようになっている。

【0008】

なお、図 15 において、制御信号 S1 は、スイッチング素子 SW11, SW14 のオン・オフ切り換えをするための制御信号で、スイッチング素子 SW11, SW14 はハイレベルの期間にオン状態となり、ローレベルの期間にオフ状態となる。また、制御信号 S2 は、スイッチング素子 SW12, SW13 のオン・オフ切り換えをするための制御信号で、スイッチング素子 SW12, SW13 はハイレベルの期間にオン状態となり、ローレベルの期間にオフ状態となる。制御信号 S1, S2 が同時にローレベルとなる期間 T_d は、スイッチング素子 SW11, SW12 もしくは SW13, SW14 が同時にオンとなってスイッチング回路 101 に過大な貫通電流が流れないようにするために必要な時間で、デッドタイムと呼ばれるものである。

【0009】

各スイッチング素子 SW i ($i=11, 12, 13, 14$) には、それぞれコンデンサ C_i ($i=11, 12, 13, 14$) とダイオード D_i ($i=11, 12, 13, 14$) とが並列に接続されている。なお、ダイオード D_i は、スイッチング素子 SW i に内蔵されていてもよく、コンデンサ C_i は、スイッチング素子 SW i の接合容量や端子間容量で構成してもよい。各スイッチング素子 SW i に並列接続されているコンデンサ C_i とダイオード D_i は、ソフトスイッチングを行わすための素子で、より具体的には各スイッチング素子 SW i をオン・オフスイッチングする際にゼロ電圧スイッチング（各スイッチング素子 SW i の両端電圧がゼロのときにスイッチングさせること）をさせるための素子である。

【0010】

すなわち、コンデンサ C_i は、高周波トランス T の一次巻線および直列共振回路 102 のコイルのインダクタンスとで直列共振回路を構成し、ターン・オフ時のスイッチング素子 SW i の両端電圧を正弦波状にすることによりスイッチングオフ時のサージ電圧を抑制する機能を果たす。また、ダイオード D_i は、ターン・オフ時に上記インダクタンスに蓄積

された電流エネルギーを当該ダイオード D_i に流すことによりスイッチング素子 SW_i の両端電圧をゼロにしてゼロ電圧スイッチングを可能にする。

【0011】

直列共振回路102は、コンデンサ C_{15} とコイル L_{11} の直列回路からなり、高周波トランス T の一次巻線の一方端子に直列に接続されている。直列共振回路102は、高周波トランス T の一次巻線に交互に極性を反転させて印加される電圧もしくは電流の波形を正弦波状にすることにより高周波成分を低減してスイッチング時に発生するノイズを低減するとともに、直列共振回路102のフィルタ効果によりEMIなどによるスイッチング制御への悪影響を抑制する機能を果たす。

【0012】

高周波トランス T は、入力電圧を所望の電圧に変換するものである。一次巻線と二次巻線の巻線比を $n_1 : n_2$ とし、一次巻線に印加される電圧を E_1 とすると、二次巻線には $E_2 = E_1 \cdot n_1 / n_2$ の電圧が誘起される。二次巻線に誘起された交流電圧 E_2 は、整流回路103により直流電圧に変換され、さらに平滑回路104によりリップルが除去されて出力端OUTから負荷に出力される。

【0013】

スイッチング電源1は、直列共振回路102の共振特性より、直列共振回路102の共振周波数 f_o より僅かに高い周波数 f_d でスイッチング制御が行われたとき、出力電圧が最大となる。従って、スイッチング電源1は、出力端OUTに接続される負荷が最も重いときに、最大出力電圧が負荷に印加すべき規定電圧 V_o (定電圧制御の目標電圧) となるように設計され、負荷が変動した場合は、スイッチング周波数 f_d を制御することにより常に負荷への供給電圧が目標電圧 V_o に調整されるようになっている (PFM (Pulse Frequency Modulation) 制御)。

【0014】

すなわち、負荷が変動した場合、スイッチング電源1の出力電圧 V_{out} は目標電圧 V_o より高くなるため、図16の特性 (イ) に示すように、スイッチング周波数 f_d を直列共振回路102の共振周波数 f_o からずらすことにより振幅伝達特性を低下させて出力電圧 V_{out} が常に目標電圧 V_o となるように制御される。

【0015】

なお、図16は、スイッチング電源1の出力電圧のスイッチング周波数特性で、縦軸は共振周波数 f_o 近傍のスイッチング周波数 f_d での出力電圧を基準にした他のスイッチング周波数 f_d での出力電圧の比を振幅伝達特性として表したものである。特性 (イ) ~ (チ) は、負荷の軽重をパラメータとした振幅伝達特性で、負荷が軽くなるのに応じて振幅伝達特性の先鋭度 Q が低下している様子を示している。すなわち、(イ) → (ロ) → (ハ) … → (ト) → (チ) の順に負荷は軽くなっている。

【0016】

【特許文献1】

特許第3243666号

【0017】

【発明が解決しようとする課題】

ところで、上記従来のスイッチング電源は、PFM制御により出力電圧の定電圧制御を行うようになっているので、負荷が過度に軽負荷となった場合は、スイッチング電源回路の振幅伝達特性が、例えば図16の (ヘ) (ト) のようになり、スイッチング周波数 f_d を変更しても出力電圧 V_{out} を目標電圧 V_o に制御することができなくなることがある。また、図16の (チ) に示すように、高周波トランス T の励磁インダクタンスと入力容量の並列共振などの影響で逆に出力電圧 V_{out} を上昇させる場合もある。

【0018】

このような問題を解消するため、PWM (Pulse Width Modulation) 制御により定電圧制御をする方法が考えられるが、この方法では、制御信号 S_1 , S_2 のデューティ比の変化に応じてデッドタイム T_d が変化し、必要以上にデッドタイム T_d が長くなると、ゼロ電

圧スイッチングが困難になるという別の問題が生じる。

【0019】

従って、好ましくはP F M制御とP W M制御とを組合せ、負荷が所定の負荷の範囲にあるときは可能な限りP F M制御を行い、負荷がP F M制御では定電圧制御が困難となる軽負荷の状態になると、P W M制御に自動的かつ連続的に移行する制御を行うことが望ましいが、従来、そのようなスイッチング電源のスイッチング制御装置は提案されておらず、商品化もされていない。

【0020】

本発明は、上記課題に鑑みてなされたものであり、負荷の軽重に関係なく好適に定電圧制御が可能なスイッチング制御装置およびその制御装置を備えたスイッチング電源を提供するものである。

【0021】

【課題を解決するための手段】

本発明は、少なくとも2個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源のスイッチング制御装置であって、上記スイッチング電源の出力電圧と制御すべき目標電圧との偏差を示す偏差信号を入力する入力手段と、上記スイッチング素子をオン状態にする第1のレベルと上記スイッチング素子の全てをオフ状態にする第2のレベルとが交互に反転してなるパルス信号であって、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは、上記第2のレベルの時間であるデッドタイムが所定の時間に固定され、上記第1のレベルの時間であるオンタイムのみが上記偏差の増加に応じて減少するパルス信号を生成し、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは、上記デッドタイムが上記偏差の増加に応じて増大するとともに、上記オンタイムが上記偏差の増加に応じて減少するパルス信号を生成するパルス信号生成手段と、上記パルス信号生成手段で生成されたパルス信号から、上記第1のレベルのパルスを1つ置きに除去した第1のパルス信号を上記スイッチング素子の一方の制御信号として生成するとともに、上記パルス信号から上記第1のパルス信号を除去した第2のパルス信号を上記スイッチング素子の他方の制御信号として生成する制御信号生成手段とを備えたものである（請求項1）。

【0022】

上記構成によれば、スイッチング電源に接続された負荷の変化によって当該スイッチング電源の出力電圧が目標電圧（定電圧制御における目標電圧）から変化しようとする、スイッチング制御装置によりスイッチング回路のスイッチング素子をオン・オフ切換する制御信号のスイッチング周波数もしくはデューティ比が出力電圧と目標電圧との偏差に応じて変化され、スイッチング電源の出力電圧は目標電圧に保持される。

【0023】

具体的には、パルス信号生成手段で、出力電圧と目標電圧との偏差が所定値以下のときは、デッドタイムが所定の時間に固定され、オンタイムのみが偏差の増加に応じて減少するパルス信号（周波数だけが上昇するパルス信号。P F M信号）が生成され、出力電圧と目標電圧との偏差が所定値を超えたときは、デッドタイムが偏差の増加に応じて増大するとともに、オンタイムが上記偏差の増加に応じて減少するパルス信号（周波数が増加するとともに、デューティ比も減少するパルス信号。（P W M + P F M）信号）が生成され、制御信号生成手段で、そのパルス信号から第1のレベルのパルスを1つ置きに除去した第1のパルス信号がスイッチング素子の一方の制御信号として生成されるとともに、パルス信号から第1のパルス信号を除去した第2のパルス信号がスイッチング素子の他方の制御信号として生成され、スイッチング回路に入力される。

【0024】

これにより、負荷がスイッチング電源に対して所定の負荷の範囲では、負荷が変化して出力電圧が増大しようとする、制御信号の周波数を変化させることにより共振回路の共振

特性を利用してその出力電圧の増大が抑制され、出力電圧は目標電圧に制御される。一方、負荷がスイッチング電源に対して所定の負荷未満の軽負荷になると、制御信号の周波数を変化させるとともに、デッドタイムが増加するようにデューティ比を変化させることにより、共振回路の共振特性に加えて変圧器への印加電圧の平均値を低下させて出力電圧の増大が抑制され、出力電圧は目標電圧に制御される。

【0025】

なお、上記パルス信号生成手段は、上記パルス信号の周期に相当する周期を有し、かつ、上記偏差信号に基づき上記偏差の増加に応じて当該周期が減少する第3のパルス信号を生成するクロック周期制御手段と、上記クロック周期制御手段で生成される第3のパルス信号の立下りもしくは立上りのタイミングで上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の時間よりも長く、かつ、上記偏差の増加に応じて増加するデッドタイムを生成し、このデッドタイムを上記第3のパルス信号のオフタイムとして挿入することにより上記パルス信号を生成するデッドタイム制御手段とからなる構成にするとよい（請求項2）。

【0026】

より具体的には、上記クロック周期制御手段は、第1のコンデンサと、上記偏差の増加に応じて増加する充電電流で上記第1のコンデンサを充電する第1の充電回路と、上記第1のコンデンサの蓄積電荷を放電させる第1の放電回路と、上記第1の放電回路により上記第1のコンデンサが放電され、当該第1のコンデンサの電圧が第1の閾値に達すると、出力電圧が第1の出力レベルに反転し、上記第1の充電回路により上記第1のコンデンサが充電され、当該第1のコンデンサの電圧が第1の閾値とは異なる第2の閾値に達すると、出力電圧が上記第1の出力レベルとは異なる第2の出力レベルに反転する信号を出力する第1のヒステリシスコンパレータと、上記第1のヒステリシスコンパレータの出力信号が上記第1の出力レベルのとき、上記第1の充電回路を動作させ、上記第2の出力レベルのとき、上記第1の放電回路を動作させる第1の充放電制御回路とからなり、上記デッドタイム制御手段は、第2のコンデンサと、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、上記第1のヒステリシスコンパレータの出力信号が上記第2の出力レベルに反転すると、上記第2の放電回路により上記第2のコンデンサを放電させた後、上記第2の充電回路により当該第2のコンデンサの充電を開始させる第2の充放電制御回路と、上記第2の放電回路により上記第2のコンデンサが放電され、当該第2のコンデンサの電圧が第3の閾値に達すると、出力電圧が第3の出力レベルに反転し、上記第2の充電回路により上記第2のコンデンサが充電され、当該第2のコンデンサの電圧が第3の閾値とは異なる第4の閾値に達すると、出力電圧が上記第3の出力レベルとは異なる第4の出力レベルに反転する信号を上記パルス信号として出力する第2のヒステリシスコンパレータとからなる構成にするとよい（請求項3）。

【0027】

上記構成によれば、クロック周期制御手段でパルス信号の周期に相当する周期を有し、かつ、偏差信号に基づき電圧と目標電圧との偏差の増加に応じて当該周期が減少する第3のパルス信号が生成され、この第3のパルス信号の立下りもしくは立上りのタイミングで、偏差信号に基づき、上記偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは所定の時間よりも長く、かつ、上記偏差の増加に応じて増加するデッドタイムが生成され、このデッドタイムを第3のパルス信号のオフタイムとして挿入することにより、パルス信号が生成される。

【0028】

第3のパルス信号は、第1のコンデンサの充放電動作による当該コンデンサの電圧変化を用いて第1のヒステリシスコンパレータの出力電圧を第1の出力レベルと第2の出力レベ

ルとに交互に反転させることにより生成される。また、デッドタイムは、第2のコンデンサの充電動作による当該コンデンサの電圧変化を用いて第2のヒステリシスコンパレータにより生成されるが、第3のパルスの立下りもしくは立上りのタイミング(オンタイムの終了タイミング)で第2のコンデンサの充電動作を開始させ、所定のデッドタイムが生成されると、第2のヒステリシスコンパレータの出力電圧を第3の出力レベルから第4の出力レベルに反転させるので、第2のヒステリシスコンパレータからは第3のパルス信号のオンタイムに相当する第4の出力レベルと当該第2のヒステリシスコンパレータで生成されたデッドタイムに相当する第3の出力レベルとが交互に反転するパルス信号が出力される。

【0029】

また、上記パルス信号生成手段は、第1のリセット信号が入力される毎にローレベルからハイレベルに反転し、そのハイレベル状態を上記偏差信号に基づき上記偏差の増加に応じて減少するオンタイムに相当する時間だけ保持した後、ローレベルに反転し、そのローレベル信号を第2のリセット信号として出力するハイレベル信号生成手段と、上記第2のリセット信号が出力される毎にハイレベルからローレベルに反転し、そのローレベル状態を、上記偏差信号に基づき、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは上記偏差の増加に応じて増加するデッドタイムに相当する時間だけ保持した後、ハイレベルに反転し、そのハイレベル信号を上記第1のリセット信号として出力するローレベル信号生成手段とからなるようにしてもよい(請求項4)。

【0030】

より具体的には、上記ハイレベル信号生成手段は、第1のコンデンサと、上記偏差の増加に応じて増加する充電電流で上記第1のコンデンサを充電する第1の充電回路と、上記第1のリセット信号が入力されると、上記第1のコンデンサの蓄積電荷を放電させる第1の放電回路と、上記第1の放電回路により上記第1のコンデンサが放電され、当該第1のコンデンサの電圧が第5の閾値に達すると、出力電圧がハイレベルに反転し、上記第1の充電回路により上記第1のコンデンサが充電され、当該第1のコンデンサの電圧が上記第5の閾値とは異なる第6の閾値に達すると、出力電圧がローレベルに反転する信号を出力する第1のヒステリシスコンパレータと、上記第1のヒステリシスコンパレータの出力電圧がローレベルに反転すると、そのローレベル信号を第2のリセット信号として上記ローレベル信号生成手段に出力する第1のリセット信号出力回路とからなり、上記ローレベル信号生成手段は、第2のコンデンサと、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記偏差が所定の閾値を超えたときは当該偏差の増加に応じて減少する充電電流により上記第2のコンデンサを充電する第2の充電回路と、上記第1のリセット信号出力回路から上記第2のリセット信号が入力されると、上記第2のコンデンサの蓄積電荷を放電させる第2の放電回路と、上記第2の放電回路により上記第2のコンデンサが放電され、当該第2のコンデンサの電圧が第7の閾値に達すると、出力電圧が第5の出力レベルに反転し、上記第2の充電回路により上記第2のコンデンサが充電され、当該第2のコンデンサの電圧が上記第7の閾値とは異なる第8の閾値に達すると、出力電圧が上記第5の出力レベルとは異なる第6の出力レベルに反転する信号を出力する第2のヒステリシスコンパレータと、上記第2のヒステリシスコンパレータの出力電圧が上記第6の出力レベルに反転すると、その第6の出力レベルの信号を上記第1のリセット信号として上記ハイレベル信号生成手段に出力する第2のリセット信号出力回路とからなる構成にしてもよい(請求項5)。

【0031】

上記構成によれば、ハイレベル信号生成手段により、偏差信号に基づき偏差の増加に応じて減少するオンタイムを有するハイレベル信号が生成され、このハイレベル信号のオンタイム終了タイミングで、ローレベル信号生成手段により、出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の時間に固定され、上記偏差が所定の閾値を超えたときは当該偏差の増加に応じて増加するデッドタイムを有するローレベル信号が生成され、以下、

ハイレベル信号生成手段及びローレベル信号生成手段でハイレベル信号とローレベル信号とを交互に生成することでパルス信号が生成される。

【0032】

ハイレベル信号は、第1のコンデンサの充電動作による当該コンデンサの電圧変化を用いて第1のヒステリシスコンパレータにより充電開始から第1のコンデンサの電圧が第6の閾値に達するまでの時間だけハイレベルを出力させることにより生成される。一方、ローレベル信号は、第2のコンデンサの充電動作による当該コンデンサの電圧変化を用いて第2のヒステリシスコンパレータにより充電開始から第2のコンデンサの電圧が第8の閾値に達するまでの時間だけ第5の出力レベルを出力させることにより生成される。そして、第1のヒステリシスコンパレータがローレベルに反転すると、そのローレベル信号を第2のリセット信号としてローレベル信号生成手段に入力して第2のコンデンサの瞬時放電及び充電を開始させる一方、第2のヒステリシスコンパレータが第6の出力レベルに反転すると、その第6の出力レベルの信号を第1のリセット信号としてハイレベル信号生成手段に入力して第1のコンデンサの瞬時放電及び充電を開始させることにより、第1のヒステリシスコンパレータからオンタイムに相当するハイレベルとデッドタイムに相当するローレベルとが交互に反転するパルス信号が出力される。

【0033】

また、上記パルス信号生成手段は、コンデンサと、上記偏差の増加に応じて増加する充電電流で上記コンデンサを充電する充電回路と、上記出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、上記出力電圧と目標電圧との偏差が所定の閾値を超えたときは上記所定の電流値よりも小さく、かつ、当該偏差の増加に応じて減少する放電電流により上記コンデンサの蓄積電荷を放電させる放電回路と、上記放電回路により上記コンデンサが放電され、当該コンデンサの電圧が第9の閾値に達すると、出力電圧がハイレベルに反転し、上記充電回路により上記コンデンサが充電され、当該コンデンサの電圧が上記第9の閾値とは異なる第10の閾値に達すると、出力電圧がローレベルに反転する信号を出力するヒステリシスコンパレータと、上記ヒステリシスコンパレータの出力がハイレベルのとき、上記コンデンサを充電させ、上記ヒステリシスコンパレータの出力がローレベルのとき、上記コンデンサを放電させる充放電制御回路とからなる構成にしてもよい(請求項6)。

【0034】

上記構成によれば、ヒステリシスコンパレータで規定された第9の閾値電圧と第10の閾値電圧とに基づいてコンデンサの充電動作と放電動作の切り替えが制御される。充電動作によりコンデンサの電圧が第10の閾値電圧にまで変化すると、ヒステリシスコンパレータの出力信号はローレベルに変化し、コンデンサの放電動作が開始される。この放電動作によりコンデンサの電圧が第9の閾値電圧にまで変化すると、ヒステリシスコンパレータの出力信号はハイレベルに変化し、コンデンサの充電動作が開始され、以下、ヒステリシスコンパレータの出力レベルが変化する毎にコンデンサの充電動作と放電動作とが繰り返される。

【0035】

コンデンサの充電電流値は偏差の増加に応じて増加するように制御されるため、充電電流値が増大すると、その充電時間が短くなり、ヒステリシスコンパレータの出力信号がハイレベルとなる時間は偏差の増加に応じて減少する。また、コンデンサの放電電流値は、出力電圧と目標電圧との偏差が所定の閾値以下のときは所定の電流値に固定され、当該偏差が所定値を超えたときは偏差の増加に応じて減少するように制御されるため、その放電時間は、偏差が所定の閾値以下のときは所定の時間に固定され、偏差が所定値を超えたときは、その所定の時間よりも長く、かつ、偏差の増加に応じて長くなる。従って、ヒステリシスコンパレータの出力信号がローレベルとなる時間は偏差が所定の閾値以下のときは最も短い時間に固定され、偏差が所定値を超えたときは偏差の増加に応じて長くなる。

【0036】

これにより、ヒステリシスコンパレータから、偏差が所定の閾値以下のときはデッドタイ

ムが最小時間に固定され、オンタイムのみが偏差の増加に応じて減少し、偏差が所定の閾値を超えたときはデッドタイムが偏差の増加に応じて増大し、オンタイムが偏差の増加に応じて減少するパルス信号が出力される。

【0037】

また、本発明は、少なくとも2個のスイッチング素子のブリッジ回路からなり、上記スイッチング素子を所定の駆動周波数で交互にオン・オフ切換することにより直流電圧を交流電圧に変換するスイッチング回路と、上記交流電圧の電圧値を変換する変圧器と、上記スイッチング回路と上記変圧器との間に設けられる共振回路とを備えたスイッチング電源であって、請求項1～6のいずれかに記載されたスイッチング制御装置を備えたものである（請求項7）。

【0038】

上記構成のスイッチング電源によれば、負荷が所定の負荷の範囲では、スイッチング制御装置からスイッチング回路にデッドタイムが最小値に固定され、オンタイムのみが増加する制御信号（スイッチング周波数のみを制御した信号）が出力されるため、共振回路による出力特性を利用してP F M制御により好適に出力電圧を目標電圧に制御することができる。また、負荷が所定の負荷よりも軽負荷となる範囲では、スイッチング制御装置からスイッチング回路に負荷が軽くなるのに応じてデッドタイムが長くなるとともに、オンタイムが短くなる制御信号（スイッチング周波数とデューティ比の両方を制御した信号）が出力されるため、P F M制御とP W M制御とを組み合わせた制御により好適に出力電圧を目標電圧に制御することができる。従って、負荷の軽重に関係なく出力電圧を制御すべき電圧に定電圧制御が可能なスイッチング電源が実現される。

【0039】

【発明の実施の形態】

以下、本発明の好ましい実施の形態について図面を参照して説明する。

【0040】

<第1実施形態>

図1は、本発明に係るスイッチング制御装置の第1実施形態のブロック構成を示す図である。

【0041】

本発明に係るスイッチング制御装置2は、負荷のインピーダンスが所定のインピーダンスより小さいときは（負荷が予め設定された重負荷の範囲のとき）、スイッチング回路101のスイッチング素子SW11、SW14とスイッチング素子SW12、SW13とを交互にオン・オフ切換えする制御を、デッドタイム T_d を所定の値に固定してスイッチング周波数 f_d だけを負荷に応じて変化させるP F M制御を行い、負荷のインピーダンスが所定のインピーダンス以上のときは（負荷が予め設定された重負荷の範囲よりも軽負荷のとき）は、負荷に応じてデッドタイム T_d を変化させるようにデューティ比を変化させるP W M制御を行うようになっている。

【0042】

第1実施形態に係るスイッチング制御装置2は、クロック周期制御部21、オフ期間制御部22および制御信号生成部23で構成されている。第1実施形態に係るスイッチング制御装置2は、図2に示すように、オン期間 T_{ON} の矩形波信号 S_s を、オフ期間 T_{OFF} を設けて配列したパルス信号 S_0 を生成し（図2の上段の信号参照）、このパルス信号 S_0 から1つおきに矩形波信号 S_s を除去した制御信号 S_1 を生成するとともに、パルス信号 S_0 から制御信号 S_1 のパルスを除去した制御信号 S_2 を生成して（図2下段の信号参照）、それぞれスイッチング電源1のスイッチング回路101のスイッチング素子SW11、SW14とスイッチング素子SW12、SW13とに供給する構成を有している。図2の制御信号 S_1 と制御信号 S_2 との関係から明らかなように、オフ期間 T_{OFF} は、デッドタイム T_d に相当している。

【0043】

クロック周期制御部21は、図3に示すように、パルス信号 S_0 の周期 T （＝オン期間 T

$T_{ON} + \text{オフ期間 } T_{OFF}$) と同一の周期を有するパルス信号 S_0' を生成し、このパルス信号 S_0' のオン期間 T_{ON}' を負荷が軽くなるのに応じて短くするように制御するものである。パルス信号 S_0' のオフ期間 T_{OFF}' は負荷の変化に関係なく固定された極めて短い期間で、このため、実質的にオン期間 T_{ON}' を負荷変動に応じて制御することによりパルス信号 S_0 の周期 T を負荷変動に応じて制御するようになっている。なお、パルス信号 S_0' の周期を変えるのであれば、オフ期間 T_{OFF}' のみを変化させてもよく、両期間 T_{ON}' , T_{OFF}' を変化させるようにしてもよい。クロック周期制御部 21 は、本発明に係るクロック周期制御手段に相当している。

【0044】

オフ期間制御部 22 は、クロック周期制御部 21 で生成されるパルス信号 S_0' の立ち下がりタイミングでパルス信号 S_0 のオフ時間 T_{OFF} (デッドタイム T_d) に相当する時間を生成して当該パルス信号 S_0' に挿入することによりパルス信号 S_0 を生成するものである。オフ期間制御部 22 は、負荷が所定の負荷よりも重いときはオフ時間 T_{OFF} を所定の時間に固定し、負荷が所定の負荷以上に軽くなると、負荷の変化に応じてオフ時間 T_{OFF} を長くするように変化させる。オフ期間制御部 22 は、本発明に係るデッドタイム制御手段に相当している。

【0045】

第1実施形態に係るスイッチング制御装置 2 は、上記のように、負荷が軽くなるのに応じて周期 T が短くなるパルス信号 S_0' が生成され、このパルス信号 S_0' の立下りタイミングに、負荷が所定の負荷よりも重いときは、所定の時間に固定され、負荷が所定の負荷以上に軽いときは負荷の変化に応じて時間が長くなるオフ時間を挿入してパルス信号 S_0 が生成するため、パルス信号 S_0 は、負荷が所定の負荷よりも重いときは、オン期間 T_{ON} のみが負荷が軽くなるのに応じて短くなり、負荷が所定の負荷以上に軽いときは、負荷が軽くなるのに応じてオン期間 T_{ON} が短くなる一方、オフ期間 T_{OFF} が長くなるパルス信号となる。

【0046】

制御信号生成部 23 は、オフ期間制御部 22 で生成されるパルス信号 S_0 から1つおきに矩形波信号 S_s を除去した制御信号 S_1 を生成するとともに、パルス信号 S_0 から制御信号 S_1 のパルスを除去した制御信号 S_2 を生成し、それぞれスイッチング回路 101 のスイッチング素子 SW_{11} , SW_{14} とスイッチング素子 SW_{12} , SW_{13} とに出力するものである。制御信号生成部 23 は、本発明に係る制御信号生成手段に相当している。制御信号生成部 23 からは、負荷が所定の負荷よりも重いときは、デッドタイム T_d が所定の時間に固定され、負荷が軽くなるのに応じて周期 T が短くなるように変化する制御信号 S_1 , S_2 が出力され、負荷が所定の負荷よりも軽くなると、負荷が軽くなるのに応じて周期 T が短くなるとともに、デューティ比 ($T_{ON}/(T_{ON}+T_{OFF})$) が小さくなる (デッドタイム T_d が増加する) ように変化する制御信号 S_1 , S_2 が出力される。

【0047】

図4は、第1実施形態に係るスイッチング制御装置 2 の具体的な回路構成を示す図である。また、図5は、図4に示すスイッチング制御装置 2 の動作を示す波形図である。

【0048】

図5は、負荷が所定の重負荷の範囲よりも軽負荷となる場合の制御信号 S_1 , S_2 の変化の様子を示したものである。同図において、「 I_c , I_1 」は、制御信号 I_c とカレントミラー回路 212 のトランジスタ Q_1 のコレクタ電流 I_1 の波形を示し、「 V_1 , V_r 」は、カレントミラー回路 212 のトランジスタ Q_1 のコレクタ電圧 V_1 と差動アンプ 221 のトランジスタ Q_7 のベースに印加される基準電圧 V_r の波形を示している。また、「 V_2 」は、シュミットトリガー回路 213 (ヒステリシスコンパレータ) の入力端 A の電圧波形、「 V_3 」は、シュミットトリガー回路 213 の出力端 B の電圧波形、「 V_4 」は、J-K フリップフロップ回路 214 の Q 端子の出力電圧波形、「 V_5 」は、シュミットトリガー回路 222 の入力端 C の電圧波形、「 V_6 」は、シュミットトリガー回路 222 の出力端 D の電圧波形、「 V_7 」は、NOT 回路 NOT5 の出力電圧波形、「 V_8 」は、

NOT回路NOT 6の出力電圧波形を示している。

【0049】

以下、図4、図5を参照しながら、スイッチング制御装置2の構成と動作について説明する。

【0050】

クロック周期制御部21は、誤差増幅回路4で検出される偏差信号を制御電流 I_c としてフォトカプラPCからなる入力回路211により入力し、当該制御電流 I_c の変化に応じた充電電流 I_1' をカレントミラー回路212で生成し、その充電電流 I_1' でコンデンサC1を充電する一方、トランジスタQ4と抵抗 r_2 とによりコンデンサC1を放電することにより当該コンデンサC1の充電時間をオン期間 T_{ON}' とし、放電時間をオフ期間 T_{OFF}' とするパルス信号 S_0' を生成するようになっている。

【0051】

また、シュミットトリガー回路213によりコンデンサC1の充放電時の電圧レベルの変化から放電タイミングを制御することによりオン期間 T_{ON}' が充電電流 I_1' に比例して短くなるようになっている。すなわち、コンデンサC1は、トランジスタQ3のオン期間に充電され、トランジスタQ4のオフ期間に放電される。トランジスタQ3、Q4は、シュミットトリガー回路213の出力電圧信号により同時に一方がオンのとき他方がオフになるように交互に切り換えられ、これによりトランジスタC1は充電動作と放電動作とが交互に繰り返されるようになっている。

【0052】

シュミットトリガー回路213の出力電圧信号は、コンデンサC1の充電動作により入力端Aの電圧V2が所定の閾値 $V_{(H-L)_1}$ に低下すると、Lレベルに反転し、これによりトランジスタQ3はオフ、トランジスタQ4はオンになり、コンデンサC1の放電が開始される。一方、コンデンサC1の放電動作により入力端Aの電圧V2が所定の閾値 $V_{(L-H)_1}$ ($> V_{(H-L)_1}$)に上昇すると、シュミットトリガー回路213の出力電圧信号は、Hレベルに反転し、これによりトランジスタQ3はオン、トランジスタQ4はオフになり、コンデンサC1の充電が開始される。コンデンサC1の充電動作は、充電電流 I_1' が大きいほど、入力端Aの電圧V2は早く所定の閾値 $V_{(H-L)_1}$ に低下するから、充電電流 I_1' の増大に応じて、すなわち、負荷が軽くなるのに比例して充電時間は短くなる。

【0053】

クロック周期制御部21の具体的な回路構成について説明すると、フォトカプラPCの出力端子は、カレントミラー回路212を構成するpnp型トランジスタQ1のコレクタに抵抗R1を介して接続された抵抗R2の両端に接続されている。制御電流 I_c の電流量に応じてフォトカプラPCの抵抗値が変化し、これにより抵抗R2とフォトカプラPCとの合成抵抗値が変化してトランジスタQ1のコレクタに流れる電流 I_1 が変化するようになっている。

【0054】

カレントミラー回路212は、コンデンサC1を制御電流 I_c の大きさに応じた電流で充電するために当該電流を生成するための回路である。カレントミラー回路212は、2個のpnp型トランジスタQ1、Q2のベース間を互に接続した構成をなし、両トランジスタQ1、Q2のエミッタは抵抗 r_1 を介してそれぞれ V_{DD} 電源に接続され、トランジスタQ1のコレクタは、抵抗R1、R2の直列回路を介して V_{ss} ライン（本実施形態では0Vライン）に接続されている。

【0055】

一方、トランジスタQ2のコレクタは、pnp型トランジスタQ3を介してコンデンサC1の一方端に接続されている。また、コンデンサC1の他方端はシュミットトリガー回路213の入力端Aに接続され、トランジスタQ3のベースはバイアス抵抗を介して V_{DD} 電源に接続されるとともに、抵抗およびコンデンサの並列回路とNOT回路NOT 4を介してシュミットトリガー回路213の出力端Bに接続されている。

【0056】

すなわち、トランジスタQ3は、シュミットトリガー回路213の出力信号（電圧信号）によりオン・オフが制御されるようになっている。具体的には、シュミットトリガー回路213の出力端BがHレベルになると、NOT回路NOT4によりトランジスタQ3のベースはLレベルとなるから、トランジスタQ3はオンになり、出力端BがLレベルとなると、NOT回路NOT4によりトランジスタQ3のベースはHレベルとなるから、トランジスタQ3はオフになる。

【0057】

従って、カレントミラー回路212のトランジスタQ1のコレクタに制御電流 I_c の変化に比例した電流 I_1 が流れると、トランジスタQ2のコレクタにもこれと同じ値の電流 I_1' が流れ、この電流 I_1' はトランジスタQ3を介してコンデンサC1に充電電流として流れることになるが、トランジスタQ3はシュミットトリガー回路213の出力信号（電圧信号）によりオン・オフが制御されるから、コンデンサC1の充電動作は、トランジスタQ3によって制御される。すなわち、コンデンサC1は、シュミットトリガー回路213の出力端BがHレベルの期間、トランジスタQ3を介して充電電流 I_1' が供給され、充電される。

【0058】

また、コンデンサC1の両端にはNOT回路NOT1が接続されるとともに、コンデンサC1の一方端は、トランジスタQ4のコレクタに接続されている。さらにトランジスタQ4のエミッタは抵抗 r_2 を介して V_{ss} ラインに接続されている。

【0059】

さらにトランジスタQ4のベースは、抵抗およびコンデンサの並列回路とNOT回路NOT4を介してシュミットトリガー回路213の出力端Bに接続されている。すなわち、トランジスタQ4は、シュミットトリガー回路213の出力信号（電圧信号）によりオン・オフが制御されるようになっている。具体的には、シュミットトリガー回路213の出力端BがHレベルになると、NOT回路NOT4によりトランジスタQ4のベースはLレベルとなるから、トランジスタQ4はオフになり、出力端BがLレベルとなると、NOT回路NOT4によりトランジスタQ4のベースはHレベルとなるから、トランジスタQ4はオンになる。

【0060】

トランジスタQ4がオンになると、コンデンサC1の一方端は当該トランジスタQ4および抵抗 r_2 を介して V_{ss} ラインに接続されるから、コンデンサC1の充電電荷は当該トランジスタQ4および抵抗 r_2 を介して放電される。そして、トランジスタQ3とトランジスタQ4とは、一方がオンのとき、他方はオフとなるから、シュミットトリガー回路213の出力端Bのレベルが反転する毎にコンデンサC1の充電動作と放電動作とが繰り返されることになる（図5のV2の波形参照）。

【0061】

シュミットトリガー回路213は、入力端AがHレベルからLレベルに変化するときは所定の閾値 $V_{(H-L)1}$ にまで低下すると、出力端BをHレベルからLレベルに反転し、入力端AがLレベルからHレベルに変化するときは所定の閾値 $V_{(L-H)1}(>V_{(H-L)1})$ にまで上昇すると、出力端BをLレベルからHレベルに反転する回路で、入力レベル降下時の出力レベルの反転閾値 $V_{(H-L)1}$ と入力レベル上昇時の出力レベルの反転閾値 $V_{(L-H)1}$ とにヒステリシスを持たせることによりコンデンサC1の充電開始タイミングと放電開始タイミングを制御する回路である。

【0062】

シュミットトリガー回路213は、2個のNOT回路NOT2、NOT3の直列回路にコンデンサと抵抗とをそれぞれ並列に接続し、入力側に入力抵抗を接続した回路で構成されている。シュミットトリガー回路213の入力端Aには、コンデンサC1の他方端が接続されているので、入力端AのレベルはコンデンサC1の充放電動作によって変化する。

【0063】

シュミットトリガー回路213の出力端BがHレベルの状態では、コンデンサC1の充電

動作が行われるが、この充電動作によりコンデンサC 1の充電電圧が上昇すると、それに応じて入力端Aのレベルが低下する。そして、入力端Aの電圧 V_2 が $V_2 = V_{(H-L)_1}$ になると、シュミットトリガー回路2 1 3の出力端BがLレベルに反転し、コンデンサC 1の充電動作は放電動作に切り換えられ、この放電動作によりコンデンサC 1の放電電圧が低下すると、それに応じて入力端Aのレベルが上昇する。そして、入力端Aの電圧 V_2 が $V_2 = V_{(L-H)_1}$ になると、シュミットトリガー回路2 1 3の出力端BがHレベルに反転し、コンデンサC 1の放電動作は充電動作に切り換えられ、以下、上記充放電動作が繰り返される（図5の V_2 の波形参照）。

【0064】

J-Kフリップフロップ回路2 1 4は、シュミットトリガー回路2 1 3からの出力信号（図5の V_3 の波形参照）から上述したパルス信号 S_0' に相当する信号を生成する回路である。J-Kフリップフロップ回路2 1 4の／CK端子にはシュミットトリガー回路2 1 3の出力信号（オン期間 T_{ON}' +オフ期間 T_{OFF}' を周期とするパルス信号）が入力され、／CK端子がHからLに変化するたびにQ端子がH、／Q端子がLに変化し、／CLR端子にクリア信号（Lレベル信号）が入力されると、Q端子はL、／Q端子がHに変化する。従って、Q端子からはシュミットトリガー回路2 1 3の出力信号の立ち下がりに同期して一瞬Hレベルに上昇するパルス信号 S_0' が出力される（図5の V_4 の波形参照）。

【0065】

オフ期間制御部2 2は、J-Kフリップフロップ回路2 1 4から入力されるパルス信号 S_0' の立ち下がりタイミングで、抵抗 R_d による充電電流 I_d と差動アンプ2 2 1からの出力電流 I_2 との合計電流 $I_s = (I_d + I_2)$ でコンデンサC 2の充電を開始し、シュミットトリガー回路2 2 2によりコンデンサC 2の充放電タイミングを制御して当該コンデンサC 2の充電時間から負荷状態の変化に応じて変化するオフ期間 T_{OFF} を生成し、パルス信号 S_0' に挿入してパルス信号 S_0 を生成するようにしている。

【0066】

すなわち、差動アンプ2 2 1の出力電流 I_2 は、制御電流 I_c が所定の閾値以下のときは、最大値となり、制御電流 I_c が所定の閾値よりも大きいときは制御電流 I_c の増加に応じて減少するようになっている。このため、制御電流 I_c が所定の閾値以下の範囲、すなわち、負荷状態が所定の負荷の範囲（図5ではa点より左側の領域）では、コンデンサC 2の充電電流 I_s は最大となるため、コンデンサC 2の充電速度は最大となる。一方、制御電流 I_c が所定の閾値よりも大きい範囲、すなわち、負荷状態が所定の負荷より軽い負荷となると（図5ではa点より右側の領域）、コンデンサC 2の充電電流 I_s は制御電流 I_c の増加に応じて減少するため、コンデンサC 2の充電速度は制御電流 I_c の増加に応じて低下する。

【0067】

従って、コンデンサC 2が充電を開始してからその両端電圧が所定の電圧にまで変化する時間をオフ期間 T_{OFF} にするようにすれば、負荷状態が所定の負荷の範囲では、所定の最小値となり、負荷状態が所定の負荷より軽い負荷となると、負荷が軽くなるのに比例して長くなるオフ期間 T_{OFF} が生成され、当該オフ期間 T_{OFF} を有するパルス信号 S_0 が生成される。

【0068】

オフ期間制御部2 2の具体的な回路構成について説明すると、J-Kフリップフロップ回路2 1 4のQ端子にnpn型トランジスタQ 8のベースが抵抗とコンデンサの並列回路を介して接続され、トランジスタQ 8のエミッタは V_{SS} ラインに接続され、コレクタは抵抗 R_d を介して V_{DD} 電源に接続されている。また、トランジスタQ 8のコレクターエミッタ間にはコンデンサC 2が並列に接続され、トランジスタQ 8のコレクタにはシュミットトリガー回路2 2 2が接続されている。シュミットトリガー回路2 2 2は、シュミットトリガー回路2 1 3と同一の回路構成で構成されている。トランジスタQ 8は、J-Kフリップフロップ回路2 1 4のQ端子がHレベルに反転するタイミングでコンデンサC 2を短絡して蓄積電荷を放電させるための素子である。

【0069】

また、差動アンプ221は、pnp型トランジスタQ6、Q7の両エミッタを抵抗 R_e を介して V_{DD} 電源に接続してなるもので、トランジスタQ6のベースは、クロック周期制御部21のカレントミラー回路212のトランジスタQ1のコレクタ及びベースに接続されている。また、トランジスタQ7のベースには基準電圧 V_r が印加され、トランジスタQ7のコレクタはコンデンサC2とトランジスタQ8との接続点Cに接続されている。

【0070】

さらにシュミットトリガー回路222の出力端Dは、J-Kフリップフロップ回路214の／CLR端子と、制御信号生成部23のJ-Kフリップフロップ回路231の／CK端子と、2つのAND回路AND1,AND2の入力端に接続されている。

【0071】

オフ期間制御部22では、J-Kフリップフロップ回路214の／CK端子の入力信号がLレベルに立ち下がると、Q端子がHレベルに反転し、これによりトランジスタQ8がオンになり、コンデンサC2の蓄積電荷がトランジスタQ8を介して瞬時に放電される。これによりシュミットトリガー回路222の入力端Cの電圧 V_5 が瞬時に低下し、電圧 V_5 がシュミットトリガー回路222によって規定される所定の閾値 $V_{(H-L)_2}$ まで低下すると、シュミットトリガー回路222の出力端DのレベルはHレベルからLレベルに反転する。

【0072】

出力端DのレベルがHレベルからLレベルに反転すると、J-Kフリップフロップ回路214の／CLR端子にクリア信号が入力されるから、J-Kフリップフロップ回路214のQ端子の出力レベルがLレベルに反転され、これによりトランジスタQ8がオフになり、コンデンサC2の放電動作は充電動作に切り換えられる。このとき、コンデンサC2は、抵抗 R_e を流れる電流 I_d と差動アンプ221から出力される電流 I_2 の合計電流 I_s により充電が行なわれる。

【0073】

コンデンサC2の充電動作が開始されると、シュミットトリガー回路222の入力端Cの電圧 V_5 は充電電流 I_s に応じた速度で上昇し、電圧 V_5 がシュミットトリガー回路222によって規定される所定の閾値 $V_{(L-H)_2}$ ($> V_{(H-L)_2}$) にまで上昇すると、シュミットトリガー回路222の出力端DのレベルはLレベルからHレベルに反転する。従って、シュミットトリガー回路222の出力端Dではパルス信号 S_0' の立ち下がりタイミングでLレベルに反転し、その後、コンデンサC2の充電電圧が所定の閾値 $V_{(L-H)_2}$ にまで上昇する時間（オフ期間 T_{OFF} に相当）が経過した時、Hレベルに反転する信号、すなわち、パルス信号 S_0 に相当する信号が出力される。

【0074】

ところで、クロック周期制御部21のカレントミラー回路212では、トランジスタQ1のコレクタ電圧 V_1 は、制御電流 I_c の変動によって抵抗 R_2 の部分の合成抵抗値が変化するため、制御電流 I_c の変化に応じて変化する。すなわち、制御電流 I_c の増加に応じてコレクタ電圧 V_1 は低下する。従って、カレントミラー回路212の電流 I_1 が小さく、 $V_1 > \text{基準電圧 } V_r$ となっている場合、差動アンプ221のトランジスタQ6はオフ状態となり、トランジスタQ7から出力される電流 I_2 は抵抗 R_e を流れる電流 $I_e = (V_{DD} - V_r - V_{be7}) / R_e$ (V_{be7} はトランジスタQ7のベース・エミッタ間電圧) と等しくなる。

【0075】

一方、カレントミラー回路212の電流 I_1 が増加し、 V_1 が基準電圧 V_r 以下、すなわち $(V_{DD} - V_1)$ が $(V_{DD} - V_r)$ 以上になると、差動アンプ221のトランジスタQ6に電流が流れるようになるため、電流 I_e はトランジスタQ6とQ7とに分流することになる。トランジスタQ6のコレクタ電流は、 V_1 (トランジスタQ6のベース電圧) に比例するから、制御電流 I_c の増加に応じてトランジスタQ6の分流量が増加し、トランジスタQ7のコレクタ電流 I_2 は減少することになる。すなわち、トランジスタQ7のコレク

タ電流 I_2 は、制御電流 I_c の増加に応じて $I_e \sim 0$ の範囲で変化することになる。

【0076】

従って、コンデンサ C_2 の充電電流 $I_s = (I_d + I_2)$ は、負荷が所定の負荷の範囲（図5のa点より左側の領域）では、 I_e （最大値）となり、負荷が所定の負荷よりも軽負荷の範囲（図5のa点より右側の領域）では、制御電流 I_c の増加に応じて I_e から I_d に減少するから、コンデンサ C_2 の充電速度は変化し、これに応じてオフ期間 T_{OFF} も変化することになる（図5のV5, V6の波形参照）。

【0077】

制御信号生成部23は、J-Kフリップフロップ回路231と、2組の（AND回路AND1+NOT回路NOT5）と（AND回路AND2+NOT回路NOT6）とで構成されている。J-Kフリップフロップ回路231の/C K端子は、シュミットトリガー回路222の出力端Dに接続され、J端子、K端子、/CLR端子および/PR端子は V_{DD} 電源に接続されている。また、J-Kフリップフロップ回路231のQ端子は、AND回路AND1の入力端に接続され、/Q端子は、AND回路AND2の入力端に接続されている。

【0078】

J-Kフリップフロップ回路231は、/C K端子がHレベルからLレベルに反転するタイミングで、Q端子および/Q端子の出力レベルが反転し、Q端子の出力信号と/Q端子の出力信号とは互に位相が180度反転している。従って、AND回路AND1によりQ端子の出力信号と/C K端子への入力信号との論理積を取り、AND回路AND2により/Q端子の出力信号と/C K端子への入力信号との論理積を取ることにより、AND回路AND1で、例えば/C K端子に入力されるパルス信号S0の奇数番目の矩形波信号Ssだけが取り出され、NOT回路NOT5から制御信号S1として出力され、AND回路AND2で/C K端子に入力されるパルス信号S0の偶数番目の矩形波信号Ssだけが取り出され、NOT回路NOT6から制御信号S2として出力される。

【0079】

以上より、第1実施形態に係るスイッチング制御装置2では、負荷が軽くなるのに応じて制御電流 I_c が増加する場合、コレクタ電圧 V_1 が基準電圧 V_r を超えない範囲では、デッドタイム T_d は最小の時間に固定され、オン期間 T_{ON} だけが制御電流 I_c の増加に応じて減少する制御信号S1, S2が出力される（aより左側の領域におけるV7, V8の波形参照）。一方、コレクタ電圧 V_1 が基準電圧 V_r を超えると、デッドタイム T_d および制御信号S1, S2のオン期間 T_{ON} の両方が制御電流 I_c の増加に応じて減少する制御信号S1, S2が出力される（aより左側の領域におけるV7, V8の波形参照）。

【0080】

<第2実施形態>

図6は、本発明に係るスイッチング制御装置の第2実施形態のブロック構成を示す図である。

【0081】

第1実施形態に係るスイッチング制御装置は、矩形波信号Ssを生成した後、オフ期間 T_{OFF} （デッドタイム T_d ）を生成し、矩形波信号Ssからオフ期間 T_{OFF} を削除することでパルス信号S0を生成し、その後、このパルス信号S0から制御信号S1と制御信号S2とを分離する構成であるが、第2実施形態に係るスイッチング制御装置2'は、矩形波信号Ssとオフ期間 T_{OFF} とを独立して調整してパルス信号S0を生成し、その後、このパルス信号S0から制御信号S1と制御信号S2とを分離する構成としたものである。第2実施形態に係るスイッチング制御装置は、第1実施形態に係るスイッチング制御装置よりも回路構成がコンパクトになるとともに、より軽負荷まで電圧制御が可能になる利点がある。

【0082】

図6は、その構成をブロック図で示したもので、制御信号生成部23'は第1実施形態に係るスイッチング制御装置2の制御信号生成部23と同一の動作を行う。また、オン期間

制御部 24 は、制御信号 I_c に基づいてパルス信号 S_0 に含まれる矩形波信号 S_s のオン期間 T_{ON} を設定し、オフ期間制御部 25 は、制御信号 I_c に基づいてパルス信号 S_0 に含まれる矩形波信号間のオフ期間 T_{OFF} を設定する。オン期間制御部 24 は本発明に係るハイレベル信号生成手段に相当し、オフ期間制御部 25 は本発明に係るローレベル信号生成手段に相当している。

【0083】

図 7 は、第 2 実施形態に係るスイッチング制御装置 2' の具体的な回路構成を示す図である。

【0084】

図 7 において、フォトカプラ PC は、制御電流 I_c を入力する素子である。 V_{DD} 電源と $V_{ss} (< V_{DD})$ ラインとの間に接続された抵抗 R_1 、ダイオード D_1 及び抵抗 R_2 、 R_3 の直列回路は、制御電流 I_c を制御電圧 V_c に変換する回路である。また、コンデンサ C_1 は当該コンデンサ C_1 の充電動作を利用してオン期間 T_{ON} を設定するための素子であり、npn 型トランジスタ Q_1 はコンデンサ C_1 の充電電流を制御する素子であり、pnp 型トランジスタ Q_2 はコンデンサ C_1 の蓄積電荷の放電を制御する素子である。さらにシュミットトリガー回路 241 は、コンデンサ C_1 が充電を開始してからオン期間 T_{ON} に相当するタイミングでリセット信号（図 6 のオフ期間制御部 25 の $reset_2$ に入力される信号）を生成するものである。すなわち、シュミットトリガー回路 241 は、コンデンサ C_1 の充電動作により入力端 F の電圧 V_1 が所定の閾値 $V_{(H-L)_1}$ （なお、図 8 では V_{th1} で表している）に低下すると、出力端 G のレベルが H レベルから L レベルに反転し、この L レベルの信号が NOT 回路 NOT1 を介してリセット信号としてオフ期間制御部 25 に入力される。なお、NOT 回路 NOT1 は、シュミットトリガー回路 241 の出力電圧のレベルを反転する回路である。

【0085】

フォトカプラ PC の出力端子は、抵抗 R_3 の両端に接続され、制御電流 I_c が変化すると、フォトカプラ PC の抵抗値が変化し、これにより抵抗 R_3 とフォトカプラ PC との合成抵抗値が変化して抵抗 R_1 とダイオード D_1 のアノードとの接続点 E の電圧が変化している。この接続点 E の電圧が、図 6 におけるオン時間制御部 24 とオフ期間制御部 25 に入力される制御電圧 V_c となっている。そして、この接続点 E に接続されるトランジスタ Q_1 のベースが図 6 に示すブロック図のオン期間制御部 24 の入力端 in_1 に相当し、トランジスタ Q_3 のベースが同ブロック図のオフ期間制御部 25 の入力端 in_2 に相当している。

【0086】

トランジスタ Q_1 は、ベースが接続点 E に接続され、コレクタはコンデンサ C_1 を介して V_{DD} 電源に接続され、エミッタは抵抗 R_4 を介して V_{ss} ラインに接続されている。また、トランジスタ Q_2 は、エミッタが V_{DD} 電源に接続され、コレクタはトランジスタ Q_1 のコレクタに接続され、ベースは抵抗 R_9 を介して後述するオフ期間制御部 25 側のシュミットトリガー回路 252 の出力端 K に接続されている。なお、トランジスタ Q_2 のベースには抵抗を介してバイアス電圧が供給されている。トランジスタ Q_2 のベースは、図 6 に示すブロック図のオン期間制御部 24 のリセット信号の入力端 $reset_1$ に相当している。

【0087】

シュミットトリガー回路 241 は、2 個の NOT 回路の直列回路に抵抗を並列に接続し、さらにこの並列回路に入力抵抗を接続した構成で、その入力端はトランジスタ Q_1 及びトランジスタ Q_2 の両コレクタの接続点 F に接続され、その出力端 G は、後述する制御信号生成部 23' 側のフリップフロップ回路 231' の $\neg CK$ 端子に接続されている。この出力端 G は、図 6 に示すブロック図のオン期間制御部 24 の出力端 u_1 に相当している。

【0088】

そして、上述した抵抗 R_1 、ダイオード D_1 及び抵抗 R_2 、 R_3 の直列回路からシュミットトリガー回路 241 及び NOT 回路 NOT1 までの回路はオン期間制御部 24 を構成し

ている。

【0089】

一方、コンデンサC2は当該コンデンサC2の充電動作を利用してオフ期間 T_{OFF} を設定するための素子で、npn型トランジスタQ3、Q4、抵抗R5、R6、R7からなる差動アンプ251は制御電流Icに応じた充電電流をコンデンサC2に供給する回路であり、トランジスタQ5はコンデンサC2の蓄積電荷の放電を制御する素子である。さらにシュミットトリガー回路252は、コンデンサC2が充電を開始してからオン期間 T_{ON} に相当するタイミングでリセット信号（図6のオン期間制御部24のreset1に入力される信号）を生成するものである。すなわち、シュミットトリガー回路252は、コンデンサC2の充電動作により入力端Jの電圧V2が所定の閾値 $V_{(H-L)2}$ （なお、図8では V_{th2} で表している）に低下すると、出力端KのレベルがHレベルからLレベルに反転し、このLレベルの信号がリセット信号としてオフ期間制御部24に入力される。

【0090】

差動アンプ251を構成する各素子は、トランジスタQ3、Q4の両エミッタが抵抗R5を介してVssラインに接続され、トランジスタQ3のコレクタは V_{DD} 電源に直接接続される一方、トランジスタQ4のコレクタはコンデンサC2を介して V_{DD} 電源に接続され、さらにトランジスタQ3のベースは接続点Eに接続され、トランジスタQ4のベースは V_{DD} 電源とVssライン間に接続された抵抗R6、R7の直列回路の中間接続点Iに接続されている。この接続点Iは、図6のブロック図のオフ期間制御部25の基準電圧入力端in3に相当し、この入力端in3には V_{DD} 電源を抵抗R6、R7で分圧した基準電圧Vr（ $= V_{DD} \cdot R6 / (R6 + R7)$ ）が入力される。

【0091】

差動アンプ251では、トランジスタQ3のベースに印加される制御電圧Vcが $Vc < Vr$ であれば、トランジスタQ3はオフ状態で、トランジスタQ4はオン状態となり、抵抗R5を流れる電流は全てコンデンサC2に流れるため、コンデンサC2の充電電流は最大となる。一方、制御電圧Vcが基準電圧Vr以上になると、トランジスタQ3もオン状態になり、抵抗R5を流れる電流はトランジスタQ3、Q4で分離されるため、コンデンサC2の充電電流は、トランジスタQ3のコレクタ電流に応じて変化する。すなわち、制御電圧Vc（トランジスタQ3のベース電圧）の増加に応じてトランジスタQ3のコレクタ電流が増加し、コンデンサC2の充電電流は減少する。従って、制御電圧Vcが基準電圧Vrよりも低い範囲では、コンデンサC2の充電速度は最大になり、制御電圧Vcが基準電圧Vr以上の範囲では、コンデンサC2の充電速度は制御電圧Vcの増加に応じて減少する。

【0092】

トランジスタQ5のエミッタは V_{DD} 電源に接続され、コレクタは抵抗R8を介してVssラインに接続されるとともに、シュミットトリガー回路252の入力端Jと差動アンプ251のトランジスタQ4のコレクタに接続されている。また、トランジスタQ5のベースは抵抗R10とダイオードD3を介してシュミットトリガー回路252の出力端Kに接続されるとともに、抵抗R10とダイオードD2を介してオン期間制御部24のNOT回路NOT1の出力端Hに接続されている。トランジスタQ5のベースは、図6のブロック図のオフ期間制御部25のリセット端子reset2に相当している。なお、トランジスタQ5のベースには抵抗R11を介してバイアス電圧が供給されている。

【0093】

シュミットトリガー回路252はシュミットトリガー回路241と同一の回路構成で構成され、その入力端Jは差動アンプ251のトランジスタQ4のコレクタに接続され、その出力端K（NOT回路の出力端）は、抵抗R9を介してトランジスタQ2のベースに接続されるとともに、ダイオードD3と抵抗R10を介してトランジスタQ5のベースに接続されている。この出力端Kは、図6に示すブロック図のオフ期間制御部25のリセット信号の出力端u2に相当している。そして、上述した差動アンプ251からシュミットトリガー回路252までの回路はオフ期間制御部25を構成している。

【0094】

J-Kフリップフロップ回路231'は、第1実施形態に係るJ-Kフリップフロップ回路231と同一の構成をなし、同一の動作を行なう。すなわち、J-Kフリップフロップ回路231'は、パルス信号S0の立ち上がりもしくは立ち下りのいずれか一方に同期して出力のH/Lが反転する信号をQ端子から出力するとともに、Q端子出力を反転した信号を/Q端子から出力する。J-Kフリップフロップ回路231'の/C K端子はオン期間制御部24のシュミットトリガー回路241の出力端Gに接続され、Q端子及び/Q端子はそれぞれNOR回路NOR2の一方入力端とNOR回路NOR1の一方入力端に接続されている。

【0095】

NOR回路NOR1は、オン期間制御部24のNOT回路NOT1から出力されるパルス信号S0の位相を反転した信号とJ-Kフリップフロップ回路231'の/Q端子からの出力信号との否定論理和を取ることにより制御信号S1を生成して出力する回路である。NOR回路NOR2は、オン期間制御部24のNOT回路NOT1から出力されるパルス信号S0の位相を反転した信号とJ-Kフリップフロップ回路231'のQ端子からの出力信号との否定論理和を取ることにより制御信号S2を生成して出力する回路である。NOR回路NOR1の他方入力端とNOR回路NOR2の他方入力端とはNOT回路NOT1の出力端Hに接続されている。

【0096】

そして、J-Kフリップフロップ回路231'及びNOR回路NOR1、NOR2は、制御信号生成部23'を構成し、J-Kフリップフロップ回路231'の/C K端子は制御信号生成部23'の入力端子に相当し、NOR回路NOR1、NOR2の出力端子はそれぞれ制御信号生成部23'の出力端子OUT1と出力端子OUT2に相当している。

【0097】

次に、図8の波形図を用いて、図7に示すスイッチング制御装置2'の動作を説明する。

【0098】

図8も図5と同様、負荷が所定の負荷の範囲からそれを超えて軽負荷となる場合の制御信号S1、S2の変化の様子を示したものである。同図において、「Vc/Vr」は、トランジスタQ1のベースに印可される制御電圧Vcと差動アンプ251のトランジスタQ4のベースに印加される基準電圧Vrの波形を示している。また、「V1」は、シュミットトリガー回路241の入力端Fの電圧波形、「V2」は、シュミットトリガー回路252の入力端Jの電圧波形を示している。また、「G点」、「H点」、「K点」は、それぞれシュミットトリガー回路241の出力端G、NOT回路NOT1の出力端H、シュミットトリガー回路252の出力端Kの電圧波形を示し、「Q出力」、「/Q出力」は、それぞれJ-Kフリップフロップ回路231'のQ端子と/Q端子の出力波形を示し、「S1」、「S2」はそれぞれNOR回路NOR1とNOR回路NOR2の出力波形を示している。

【0099】

トランジスタQ2がオフ状態では、トランジスタQ1のコレクタにはベース電圧Vcとエミッタ抵抗R4によって決定される電流Ieが流れ、この電流IeによりコンデンサC1が充電される。トランジスタQ2がオンになると、コンデンサC1の充電電荷が当該トランジスタQ2により瞬時に放電される。コンデンサC1の充電電荷が放電されると、シュミットトリガー回路241の入力端Fの電圧V1は所定の閾値 $V_{(L-H)1}$ ($< V_{DD}$ 、図8では省略している。)に瞬時に上昇し、これによりシュミットトリガー回路241の出力端GはLレベルからHレベルに反転し、NOT回路NOT1の出力端HはLレベルとなる。

【0100】

NOT回路NOT1の出力端HがLレベルになると、ダイオードD2によりトランジスタQ5のベースがLレベルとなり、当該トランジスタQ5がオンになる。これによりシュミットトリガー回路252の入力端Jの電圧V2は電源電圧 V_{DD} (例えば5V)に瞬時に上昇し、シュミットトリガー回路252の出力端KがHレベル (オン期間制御部24へのリ

セット信号入力)となるので、トランジスタQ 2がオフになり、コンデンサC 1の充電が開始される。すなわち、オフ期間制御部2 5からオン期間制御部2 4にリセット信号が入力され、オン期間制御部2 4におけるコンデンサC 1の充電動作(すなわち、オン期間 T_{ON} の生成動作)が開始される。

【0101】

シュミットトリガー回路2 4 1の入力端Fの電圧V 1はコンデンサC 1の充電に応じて低下し、当該シュミットトリガー回路2 4 1により規定される閾値 $V_{(H-L)1}$ (図8の V_{th1})まで低下すると、当該シュミットトリガー回路2 4 1の出力端Gの出力電圧はHレベルからLレベルに反転する(図8において、V 1の右下がり部分の波形とG点のパルス信号の立下がり点を参照)。

【0102】

一方、NOT回路NOT 1の出力端HがLレベルになると、トランジスタQ 5がオンになり、コンデンサC 2の蓄積電荷がトランジスタQ 5により瞬時に放電される。シュミットトリガー回路2 4 1の入力端Fの電圧V 1が $V 1 > V_{(H-L)1}$ の期間は、シュミットトリガー回路2 4 1の出力端Gの出力電圧はHレベル、NOT回路NOT 1の出力電圧はLレベルであるから、トランジスタQ 5はオン状態に保持され、シュミットトリガー回路2 5 2の入力端Jの電圧V 2は、電源電圧 V_{DD} となっている。そして、 $V 1 = V_{(H-L)1}$ になると、シュミットトリガー回路2 4 1の出力電圧はHレベルからLレベルに反転し、NOT回路NOT 1の出力電圧はLレベルからHレベルに反転するから(オフ期間制御部2 5へのリセット信号入力)、トランジスタQ 5がオフになり、これによりコンデンサC 2の充電が開始される(図8のV 2の波形参照)。

【0103】

すなわち、オン期間制御部2 4からオフ期間制御部2 5にリセット信号が入力され、オフ期間制御部2 5におけるコンデンサC 2の充電動作(すなわち、オフ期間 T_{OFF} の生成動作)が開始される。

【0104】

シュミットトリガー回路2 5 2の入力端Jの電圧V 2はコンデンサC 2の充電に応じて低下し、当該シュミットトリガー回路2 5 2により規定される閾値 $V_{(H-L)2}$ (図8の V_{th2})まで低下すると、当該シュミットトリガー回路2 5 2の出力電圧はHレベルからLレベルに反転する(図8において、V 2の右下がり部分の波形とK点のパルス信号の立下がり点を参照)。シュミットトリガー回路2 5 2の出力電圧がLレベルになると、ダイオードD 3によりトランジスタQ 5のベースがLレベルとなり、当該トランジスタQ 5がオンになってコンデンサC 2の蓄積電荷が瞬時に放電されるとともに、シュミットトリガー回路2 5 2の入力端Jの電圧V 2は電源電圧 V_{DD} (例えば5 V)に瞬時に上昇し、シュミットトリガー回路2 5 2の出力端KがHレベル(オン期間制御部2 4へのリセット信号入力)となるので、トランジスタQ 2がオフになり、コンデンサC 1の充電が開始される。

【0105】

すなわち、コンデンサC 1のみの充電を開始し、コンデンサC 1の充電動作により電圧V 1が電源電圧 V_{DD} から閾値 $V_{(H-L)1}$ に低下すると(オン期間 T_{ON} の生成)、更にコンデンサC 2の充電を開始し、コンデンサC 2の充電動作により電圧V 2が電源電圧 V_{DD} から閾値 $V_{(H-L)2}$ に低下すると(オフ期間 T_{OFF} の生成)、コンデンサC 1及びコンデンサC 2の充電動作を停止し、両コンデンサC 1、C 2の蓄積電荷を瞬時に放電するという動作が繰り返される(図8のV 1、V 2の波形参照)。そして、このコンデンサC 1、C 2の充放電動作の繰り返しによりシュミットトリガー回路2 4 1の出力端Gからは図2に示すパルス信号S 0に相当する信号が出力される(図8のG点の信号参照)。

【0106】

シュミットトリガー回路2 4 1から出力されるパルス信号S 0は、J-Kフリップフロップ回路2 3 1'の/C K端子に入力され、このパルス信号S 0の立ち下がり同期して出力のH/Lが反転する信号がQ端子から出力されるとともに、Q端子出力を反転した信号が/Q端子から出力される(図8のQ出力、/Q出力参照)。

【0107】

そして、NOR回路NOR1では、Q端子の出力電圧と出力端Hの電圧とがLレベルのときHレベルとなり、それ以外るときLレベルとなる信号が制御信号S1として出力され、NOR回路NOR2では、／Q端子の出力電圧と出力端Hの電圧とがLレベルのときHレベルとなり、それ以外るときLレベルとなる信号が制御信号S2として出力される（図8のS1，S2の波形参照）。

【0108】

図8の波形図に示すように、制御電圧Vcが基準電圧Vrよりも低い範囲では、コンデンサC2の充電電流は最大となるため、電圧V2が V_{DD} から所定の閾値 $V_{(L-H)2}$ まで変化するコンデンサC2の充電時間は最小となり、デッドタイム T_d は固定されるが、コンデンサC1の充電電流は制御電圧Vcの増大に応じて増加するため、電圧V1が V_{DD} から所定の閾値 $V_{(L-H)1}$ まで変化するコンデンサC1の充電時間は制御電圧Vcの増加に応じて短くなり、制御電圧Vcの増加に応じて周波数だけが增加する制御信号S1，S2（PFM信号）が出力される。一方、制御電圧Vcが基準電圧Vr以上の範囲では、コンデンサC2の充電電流は制御電圧Vcの増大に応じて減少するため、電圧V2が V_{DD} から所定の閾値 $V_{(L-H)2}$ まで変化するコンデンサC2の充電時間は制御電圧Vcの増加に応じて長くなり、制御電圧Vcの増加に応じて周波数とデッドタイム T_d の両方が増加する制御信号S1，S2（（PFM+PWM）信号）が出力される。

【0109】

<第3実施形態>

図9は、本発明に係るスイッチング制御装置の第3実施形態のブロック構成を示す図である。

【0110】

第3実施形態に係るスイッチング制御装置2''は、第2実施形態に係るスイッチング回路2'の回路構成を改良したものである。具体的には第2実施形態に係るスイッチング回路2'ではオン期間 T_{ON} とオフ期間 T_{OFF} とを制御するコンデンサとシュミットトリガー回路（ヒステリシスコンパレータ）とをそれぞれ別に設けていたが、第3実施形態に係るスイッチング回路2''ではオン期間 T_{ON} とオフ期間 T_{OFF} を制御するコンデンサとシュミットトリガー回路（ヒステリシスコンパレータ）とを共通化し、1つのコンデンサの充電時間を用いてオン期間 T_{ON} を生成し、コンデンサの放電時間を用いてオフ期間 T_{OFF} の生成するようにしたものである。

【0111】

図9は、その構成をブロック図で示したもので、オン期間／オフ期間制御部26は、第2実施形態に係るスイッチング制御装置2'のオン期間制御部24とオフ期間制御部25とを合わせた部分に相当している。また、制御信号生成部は第2実施形態に係るスイッチング制御装置2'の制御信号生成部23'と同一の回路構成で構成されている。

【0112】

オン期間／オフ期間制御部26内のコンデンサCとシュミットトリガー回路261とは、それぞれ共通化したコンデンサとヒステリシスコンパレータであり、コンデンサCの充電電流Icと放電電流Idとは制御電圧Vcの変化に応じて変化させるようにしている。具体的には、充電電流Icは制御電圧Vcの増加に応じて増加し、放電電流Idは制御電圧Vcの増加に応じて減少するように変化する。また、コンデンサCの放電回路と充電回路とはそれぞれスイッチSW1とスイッチSW2とが設けられ、シュミットトリガー回路261の出力信号によりスイッチSW1とスイッチSW2とを交互に切り換えることによりコンデンサCの充放電動作が交互に行われるようになっている。

【0113】

図10は、第3実施形態に係るスイッチング制御装置2''の具体的な回路構成を示す図である。

【0114】

図10は、図7において、オフ期間制御部25に相当する回路を除去し、それに代えて抵

抗 R 1 2、n p n 型トランジスタ Q 6 及び抵抗 R 1 3 の直列回路を接続するとともに、トランジスタ Q 1 のエミッタ抵抗 R 4 と V_{ss}ラインとの間に n p n 型トランジスタ Q 7 を追加する一方、トランジスタ Q 2 に代えてトランジスタ Q 8 を設け、このトランジスタ Q 8 のオン・オフ制御をシュミットトリガー回路 2 4 1 の出力電圧によって行なうようにしたものである。シュミットトリガー回路 2 4 1 は図 9 のシュミットトリガー回路 2 6 1 に相当している。

【0 1 1 5】

具体的には、トランジスタ Q 6 は、コレクタが抵抗 R 1 2 を介して V_{DD} 電源に接続され、エミッタが抵抗 R 1 3 を介して V_{ss}ラインに接続され、ベースは抵抗 R 2 と抵抗 R 3 との接続点 L に接続されている。また、トランジスタ Q 7 は、コレクタが抵抗 R 4 に接続され、エミッタは直接 V_{ss}ラインに接続され、ベースは抵抗 R 1 7 を介してシュミットトリガー回路 2 4 1 の出力端 G に接続されるとともに、抵抗 R 1 8 を介して V_{ss}ラインに接続されている。また、トランジスタ Q 8 は、ベースが抵抗 R 1 5 を介して V_{DD} 電源に接続されるとともに、抵抗 R 1 6 を介してシュミットトリガー回路 2 4 1 の出力端 G に接続され、コレクタがシュミットトリガー回路 2 4 1 の入力端 F に接続され、エミッタがトランジスタ Q 6 のコレクタに接続されている。また、コンデンサ C 1 に抵抗 R 1 4 が並列に接続されている。

【0 1 1 6】

次に、図 1 1 の波形図を用いて、図 1 0 に示すスイッチング制御装置 2 ” の動作を説明する。

【0 1 1 7】

図 1 1 も図 5 と同様、負荷が所定の重負荷の範囲からそれを超えて軽負荷となる場合の制御信号 S 1, S 2 の変化の様子を示したものである。同図において、「V_c & V_c ′」は、トランジスタ Q 1 のベースに印可される制御電圧 V_c と抵抗 R 3 と抵抗 R 2 との接続点 L の電圧 V_c ′ の波形を示している。また、「V₂, V_e」は、トランジスタ Q 8 のベース電圧 V₂ とエミッタ電圧 V_e (= V_{DD} - I · R₆) の波形、「V₁」は、シュミットトリガー回路 2 4 1 の入力端 F の電圧波形を示している。また、「G 点」はシュミットトリガー回路 2 4 1 の出力端 G の電圧波形を示し、「Q 出力」、「／Q 出力」はそれぞれフリップフロップ回路 2 3 1 ′ の Q 端子と／Q 端子の出力波形を示し、「S 1」、「S 2」はそれぞれ NOR 回路 NOR 1 と NOR 回路 NOR 2 の出力波形を示している。

【0 1 1 8】

トランジスタ Q 7 がオン状態では、トランジスタ Q 1 はベース電圧（制御電圧 V_c）とエミッタ抵抗 R 4 によって決定される電流 I_{j1} を供給する定電流源として動作し、この電流 I_{j1} によってコンデンサ C 1 の充電が行われる。トランジスタ Q 7 がオン状態になるときは、シュミットトリガー回路 2 4 1 の出力端 G のレベルが H レベルであるから、トランジスタ Q 8 はオフ状態にあり、コンデンサ C 1 には定電流源からの充電電流 I_{j1} と、抵抗 R 1 4 とシュミットトリガー回路 2 4 1 内の抵抗 R 1 9, R 2 0 とを流れる放電電流 I_{h1} とが流れることになるが、充電電流 I_{j1} が放電電流 I_{h1} より大きく設定されていれば、結果的にコンデンサ C 1 は充電され、シュミットトリガー回路 2 4 1 の入力端 F の電圧 V₁ はコンデンサ C 1 の充電動作に応じて低下する。

【0 1 1 9】

そして、シュミットトリガー回路 2 4 1 の入力電圧 V₁ が当該シュミットトリガー回路 2 4 1 によって規定される閾値 V_(H-L) まで低下すると、当該シュミットトリガー回路 2 4 1 の出力端 G の出力電圧は H レベルから L レベルに反転する（図 1 1 において、V₁ の右下がり部分の波形と G 点のパルス信号の立下がり点を参照）。

【0 1 2 0】

シュミットトリガー回路 2 4 1 の出力端 G が L レベルになると、トランジスタ Q 7 がオフになり、トランジスタ Q 1 による定電流源からのコンデンサ C 1 への充電電流 I_{j1} の供給は停止され、コンデンサ C 1 は、V_{DD} 電源からコンデンサ C 1、シュミットトリガー回路 2 4 1 内の抵抗 R 1 9, R 2 0 を流れる電流 I_{j2} により充電される。また、シュミット

リガー回路 241 の出力端 G が L レベルになると、トランジスタ Q8 はオンになり、コンデンサ C1 の放電経路は抵抗 R14 及びシュミットトリガー回路 241 内の抵抗 R19, R20 の経路に加えて抵抗 R12、トランジスタ Q8 及びシュミットトリガー回路 241 内の抵抗 R19, R20 となる。すなわち、放電電流 I_h は、抵抗 R14 を流れる放電電流 I_{h1} と抵抗 R12 及びトランジスタ Q8 を流れる放電電流 I_{h2} との合成となる。

【0121】

すなわち、抵抗 R12 には、トランジスタ Q6 のエミッターベース間の電圧を V_{be6} とすると、 $V_c' < V_{be6}$ では、電流は流れないが、 V_c' が V_{be6} 以上になると、ベース電圧 V_c' とエミッタ抵抗 R13 とによって決定される電流 I が流れる。シュミットトリガー回路 241 の出力端 G が L レベルのときは、 $(I \times R12) < (V_{DD} - V2)$ であれば、トランジスタ Q8 がオンになり、トランジスタ Q8 のエミッターベース間の電圧を V_{be8} とすると、そのエミッタ電圧が $(V2 + V_{be8})$ となるように抵抗 R12 には $(V_{DD} - V2 - V_{be8}) / R12$ の電流が流れる。

【0122】

従って、トランジスタ Q8 には、抵抗 R12 に流れる電流から電流 I を差し引いた電流 $(V_{DD} - V2 - V_{be8}) / R12 - I$ が流れ、この電流と抵抗 R14 を流れる電流の合計電流値によってコンデンサ C1 は放電される。そして、電流 I が 0 のときは、放電電流は最大かつ一定となり、コンデンサ C1 の放電時間は最小となるが、電流 I の増加に応じて放電電流が減少し、コンデンサ C1 の放電時間も長くなる。そして、 $(I \times R12)$ が $(V_{DD} - V2)$ 以上の場合は、トランジスタ Q8 はオフになるので、放電電流は抵抗 R14 を流れる電流だけとなり、放電電流は最小となる。すなわち、コンデンサ C1 の放電時間は最大となる。

【0123】

充放電経路が切り換えられたとき、放電電流 I_h が充電電流 I_{j2} より大きく設定されていれば、結果的にコンデンサ C1 は放電され、シュミットトリガー回路 241 の入力電圧 $V1$ はコンデンサ C1 の放電動作に応じて上昇する。そして、その入力電圧 $V1$ がシュミットトリガー回路 241 によって規定される閾値 $V_{(L-H)}$ まで上昇すると、当該シュミットトリガー回路 241 の出力端 G の出力電圧は L レベルから H レベルに反転する（図 11 において、 $V1$ の右上がり部分の波形と G 点のパルス信号の立上がり点を参照）。

【0124】

シュミットトリガー回路 241 の出力端 G の出力電圧が H レベルになると、再びトランジスタ Q7 がオンになるとともに、トランジスタ Q8 がオフになり、上述したコンデンサ C1 の充電動作が行われ、以下、コンデンサ C1 の充電動作と放電動作とが交互に繰り返される。そして、このコンデンサ C1 の充放電動作の繰り返しによりシュミットトリガー回路 241 でパルス信号 $S0$ のオン期間 T_{ON} とオフ期間 T_{OFF} とが生成され、シュミットトリガー回路 241 の出力端 G からは図 2 に示すパルス信号 $S0$ に相当する信号が出力される（図 11 の G 点の信号参照）。

【0125】

シュミットトリガー回路 241 から出力されるパルス信号 $S0$ は、J-K フリップフロップ回路 231' の $/CK$ 端子に入力され、このパルス信号 $S0$ の立ち下がりに同期して出力の H/L が反転する信号が Q 端子から出力されるとともに、Q 端子出力を反転した信号が $/Q$ 端子から出力される（図 11 の Q 出力、 $/Q$ 出力参照）。

【0126】

そして、NOR 回路 NOR1 では、Q 端子の出力電圧と出力端 H の電圧とが L レベルのとき H レベルとなり、それ以外のとき L レベルとなる信号（オン期間 T_{ON} のパルスが（オン期間 $T_{ON} + 2 \times$ オフ期間 T_{OFF} ）のオフ期間で連続する信号）が制御信号 $S1$ として出力され、NOR 回路 NOR2 では、 $/Q$ 端子の出力電圧と出力端 H の電圧とが L レベルのとき H レベルとなり、それ以外のとき L レベルとなる信号が制御信号 $S2$ として出力される（図 11 の $S1$, $S2$ の波形参照）。

【0127】

上記コンデンサC1の充放電動作において、トランジスタQ1による充電電流 I_{j1} は、ベース電圧（制御電圧 V_c ）によって変化し、制御電圧 V_c が上昇するのに応じて増加する。一方、トランジスタQ8による放電電流 $I_{h2} = (V_{DD} - V_2 - V_{be8}) / R_{12} - I$ は、トランジスタQ6のコレクタ電流 I により変化し、コレクタ電流 I が増加するのに応じて減少する。そして、コレクタ電流 I は、制御電圧 V_c の上昇に応じてトランジスタQ6のベース電圧 V_c' が上昇するため、制御電圧 V_c の上昇に応じて増加する。従って、放電電流 I_{h2} は制御電流 V_c の上昇に応じて減少する。

【0128】

このように充電電流 I_{j1} と放電電流 I_h とを制御電圧 V_c の変化に応じて変化させることにより、制御信号S1, S2は、制御電圧 V_c が所定値より大きい範囲（図11のa点より右側の領域）では、制御電圧 V_c が上昇すると、充電電流 I_{j1} は増加して充電時間 T_j が短くなり、オン期間 T_{ON} は短くなる一方、放電電流 I_h が減少して放電時間 T_h が長くなり、オフ期間 T_{OFF} は長くなるように変化する（PFM制御+PWM制御）。また、制御電圧 V_c が所定値以下（図11のa点より左側の領域）では、トランジスタQ8による放電電流 I_{h2} は、ほぼ $(V_{DD} - V_2 - V_{be2}) / R_{12}$ に等しくなって固定されるから、放電電流 I_h は最大となり、制御信号S1, S2は、制御電圧 V_c の変化に関係なく、オフ期間 T_{OFF} （デッドタイム）は最も短い期間に固定され、オン期間 T_{ON} のみが変化する（PFM制御）。

【0129】

従って、第3実施形態に係るスイッチング制御装置2"においても第2実施形態に係るスイッチング制御装置2'と同様の制御信号S1, S2を生成することができる。第3実施形態に係るスイッチング制御装置2"は、第1, 第2実施形態に係るスイッチング制御装置2, 2'に比して、回路構成が簡素になり、小型化、低価格化が可能になるという利点がある。

【0130】

なお、図10に示す回路構成では、シュミットトリガー回路241のLレベル期間を制御電圧 V_c に対して非線形応答とするために、制御電圧 V_c を抵抗R2と抵抗R3とで分圧して制御電圧 V_c' を作成し、トランジスタQ6のベース-エミッタ間電圧 V_{be6} を閾値として使用しているが、図12に示すように、トランジスタQ6のベースをトランジスタQ1のベースに接続する一方、エミッタと抵抗R13の間に2個のダイオードD2, D3やその他の非線形素子を挿入する構成としてもよい。また、図13に示すように、トランジスタQ6のエミッタを抵抗R21を介して V_{DD} 電源に接続し、エミッタにバイアスを与えて閾値を作成するようにしてもよい。

【0131】

【発明の効果】

以上説明したように、本発明によれば、出力電圧と目標電圧との偏差が所定値以下の範囲では、デッドタイムを所定の時間に固定し、オンタイムのみが偏差の増加に応じて減少するパルス信号を生成し、出力電圧と目標電圧との偏差が所定値を超える範囲では、デッドタイムが偏差の増加に応じて増大するとともに、オンタイムが偏差の増加に応じて減少するパルス信号を生成し、このパルス信号からオンタイムを1つ置きに除去した第1のパルス信号とパルス信号から第1のパルス信号を除去した第2のパルス信号とを生成して、スイッチング素子の制御信号としてスイッチング電源のスイッチング回路に供給するようにしたので、スイッチング電源に接続される負荷の軽重に関係なく好適に定電圧制御を行うことができる。

【0132】

特に、負荷が過度な軽負荷となるように変動した場合には、負荷に応じてデッドタイムを長くするPWM制御とスイッチング周波数を高くするPFM制御とを組合せた制御に切り替えられるので、PFM制御だけでは定電圧制御が困難な軽負荷の領域であってもPWM制御と組合せることにより負荷変動に十分に追従した定電圧制御を実現することができる。

【図面の簡単な説明】

【図 1】本発明に係るスイッチング制御装置の第 1 実施形態のブロック構成を示す図である。

【図 2】パルス信号 S 0 と制御信号 S 1, S 2 との関係を示す図である。

【図 3】クロック周期制御部で生成されるパルス信号 S 0' とパルス信号 S 0 との関係を示す図である。

【図 4】第 1 実施形態に係るスイッチング制御装置の具体的な回路構成を示す図である。

【図 5】図 4 に示す具体的回路の各部の信号波形を示す図である。

【図 6】本発明に係るスイッチング制御装置の第 2 実施形態のブロック構成を示す図である。

【図 7】第 2 実施形態に係るスイッチング制御装置の具体的な回路構成を示す図である。

【図 8】図 7 に示す具体的回路の各部の信号波形を示す図である。

【図 9】本発明に係るスイッチング制御装置の第 3 実施形態のブロック構成を示す図である。

【図 10】第 3 実施形態に係るスイッチング制御装置の具体的な回路構成を示す図である。

【図 11】図 10 に示す具体的回路の各部の信号波形を示す図である。

【図 12】第 3 実施形態に係るスイッチング制御装置の変形例を示す図である。

【図 13】第 3 実施形態に係るスイッチング制御装置の他の変形例を示す図である。

【図 14】従来のスイッチング電源の一例を示す図である。

【図 15】スイッチング素子のオン・オフを制御するための制御信号の波形を示す図である。

【図 16】スイッチング電源回路の出力電圧の周波数特性を示す図である。

【符号の説明】

- 1 スwitchング電源
- 1 0 1 スwitchング回路
- 1 0 2 共振回路
- 1 0 3 整流回路
- 1 0 4 平滑回路
- 2 スwitchング制御装置
- 2 1 クロック周期制御部
- 2 2 オフ期間制御部
- 2 3, 2 3' 制御信号生成部
- 2 4 オン期間制御部
- 2 5 オフ期間制御部
- 2 6 オン期間／オフ期間制御部
- 2 1 1 入力回路
- 2 1 2 カレントミラー回路
- 2 1 3, 2 2 2, 2 4 1, 2 5 2, 2 6 1 シュミットトリガー回路
- 2 2 1 差動アンプ
- 2 1 4, 2 3 1 J-K フリップフロップ回路
- T トランス
- R 1 ~ R 2 1 抵抗
- C, C 1, C 2, C 1 1 ~ C 1 4 コンデンサ
- D 1 ~ D 3, D 1 1 ~ D 1 4 ダイオード
- NOT 1 ~ NOT 6 NOT 回路
- AND 1, AND 2 AND 回路

【手続補正 2】

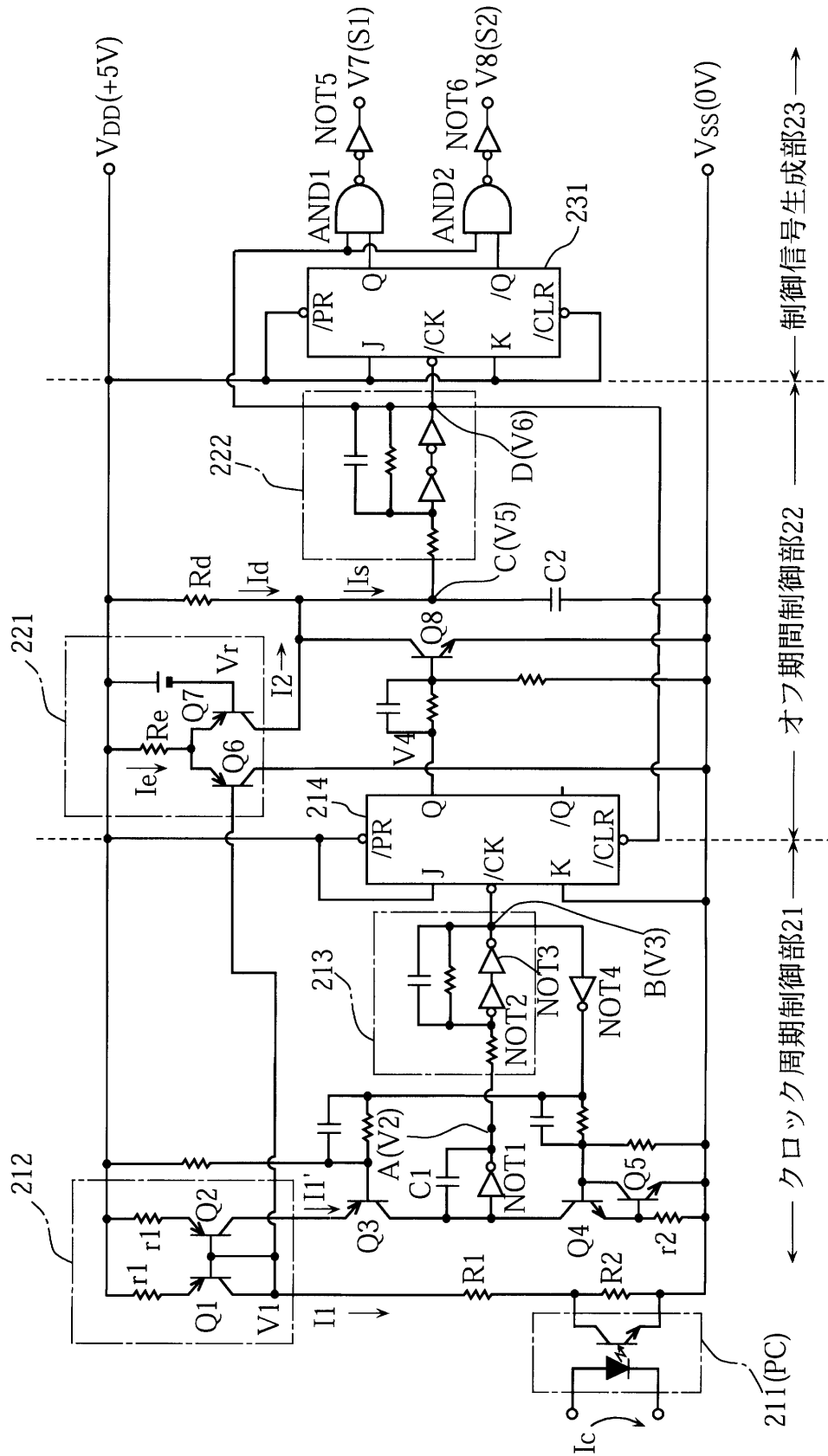
【補正対象書類名】図面

【補正対象項目名】図 4

【補正方法】 変更

【補正の内容】

【図 4】



【手続補正 3】

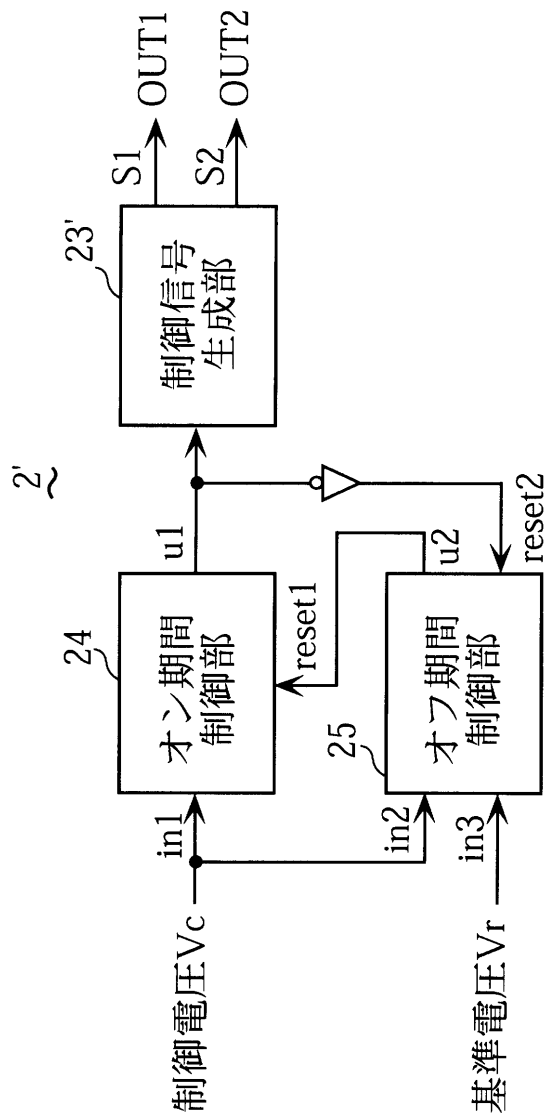
【補正対象書類名】 図面

【補正対象項目名】 図 6

【補正方法】 変更

【補正の内容】

【図 6】



【手続補正 4】

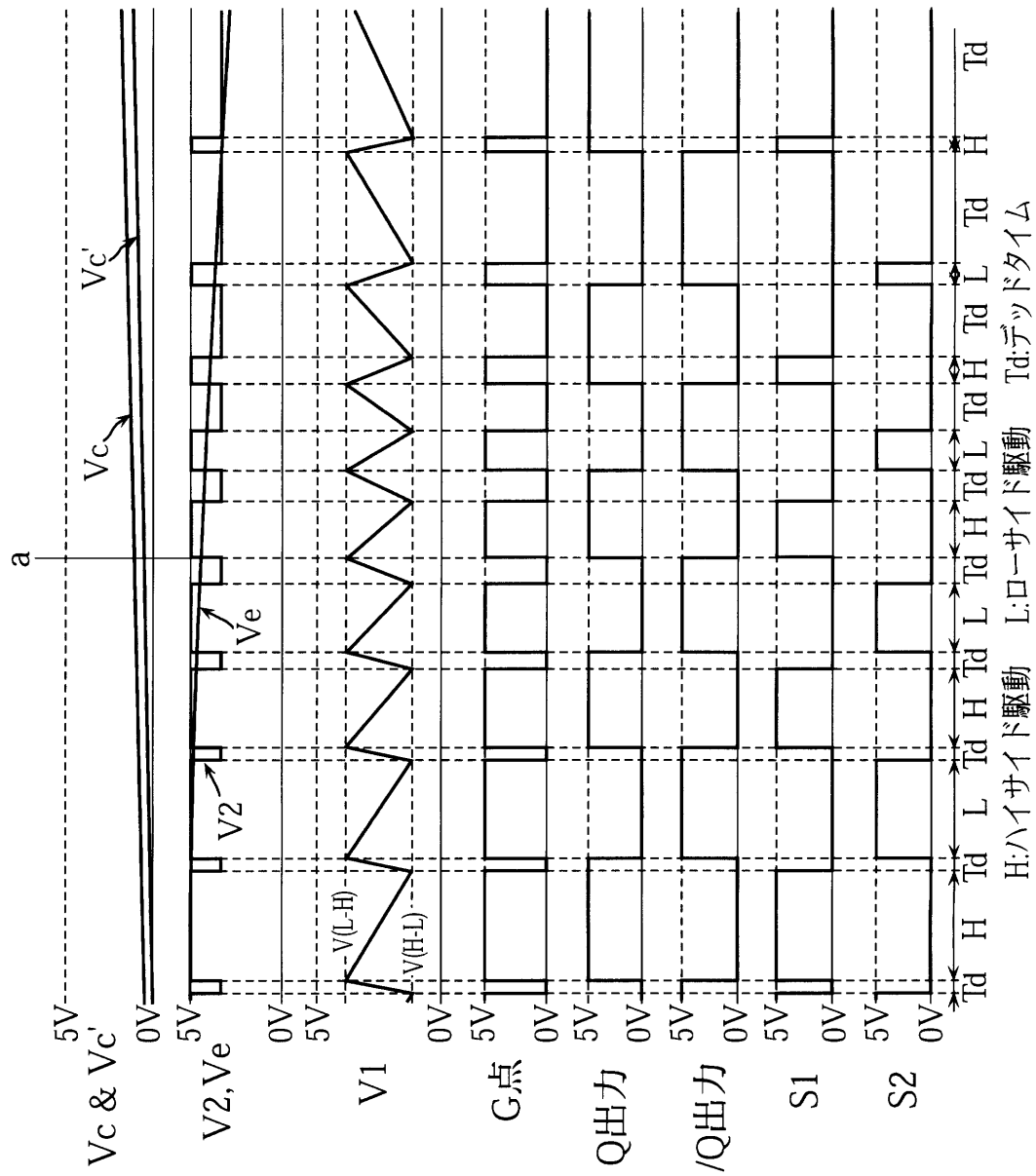
【補正対象書類名】 図面

【補正対象項目名】 図 1 1

【補正方法】 変更

【補正の内容】

【図 1 1】



【手続補正 5】

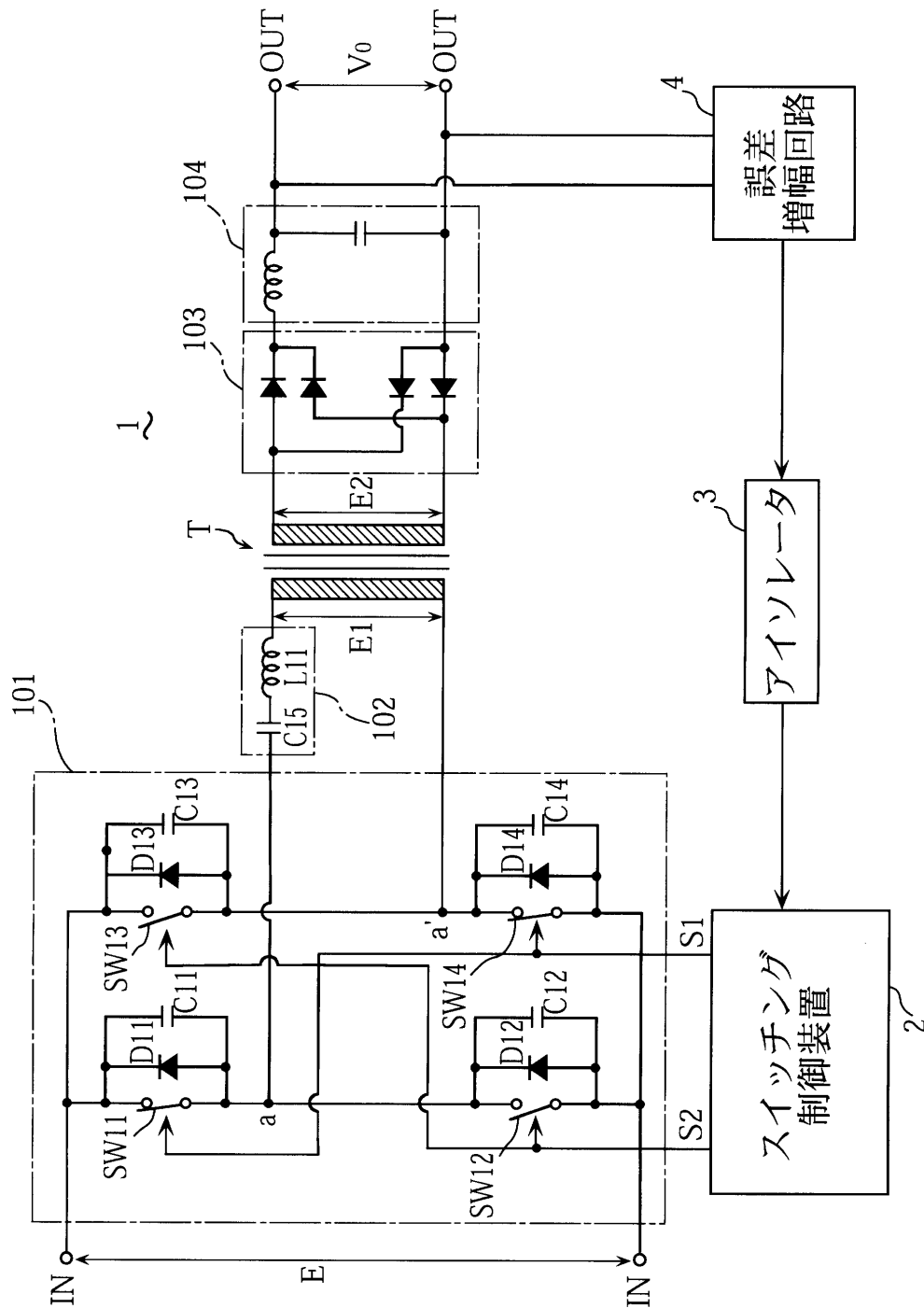
【補正対象書類名】図面

【補正対象項目名】図 1 4

【補正方法】変更

【補正の内容】

【図 1 4】



フロントページの続き

- (74)代理人 100120514
弁理士 筒井 雅人
- (72)発明者 笠井 譲治
大阪府寝屋川市日新町2番1号 オンキヨー株式会社内
- (72)発明者 飛田 和宏
大阪府寝屋川市日新町2番1号 オンキヨー株式会社内
- (72)発明者 平野 宏幸
大阪府寝屋川市日新町2番1号 オンキヨー株式会社内
- Fターム(参考) 5H730 BB26 BB61 DD26 FD01