

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-533824
(P2008-533824A)

(43) 公表日 平成20年8月21日(2008.8.21)

(51) Int.Cl. F I テーマコード (参考)
H03K 17/06 (2006.01) H03K 17/06 C 5J055

審査請求 有 予備審査請求 未請求 (全 12 頁)

(21) 出願番号 特願2008-500860 (P2008-500860)
(86) (22) 出願日 平成18年3月8日 (2006.3.8)
(85) 翻訳文提出日 平成19年10月18日 (2007.10.18)
(86) 国際出願番号 PCT/US2006/008181
(87) 国際公開番号 W02006/096748
(87) 国際公開日 平成18年9月14日 (2006.9.14)
(31) 優先権主張番号 60/659,705
(32) 優先日 平成17年3月8日 (2005.3.8)
(33) 優先権主張国 米国 (US)
(31) 優先権主張番号 11/159,005
(32) 優先日 平成17年6月22日 (2005.6.22)
(33) 優先権主張国 米国 (US)

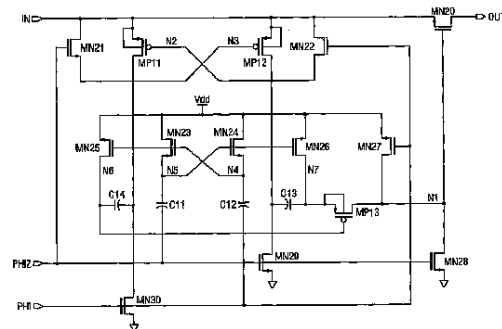
(71) 出願人 501229528
テキサス インストルメンツ インコーポ
レイテッド
アメリカ合衆国、テキサス、ダラス、チャ
ーチル ウエイ 7839
(74) 代理人 100066692
弁理士 浅村 皓
(74) 代理人 100072040
弁理士 浅村 肇
(74) 代理人 100094673
弁理士 林 拓三
(74) 代理人 100091339
弁理士 清水 邦明

最終頁に続く

(54) 【発明の名称】 電源電圧を超える入力のサンプリングを可能にするブートストラップ回路

(57) 【要約】

電源電圧を超えるサンプリング入力を可能にするブートストラップ回路であって、入力ノードと出力ノードとの間に結合するブートストラップ・スイッチ (MN20) と、ブートストラップ・スイッチの制御ノードに結合する第1の端子を有する第1のトランジスタ (MP13) と、第1のトランジスタの第2の端子に結合する第1の端子を有するクロック・ブートストラップ・コンデンサ (C13) と、第1のトランジスタの第1の端子と電源ノードとの間に結合し、そして第1のクロック信号ノードPHIに結合する制御ノードを有する第2のトランジスタ (MN27) と、第1のトランジスタの第2の端子と電源ノードとの間に結合する第3のトランジスタ (MN26) と、第3のトランジスタの制御ノードに結合する第1の出力を有するチャージ・ポンプと、クロック・ブートストラップ・コンデンサの第2の端子に結合する第1の出力を有するレベル・シフタと、電源ノードと第1のトランジスタの制御ノードとの間に結合し、そしてチャージ・ポンプの第2の出力に結合する制御ノードを有する第4のトランジスタ (MN25) と、レベル・



【特許請求の範囲】

【請求項 1】

電源電圧を超える入力のスAMPLINGを可能にするブートストラップ回路であって、
入力ノードと出力ノードとの間に結合するブートストラップ・スイッチと、
前記ブートストラップ・スイッチの制御ノードに結合する第 1 の端子を有する第 1 のトランジスタと、

前記第 1 のトランジスタの第 2 の端子に結合する第 1 の端子を有する第 1 のコンデンサと、

前記第 1 のトランジスタの第 1 の端子と電源ノードとの間に結合し、そして第 1 のクロック信号ノードに結合する制御ノードを有する第 2 のトランジスタと、

前記第 1 のトランジスタの第 2 の端子と前記電源ノードとの間に結合する第 3 のトランジスタと、

前記第 3 のトランジスタの制御ノードに結合する第 1 の出力を有するチャージ・ポンプと、

前記第 1 のコンデンサの第 2 の端子に結合する第 1 の出力を有するレベル・シフタと、
を含むブートストラップ回路。

【請求項 2】

前記電源ノードと前記第 1 のトランジスタの制御ノードとの間に結合し、そして前記チャージ・ポンプの第 2 の出力に結合する制御ノードを有する第 4 のトランジスタを更に含む、請求項 1 記載のブートストラップ回路。

【請求項 3】

前記レベル・シフタの第 2 の出力と前記第 1 のトランジスタの制御ノードとの間に結合する第 2 のコンデンサを更に含む、請求項 1 または 2 記載のブートストラップ回路。

【請求項 4】

前記ブートストラップ・スイッチの制御ノードと共通ノードとの間に結合する第 5 のトランジスタを更に含む、請求項 1、2 または 3 記載のブートストラップ回路。

【請求項 5】

前記レベル・シフタは、

前記入力ノードと前記第 1 のコンデンサの第 2 の端子との間に結合する第 1 のレベル・シフタと、

前記入力ノードに結合しそして前記第 1 のレベル・シフタ・トランジスタと相互結合する第 2 のレベル・シフタと、

を更に含む、請求項 1 記載のブートストラップ回路。

【請求項 6】

前記レベル・シフタは、

前記第 1 のレベル・シフタ・トランジスタと共通ノードとの間に結合し、そして第 2 のクロック信号ノードに結合する制御ノードを有する第 3 のレベル・シフタと、

前記第 2 のレベル・シフタ・トランジスタと共通ノードとの間に結合し、そして第 1 のクロック信号ノードに結合する制御ノードを有する第 4 のレベル・シフタと、

を更に備える、請求項 5 記載のブートストラップ回路。

【請求項 7】

前記レベル・シフタは、

前記第 1 のレベル・シフタ・トランジスタに並列に結合し、そして前記第 1 のクロック信号ノードに結合する制御ノードを有する第 5 のレベル・シフタと、

前記第 2 のレベル・シフタ・トランジスタに並列に結合し、そして第 2 のクロック信号ノードに結合する制御ノードを有する第 6 のレベル・シフタと、

を更に備える、請求項 5 または 6 記載のブートストラップ回路。

【請求項 8】

前記第 2 のレベル・シフタ・トランジスタと前記第 1 のトランジスタの制御ノードとの間に結合する第 2 のコンデンサを更に含む、請求項 5 または 6 記載のブートストラップ回

10

20

30

40

50

路。

【請求項 9】

前記電源ノードと前記第 1 のトランジスタの制御ノードとの間に結合する第 4 のトランジスタを更に含む、請求項 8 記載のブートストラップ回路。

【請求項 10】

前記第 1 および第 2 のレベル・シフト・トランジスタは PMOS トランジスタであり、前記第 5 および第 6 のレベル・シフト・トランジスタは NMOS トランジスタである、請求項 7 記載のブートストラップ回路。

【請求項 11】

前記ブートストラップ・スイッチは NMOS トランジスタであり、前記第 1 のトランジスタは PMOS トランジスタであり、前記第 2 および第 3 のトランジスタは NMOS トランジスタである、請求項 1 記載のブートストラップ回路。

10

【請求項 12】

前記チャージ・ポンプは

前記電源ノードに結合する第 1 のチャージ・ポンプ・トランジスタと、

前記電源ノードに結合した前記第 1 のチャージ・ポンプ・トランジスタと相互結合する第 2 のチャージ・ポンプ・トランジスタと、

前記第 1 のチャージ・ポンプ・トランジスタと前記第 1 のクロック信号ノードとの間に結合する第 1 のチャージ・ポンプ・コンデンサと、

前記第 2 のチャージ・ポンプ・トランジスタと第 2 のクロック信号ノードとの間に結合する第 2 のチャージ・ポンプ・コンデンサと、

20

を含み、

前記第 3 のトランジスタの制御ノードは前記第 1 のチャージ・ポンプ・トランジスタの制御ノードに結合する、

請求項 1 または 11 記載のブートストラップ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子回路に関するものであって、特に、電源電圧を超える入力のスAMPLING を可能にするブートストラップ回路に関するものである。

30

【背景技術】

【0002】

高集積度の電力管理応用は、電源電圧を超える大きさの電圧量を測定する能力を必要とすることが多い。その主な理由は、できるだけ低い電源電圧で電力管理 IC を走らせ、しかも時には電池電圧をかなり超える周辺からの量を SAMPLING した測定する能力を保持することにより、効率を最大にするという基本的なニーズがあるからである。

現在の高集積度の電力管理応用では、オン・チップおよびオフ・チップの電圧量を監視するために、通常、低電力の逐次近似レジスタ (SAR) アナログ・デジタル変換器 (ADC) を用いる。オン・チップ ADC の範囲を広げて電源の値より大きな電圧入力を SAMPLING するというニーズはしばしば起こる。ADC は、できるだけ低い電池電圧で動作し、しかも電源範囲を超える入力を SAMPLING する能力を保持しなければならない。

40

【0003】

ADC 応用でこれまで最も広く用いられてきたブートストラップ回路を図 1 に示す。図 1 の回路は、トランジスタ MN1 - MN10、MP1、MP2 と、インバータ INV と、コンデンサ C1、C2、C3 と、入力ノード IN と、出力ノード OUT と、クロック信号ノード PHI、PHIZ と、電源電圧 Vdd とを含む。端子 OUT に接続する NMOS トランジスタ MN1 はブートストラップ・スイッチである。SAMPLING・コンデンサ (図示しない) が端子 OUT と接地との間を接続する。この回路はパイプライン ADC 変換器において、変換器のフロント・エンドのトラック・ホールド回路の帯域幅を広げるために広く用いられている。多くのパイプライン ADC 変換器は一般に、チップの電源範囲内に十

50

分収まる比較的小さくて完全に差動的な範囲を有する。そのため、図 1 に示す従来のスイッチは問題なく動作する。

【 0 0 0 4 】

図 1 の回路は次のように動作する。まず、トランジスタ MN 8、MN 9 と、コンデンサ C 1、C 2 と、インバータ INV とで形成するチャージ・ポンプを考える。これは次のように動作する。まず、コンデンサ C 1 および C 2 にかかる電圧はゼロとする。クロック信号 PHIZ がハイになると、コンデンサ C 1 のトップ・プレートの電圧は上昇して電源電圧 VDD になる。この状態でコンデンサ C 2 および C 3 のボトム・プレートは接地されるので、これらのコンデンサはトップ・プレートの電圧が VDD - VTN (VTN は NMOS トランジスタ MN 9 および MN 10 のしきい値電圧) まで充電される。クロック信号 PHIZ がローになると、コンデンサ C 2 のトップ・プレートは電圧 VDD よりかなり高くなり (すなわち、正確には $2VDD - VTN$)、コンデンサ C 1 はスイッチ MN 8 を通して充電されて VDD になる。次の段階で PHIZ が再びハイになると、コンデンサ C 1 は VDD に充電されているので、コンデンサ C 1 のトップ・プレートは $2VDD$ (電圧 VDD の 2 倍) になり、コンデンサ C 2 および C 3 は完全に充電されて VDD になる。定常状態では、コンデンサ C 1、C 2、C 3 は充電されて VDD になり、またコンデンサ C 1 および C 2 のトップ・プレートの電圧は VDD と $2VDD$ との間で変わる。従来のブートストラップ・スイッチは少なくとも 1 クロック期間の後にその定常状態に達する。

10

【 0 0 0 5 】

全てのコンデンサが充電されて VDD になったと仮定すると、ブートストラップ・スイッチは次のように動作する。PHIZ がハイになると、コンデンサ C 1 のボトム・プレートは接地されてスイッチ MN 10 はオンになるので、コンデンサ C 3 は充電されて VDD になる。スイッチ MP 2 もオンになり、トランジスタ MP 1 のゲートを駆動して VDD にするのでトランジスタ MP 1 はオフになり、最終的に MN 6 はオンになり、そして主スイッチ MN 1 のゲート端子は接地される。そのゲート端子が接地されるので、トランジスタ MN 3、MN 2、MN 1 はオフになる。この段階中は、スイッチ MN 1 は入力ノード IN を出力ノード OUT から切り離し、コンデンサ C 3 を充電して VDD にする。PHIZ がローになると、トランジスタ MN 6 はオフなので、MN 1 のゲート端子は高インピーダンスになる。

20

【 0 0 0 6 】

最初、コンデンサ C 3 のボトム・プレートは浮遊するが、スイッチ MN 4 がコンデンサ C 3 をトランジスタ MP 1 のゲートとソースとの間に接続するためにこのトランジスタはすぐオンになり、コンデンサ C 3 に蓄積された電荷は主スイッチ MN 1 のゲート端子に流れ始める。スイッチ MN 1 のゲート電圧が上昇すると MN 2 はオンになり、コンデンサ C 3 のボトム・プレートは入力電圧 VIN に向かい、このためにコンデンサ C 3 のトップ・プレートは電圧 $VDD + VIN$ に押し上げられる。最終的にこの電圧はトランジスタ MN 1 のゲートに現われ、その結果トランジスタ MN 1 は完全にオンになって、入力端子 IN と出力端子 OUT とを接続する。トランジスタ MN 2 は完全にオンになって、入出力端子 IN とコンデンサ C 3 のボトム端子とを接続し、またトランジスタ MN 3 は完全にオンになって、トランジスタ MP 1 のゲートを駆動して入力電圧レベルにする。

30

40

【 0 0 0 7 】

これらの 4 個のスイッチ MN 1、MN 2、MN 3、MP 1 の全てのゲート・ソース間電圧は VDD に等しい。素子の信頼性についての重要な詳細は次の通りである。MP 1 のゲート端子を接地することによりブートストラップ・スイッチをオンにすることはできるが、入力信号が VDD に等しい場合は、トランジスタ MP 1 のゲートとソースの間の電位差は $2VDD$ になる。このため、この段階でブートストラップ・スイッチ MN 1 はオンになり、トランジスタ MP 1 のゲート電圧はスイッチ MN 3 を通して入力信号と等しくなるので、トランジスタ MP 1 のゲート・ソース間電圧は VDD 内に制限される。したがって信頼性は高い。このスイッチの主な問題は、その端子の両端に表れる最大電圧を制限して MP 1 を保護するようにする設計である。

50

【発明の開示】

【発明が解決しようとする課題】

【0008】

図1の従来のスイッチは入力信号レベルが電源の範囲内の場合にはうまく動作するが、入力信号が電源電圧を越えるときは使えない。その理由は次の通りである。スイッチがオンのとき、トランジスタMP1のゲートに入力電圧が現われる。前に述べたように、これはこの素子のゲート・ソース間電圧をVDDに制限するために必要である。スイッチMP2はPMOSTランジスタなので、そのドレイン電圧が電源電圧を超えると（入力信号がVDDより高いために）、この素子の寄生ドレイン・基板間ダイオードが順方向にバイアスされるためにトランジスタMN2およびMN3とトランジスタMP2の寄生ボディ・ダイオードとにより形成される経路を通して大きな電流が流れる。この電流路のために、入力信号レベルが電源電圧を超える応用では従来のブートストラップ・スイッチが使えない。ここで活動化されるボディ・ダイオードは、図2に示すように、トランジスタMP2のドレインDとトランジスタMP2のバルクBとの間に形成されるダイオードである。図2に示すトランジスタMP2の断面はp型の領域pと、n型の領域nと、ドレインDと、ゲートGと、ソースSと、バルクBとを含む。

10

【課題を解決するための手段】

【0009】

電源電圧を超えるサンプリング入力を可能にするブートストラップ回路は、入力ノードと出力ノードとの間に結合するブートストラップ・スイッチと、ブートストラップ・スイッチの制御ノードに結合する第1の端子を有する第1のトランジスタと、第1のトランジスタの第2の端子に結合する第1の端子を有するクロック・ブートストラップ・コンデンサと、第1のトランジスタの第1の端子と電源ノードとの間に結合し、また第1のクロック信号ノードに結合する制御ノードを有する第2のトランジスタと、第1のトランジスタの第2の端子と電源ノードとの間に結合する第3のトランジスタと、第3のトランジスタの制御ノードに結合する第1の出力を有するチャージ・ポンプと、クロック・ブートストラップ・コンデンサの第2の端子に結合する第1の出力を有するレベル・シフタと、電源ノードと第1のトランジスタの制御ノードとの間に結合し、またチャージ・ポンプの第2の出力に結合する制御ノードを有する第4のトランジスタと、レベル・シフタの第2の出力と第1のトランジスタの制御ノードとの間に結合するコンデンサと、ブートストラップ・スイッチの制御ノードと共通ノードとの間に結合する第5のトランジスタとを含む。

20

30

【実施例】

【0010】

本発明に係るブートストラップ回路により、チップ電源電圧より大きな入力信号を最小の電力消費オーバーヘッドで正確にサンプリングすることができる。ブートストラップ・スイッチにより、電源電圧を超えるまで低電力SAR ADCの範囲を拡張してダイナミック・レンジを広げ、同時に電力消費を最小にすることができる。これは、多重チャンネルSAR ADCを用いて、時には電源電圧をかなり超えるオフ・チップ電圧量を測定する高集積度の電力管理応用に非常に有用である。従来のブートストラップ・スイッチを用いて電源電圧より大きな電圧入力をサンプリングすると、入力が電源電圧を超えるに従って順方向にバイアスされる寄生ボディ・ダイオードのために必ず大きな電力損失を生じる。この解決方法は製作の費用効果があり、標準のブートストラップ・スイッチに比べて大きなストレスを素子に与えることがない。

40

【0011】

本発明では電力消費が最小になる。なぜならスイッチは静的電力を消費せず、また入力電圧が電源電圧を超えるとオンになる寄生ボディ・ダイオードがないからである。従来のブートストラップ・スイッチは、ドレイン・バルク間のボディ・ダイオード接合を流れる大きな電流が災いして、電源電圧を超える入力信号をサンプリングするのに用いることができない。

【0012】

50

本発明に係るブートストラップ・スイッチは電力消費が非常に小さい。なぜなら、スイッチを動作状態に保つのに静的電流が必要でないからである。更に、スイッチ内の全てのボディ・ダイオード接合は、電源電圧より大きな電圧を含む全入力電圧範囲で逆にバイアスされる。従来のブートストラップ・スイッチ（例えば、パイプラインADC変換器に用いられるタイプ）は、電源電圧より大きな入力信号が入ると順方向にバイアスされるボディ・ダイオード接合が災いする。

【0013】

図3は本発明に係る好ましい実施の形態のブートストラップ・スイッチを示す。図3の回路は、NMOSトランジスタMN20 - MN30と、PMOSトランジスタMP11、MP12、MP13と、コンデンサC11 - C14と、電源ノードV_{dd}と、入力ノードINと、クロック信号PHIおよびPHIZと、出力ノードOUTとを含む。ブートストラップ・スイッチは出力ノードOUTに接続するNMOSトランジスタMN20である。クロック信号PHIZはクロック信号PHIの反転である。コンデンサC13はクロック・ブートストラップ・コンデンサである。トランジスタMN23およびMN24とコンデンサC11およびC12とはチャージ・ポンプを形成する。

10

【0014】

トランジスタMP11、MP12、MN21、MN22、MN29、MN30は単一レベル・シフトを形成する。このレベル・シフトは、異なる電源レベルを有するデジタル・ブロックに論理信号を伝える必要があるときにデジタル設計で用いられる。差分論理信号PHIおよびPHIZをトランジスタMN30およびMN29に与えると、PMOSトランジスタMP11およびMP12により生成される正帰還によりノードN2とN3の一方が接地され、他方が入力電圧レベルV_{in}になる。トランジスタMN21およびMN22は、入力信号レベルが非常に低い（トランジスタMP11およびMP12のしきい値電圧に近いか等しい）ときにこの挙動を保証するために用いられる。入力信号が低い場合は、トランジスタMP11およびMP12がレベル・シフトの状態を切り換えることができるだけの十分なゲートのオーバードライブがない。この場合は、クロック信号で駆動されるトランジスタMN21またはMN22がスイッチとして働き、該当する出力ノードが入力電圧になるように駆動する。準安定状態を防ぐため、トランジスタMN29およびMN30はトランジスタMP11およびMP12よりはるかに強く設計しなければならない。このレベル・シフトは、段階が変わるたびにノードN2とN3が接地とV_{in}に交互に変わるように動作する。

20

30

【0015】

1クロック・サイクルが過ぎるとスイッチはその定常状態の動作に達する。これは従来のスイッチがその定常状態に達するのにかかるサイクル数と同じである。この第1のクロック・サイクルが過ぎた後、コンデンサC11、C12、C13、C14は初期状態である電源電圧V_{DD}になってよい。

【0016】

図3の動作の記述は上に述べた初期状態で、クロックPHIがローのときに始まる。回路内の全ての素子および全てのノードの状態は、クロック信号PHIがローからハイに移行する直前に特定される必要がある。次に同じことを、クロック信号PHIがハイからローに移行する直前に行わなければならない。以下の概要は、これらの2つの場合のそれぞれにおける回路の状態を記録する。

40

【0017】

信号PHIがローのとき、

トランジスタMN29はオンに、トランジスタMN30はオフになる。

コンデンサC13のボトム・プレートは接地される。

コンデンサC11のボトム・プレートが電圧V_{DD}なのでノードN5は電源電圧V_Dの2倍になる。

したがって、トランジスタMN26はオンになり、ノードN7のコンデンサC13のトップ・プレートは充電されて電圧V_{DD}になる。

50

ノードN4は電圧VDDであり、コンデンサC12のボトム・プレートは接地される。

トランジスタMN27はオフ、トランジスタMN24はオン、トランジスタMN23はオフである。

トランジスタMN28はオンで、ブートストラップNMOSスイッチMN20は接地される。

【0018】

ノードN5が電圧VDDの2倍になっているのでコンデンサC12のトップ・プレートは充電されて電圧VDDになる。

コンデンサC14のボトム・プレートが電圧VINになるのでノードN6はVDD + VINになる。

トランジスタMN25はオフであり、オンになるボディ・ダイオードはない。なぜなら、ノードN6(トランジスタMN25のドレイン)の電圧がそのソースおよびそのバルクのどちらよりも高いからである。

トランジスタMP13はオフである。なぜなら、そのゲート(ノードN6)の電圧はVDD + VINであり、そのソース(ノードN7)の電圧はVDDだからである(トランジスタMP13のゲート・ソース間電圧(Vgs)の降伏電圧は入力電圧VINより低くなければならない)。トランジスタMP13のドレインがゼロなので、やはりオンのボディ・ダイオードはない。

入力電圧VINがローの場合は、トランジスタMN21はトランジスタMP11の仕事を行い、コンデンサC14のボトム・プレートを充電して入力電圧VINにする。

【0019】

PHIがハイのとき、

トランジスタMN30はオンに、トランジスタMN29はオフになる。

その結果コンデンサC13のボトム・プレートは入力電圧VINになる。

コンデンサC12のボトム・プレートの電圧はVDDになるので、ノードN4は電源電圧VDDの2倍になる。

ノードN5は電圧VDDであり、コンデンサC11のボトム・プレートは接地される。

トランジスタMN23はオンで、トランジスタMN24はオフである。

トランジスタMN25はオンで、コンデンサC14のトップ・プレートの電圧は充電されてVDDになる。

【0020】

トランジスタMN28はオフなので、ブートストラップ・スイッチを駆動するノード(ノードN1)は解放される。

コンデンサC13のボトム・プレートの電圧はVINになるので、ノードN7の電圧はVDD + VINになる。

トランジスタMN26はオフであり、オンになるボディ・ダイオードはない。なぜなら、ノードN7(トランジスタMN26のドレイン)の電圧がそのソースおよびそのバルクのどちらよりも高いからである。

トランジスタMN27はノードN1の電圧を充電してVDD - Vtn(VtnはNMOSトランジスタのしきい値電圧)にしようとする。トランジスタMN27はオンであるが、ノードN1の電圧がVDD - Vtnに達するまでは逆向き(すなわち、ソースからドレイン)にだけ導通する。

【0021】

トランジスタMP13はオンである。なぜなら、そのゲート(ノードN6)の電圧はVDDであるが、そのソース(ノードN7)の電圧はVDD + VINだからである。したがって、MP13の電圧Vgsは電圧VINに等しい。これによりノードN1とN7とは短絡して、その値はトランジスタMP13のしきい値電圧Vtより大きい全ての入力電圧VINの値においてVDD + VINである。

10

20

30

40

50

ノードN1の電圧がVDDより高い電圧になる場合(すなわち、トランジスタMP13がオンの場合)は、トランジスタMN27はオフになり、オンになるボディ・ダイオードはない。

トランジスタMP13の V_{gs} (これは電圧 $V_{DD} - (V_{DD} + V_{IN}) = V_{IN}$ に等しい)がMP13をオンにするのに十分でない(電圧 V_{IN} という低い値)場合でも、トランジスタMN27はやはりノードN1を充電して電圧 $V_{DD} - V_t$ にする。

【0022】

上記から、ブートストラップ・スイッチの電圧 V_{gs} は少なくとも $V_{DD} - 2V_t$ ($2V_t$ はしきい値電圧の2倍)に等しいことが分かる。この状態は、入力電圧 V_{IN} がトランジスタMP13のしきい値電圧 V_t よりやや低いときに起こる。最悪の場合はブートストラップ・スイッチのゲート電圧は $V_{DD} - V_t$ でありまた電圧 V_{IN} は V_t なので、最悪の場合の V_{gs} は少なくとも電圧 $V_{DD} - 2V_t$ である。信号PHIがハイのときは、これはブートストラップ・スイッチをオンにするのに十分である。 V_{IN} の値がトランジスタMP13の V_t より大きい場合は、ブートストラップ・スイッチの電圧 V_{gs} は常に V_{DD} である。また、入力電圧 V_{IN} の全範囲において活動化されるボディ・ダイオードはないことと、スイッチが状態を変えるときも回路内の容量ノードを充電および放電するときもこのスイッチ内のエネルギー損失はショートスルー電流に限定されることが分かる。

10

【0023】

図3の回路は、電源電圧より高い入力電圧において最小の電力損失で切り換えることができる強固なスイッチである。更に、この回路は信頼性が高く、また従来のブートストラップ回路内のストレスに比べて素子のゲート酸化物に悪いストレス状態を与えない。

20

【0024】

本発明について例示の実施の形態を参照して説明したが、この説明は制限するものではない。例示の実施の形態の種々の変更および組合せや本発明の他の実施の形態は、この説明を参照すれば当業者に明らかである。したがって、本発明のクレームはかかる変更および組合せを全て含むものである。

【図面の簡単な説明】

【0025】

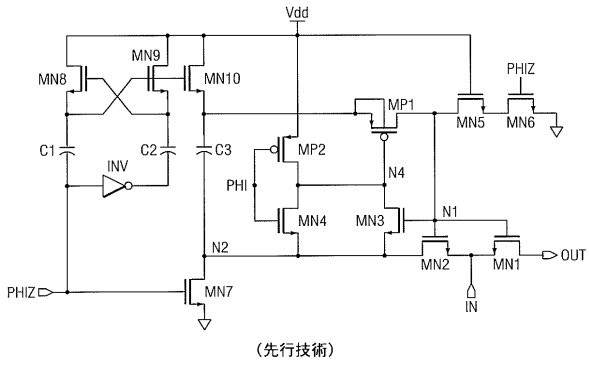
【図1】従来のブートストラップ回路の回路図である。

【図2】図1に示すトランジスタの断面である。

30

【図3】本発明に係る好ましい実施の形態のブートストラップ回路の回路図である。

【 図 1 】



(先行技術)

【 図 2 】

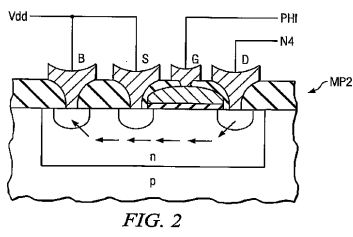


FIG. 2

【 図 3 】

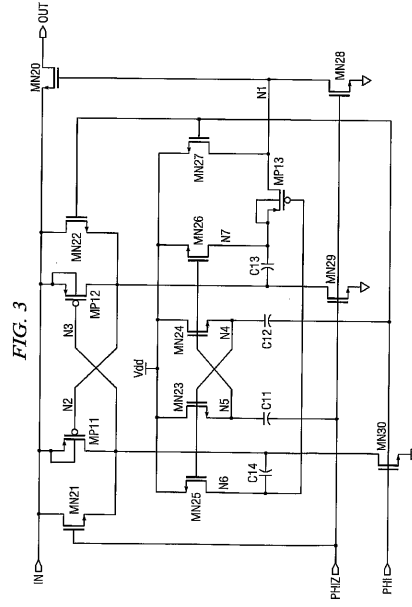
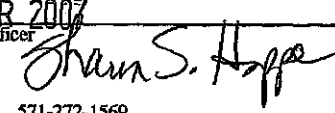


FIG. 3

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US06/08181												
A. CLASSIFICATION OF SUBJECT MATTER IPC: G05F 1/10(2006.01) USPC: 327/536 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 327/536,91,124,390,419,427,589; 341/122 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category *</th> <th style="width: 70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A,E</td> <td>US 7,049,977 B2 (CLARA et al.) 23 May 2006 (23.05.2006), see entire document.</td> <td>1-12</td> </tr> <tr> <td>A,E</td> <td>US 2006/0202735 A1 (AKSIN et al.) 14 September 2006 (14.09.2006), see entire document.</td> <td>1-12</td> </tr> <tr> <td>A,E</td> <td>US 2006/0202736 A1 (AKSIN et al.) 14 September 2006 (14.09.2006), see entire document.</td> <td>1-12</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A,E	US 7,049,977 B2 (CLARA et al.) 23 May 2006 (23.05.2006), see entire document.	1-12	A,E	US 2006/0202735 A1 (AKSIN et al.) 14 September 2006 (14.09.2006), see entire document.	1-12	A,E	US 2006/0202736 A1 (AKSIN et al.) 14 September 2006 (14.09.2006), see entire document.	1-12
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A,E	US 7,049,977 B2 (CLARA et al.) 23 May 2006 (23.05.2006), see entire document.	1-12												
A,E	US 2006/0202735 A1 (AKSIN et al.) 14 September 2006 (14.09.2006), see entire document.	1-12												
A,E	US 2006/0202736 A1 (AKSIN et al.) 14 September 2006 (14.09.2006), see entire document.	1-12												
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.														
* Special categories of cited documents: <table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width: 50%; vertical-align: top;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p> </td> </tr> </table>			<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>										
<p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>													
Date of the actual completion of the international search 02 April 2007 (02.04.2007)		Date of mailing of the international search report 10 APR 2007												
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer JOSE DEES  Telephone No. 571-272-1569												

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US06/08181

Continuation of B. FIELDS SEARCHED Item 3:
USPGPUB, USPAT search notes: (bootstrap\$4 or (boot adj strap\$4)) and (level adj shift\$3), sampl\$3 with (range near\$5 (wider or larger or greater or more or beyond))

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 アクシン、デブリム、ワイ。

アメリカ合衆国、テキサス、リチャードソン、ウォータービュー パークウェイ 2200 ナンバー 24208

(72)発明者 アル - シュウク、モハメド、エー。

アメリカ合衆国、テキサス、リチャードソン、ダブリュー・レンナー ロード 800 ナンバー 823

Fターム(参考) 5J055 AX63 BX17 CX23 DX12 EX07 EY10 EY21 EZ18 EZ20 FX27
GX01

【要約の続き】

シフトの第2の出力と第1のトランジスタの制御ノードとの間に結合するコンデンサと、ブートストラップ・スイッチの制御ノードと共通ノードとの間に結合する第5のトランジスタ(MN28)とを含む。