

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月12日(12.09.2024)



(10) 国際公開番号

WO 2024/185367 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 29/812 (2006.01)
H01L 29/786 (2006.01) H05B 33/12 (2006.01)
H01L 21/338 (2006.01) H10K 50/10 (2023.01)
H01L 29/778 (2006.01) H10K 59/12 (2023.01)

(21) 国際出願番号: PCT/JP2024/003828

(22) 国際出願日: 2024年2月6日(06.02.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-033613 2023年3月6日(06.03.2023) JP

(71) 出願人:株式会社ジャパンディスプレイ(JAPAN
DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区
西新橋三丁目7番1号 Tokyo (JP).

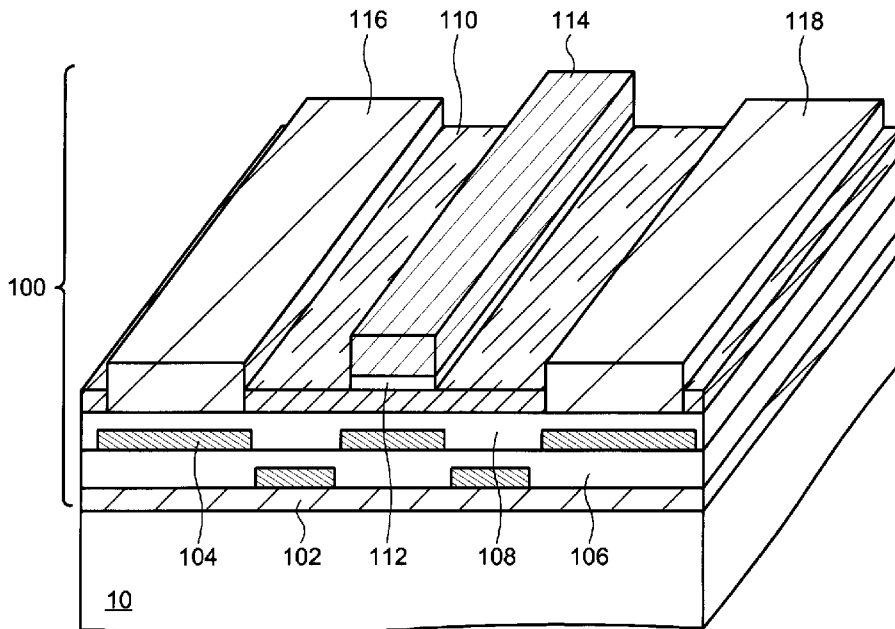
(72) 発明者: 西村 眞澄 (NISHIMURA Masumi);
〒1050003 東京都港区西新橋三丁目7番1
号 株式会社ジャパンディスプレイ内 Tokyo
(JP). 小野寺 涼(ONODERA Ryo); 〒1050003 東
京都港区西新橋三丁目7番1号 株式会社ジ
ャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 弁理士法人高橋・林アンドパートナ
ーズ(TAKAHASHI, HAYASHI AND PARTNER
PATENT ATTORNEYS, INC.); 〒1440052 東京
都大田区蒲田5-24-2 損保ジャ
パン蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: TRANSISTOR AND DISPLAY DEVICE EQUIPPED WITH TRANSISTOR

(54) 発明の名称: トランジスタ、およびトランジスタを備える表示装置



(57) Abstract: This transistor comprises: a first orientation control film; a plurality of blocking films located on the first orientation control film and including an insulating material; an active layer located on the blocking films and including a gallium-nitride-based compound; and a first terminal and a second terminal, which are present on the active layer. The entire bottom surface of the first terminal overlaps one of the blocking films, and the entire bottom surface of the second terminal overlaps another of the blocking films.

[続葉有]



KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: トランジスタは、第1の配向制御膜、第1の配向制御膜上に位置し、絶縁性材料を含む複数のブロッキング膜、複数のブロッキング膜上に位置し、窒化ガリウム系化合物を含む活性層、および活性層上の第1の端子と第2の端子を備える。第1の端子の底面の全体は複数のブロッキング膜の一つと重なり、第2の端子の底面の全体は複数のブロッキング膜の他の一つと重なる。

明 細 書

発明の名称：

トランジスタ、およびトランジスタを備える表示装置

技術分野

[0001] 本発明の実施形態の一つは、トランジスタ、および当該トランジスタを備える電子デバイスに関する。例えば、本発明の実施形態の一つは、窒化ガリウム系化合物を含むトランジスタ、およびこのトランジスタを備える電子デバイスに関する。

背景技術

[0002] 近年、窒化ガリウム（GaN）や窒化インジウム（InN）などの13族元素の窒化物を含む半導体素子の開発が精力的に行われている。半導体素子の代表例であるトランジスタに13族元素窒化物を含む半導体を用いることで、高い耐圧性と低いオン抵抗を備える半導体デバイスを作製することができる。例えば特許文献1では、13族元素を活性層を含むトランジスタがガラス基板上に形成できることが開示されている。特許文献2では、酸化ガリウム（Ga₂O₃）を含む絶縁膜上に13族元素の窒化物を成長させることで、欠陥密度が低い13族元素の半導体膜を形成できることが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-41113号公報
特許文献2：特開2018-168029号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明の実施形態の一つは、新規な構造を有するトランジスタ、およびこのトランジスタを備える電子デバイスを提供することを課題の一つとする。あるいは、本発明の実施形態の一つは、13族元素を含む高信頼性トランジ

スタ、およびこのトランジスタを備える電子デバイスを提供することを課題の一つとする。

課題を解決するための手段

[0005] 本発明の実施形態の一つは、トランジスタである。このトランジスタは、第1の配向制御膜、第1の配向制御膜上に位置し、絶縁性材料を含む複数のブロッキング膜、複数のブロッキング膜上に位置し、窒化ガリウム系化合物を含む活性層、および活性層上の第1の端子と第2の端子を備える。第1の端子の底面の全体は複数のブロッキング膜の一つと重なり、第2の端子の底面の全体は複数のブロッキング膜の他の一つと重なる。

[0006] 本発明の実施形態の一つは、表示装置である。この表示装置は、基板、および基板上の複数の画素を備える。複数の画素の少なくとも一つは、トランジスタ、およびトランジスタに電氣的に接続される表示素子を備える。トランジスタは、第1の配向制御膜、第1の配向制御膜上に位置し、絶縁性材料を含む複数のブロッキング膜、複数のブロッキング膜上に位置し、窒化ガリウム系化合物を含む活性層、および活性層上の第1の端子と第2の端子を備える。第1の端子の底面の全体は複数のブロッキング膜の一つと重なり、第2の端子の底面の全体は複数のブロッキング膜の他の一つと重なる。

図面の簡単な説明

[0007] [図1]本発明の実施形態の一つに係るトランジスタの模式的斜視図。

[図2A]本発明の実施形態の一つに係るトランジスタの模式的上面図。

[図2B]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図3A]本発明の実施形態の一つに係るトランジスタの一部の構成の模式的上面図。

[図3B]本発明の実施形態の一つに係るトランジスタの一部の構成の模式的上面図。

[図4A]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図4B]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図4C]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図5A]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図5B]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図6]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図7A]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図7B]本発明の実施形態の一つに係るトランジスタの模式的端面図。

[図8]本発明の実施形態の一つに係る表示装置の模式的上面図。

[図9]本発明の実施形態の一つに係る表示装置の模式的端面図。

発明を実施するための形態

[0008] 以下、本発明の各実施形態について、図面などを参照しつつ説明する。ただし、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

[0009] 図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状などについて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。同一、あるいは類似する複数の構造を総じて表す際にはこの符号が用いられ、これらを個々に表す際には符号の後にハイフンと自然数が加えられる。

[0010] 本明細書および請求項において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りのない限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

[0011] 本明細書および請求項において、「ある構造体が他の構造体から露出する」という表現は、ある構造体の一部が他の構造体によって覆われていない態様を意味し、この他の構造体によって覆われていない部分は、さらに別の構造体によって覆われる態様も含む。また、この表現で表される態様は、ある

構造体が他の構造体と接していない態様も含む。

[0012] <第1実施形態>

本実施形態では、本発明の実施形態の一つであるトランジスタについて説明する。

[0013] 1. 構造

本発明の実施形態の一つであるトランジスタ100の構造の一例を図1、図2A、図2Bに示す。図1と図2Aは、それぞれトランジスタ100の模式的斜視図と上面図であり、図2Bは図2Aの鎖線A-A'に沿った端面の模式図である。これらの図から理解されるように、トランジスタ100は高電子移動度電界効果型トランジスタ（HEMT）の一つである。トランジスタ100は基板10上に設けられ、第1の配向制御膜102、第1の配向制御膜102上の第2の配向制御膜106、第1の配向制御膜102上の複数のブロッキング膜104、第2の配向制御膜106とブロッキング膜104上の活性層（電子走行層とも呼ばれる。）108、活性層108上の電子供給層110、および活性層108上に位置し、活性層108および電子供給層110に電氣的に接続される一対の端子（第1の端子116と第2の端子118）を備える。第1の端子116と第2の端子118は、活性層108と接してもよく、図示しないが、電子供給層110を介して活性層108と接してもよい。トランジスタ100はさらに、電子供給層110と直接接する、または任意の構成であるゲート絶縁膜112を介して電子供給層110上に設けられるゲート電極114を備える。以下、これらの構成について説明する。

[0014] (1) 基板

基板10はトランジスタ100を支持する。このため、この機能を発現できる構成であれば、任意の基板を基板10として用いることができる。例えば、単結晶シリコン基板やサファイア基板、石英基板の他、非晶質ガラス基板を基板10として用いることができる。あるいは、ポリイミド基板、ポリアミド基板、ポリカーボネート基板、アクリル樹脂基板、ポリシロキサン基

板、またはフッ素樹脂基板などの樹脂基板を基板 10 として用いてもよい。基板 10 は可撓性を有していてもよい。後述するように、トランジスタ 100 の作製においては、無機半導体をエピタキシャル成長させる際に必要な高温は必ずしも必要ではない。このため、マザーガラスとも呼ばれる大型の非晶質ガラス基板を基板 10 として利用することも可能である。このことは、トランジスタ 100 の製造コストの低減に寄与する。好ましくは、熱膨張係数が低く、歪み点が高く、表面の平坦性が高い基板を基板 10 として用いる。例えば、基板 10 は、熱膨張係数が $50 \times 10^{-7} / ^\circ\text{C}$ より小さく、歪み点が 600°C 以上であることが好ましい。また、基板 10 中のナトリウムなどのアルカリ金属の含有量は 0.1% 以下であることが好ましい。このため、基板 10 が非晶質ガラス基板である場合、例えば、アルミノホウケイ酸ガラス、アルミノシリケートガラスで形成されるガラス基板を用いることができる。

[0015] 図示しないが、基板 10 上には、アルカリ金属イオンなどの不純物の拡散を防ぐためのアンダーコートを設けてもよい。アンダーコートは、例えばスパッタリング法または化学気相堆積 (CVD) 法で形成され、酸化ケイ素や窒化ケイ素などのケイ素含有無機化合物を含む一つまたは複数の膜の積層体である。

[0016] (2) 第 1 の配向制御膜

第 1 の配向制御膜 102 は、基板 10 の上に設けられる。第 1 の配向制御膜 102 は、その上に設けられる活性層 108 や第 2 の配向制御膜 106 の配向を制御して結晶化を促進する機能を有する膜である。第 1 の配向制御膜 102 は、六方最密構造、面心立方構造、またはこれらに準ずる構造を有する導電性材料を含むことができる。ここで、六方最密構造または面心立方構造に準ずる構造とは、a 軸および b 軸に対して c 軸が直交しない結晶構造を含む。したがって、この構造では、第 1 の配向制御膜 102 は、基板 10 に対して (0001) 方向、すなわち、c 軸方向に配向する。また、面心立方構造またはそれに準ずる構造を有する第 1 の配向制御膜 102 は、基板 10

に対して（１１１）方向に配向する。このため、第１の配向制御膜１０２のｃ軸は、第１の配向制御膜１０２が設けられる面（すなわち、基板１０の表面）に対して垂直または略垂直な方向に配向する。後述するように、活性層１０８は窒化ガリウム系材料を含み、第２の配向制御膜１０６も窒化ガリウム系材料を含むことができるが、窒化ガリウム系材料は六方最密構造を取り、その表面エネルギーを最小化するようにｃ軸方向に結晶成長することが知られている。このため、第１の配向制御膜１０２上に活性層１０８や第２の配向制御膜１０６を形成することで、第２の配向制御膜１０６や活性層１０８のｃ軸方向への結晶成長が促進される。その結果、活性層１０８の結晶性が向上する。

[0017] このような第１の配向制御膜１０２は、チタン、亜鉛、アルミニウム、銀、ニッケル、または銅を含有する導電性材料を含むことができる。より具体的には、第１の配向制御膜１０２は、窒化チタン、酸化チタン、酸化亜鉛、 BiLaTiO などの無機化合物や、チタン、アルミニウム、銀、カルシウム、ニッケル、銅、ストロンチウム、ロジウム、パラジウム、セリウム、イッテルビウム、イリジウム、白金、金、鉛、アクチニウム、トリウムなどの金属を含むことができる。これらの材料のほか、第１の配向制御膜１０２は、 BiLaTiO 、 SrFeO 、 BiFeO 、 BaFeO 、 ZnFeO 、 PMnN-PZT などの金属酸化物、ニホウ化マグネシウムなどの導電性を有する金属ホウ化物、グラフェンやグラファイトなどの炭素材料を含んでもよい。

[0018] 第１の配向制御膜１０２は、ＣＶＤ法やスパッタリング法、蒸着法を利用して形成すればよい。なお、より効果的に第２の配向制御膜１０６や活性層１０８をｃ軸方向に結晶成長させるため、第１の配向制御膜１０２の表面の平坦性が高いことが好ましい。具体的には、第１の配向制御膜１０２の表面の算術平均粗さ（ R_a ）は、 2.3 nm よりも小さいことが好ましい。また、第１の配向制御膜１０２の表面の二乗平均平方根粗さ（ R_q ）は、 2.9 nm よりも小さいことが好ましい。表面の高い平坦性を得るため、第１の配

向制御膜 102 の厚さは 50 nm 以下であることが好ましく、例えば 10 nm 以上 50 nm 以下の厚さで第 1 の配向制御膜 102 が形成される。

[0019] (3) ブロッキング膜

後述するように、ブロッキング膜 104 は、第 1 の端子 116 と第 2 の端子 118 間で活性層 108 に電流が流れる際、電流パスを活性層 108 に限定し、電流が第 1 の配向制御膜 102 を介してリークする経路（図 2 B の鎖線参照。）の形成を防止するために設けられる。このため、各ブロッキング膜 104 は、絶縁性材料を含む。絶縁性材料としては、酸化ケイ素や窒化ケイ素などのケイ素含有無機化合物を用いることができる。あるいは、第 2 の配向制御膜 106 や活性層 108 の c 軸方向への結晶成長を促進可能な材料として、酸化アルミニウムや窒化アルミニウムなどのアルミニウム含有絶縁性化合物の他、ニオブ酸リチウム、 BiLaTiO 、 SrFeO 、 SrFeO 、 BiFeO 、 BaFeO 、 ZnFeO 、 PMnN-PZT などを用いてもよい。ブロッキング膜 104 は、CVD 法やスパッタリング法を用いて形成すればよい。

[0020] 複数のブロッキング膜 104 は、図 1 や図 2 B に示すように、一部が第 1 の配向制御膜 102 と接するように設けることができる。また、図 2 B に示すように、複数のブロッキング膜 104 は、複数の層に分割して配置してもよい。すなわち、基板 10 や第 1 の配向制御膜 102 側に位置する層（第 1 の層）に複数のブロッキング膜 104 の一部を配置し、第 1 の層の上に位置する層（第 2 の層）に残りのブロッキング膜 104 を配置してもよい。いずれの層においても、複数のブロッキング膜 104 は、島状に配置される。第 1 の層に位置するブロッキング膜 104 は、少なくとも一部が第 2 の層に位置するブロッキング膜 104 から露出する。第 1 の層に位置するブロッキング膜 104 は、第 2 の層に位置するブロッキング膜 104 重なってもよく、重ならなくてもよい。前者の場合、第 1 の配向制御膜 102 の全体が複数のブロッキング膜 104 に覆われてもよい。また、第 1 の層に配置されるブロッキング膜 104 に含まれる材料と第 2 の層に配置されるブロッキング膜 1

04に含まれる材料は同一でもよく、異なってもよい。

[0021] 図1や図2Bから理解されるように、複数のブロッキング膜104の一つは、第1の端子116と重なる。また、複数のブロッキング膜104の他の一つは、第2の端子118と重なる。ここで、ブロッキング膜104、第1の端子116、第2の端子118、ゲート電極114の配置を示す模式的上面図である図3Aに示すように、第1の端子116の底面の全体がブロッキング膜104の一つと重なり、第2の端子118の底面の全体がブロッキング膜104の他の一つと重なるように複数のブロッキング膜104を配置することが好ましい。同様に、ゲート電極114の底面の全体がブロッキング膜104のさらに他の一つと重なるように複数のブロッキング膜104を配置することが好ましい。

[0022] あるいは、図3Bに示すように、いずれのブロッキング膜104も第1の端子116、第2の端子118、若しくはゲート電極114と一部しか重ならない場合には、第1の端子116の底面の全体が二つ以上のブロッキング膜104の全てまたは少なくとも一つと重なり、第2の端子118の底面の全体が他の二つ以上のブロッキング膜104の全てまたは少なくとも一方と重なるように複数のブロッキング膜104を配置することが好ましい。同様に、ゲート電極114の底面の全体がさらに他の二つ以上のブロッキング膜104の全てまたは少なくとも一方と重なるように複数のブロッキング膜104を配置することが好ましい。このような配置を実現するためには、例えば、第1の層に位置するブロッキング膜104-1の一つと第2の層に位置するブロッキング膜104-2の一つが互いに一部が重なり合い、かつ、第1の端子116の底面の全体がこれらのブロッキング膜104-1、104-2の両方または少なくとも一方と重なるように複数のブロッキング膜104を配置すればよい（図3B参照。）。第2の端子118とゲート電極114と重なるブロッキング膜104についても同様である。

[0023] すなわち、基板10側から見た場合、第1の端子116と第2の端子118の全体がいずれも複数のブロッキング膜104から露出せず、複数のブロ

ッキング膜 104 のうち一つまたは二つ以上によって覆われるように複数のブロッキング膜 104 を配置することが好ましい。ゲート電極 114 についても同様である。後述するように、このような配置を採用することにより、第 1 の端子 116 および第 2 の端子 118 から第 1 の配向制御膜 102 に向かって垂直な方向における電流経路を遮断することができ、その結果、電流リークを防止することができる。

[0024] (4) 第 2 の配向制御膜

第 2 の配向制御膜 106 は、第 1 の配向制御膜 102 と同様、その上に設けられる活性層 108 の配向を制御して c 軸方向への結晶化を促進する機能を有する膜である。また、ブロッキング膜 104 と同様、第 2 の配向制御膜 106 は、電流リーク経路の形成を防止する機能も発現する。したがって、第 2 の配向制御膜 106 は、六方最密構造、面心立方構造、またはこれらに準ずる構造を有する絶縁性材料を含むことができる。このような材料としては、酸化アルミニウムや窒化アルミニウムなどのアルミニウム含有絶縁性化合物の他、ニオブ酸リチウム、 BiLaTiO 、 SrFeO 、 SrFeO 、 BiFeO 、 BaFeO 、 ZnFeO 、 PMnN-PZT などが例示される。あるいは、窒化ガリウム系材料を含んでもよい。窒化ガリウム系材料としては、窒化アルミニウムガリウム (AlGaN) や窒化ガリウムなどが挙げられる。上述したように、複数のブロッキング膜 104 は島状に形成されるため、第 2 の配向制御膜 106 は、隣接するブロッキング膜 104 の間で第 1 の配向制御膜 102 と接する。このため、第 2 の配向制御膜 106 が窒化ガリウム系材料を含む場合でも、第 1 の配向制御膜 102 によって第 2 の配向制御膜 106 の c 軸方向への結晶成長が促進され、結晶性が向上する。その結果、第 2 の配向制御膜 106 上に設けられる活性層 108 の c 軸方向の結晶成長を促進することができる。第 2 の配向制御膜 106 も、含まれる材料に応じ、CVD 法やスパッタリング法などを用いて形成すればよい。

[0025] 上述したように、複数のブロッキング膜 104 は、二つの層に分布するように配置することができる。この場合には、複数のブロッキング膜 104 の

一部を第1の配向制御膜102上に設けた後に第2の配向制御膜106を形成し、その後、複数のブロッキング膜104の他の一部を第2の配向制御膜106上に形成すればよい。

[0026] (5) 活性層と電子供給層

活性層108と電子供給層110の積層により、トランジスタ100の駆動時にソース／ドレイン電流の経路が形成される(図2Bの点線矢印参照)。活性層108と電子供給層110は、例えば、それぞれアンドープ窒化ガリウムとn型窒化アルミニウムガリウムを含む膜である。あるいは、活性層108と電子供給層110は、それぞれアンドープヒ化ガリウム(GaAs)とn型ヒ化アルミニウムガリウム(AlGaAs)を含んでもよい。活性層108と電子供給層110は、スパッタリング法を利用して第2の配向制御膜106とブロッキング膜104上に設けることができる。このため、CVD法によるエピタキシャル成長が必要とするような高温での成膜は必ずしも要求されず、非晶質ガラス基板を基板10として用いても活性層108と電子供給層110を形成することができる。また、活性層108と電子供給層110は、その下地として働く第2の配向制御膜106によってc軸方向への結晶化が促進される。この結晶化促進機能は、ブロッキング膜104にc軸方向への結晶化を促進する材料を用いることでも得ることができる。したがって、スパッタリング法を利用して活性層108と電子供給層110を形成しても、高いc軸配向を実現することが可能である。

[0027] (6) 第1の端子、第2の端子、ゲート絶縁膜、およびゲート電極

第1の端子116、第2の端子118、およびゲート電極114は、アルミニウム、金、銀、タンタル、モリブデン、チタン、銅などの金属、または上記金属を一つまたは複数含む合金を含む。任意の構成であるゲート絶縁膜112は、例えば酸化ケイ素や窒化ケイ素などのケイ素含有無機化合物、あるいはケイ酸ハフニウム、ケイ酸ジルコニウム、酸化ハフニウム、酸化ジルコニウムなどの所謂high-k材料を含む。これらの構成を形成する方法に制約はなく、真空蒸着法や電子ビーム蒸着法、CVD法、スパッタリング

法を適宜採用することができる。なかでも、成膜速度の大きなスパッタリング法や電子ビーム蒸着法を用いることで、効率よく第1の端子116、第2の端子118、ゲート絶縁膜112、およびゲート電極114を形成することができる。

[0028] しかしながら、スパッタリング法や電子ビーム蒸着法では、ターゲットあるいは蒸着源から飛散する金属原子が活性層108や電子供給層110に高速で衝突するため、これらの層にダメージが生じやすい。その結果、活性層108や電子供給層110、さらにはその下に位置する第2の配向制御膜106にも結晶欠陥やピンホールが形成されることがある。結晶欠陥やピンホールが形成されると、図2Bの鎖線で示す電流リーク経路が形成されるため、トランジスタ100が正常に動作しなくなる。特に第1の端子116、第2の端子118、およびゲート電極114をスパッタリング法や電子ビーム蒸着法で形成する場合、ピンホールに金属元素が入り込むことがあり、電流リークが生じやすい。

[0029] しかしながら、上述したように、トランジスタ100には複数のブロッキング膜104が設けられる。また、基板10側から見た場合、第1の端子116と第2の端子118の全体を複数のブロッキング膜104から露出させず、一つまたは二つ以上のブロッキング膜104によって覆うことができる。このため、活性層108や電子供給層110、第2の配向制御膜106に結晶欠陥やピンホールが形成された場合でも、第1の端子116と第2の端子118から第1の配向制御膜102に向かって垂直方向に進む電流リーク経路が絶縁性のブロッキング膜104によって遮断される。その結果、図2Bの点線矢印で示すように、電流は選択的に活性層108を流れ、トランジスタ100が正常動作することができる。このことは、耐圧性が高く、オン抵抗の小さい優れた特性を有する高信頼性トランジスタの提供に寄与する。

[0030] 2. 変形例

トランジスタ100の構造は、上述した構造に限られない。例えば図4Aに示すように、複数のブロッキング膜104はいずれも第1の配向制御膜1

02と接触せず、第1の配向制御膜102から離隔してもよい。この場合には、第1の配向制御膜102上に第2の配向制御膜106の一部（106-1）を形成した後に複数のブロッキング膜104の一部を形成し、さらに第2の配向制御膜106の他の一部（106-2）、複数のブロッキング膜104の他の一部、および活性層108を順次形成すればよい。あるいは、図示しないが、第1の配向制御膜102上に第2の配向制御膜106を設けた後に複数のブロッキング膜104の一部を形成し、さらに活性層108の一部、複数のブロッキング膜104の他の一部、および活性層108の他の一部を順次形成してもよい。

[0031] あるいは、複数のブロッキング膜104の全てが同一の層内に配置されるようにトランジスタ100を構成してもよい。例えば、図4Bに示すように、複数のブロッキング膜104の全てを第2の配向制御膜106の上に配置し、これらを活性層108で覆ってもよい。あるいは、図4Cに示すように、複数のブロッキング膜104の全てを第1の配向制御膜102と接するように形成し、その上に第2の配向制御膜106と活性層108を順次設けてもよい。なお、複数のブロッキング膜104のいずれもゲート電極114と重ならないようにトランジスタ100を構成してもよい（図4C）。

[0032] あるいは、第2の配向制御膜106を含まないようにトランジスタ100を構成してもよい。具体的には、図5Aに示すように、複数のブロッキング膜104の全てを第1の配向制御膜102と接するように第1の配向制御膜102の上に形成し、その上に、第1の配向制御膜102と複数のブロッキング膜104と直接接する活性層108を設けてもよい。第2の配向制御膜106形成工程が不要になるため、トランジスタ100の製造コストを低減することができる。

[0033] あるいは、図5Bに示すように、複数のブロッキング膜104の全てまたは一部を二層構造となるように形成してもよい。二層構造は、第1の絶縁膜104aとその上に設けられる第2の絶縁膜104bで構成すればよい。第1の絶縁膜104aは、単層構造のブロッキング膜104で使用可能な材料

、すなわち、上述したケイ素含有無機化合物などの絶縁性材料を含むように構成すればよい。一方、第2の絶縁膜104bは、ブロッキング膜104の上に形成される第2の配向制御膜106や活性層108のc軸配向を促進可能な絶縁性材料を含むように構成すればよい。具体的には、第2の絶縁膜104bは、酸化アルミニウムや窒化アルミニウムなどのアルミニウム含有絶縁性化合物に例示される、第2の配向制御膜106で使用可能な材料を含むことができる。

[0034] あるいは、トランジスタ100は、所謂金属絶縁膜電界効果型トランジスタ(MISFET)でもよい。すなわち、図6に示すように、電子供給層110を設けず、p型窒化ガリウム層を含む第1の活性層108-1、第1の活性層108-1上に位置し、i型またはn型窒化ガリウムを含む第2の活性層108-2の積層で活性層108を構成してもよい。第2の活性層108-2は、第1の活性層108-1の上にソース領域とドレイン領域を形成するように、それぞれ第1の活性層108-1と第1の端子116の間、および第1の活性層108-1と第2の端子118の間に分割して設ければよい。

[0035] 上述した例のトランジスタ100は、いずれもトップゲート型のトランジスタであるが、トランジスタ100はボトムゲート型のトランジスタでもよい。上述したように、第1の配向制御膜102は導電性を有するため、第1の配向制御膜102にゲート電圧を供給するため図示しない配線を接続することで、第1の配向制御膜102をゲート電極として機能させることができる。したがって、図7Aや図7Bに示すように、活性層108上にゲート電極114を配置する必要は無い。活性層108は、i型、n型、またはp型窒化ガリウムを含む単層として構成してもよいが、図7A、図7Bに示すように、i型またはp型窒化ガリウムを含む第1の活性層108-1とn型窒化ガリウムを含む第2の活性層108-2の積層構造として構成してもよい。第2の活性層108-2は、第1の端子116から第2の端子118に亘って連続してもよく(図7B)、第1の端子116と第1の活性層108-

1の間と第2の端子118と第1の活性層108-1の間にそれぞれ独立に第2の活性層108-2を設けてもよい。

[0036] 上述したように、本発明の実施形態の一つに係るトランジスタ100には、複数のブロッキング膜104が設けられる。このため、第1の端子116、第2の端子118、およびゲート電極114を形成する際に活性層108や第1の配向制御膜102、第2の配向制御膜106に結晶欠陥やピンホールが生じて、結晶欠陥やピンホールに起因する第1の配向制御膜102を介したリーク電流の経路が遮断される。このため、本実施形態を適用することで、耐圧性が高く、低いオン抵抗を示す高信頼性トランジスタを提供することができる。

[0037] <第2実施形態>

本実施形態では、第1実施形態で述べたトランジスタ100を備える電子デバイスについて説明する。第1実施形態で述べた構成と同様または類似する構成については、説明を割愛することがある。

[0038] トランジスタ100が設けられる電子デバイスに制約はなく、大電流・高電圧が要求されるモータ・インバータ回路、力率改善回路（PFC）、LLC共振コンバータなどのパワーデバイスが挙げられる。あるいは、無機発光ダイオード（LED）を光源とする照明のスイッチング素子、表示素子が搭載された表示装置のスイッチング素子などの電子デバイスにトランジスタ100を搭載してもよい。以下、本発明の実施形態に係る電子デバイスの一例として、表示装置130を説明する。

[0039] 図8に表示装置130の模式的上面図を示す。図8に示すように、表示装置130は、基板10に対応する基板132を有し、その上に複数の画素134がマトリクス状に設けられる。詳細は後述するが、各画素134には表示素子が設けられる。全ての画素134を包含する最小面積の領域、およびこれを取り囲む領域がそれぞれ表示領域と周辺領域として定義される。周辺領域には画素134を制御するための駆動回路（走査線駆動回路136、信号線駆動回路138）が設けられる。駆動回路からは図示しない配線が基板

132の端部に向かって延伸し、端子140を形成する。端子140はフレキシブル配線基板（FPC）142と接続され、図示しない外部回路から供給される電源や映像信号がFPC142を介して駆動回路に供給される。駆動回路は、映像信号に基づいて各種信号を生成し、各画素134に設けられる画素回路に供給する。これにより、画素134が制御され、表示領域上に映像を表示することができる。なお、信号線駆動回路138に替わり、または信号線駆動回路138とともに、半導体基板上に形成される集積回路で構成されるドライバIC144をFPC142上に搭載してもよい。

[0040] 図9に、画素134の模式的端面図を示す。各画素134の画素回路は、一つまたは複数のトランジスタ、および一つまたは複数の容量素子などを適宜組み合わせて構成される。図9に示すように、表示装置130の各画素134には、第1実施形態で述べたトランジスタ100が一つまたは複数配置される。トランジスタ100は、ケイ素含有無機化合物などを含む一つまたは複数の膜で構成されるアンダーコート146上に設けてもよく、基板132上に直接設けてもよい。前者の場合、第1の配向制御膜102はアンダーコート146と接し、後者の場合には基板132と接する。

[0041] トランジスタ100の上には、ポリイミドやアクリル樹脂、エポキシ樹脂、シリコン樹脂などの樹脂を含む平坦化膜150が設けられ、平坦化膜150上には画素電極152と共通電極154が設けられる。画素電極152と共通電極154上には、これらの端部を保護する保護絶縁膜156が設けられる。保護絶縁膜156には、画素電極152と共通電極154を露出する開口が設けられる。画素電極152は、平坦化膜150に設けられる開口を介してトランジスタ100の一方の端子（例えば第2の端子118）と電氣的に接続される。これにより、表示素子160がトランジスタ100と電氣的に接続される。

[0042] 表示素子160は、液晶素子、有機電界発光素子、無機電界発光素子などから適宜選択すればよい。図9には、表示素子160がLEDである例が示されている。表示素子160であるLEDの構成に制約はなく、例えば、n

型クラッド層 166、発光層 168、および p 型クラッド層 170 の積層体、および n 型クラッド層 166 と p 型クラッド層 170 にそれぞれ接続される陰極 164 と陽極 162 を含むことができる。

[0043] n 型クラッド層 166 と p 型クラッド層 170 は、第 13 族元素と第 15 族元素を含む化合物を含むことができる。第 13 族元素と第 15 族元素を含む化合物としては、アルミニウム、ガリウム、および／またはインジウム、ならびに窒素、リン、および／またはヒ素を含む半導体が挙げられる。典型的には、ガリウム系材料が挙げられる。例えば、窒化ガリウム、窒化アルミニウムガリウム、窒化インジウムガリウム (InGaN) などの窒化ガリウム系材料、リン化ガリウム (GaP)、アルミニウムインジウムガリウムリン (AlGaInP) などのリン化ガリウム系材料が例示される。n 型クラッド層 166 と p 型クラッド層 170 にはドーパントがさらに含まれる。ドーパントとしては、ケイ素やゲルマニウム、マグネシウム、亜鉛、カドミウム、ベリリウムなどの元素が挙げられる。

[0044] 発光層 168 は、例えば窒化インジウムガリウムの単層構造でもよく、あるいは量子井戸構造を有してもよい。量子井戸構造とは、バンドギャップが異なり、1 nm から 5 nm 程度の厚さを有する複数の薄膜を交互に積層した構造であり、例えば窒化インジウムガリウムと窒化ガリウムの交互積層体、ひ化りん化インジウムガリウム (GaInAsP) とリン化インジウム (InP) の交互積層体、ひ化アルミニウムインジウム (AlInAs) とひ化インジウムガリウム (InGaAs) の交互積層体などが例示される。

[0045] 陽極 162 としては、例えば、パラジウム、金などの金属、またはこれらの合金の薄膜を用いることができる。陰極 164 としては、銀またはインジウムなどの金属、またはこれらの合金を用いることができる。陰極 164 と陽極 162 は、それぞれはんだなどの導電性接着剤を含むバンプ 158 によって画素電極 152 と共通電極 154 に接続される。

[0046] 図示しないが、表示素子 160 上には、無機化合物および／または高分子に例示される有機化合物を含む一つまたは複数の膜で構成される保護膜を設け

てもよい。

[0047] 上述したように、トランジスタ１００では、第１の端子１１６や第２の端子１１８、ゲート電極１１４などの成膜時のダメージに起因するリーク電流が効果的に抑制される。このため、トランジスタ１００は耐圧が高く、低いオン抵抗を示す。したがって、本発明の実施形態の一つを実施することにより、低い消費電力を示すと同時に、高輝度の映像を表示可能な表示装置を提供することができる。

[0048] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態の表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0049] 上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、または、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0050] １０：基板、１００：トランジスタ、１０２：第１の配向制御膜、１０４：ブロッキング膜、１０４ａ：第１の絶縁膜、１０４ｂ：第２の絶縁膜、１０６：第２の配向制御膜、１０８：活性層、１０８－１：第１の活性層、１０８－２：第２の活性層、１１０：電子供給層、１１２：ゲート絶縁膜、１１４：ゲート電極、１１６：第１の端子、１１８：第２の端子、１３０：表示装置、１３２：基板、１３４：画素、１３６：走査線駆動回路、１３８：信号線駆動回路、１４０：端子、１４２：ＦＰＣ、１４４：ドライバＩＣ、１４６：アンダーコート、１５０：平坦化膜、１５２：画素電極、１５４：共通電極、１５６：保護絶縁膜、１５８：バンプ、１６０：表示素子、１６２：陽極、１６４：陰極、１６６：ｎ型クラッド層、１６８：発光層、１７０：ｐ型クラッド層

請求の範囲

- [請求項1] 第1の配向制御膜、
前記第1の配向制御膜上に位置し、絶縁性材料を含む複数のブロッキング膜、
前記複数のブロッキング膜上に位置し、窒化ガリウム系化合物を含む活性層、および
前記活性層上の第1の端子と第2の端子を備え、
前記第1の端子の底面の全体が前記複数のブロッキング膜の一つと重なり、前記第2の端子の底面の全体が前記複数のブロッキング膜の他の一つと重なる、トランジスタ。
- [請求項2] 前記第1の配向制御膜は導電性であり、チタン、亜鉛、アルミニウム、銀、ニッケル、または銅を含む、請求項1に記載のトランジスタ。
- [請求項3] 前記第1の配向制御膜と前記活性層の間に第2の配向制御膜をさらに備え、
前記第2の配向制御膜は、窒化ガリウム系化合物またはアルミニウム含有絶縁性化合物を含む、請求項1に記載のトランジスタ。
- [請求項4] 前記複数のブロッキング膜は、第1の層、および前記第1の層の上に位置し、前記第1の層から離隔する第2の層に配置され、
前記第1の層に配置される前記ブロッキング膜は、前記第2の配向制御膜に覆われる、請求項3に記載のトランジスタ。
- [請求項5] 前記複数のブロッキング膜の少なくとも一つが前記第1の配向制御膜と接する、請求項1に記載のトランジスタ。
- [請求項6] 前記活性層の上にゲート電極をさらに備える、請求項1に記載のトランジスタ。
- [請求項7] 前記活性層と前記ゲート電極の間に電子供給層をさらに備える、請求項6に記載のトランジスタ。
- [請求項8] 前記ゲート電極と前記電子供給層の間にゲート絶縁膜をさらに備え

る、請求項 7 に記載のトランジスタ。

[請求項9] 前記第 1 の配向制御膜は、ゲート電圧が供給されるように構成される、請求項 1 に記載のトランジスタ。

[請求項10] 前記複数のブロッキング膜は、それぞれ第 1 の絶縁膜と前記第 1 の絶縁膜上の第 2 の絶縁膜を有し、
前記絶縁性材料は、前記第 1 の絶縁膜に含まれ、
前記第 2 の絶縁膜は、アルミニウム含有絶縁性化合物を含む、請求項 1 に記載のトランジスタ。

[請求項11] 基板、および
前記基板上の複数の画素を備え、
前記複数の画素の少なくとも一つは、トランジスタ、および前記トランジスタに電氣的に接続される表示素子を備え、
前記トランジスタは、
第 1 の配向制御膜、
前記第 1 の配向制御膜上に位置し、絶縁性材料を含む複数のブロッキング膜、
前記複数のブロッキング膜上に位置し、窒化ガリウム系化合物を含む活性層、および
前記活性層上の第 1 の端子と第 2 の端子を備え、
前記第 1 の端子の底面の全体が前記複数のブロッキング膜の一つと重なり、前記第 2 の端子の底面の全体が前記複数のブロッキング膜の他の一つと重なる表示装置。

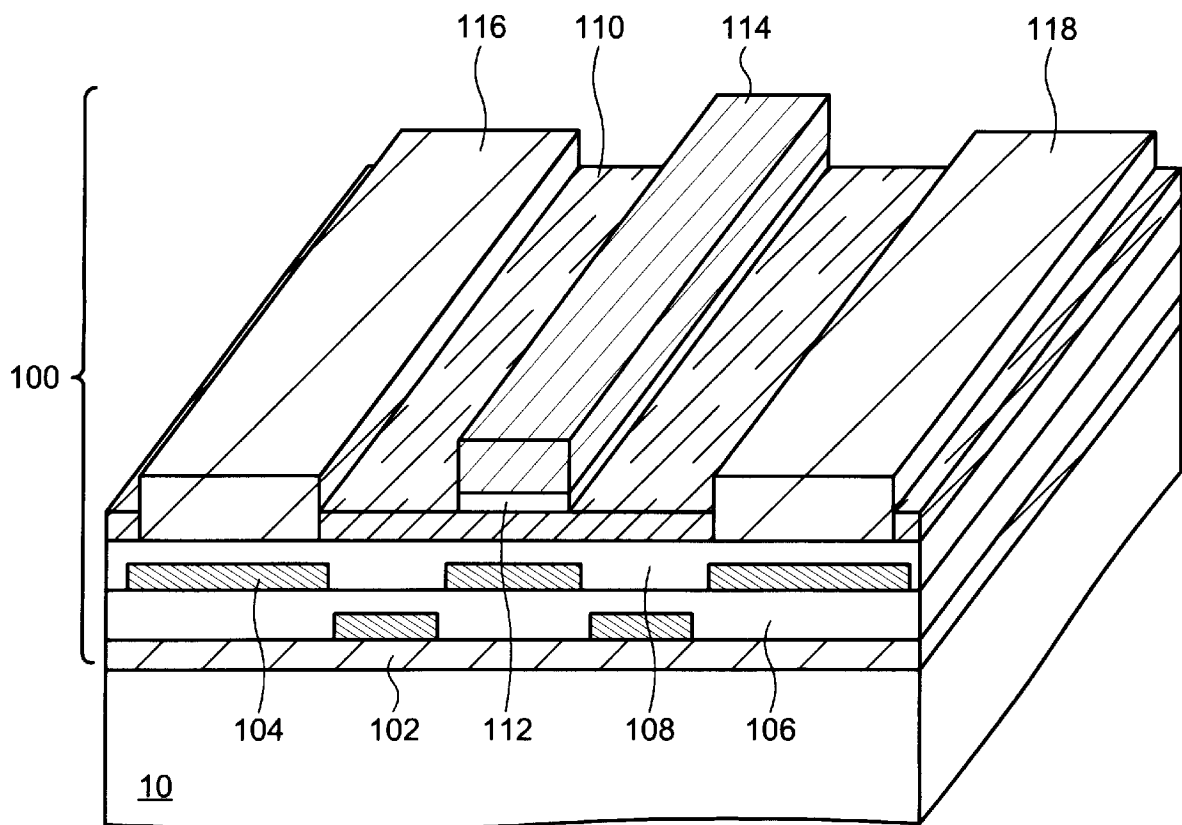
[請求項12] 前記第 1 の配向制御膜は、導電性であり、チタン、亜鉛、アルミニウム、銀、ニッケル、または銅を含む、請求項 11 に記載の表示装置。

[請求項13] 前記トランジスタは、前記第 1 の配向制御膜と前記活性層の間に第 2 の配向制御膜をさらに備え、
前記第 2 の配向制御膜は、窒化ガリウム系化合物またはアルミニウ

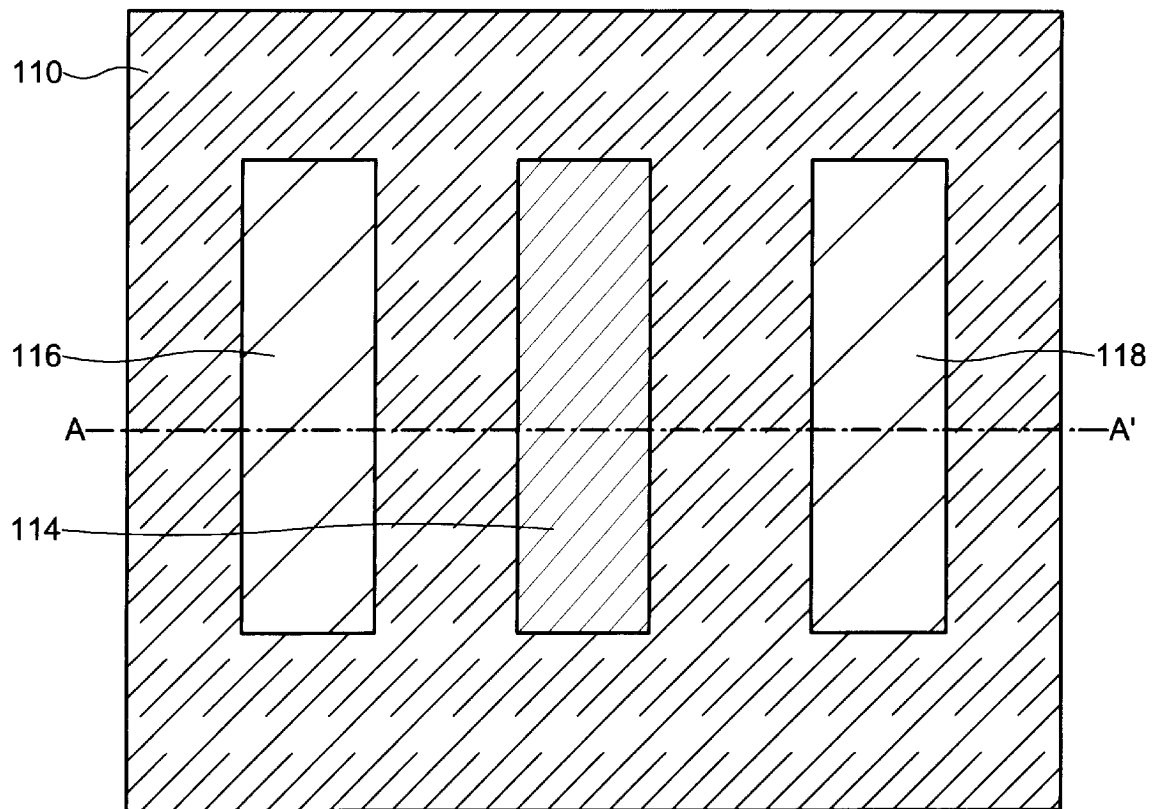
ム含有絶縁性化合物を含む、請求項 1 1 に記載の表示装置。

- [請求項14] 前記複数のブロッキング膜は、第 1 の層、および前記第 1 の層の上に位置し、前記第 1 の層から離隔する第 2 の層に配置され、
前記第 1 の層に配置された前記ブロッキング膜は、前記第 2 の配向制御膜に覆われる、請求項 1 3 に記載の表示装置。
- [請求項15] 前記複数のブロッキング膜の少なくとも一つが前記第 1 の配向制御膜と接する、請求項 1 1 に記載の表示装置。
- [請求項16] 前記トランジスタは、前記活性層の上にゲート電極をさらに備える、請求項 1 1 に記載の表示装置。
- [請求項17] 前記トランジスタは、前記活性層と前記ゲート電極の間に電子供給層をさらに備える、請求項 1 6 に記載の表示装置。
- [請求項18] 前記トランジスタは、前記ゲート電極と前記電子供給層の間にゲート絶縁膜をさらに備える、請求項 1 7 に記載の表示装置。
- [請求項19] 前記第 1 の配向制御膜は、ゲート電圧が供給されるように構成される、請求項 1 1 に記載の表示装置。
- [請求項20] 前記複数のブロッキング膜は、それぞれ第 1 の絶縁膜と前記第 1 の絶縁膜上の第 2 の絶縁膜を有し、
前記絶縁性材料は、前記第 1 の絶縁膜に含まれ、
前記第 2 の絶縁膜は、アルミニウム含有絶縁性化合物を含む、請求項 1 1 に記載の表示装置。

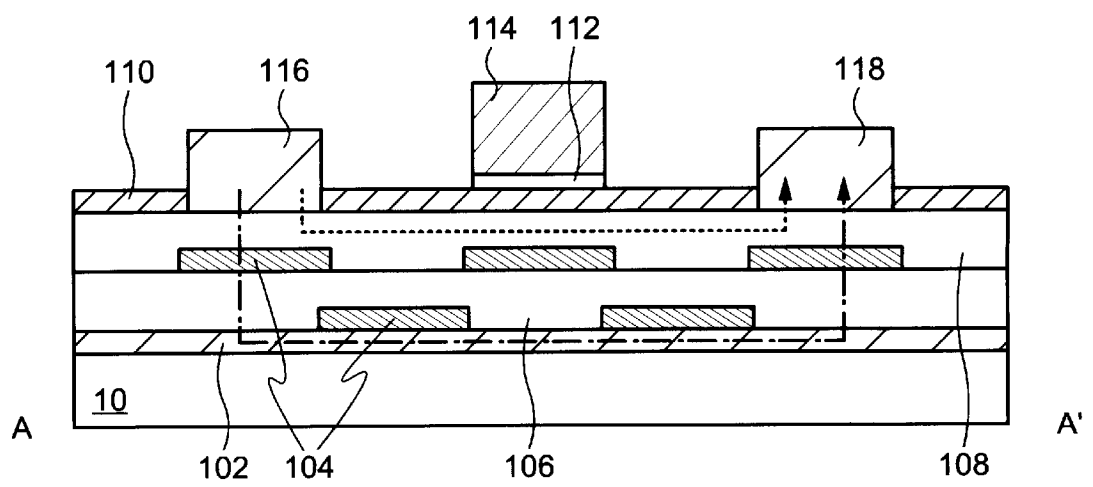
[図1]



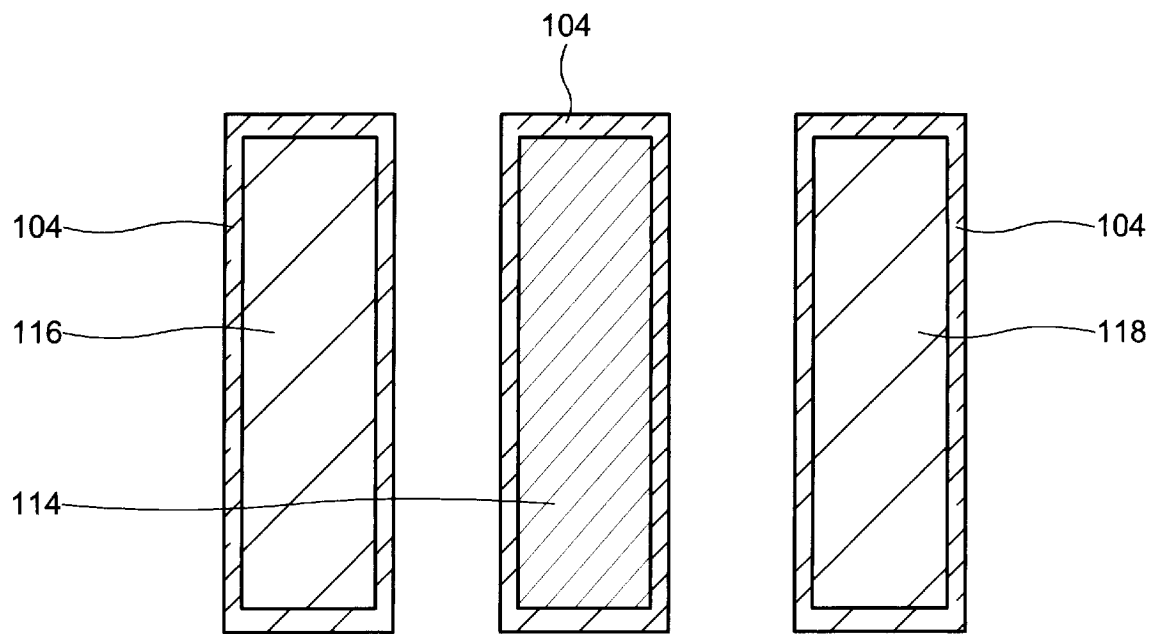
[図2A]

100

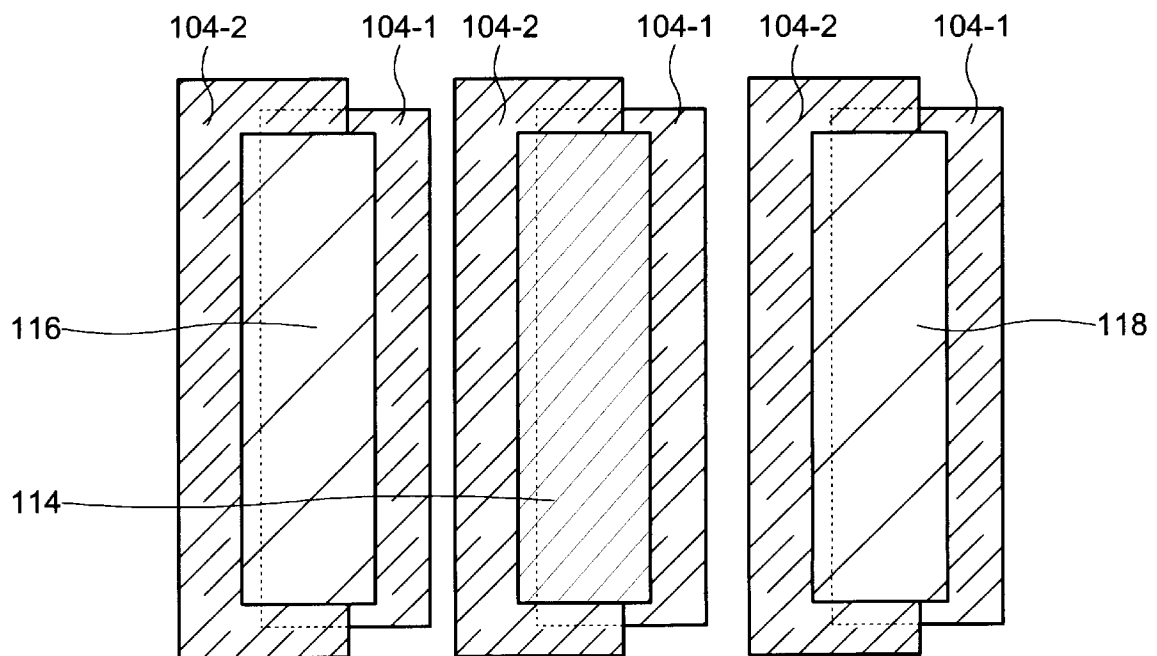
[図2B]

100

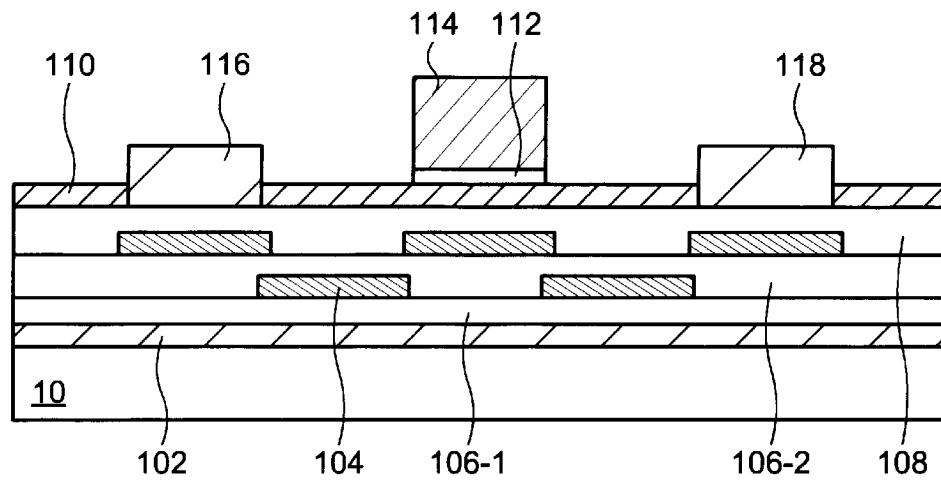
[図3A]



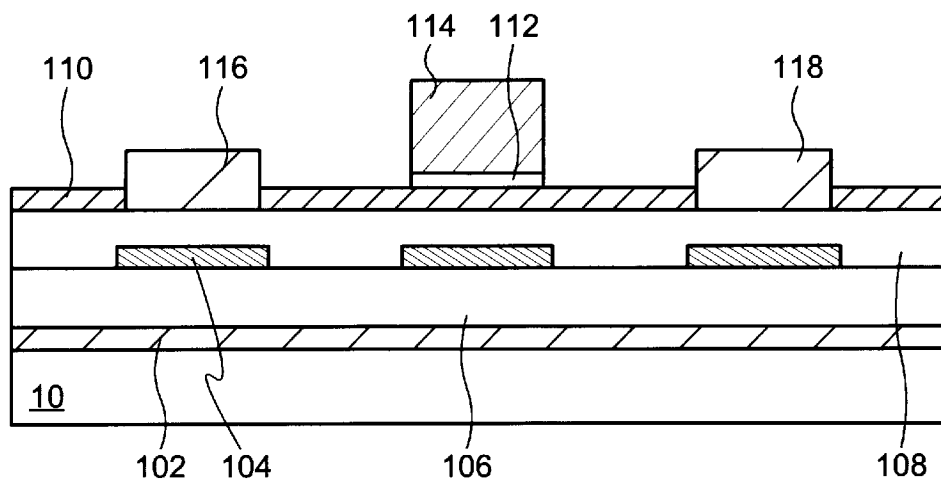
[図3B]



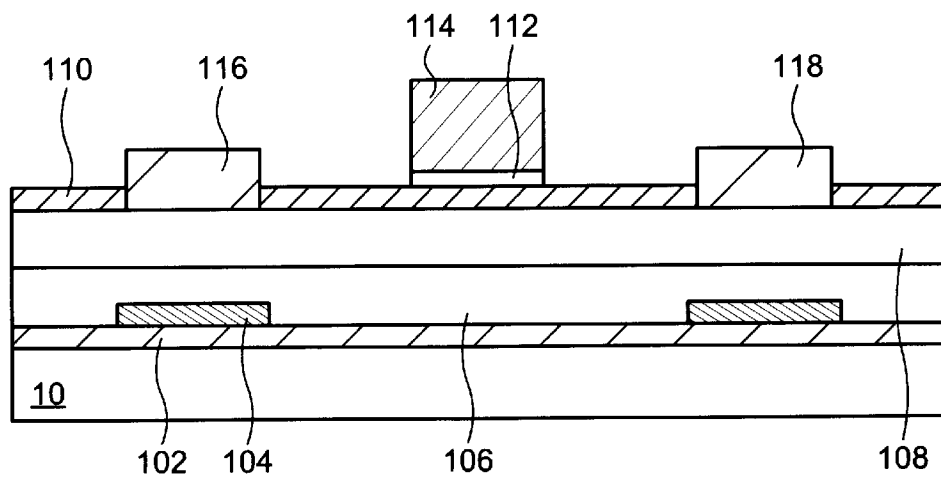
[図4A]

100

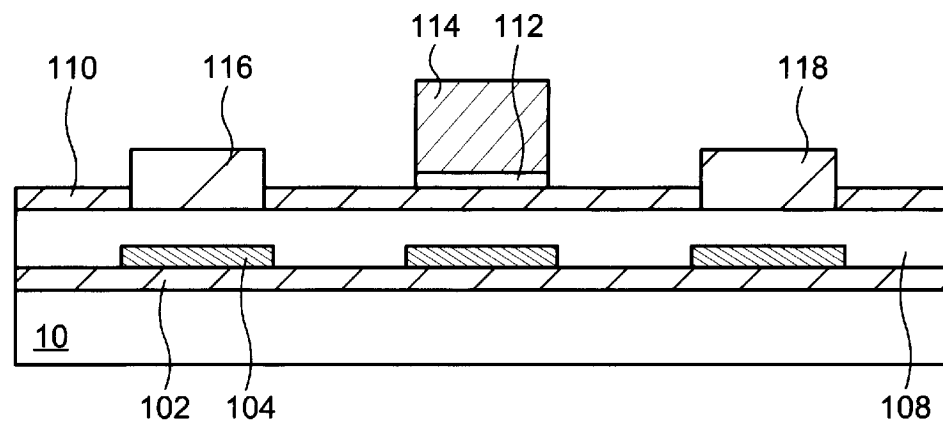
[図4B]

100

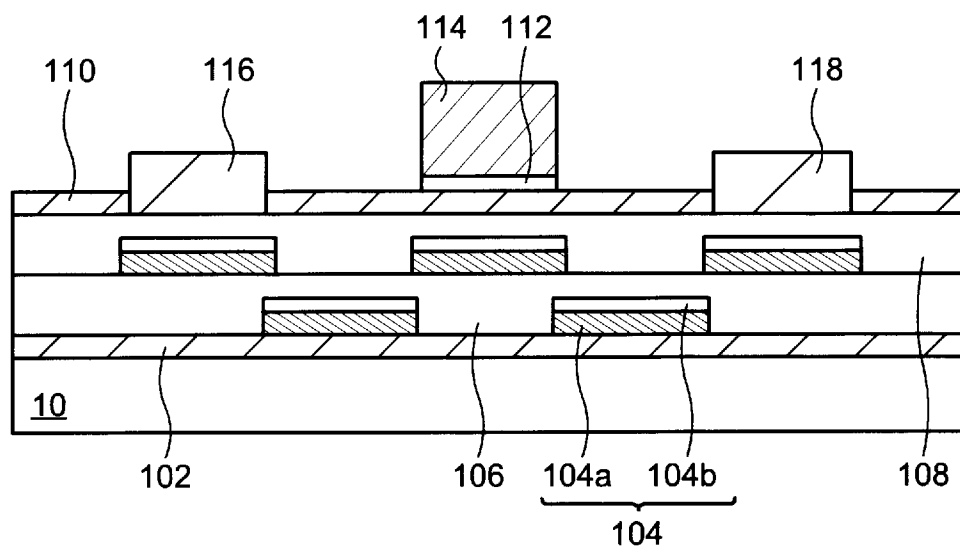
[図4C]

100

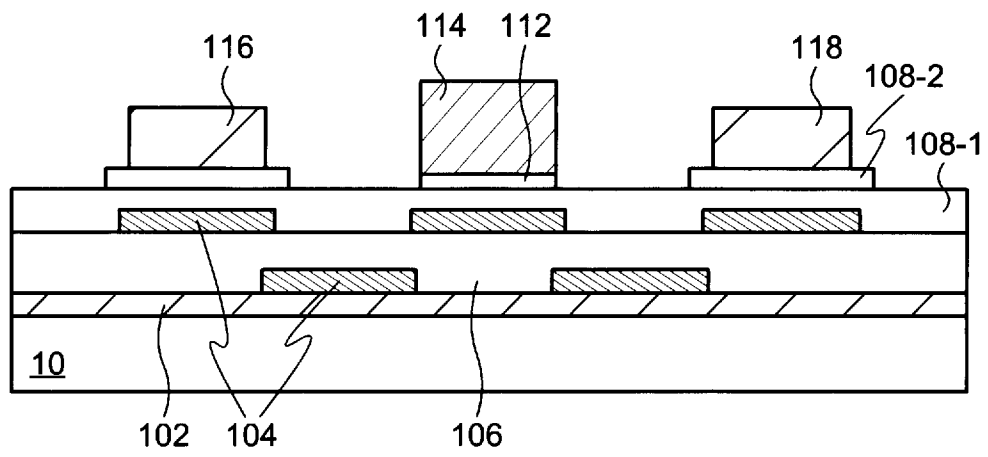
[図5A]

100

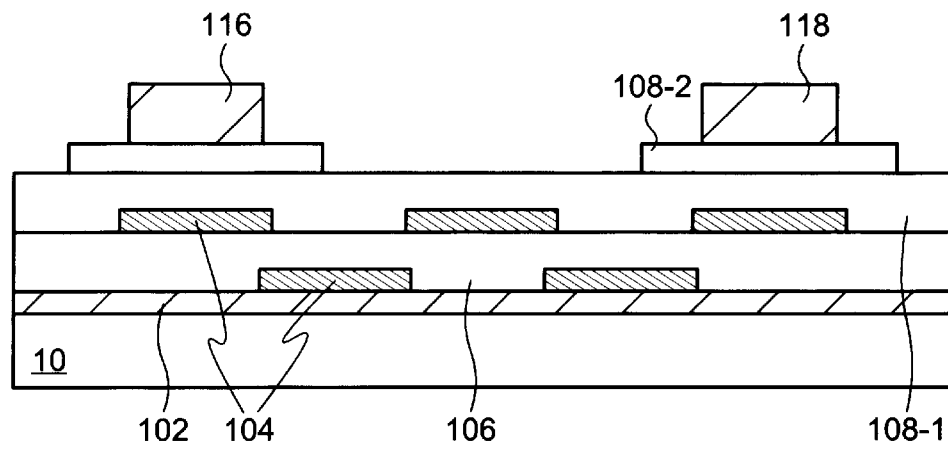
[図5B]

100

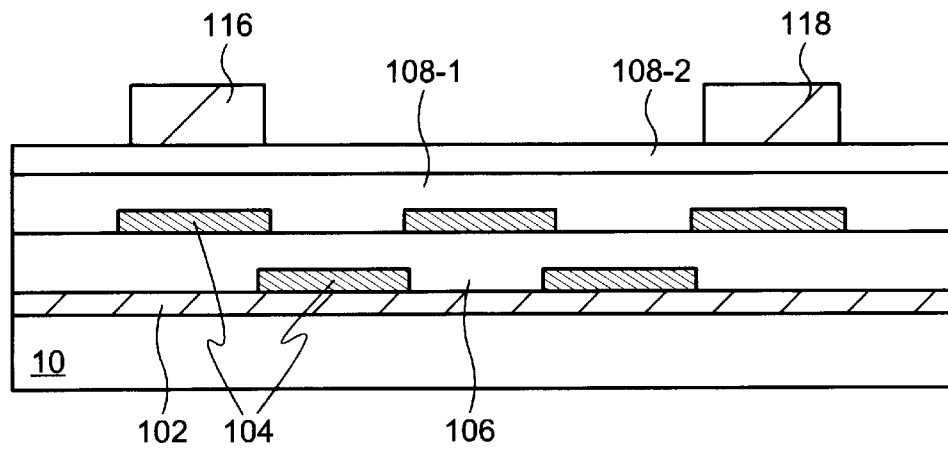
[図6]

100

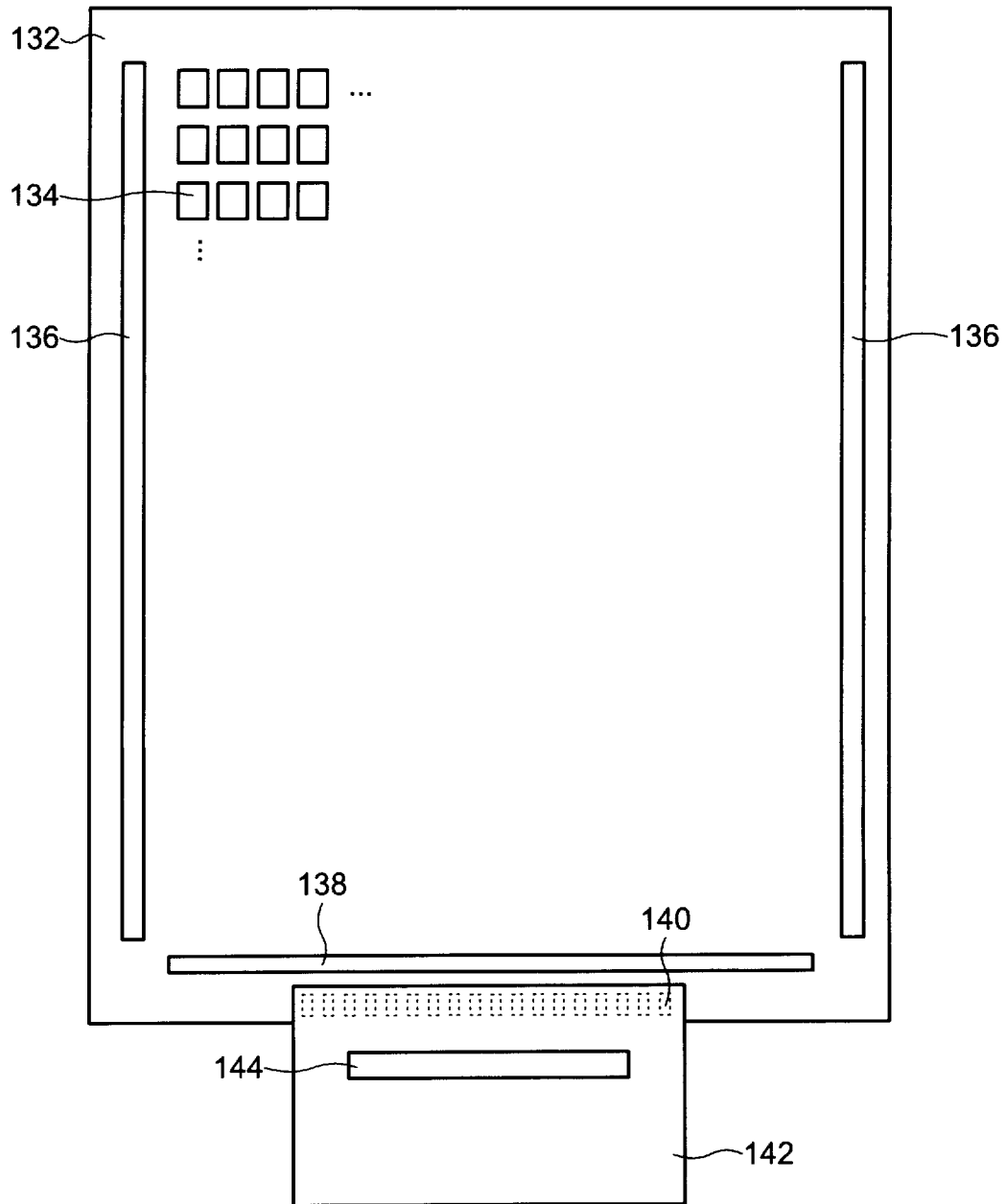
[図7A]

100

[図7B]

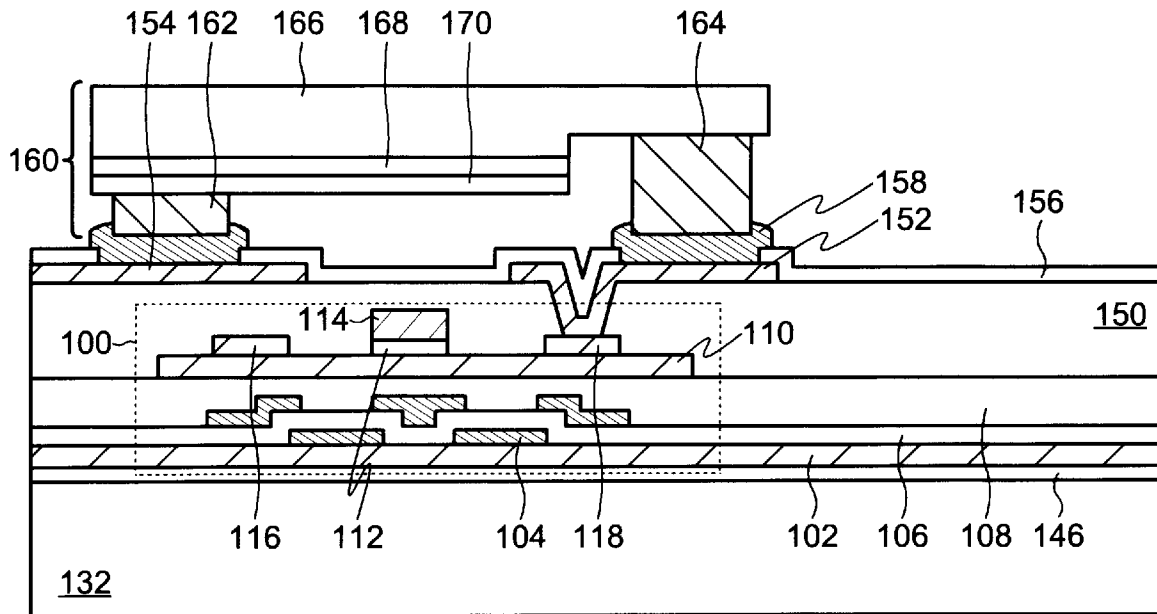
100

[図8]

130

[図9]

134



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/003828

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/336 (2006.01)i; H01L 29/786 (2006.01)i; H01L 21/338 (2006.01)i; H01L 29/778 (2006.01)i; H01L 29/812 (2006.01)i; H05B 33/12 (2006.01)i; H10K 50/10 (2023.01)i; H10K 59/12 (2023.01)i FI: H01L29/78 626C; H01L29/78 612A; H01L29/78 618E; H01L29/80 H; H05B33/12 Z; H10K50/10; H10K59/12 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/336; H01L29/786; H01L21/338; H01L29/778; H01L29/812; H05B33/12; H10K50/10; H10K59/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-149974 A (FUJITSU LIMITED) 01 August 2013 (2013-08-01) paragraphs [0015], [0027], [0032], [0040], [0044]-[0045], [0047], [0061]-[0062], fig. 9	1, 3-7, 10 8, 11, 13-18, 20 2, 9, 12, 19
Y A	JP 2015-65241 A (RENESAS ELECTRONICS CORPORATION) 09 April 2015 (2015-04-09) fig. 1	8, 18 2, 9, 12, 19
Y A	JP 2011-228428 A (TOYODA GOSEI CO., LTD.) 10 November 2011 (2011-11-10) fig. 1	8, 18
Y A	WO 2023/276575 A1 (JAPAN DISPLAY INC.) 05 January 2023 (2023-01-05) paragraphs [0077]-[0080], [0093]	11, 13-18, 20 2, 9, 12, 19
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 02 April 2024		Date of mailing of the international search report 16 April 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/003828

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 10530125 B1 (POET TECHNOLOGIES, INC.) 07 January 2020 (2020-01-07) column 31, lines 12-17, fig. 3	11, 13-18, 20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/003828

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-149974	A	01 August 2013	(Family: none)	
JP	2015-65241	A	09 April 2015	US 2015/0084104 A1	
				fig. 1	
				CN 104465745 A	
JP	2011-228428	A	10 November 2011	(Family: none)	
WO	2023/276575	A1	05 January 2023	(Family: none)	
US	10530125	B1	07 January 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/336(2006.01)i; H01L 29/786(2006.01)i; H01L 21/338(2006.01)i; H01L 29/778(2006.01)i;
H01L 29/812(2006.01)i; H05B 33/12(2006.01)i; H10K 50/10(2023.01)i; H10K 59/12(2023.01)i
FI: H01L29/78 626C; H01L29/78 612A; H01L29/78 618E; H01L29/80 H; H05B33/12 Z; H10K50/10; H10K59/12

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/336; H01L29/786; H01L21/338; H01L29/778; H01L29/812; H05B33/12; H10K50/10; H10K59/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-149974 A（富士通株式会社）01.08.2013（2013-08-01） 段落[0015], [0027], [0032], [0040], [0044]-[0045], [0047], [0061]-[0062], 図9	1, 3-7, 10
Y		8, 11, 13-18, 20
A		2, 9, 12, 19
Y	JP 2015-65241 A（ルネサスエレクトロニクス株式会社）09.04.2015（2015-04-09） 図1	8, 18
A		2, 9, 12, 19
Y	JP 2011-228428 A（豊田合成株式会社）10.11.2011（2011-11-10） 図1	8, 18
Y	WO 2023/276575 A1（株式会社ジャパンディスプレイ）05.01.2023（2023-01-05） 段落[0077]-[0080], [0093]	11, 13-18, 20
A		2, 9, 12, 19

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
02.04.2024

国際調査報告の発送日
16.04.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

西村 治郎 5F 2376

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 10530125 B1 (POET TECHNOLOGIES, INC.) 07.01.2020 (2020 - 01 - 07) 第31欄第12行-第17行, 図3	11, 13-18, 20

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/003828

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-149974	A	01.08.2013	(ファミリーなし)	
JP	2015-65241	A	09.04.2015	US 2015/0084104 A1	
				図1	
				CN 104465745 A	
JP	2011-228428	A	10.11.2011	(ファミリーなし)	
WO	2023/276575	A1	05.01.2023	(ファミリーなし)	
US	10530125	B1	07.01.2020	(ファミリーなし)	